(19)日本国特許庁(JP)

再公表特許(A1)

(11)国際公開番号
WO2005/106834

発行日 平成20年3月21日(2008.3.21)

(43)国際公開日 平成17年11月10日(2005.11.10)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	J	3K107
G09G 3/20	(2006.01)	G09G	3/20	624B	5C080
H01L 51/50	(2006.01)	G09G	3/20	641D	
		G09G	3/20	611H	
		G09G	3/20	621F	

審査請求 有 予備審査請求 未請求 （全 19 頁） 最終頁に続く

出願番号 特願2006-512714(P2006-512714)
(21)国際出願番号 PCT/JP2004/006352
(22)国際出願日 平成16年4月30日(2004.4.30)
(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(71)出願人 306037311
富士フイルム株式会社
東京都港区西麻布２丁目２６番３０号
(74)代理人 100079049
弁理士 中島 淳
(74)代理人 100084995
弁理士 加藤 和詳
(74)代理人 100085279
弁理士 西元 勝一
(74)代理人 100099025
弁理士 福田 浩志
(72)発明者 石塚 淳夫
日本国 ２１１－００２３ 神奈川県足柄上郡開成町宮台７９８番地 富士フイルム株式会社内

最終頁に続く

(54)【発明の名称】アクティブマトリクス型表示装置

(57)【要約】
本発明の表示装置は、順次に選択される複数の走査線（Ｗｓｃａｎ，Ｅｓｃａｎ）と、走査線の選択に対応して輝度情報に対応する書き込み電流（Ｉｄａｔａ）が供給される複数のデータ線（Ｄａｔａ）と、それらの交差位置に配置される複数の画素（ＰＸ）とを有する。そして、画素は、発光素子（ＯＬＥＤ）と、駆動トランジスタ（ＴＦＴ４）と、そのゲート（Ｎｄ）に接続され書き込みデータを蓄積するキャパシタ（Ｃ）と、走査線が走査される書き込み期間に導通してデータ線と駆動トランジスタのドレインとを接続する第１のトランジスタ（ＴＦＴ１）と、書き込み期間に導通して駆動トランジスタのゲート・ドレイン間を短絡させる第２のトランジスタ（ＴＦＴ２）とを有する。このような構成により、トランジスタの特性のばらつきに依存せず、書き込み電流と同等の駆動電流で発光素子を駆動することができる。

【特許請求の範囲】
【請求項１】
第１の方向に配置され順次に選択される複数の走査線と、
前記第１の方向に交差する方向に配置され、前記走査線の選択に対応して輝度情報に対応する書き込み電流が供給される複数のデータ線と、
前記複数の走査線とデータ線との交差位置に配置される複数の画素とを有する表示装置において、
前記画素は、発光素子と、当該発光素子に駆動電流を供給する駆動トランジスタと、当該駆動トランジスタのゲートに接続され書き込みデータを蓄積するキャパシタと、前記走査線が走査される書き込み期間に導通して前記データ線と前記駆動トランジスタのドレインとを接続する第１のトランジスタと、前記書き込み期間に導通して前記駆動トランジスタのゲート・ドレイン間を短絡させると共に前記データ線から供給される前記書き込み電流を前記キャパシタに供給する第２のトランジスタとを有し、
前記書き込み期間において、前記第１のトランジスタとゲート・ドレイン間が短絡された駆動トランジスタと前記発光素子を含む回路に前記書き込み電流が供給されて、前記駆動トランジスタのゲートが当該書き込み電流に応じたゲート電位になるように前記キャパシタが充電され、
前記書き込み期間の後の読み出し期間において、前記第１及び第２のトランジスタが非導通になり、前記駆動トランジスタが前記ゲート電位に応じた駆動電流で前記発光素子を駆動することを特徴とする表示装置。
【請求項２】
請求の範囲第１項において、
前記画素は、更に、前記読み出し期間において導通し、前記駆動トランジスタのドレインを所定の電源に接続する第３のトランジスタを有することを特徴とする表示装置。
【請求項３】
請求の範囲第１項において、
前記読み出し期間後であって前記書き込み期間前の消去期間において、前記第２のトランジスタが導通して、前記キャパシタの電荷が前記駆動トランジスタを介して前記発光素子に放電されることを特徴とする表示装置。
【請求項４】
請求の範囲第３項において、
前記消去期間において、前記発光素子が放電に伴って発光することを特徴とする表示装置。
【請求項５】
請求の範囲第３項において、
前記消去期間が、調整可能であることを特徴とする表示装置。
【請求項６】
請求の範囲第１項において、
前記書き込み期間において、前記書き込み電流が前記駆動トランジスタを介して前記発光素子に供給され、当該発光素子が発光することを特徴とする表示装置。
【請求項７】
請求の範囲第１項において、
前記走査線は第１及び第２の走査線を有し、
前記画素において、
前記第１のトランジスタのドレインが前記データ線に接続され、そのゲートが第１の走査線に接続され、
前記第２のトランジスタのゲートが前記第２の走査線に接続され、その１対のソース・ドレインが前記第１のトランジスタのソースと前記駆動トランジスタのゲートにそれぞれ接続され、
前記駆動トランジスタのドレインが前記第１のトランジスタのソースに接続され、そのソ

ースが前記発光素子に接続され、
　前記読み出し期間において、前記駆動トランジスタのドレインが所定の電源に接続されることを特徴とする表示装置。
【請求項８】
請求の範囲第７項において、
　前記画素は、更に、前記読み出し期間において導通し、前記駆動トランジスタのドレインを前記所定の電源に接続する第３のトランジスタを有することを特徴とする表示装置。
【請求項９】
請求の範囲第８項において、
　前記第３のトランジスタのゲートは前記第２の走査線に接続され、当該第２の走査線が非選択の時に前記第３のトランジスタが導通することを特徴とする表示装置。
【請求項１０】
請求の範囲第１項において、
　前記第２のトランジスタはダブルゲート構造を有し、当該ダブルゲートは、前記第２の走査線に接続されていることを特徴とする表示装置。
【請求項１１】
請求の範囲第１項において、
　前記キャパシタは、一方の電極が前記駆動トランジスタのゲートに、他方の電極が所定の電圧端子に接続されていることを特徴とする表示装置。
【請求項１２】
請求の範囲第１項乃至第１１項のいずれかにおいて、
　前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする表示装置。
【発明の詳細な説明】
【技術分野】
　本発明は、有機エレクトロルミネッセンス（ＥＬ）素子など電流によって発光輝度が制御される発光素子を画素毎に設けた表示装置に関し、特に、電界効果型トランジスタなどの能動素子により発光素子に供給する電流量が制御されるアクティブマトリクス型の表示装置であって、能動素子の特性ばらつきに依存せずに表示輝度を再現することができる表示装置に関する。
【背景技術】
　有機ＥＬ表示装置は、各画素に発光素子である有機ＥＬ素子を設ける自発光型表示装置であり、液晶表示装置に比較すると、画像の視認性が高く、バックライトが不要で、応答速度が速いなどの利点を有する。そして、有機ＥＬ素子の発光輝度は、駆動電流値により制御されるので、輝度情報に対応する電流値を各画素の有機ＥＬ素子に流す必要がある。
　一方、有機ＥＬ表示装置は、その駆動方式に単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が簡単であるが、走査期間のみ発光するだけであるので大画面化、高精細化が困難であり、後者のアクティブマトリクス方式のほうが大画面化、高精細化には有利である。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内のトランジスタなどの能動素子により制御する。有機ＥＬ表示装置の場合、この能動素子は薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）により実現される。
　図１は、従来のアクティブマトリクス方式の有機ＥＬ表示装置の概略構成図である。有機ＥＬパネル１０には、水平方向に設けられた複数の走査線Ｓｃａｎ１～Ｎと、垂直方向に設けられた複数のデータ線Ｄａｔａ１～Ｍと、それらの交差位置に配置されたマトリクス状の画素ＰＸとが設けられている。そして、走査線駆動回路１４がフレーム期間内において走査線Ｓｃａｎ１～Ｎを順次走査し、各走査期間においてデータ線駆動回路１２がデータ線Ｄａｔａを介して輝度情報に対応した電流を画素に供給する。
　図２は、従来の有機ＥＬ素子の画素回路の一例を示す図である。この画素回路は、例えば、特開平８－２３４６８３号公報（以下特許文献１）に記載されている。または、”Ｐ

assive and active matrix addressed polymer light emitting diode displays”，ＳＰＩＥ２００１，ＰＬＥＤ，ｆｉｎａｌ（以下非特許文献１）にも類似の画素回路が記載されている。

この画素回路は、走査線Ｓｃａｎにより導通・非導通制御されるＮチャネルトランジスタＴＦＴ１と、発光素子としての有機ＥＬ素子ＯＬＥＤを駆動するＰチャネルトランジスタＴＦＴ２と、トランジスタＴＦＴ２のゲートと電源Ｖｄｄとの間に設けられた蓄積用キャパシタＣとを有する。

この画素回路の動作は、走査線Ｓｃａｎを選択状態にしてトランジスタＴＦＴ１を導通させ、データ線Ｄａｔａに輝度情報に対応するデータ電位Ｖｄａｔａを印加すると、トランジスタＴＦＴ１を介してキャパシタＣが充電または放電され、トランジスタＴＦＴ２のゲートノードＮｄにはデータ電位Ｖｄａｔａに対応する電位が蓄積される。その後、走査線Ｓｃａｎを非選択状態にしてトランジスタＴＦＴ１をオフ状態にすると、ゲートノードＮｄの電位に応じてトランジスタＴＦＴ２がドレイン・ソース電流Ｉｄｓ２を流し、発光素子ＯＬＥＤはそのドレイン・ソース電流Ｉｄｓ２に応じた輝度で発光する。このドレイン・ソース電流Ｉｄｓ２は、トランジスタＴＦＴ２のゲート・ソース間電圧Ｖｇｓ（＝ゲートノードＮｄの電位－ＯＬＥＤの電圧）に依存する。尚、トランジスタＴＦＴ２は飽和領域で動作させ、発光素子ＯＬＥＤの特性ばらつきによりトランジスタＴＦＴ２のＶｄｓにばらつきが発生してもドレイン・ソース電流Ｉｄｓ２がゲート・ソース間電圧Ｖｇｓのみにより制御されるようにしている。

このような画素回路を利用することにより、図１に示されるように、走査期間において各画素のキャパシタＣを充電または放電して輝度情報を書き込み、その後の読み出し期間において各画素の発光素子を書き込み情報に応じて駆動することができる。したがって、発光素子の発光期間を長くして発光素子の駆動電流を小さくすることができ、大型画面で高輝度の表示装置を可能にする。

図２の画素回路では、表示パネル上に形成されるＴＦＴの特性ばらつきに起因して、画素間の輝度がばらつくという問題がある。ガラスなどの基板上にＴＦＴが形成されるが、その製造ばらつきによりＴＦＴの閾値電圧やキャリア移動度にばらつきが生じ、それに対応して、トランジスタＴＦＴ２のドレイン・ソース電流Ｉｄｓ２もばらついてしまう。この駆動電流であるドレイン・ソース電流Ｉｄｓ２のばらつきにより、発光素子ＯＬＥＤの発光輝度がばらつくことになる。

このようなＴＦＴの特性ばらつきに依存しない発光輝度を実現するものとして、図３の画素回路が提案されている。例えば、特開２００１－１４７６５９号公報（以下特許文献２）、”Ｐｉｘｅｌ－Ｄｒｉｖｉｎｇ Ｍｅｔｈｏｄｓ ｆｏｒ Ｌａｒｇｅ－Ｓｉｚｅｄ Ｐｏｌｙ－Ｓｉ ＡＭ－ＯＬＥＤ Ｄｉｓｐｌａｙｓ”Ａｓｉａ Ｄｉｓｐｌａｙ／ＩＤＷ ２００１，ＯＥＬ１－１ ｐ１３９５（以下非特許文献２）に記載されている。この画素回路は、走査線ＳｃａｎＡにより制御されるトランジスタＴＦＴ３と、走査線ＳｃａｎＢにより制御されるトランジスタＴＦＴ４と、それぞれゲートが共通に接続されたトランジスタＴＦＴ１，ＴＦＴ２と、共通ゲートＮｄと定電圧端子Ｖｄｄとの間に設けられたキャパシタとを有し、トランジスタＴＦＴ２により発光素子ＯＬＥＤが電流駆動される。

図３の画素回路の動作は、上記の特許文献２の説明によれば、輝度情報の書き込み時において、走査線ＳｃａｎＡを選択状態（Ｈレベル）にしてトランジスタＴＦＴ３を導通させ、走査線ＳｃａｎＢを選択状態（Ｌレベル）にしてトランジスタＴＦＴ４も導通させ、輝度に応じた電流Ｉｄａｔａをデータ線に流すことで、輝度に応じた電流Ｉｗをトランジスタ ＴＦＴ１に流す。トランジスタＴＦＴ１は、ドレイン・ゲート間がトランジスタＴＦＴ４により短絡されて飽和状態にあり、且つカレントミラー回路になっている。そして、そのドレインソース電流Ｉｗによりキャパシタ Ｃが充電され、ノードＮｄには輝度情報に応じた電位が書き込まれる。一方、読み出し時においては、走査線ＳｃａｎＡ，ＳｃａｎＢが共に非選択状態になり、トランジスタＴＦＴ３，ＴＦＴ４は共にオフ状態になる。こ

のとき、トランジスタＴＦＴ２がゲート電位に応じたドレイン・ソース電流Ｉｄｓ２を発光素子ＯＬＥＤに供給し、発光させる。このドレイン・ソース電流Ｉｄｓ２は、輝度情報に応じた電流Ｉｗとの間に、トランジスタＴＦＴ１，ＴＦＴ２のゲート幅とゲート長の比に応じた電流値の関係を有する。従って、書き込み時の電流Ｉｗに応じた駆動電流Ｉｄｓ２で発光素子ＯＬＥＤを駆動することができ、輝度情報に応じた発光輝度で発光素子ＯＬＥＤを発光させることができる。

【発明の開示】

しかしながら、図３の画素回路は、画素内のトランジスタＴＦＴ１，ＴＦＴ２との間に閾値電圧のばらつきがないことを前提にしている。しかし、トランジスタＴＦＴ１，ＴＦＴ２が同一画素内に近接して形成されていても、何らかの要因によりトランジスタＴＦＴ１，ＴＦＴ２の閾値電圧がばらつくと、たとえ共通ゲートＮｄの電位により両トランジスタに同じゲート・ソース間電圧Ｖｇｓが維持されても、ドレイン・ソース電流ＩｗとＩｄｓ２とは、トランジスタサイズの比にはならず、閾値電圧のばらつきが発光素子の駆動電流Ｉｄｓ２に影響を与える。

更に、トランジスタＴＦＴ１，ＴＦＴ２の閾値電圧Ｖｔｈ１，Ｖｔｈ２が、Ｖｔｈ１＞Ｖｔｈ２になると、黒表示のために電流Ｉｗをゼロに設定しても、ゲートソース間電圧ＶｇｓがＶｔｈ２より大きくなり、トランジスタＴＦＴ２のソース・ドレイン間に電流が流れ、黒表示ができない。また、逆に、Ｖｔｈ１＜Ｖｔｈ２になると、ごくわずかに発光させるために電流Ｉｗを小さい値に設定しても、ゲートソース間電圧ＶｇｓがＶｔｈ２より小さくなり、トランジスタＴＦＴ２のソース・ドレイン間に電流が流れず、黒表示になってしまう。このような現象により、画素毎に両トランジスタＴＦＴ１，ＴＦＴ２の閾値電圧Ｖｔｈ１，Ｖｔｈ２間の関係が異なる場合は、画素毎の発光状態がばらつき画質の劣化を招く。

そこで、本発明の目的は、能動素子の特性ばらつきによる画質の劣化を防止することができるアクティブマトリクス型表示装置を提供することにある。

更に、本発明の別の目的は、画素内のトランジスタの特性ばらつきに起因する画質の劣化を防止したアクティブマトリクス型の有機ＥＬ表示装置を提供することにある。

本発明の第１の側面は、第１の方向に配置され順次に選択される複数の走査線と、前記第１の方向に交差する方向に配置され、前記走査線の選択に対応して輝度情報に対応する書き込み電流が供給される複数のデータ線と、前記複数の走査線とデータ線との交差位置に配置される複数の画素とを有する表示装置において、

前記画素は、発光素子と、当該発光素子に駆動電流を供給する駆動トランジスタと、当該駆動トランジスタのゲートに接続され書き込みデータを蓄積するキャパシタと、前記走査線が走査される書き込み期間に導通して前記データ線と前記駆動トランジスタのドレインとを接続する第１のトランジスタと、前記書き込み期間に導通して前記駆動トランジスタのゲート・ドレイン間を短絡させると共に前記データ線から供給される前記書き込み電流を前記キャパシタに供給する第２のトランジスタとを有し、

前記書き込み期間において、前記第１のトランジスタとゲート・ドレイン間が短絡された駆動トランジスタと前記発光素子を含む回路に前記書き込み電流が供給されて、前記駆動トランジスタのゲートが当該書き込み電流に応じたゲート電位になるように前記キャパシタが充電され、

前記書き込み期間の後の読み出し期間において、前記第１及び第２のトランジスタが非導通になり、前記駆動トランジスタが前記ゲート電位に応じた駆動電流で前記発光素子を駆動することを特徴とする。

第１の側面によれば、駆動トランジスタの特性ばらつきに依存せず、書き込み電流と同等の駆動電流で発光素子を駆動することができる。

上記第１の側面のより好ましい実施例では、前記読み出し期間後であって前記書き込み期間前の消去期間において、前記第２のトランジスタが導通して、前記キャパシタの電荷が前記駆動トランジスタを介して前記発光素子に放電される。

この消去期間でキャパシタがリセットされるので、前フレームの状態が原フレームに影

響を与えることがなくなり、また、動画表示における前フレームの画像の残像による原フレームの画像への影響を抑制することができる。また、この消去期間を制御することで、画像全体の明るさをコントロールすることができる。

【図面の簡単な説明】

図１は、従来のアクティブマトリクス方式の有機ＥＬ表示装置の概略構成図である。

図２は、従来の有機ＥＬ素子の画素回路の一例を示す図である。

図３は、従来の有機ＥＬ素子の画素回路の一例を示す図である。

図４は、本実施の形態におけるアクティブマトリクス方式の表示装置の概略構成図である。

図５は、本実施の形態における表示装置の画素回路を示す図である。

図６は、図４、図５の表示装置の動作波形図である。

図７は、本実施の形態における表示装置の動作を示す図表及び波形図である。

図８は、本実施の形態における画素回路の動作を示す図である。

図９は、本実施の形態における画素回路の動作を説明する図である。

図１０は、本実施の形態において異なる輝度情報の書き込み動作を説明する図である。

図１１は、本実施の形態においてトランジスタの特性がばらついた場合の書き込み動作を示す図である。

図１２は、本実施の形態における変形例の画素回路を示す図である。

【発明を実施するための最良の形態】

以下、図面に従って本発明の実施の形態例を説明する。

図４は、本実施の形態におけるアクティブマトリクス型の表示装置の概略構成図である。この表示装置は、例えば有機ＥＬ素子を利用した有機ＥＬ表示装置である。図４の表示装置において、有機ＥＬパネル１０には、水平方向に設けられた複数の第１の走査線Ｗｓｃａｎ１～Ｎと、複数の第２の走査線Ｅｓｃａｎ１～Ｎと、垂直方向に設けられた複数のデータ線Ｄａｔａ１～Ｍと、それらの交差位置に配置されたマトリクス状の画素ＰＸとが設けられている。そして、フレーム期間内において、第１の走査線駆動回路１４が第１の走査線Ｗｓｃａｎ１～Ｎを、第２の走査線駆動回路１５が第２の走査線Ｅｓｃａｎ１～Ｎをそれぞれ順次走査し、各走査期間においてデータ線駆動回路１２がデータ線Ｄａｔａ１～Ｍに輝度情報に対応した書き込み電流値を供給する。

図５は、本実施の形態における表示装置の画素回路を示す図である。この画素ＰＸには、駆動電流に応じた輝度で発光する有機ＥＬ素子などの発光素子ＯＬＥＤと、その発光素子ＯＬＥＤに駆動電流を供給する駆動トランジスタＴＦＴ４と、駆動トランジスタＴＦＴ４のドレインを電源Ｖｄｄに接続する第３のトランジスタＴＦＴ３と、第１の走査線Ｗｓｃａｎにゲートが接続された第１のトランジスタＴＦＴ１と、第２の走査線Ｅｓｃａｎにゲートが接続された第２のトランジスタＴＦＴ２と、駆動トランジスタＴＦＴ４のゲートノードＮｄと所定の電圧源Ｖｃｓとの間に設けられたキャパシタＣとを有する。第３のトランジスタＴＦＴ３のみがＰチャネルトランジスタであり、他のトランジスタはＮチャネルトランジスタである。従って、同じ第２の走査線Ｅｓｃａｎにより駆動されるトランジスタＴＦＴ２，ＴＦＴ３は、逆極性で導通・非導通が制御される。

尚、キャパシタＣの電圧源Ｖｃｓは、電源Ｖｄｄであってもよい。また、キャパシタＣにはＭＯＳ容量が用いられる。更に、発光素子ＯＬＥＤは、有機ＥＬ素子が利用される場合は、その陰極側がグランドに接続され、陽極側が駆動トランジスタＴＦＴ４に接続される。そして、第３のトランジスタＴＦＴ３はＮチャネルトランジスタであってもよいが、その場合は、第２の走査線Ｅｓｃａｎと逆極性で駆動される第３の走査線（図示せず）によりゲートが制御される。

また、データ線駆動回路１２は、輝度情報に対応する書き込み電流Ｉｄａｔａをデータ線Ｄａｔａに供給する電流源ＣＳを有する。この電流源ＣＳの電流Ｉｄａｔａは、画素の表示輝度の階調値に対応する電流値に制御される。

図６は、図４、図５の表示装置の動作波形図である。図６には、データ線Ｄａｔａに供給される輝度情報に対応する書き込み電流Ｉｄａｔａと、第１の走査線Ｗｓｃａｎ１～Ｎ

の駆動パルス波形と、第２の走査線Ｅｓｃａｎ１～Ｎの駆動パルス波形と、発光素子ＯＬＥＤの発光波形とが示されている。１フレーム期間ＦＬにおいて、第１の走査線Ｗｓｃａｎ１～Ｎに駆動パルスが順次供給され、対応する画素内の第１のトランジスタＴＦＴ１を導通させる。また、第２の走査線Ｅｓｃａｎ１～Ｎにも駆動パルスが順次供給され、対応する画素内の第２のトランジスタＴＦＴ２を導通させる。第２の走査線Ｅｓｃａｎへの駆動パルスは、第１の走査線Ｗｓｃａｎへの駆動パルスよりも早く立ち上がり、ほぼ同時に立ち下がる。従って、第２のトランジスタＴＦＴ２が先に導通し、その後第１及び第２のトランジスタＴＦＴ１，ＴＦＴ２が同時に導通し、そして、両トランジスタが同時に非導通になる。また、Ｐチャネルトランジスタの第３のトランジスタＴＦＴ３は、第２の走査線ＥｓｃａｎがＬレベルの間導通し、Ｈレベルの間非導通になる。

図６には、第１の走査線Ｗｓｃａｎ１に接続される画素に対する書き込み期間ｔＷと、読み出し期間ｔＲと、消去期間ｔＥとが示される。また、発光素子ＯＬＥＤに対する発光期間ｔＬＥと、消光期間ｔＮＬＥとが示される。

図７は、本実施の形態における表示装置の動作を示す図表及び波形図である。図７には、走査線Ｗｓｃａｎ１，Ｅｓｃａｎ１に注目して、書き込み期間ｔＷ、読み出し期間ｔＲ、消去期間ｔＥの各期間における走査線のレベルと、画素内トランジスタの導通・非導通状態とが示される。

図８は、本実施の形態における画素回路の動作を示す図である。図７の動作を示す図表に対応して、各期間（書き込み期間ｔＷ、読み出し期間ｔＲ、消去期間ｔＥ）における接続状態と電流経路とが示されている。また、図９は、本実施の形態における画素回路の動作を説明する図であり、書き込み時（図９（ａ））と読み出し時（図９（ｂ））の動作を説明する。この図において、横軸は、駆動トランジスタＴＦＴ４のドレイン・ソース間電圧Ｖｄｓ４を、縦軸は、駆動トランジスタＴＦＴ４のドレイン電流Ｉｄ４をそれぞれ示す。以下、図７，８，９を参照しながら、本実施の形態の表示装置の動作を詳述する。

［書き込み期間］

書き込み期間ｔＷにおいて、第１及び第２の走査線Ｗｓｃａｎ，Ｅｓｃａｎが共にＨレベルになり、トランジスタＴＦＴ１、ＴＦＴ２が共に導通し、トランジスタＴＦＴ３が非導通になる。これに伴って、データ線駆動回路１２が、輝度情報に対応する書き込み電流Ｉｄａｔａをデータ線を介して各画素に供給する。図８の書き込み期間ｔＷの等価回路に示されるように、電流源ＣＳは、トランジスタＴＦＴ１と、ゲート・ドレイン間がトランジスタＴＦＴ２により短絡されてダイオード接続された駆動トランジスタＴＦＴ４と、発光素子ＯＬＥＤとからなる直列回路に、書き込み電流Ｉｄａｔａを供給する。ここで留意すべき点は、データ線駆動回路１２は、電流源ＣＳに輝度情報に対応する書き込み電流Ｉｄａｔａを発生させる点である。つまり、この書き込み電流Ｉｄａｔａが供給される回路がどのような状態であっても、書き込み電流Ｉｄａｔａに変動はない。

書き込み期間において、書き込み電流Ｉｄａｔａが供給される回路の動作点は、図９（ａ）に示される動作点ＯＰ１になる。図９（ａ）において、ダイオード接続された駆動トランジスタＴＦＴ４のドレイン電流Ｉｄ４に対するドレイン・ソース間電圧Ｖｄｓ４の動作曲線２４が示されている。この動作曲線２４は、通常のダイオード特性と同じである。つまり、ドレイン電流Ｉｄ４に対応するドレイン・ソース間電圧Ｖｄｓ４が発生する。また、図９（ａ）には、供給される書き込み電流Ｉｄａｔａに対する、発光素子ＯＬＥＤと第１のトランジスタＴＦＴ１との直列回路の動作曲線２６が示されている。この動作曲線２６は、データ線の電圧Ｖｄａｔａを基準にして、横軸とは反対方向に、第１のトランジスタＴＦＴ１のソース・ドレイン間電圧Ｖｄｓ１と発光素子ＯＬＥＤの電圧ＶＯＬＥＤとの和が示される。つまり、動作曲線２６は、第１のトランジスタＴＦＴ１と発光素子ＯＬＥＤの負荷特性に対応する。

そして、書き込み期間においては、書き込み電流Ｉｄａｔａが前述の直列回路に流れるので、駆動トランジスタＴＦＴ４の負荷曲線２４と、第１のトランジスタＴＦＴ１及び発光素子ＯＬＥＤの負荷曲線２６とが、書き込み電流Ｉｄａｔａで交わるようにデータ線電位Ｖｄａｔａが決定される。つまり、このデータ線電位Ｖｄａｔａに応じて、負荷曲線２

６が左右に移動するのである。このとき、駆動トランジスタＴＦＴ４のゲートＮｄの電位は、Ｖｄａｔａ－（Ｖｄｓ１＋Ｖｄｓ２）（ここでＶｄｓ１，Ｖｄｓ２は第１、第２のトランジスタＴＦＴ１，ＴＦＴ２のドレイン・ソース間電圧である。）になり、キャパシタＣにはこの条件に応じた電荷が蓄積される。この書き込み期間にて、書き込み電流Ｉｄａｔａが発光素子ＯＬＥＤにも供給され、それに応じて発光素子ＯＬＥＤは発光する。

このように、直列回路の動作点は、動作曲線２４と２６とが交わる点ＯＰ１になる。つまり、ダイオード接続の駆動トランジスタＴＦＴ４のドレイン電流Ｉｄ４は書き込み電流Ｉｄａｔａと等しいので（Ｉｄ４＝Ｉｄａｔａ）、そのドレイン・ソース間電圧Ｖｄｓ４は、書き込み電流Ｉｄａｔａがドレイン電流Ｉｄｓ４として流れた時の駆動トランジスタＴＦＴ４のドレイン・ソース間電圧Ｖｄｓ４になる。そして、駆動トランジスタＴＦＴ４のゲートとドレインは短絡されているので、そのゲート・ソース間電圧Ｖｇｓとドレイン・ソース間電圧Ｖｄｓ４とは等しくなるので（Ｖｄｓ４＝Ｖｇｓ）、その結果、駆動トランジスタＴＦＴ４のゲート・ソース間電圧Ｖｇｓが常に書き込み電流Ｉｄａｔａに依存した電圧になる。つまり、ノードＮｄの電位が常に書き込み電流Ｉｄａｔａに依存した電圧になるように、キャパシタＣへの電荷の書き込みが行われるのである。

なお、図９（ａ）中、曲線２０は駆動トランジスタＴＦＴ４のトランジスタ特性（Ｉ－Ｖ特性）を示し、曲線２２は、そのＩ－Ｖ特性２０の非飽和領域と飽和領域との境界線に対応する。

［読み出し期間］

読み出し期間ｔＲでは、第１及び第２の走査線Ｗｓｃａｎ，Ｅｓｃａｎが共にＬレベルになり、第１、第２のトランジスタＴＦＴ１、ＴＦＴ２が共に非導通となり、第３のトランジスタＴＦＴ３が導通する。その結果、読み出し期間では、図８に示されるように、電源Ｖｄｄ、第３のトランジスタＴＦＴ３、駆動トランジスタＴＦＴ４、発光素子ＯＬＥＤ、グランドＧＮＤの直列回路になる。また、キャパシタＣの充電電荷は放電経路がなく、駆動トランジスタＴＦＴ４のゲートＮｄの電位は維持される。

そして、駆動トランジスタＴＦＴ４は、ゲートＮｄの電位から決まるゲート・ソース間電圧Ｖｇｓに対応するＩ－Ｖ特性２０で動作する。つまり、図９（ｂ）に示されるＩ－Ｖ特性曲線２０の飽和領域上で動作する。

更に、第３のトランジスタＴＦＴ３が導通して電源Ｖｄｄから電流が供給されるので、第３のトランジスタＴＦＴ３（ドレイン・ソース電圧Ｖｄｓ３）と発光素子ＯＬＥＤ（電圧ＶＯＬＥＤ）との負荷曲線３０の基準電圧は、ＶｄａｔａからＶｄｄに移動する。その結果、新たな動作点は、トランジスタＴＦＴ４のＩ－Ｖ特性２０と、第３のトランジスタＴＦＴ３と発光素子ＯＬＥＤとの負荷曲線３０との交差点ＯＰ２に移動する。この、負荷曲線３０は、電源Ｖｄｄを基準にして、第３のトランジスタＴＦＴ３のドレイン・ソース間電圧Ｖｄｓ３と発光素子ＯＬＥＤの電圧ＶＯＬＥＤとの和を横軸と逆方向に示している。

新たな動作点ＯＰ２が駆動トランジスタＴＦＴ４の飽和領域上にあるので、動作点ＯＰ２での駆動トランジスタＴＦＴ４のドレイン電流Ｉｄは、書き込み電流Ｉｄａｔａと同じ電流値になる。つまり、発光素子ＯＬＥＤは書き込み電流Ｉｄａｔａと同じ電流Ｉｄで駆動され、書き込み電流Ｉｄａｔａに対応した輝度で発光する。このように、書き込み時に、駆動トランジスタＴＦＴ４のダイオード特性に応じて、書き込み電流Ｉｄａｔａに対応するゲート電位にキャパシタＣを充電し、読み出し時に、そのゲート電位に応じた駆動電流Ｉｄ（＝Ｉｄａｔａ）で発光素子を駆動している。したがって、トランジスタ特性のばらつきに影響を受けずに、輝度情報に対応する書き込み電流Ｉｄａｔａで発光素子を駆動することができる。

［消去期間］

消去期間ｔＥでは、第１の走査線ＷｓｃａｎがＬレベル、第２の走査線ＥｓｃａｎがＨレベルになり、第１及び第３のトランジスタＴＦＴ１，ＴＦＴ３が非導通、第２のトランジスタＴＦＴ２が導通状態になる。その結果、図８に示されるように、キャパシタＣに蓄積されている電荷は、第１のトランジスタＴＦＴ１、駆動トランジスタＴＦＴ４、発光素

子ＯＬＥＤを介して放電される。この放電時において、発光素子ＯＬＥＤは一時的に発光する。

この消去動作により、フレーム期間においてキャパシタＣに書き込まれた状態がリセットされると共に、発光素子ＯＬＥＤが消光期間ｔＮＬＥの間発光しない。そのため、次のフレーム期間における書き込み動作では、前フレーム期間での書き込み状態の影響を受けることがなくなる。つまり、大画面で走査線本数が多くなると、各走査線の走査期間が短くなる。その結果、キャパシタＣの状態がリセットされていないと、短い走査期間での書き込み動作では、前フレーム期間での状態をリセットして更に原フレーム期間での書き込み電流による書き込みを完了することができない場合がある。それに対して、上記の消去動作があれば、書き込み前にキャパシタＣの状態がリセットされるので、前フレーム期間の履歴の影響がなくなり、時間方向の輝度のばらつきを抑制することができる。

更に、消去動作により、読み出し期間ｔＲの間発光していた発光素子ＯＬＥＤが一旦消光されるので、動画表示した時に、前フレームの残像が原フレームでの画像に重畳して動画映像が劣化することが防止される。いわゆる人間がキレがよいと感じる映像を表示することができる。

更に、第２の走査線駆動回路１５による第２の走査線Ｅｓｃａｎの駆動パルス幅の制御により、消去動作期間を制御することができる。したがって、第２の走査線の駆動パルス幅を調整することで、画像の明るさを微調整することができ、例えば、非常に高い輝度の画像表示におけるコントラストを改善することができる。

［異なる輝度情報の書き込み動作］

図１０は、本実施の形態において異なる輝度情報の書き込み動作を説明する図である。図９（ａ）と異なるのは、書き込み電流Ｉｄａｔａ２が小さくなっている点である。このように、輝度情報に応じて書き込み電流ＩｄａｔａがＩｄａｔａ２のように小さくなると、第１のトランジスタＴＦＴ１、駆動トランジスタＴＦＴ４、発光素子ＯＬＥＤの回路に流れる電流が小さくなり、ダイオード接続の駆動トランジスタＴＦＴ４のドレイン・ソース間電圧Ｖｄｓ４と、第１のトランジスタＴＦＴ１や発光素子ＯＬＥＤの電圧とが変動する。それに伴い、データ線の電圧Ｖｄａｔａ２は、図１０に示されるように左側にシフトし、負荷曲線２６（２）も左側にシフトする、その結果、ダイオード特性曲線２４と新たな負荷曲線２６（２）との交差点ＯＰ３が新たな動作点になる。この動作点ＯＰ３は、新たな書き込み電流Ｉｄａｔａ２に対応する。

そして、読み出し動作では、この動作点ＯＰ３上のＩ－Ｖ特性２０に沿って動作点が移動するだけであり、書き込み電流Ｉｄａｔａ２と同等の駆動電流Ｉｄ４が駆動トランジスタＴＦＴ４に流れ、発光素子ＯＬＥＤが駆動される。つまり、発光素子ＯＬＥＤは、書き込み電流Ｉｄａｔａ２に対応する輝度で発光する。

［トランジスタの特性ばらつきに対する書き込み動作］

図１１は、本実施の形態においてトランジスタの特性がばらついた場合の書き込み動作を示す図である。図１１には、駆動トランジスタＴＦＴ４の閾値電圧が高くなる方向にばらつき、そのダイオード特性２４（Ｖｔｈ）が右側にシフトした場合を示している。この閾値電圧の上昇に伴い、第１のトランジスタＴＦＴ１、駆動トランジスタＴＦＴ４、発光素子ＯＬＥＤによる直列回路に必要な電圧Ｖｄａｔａ（Ｖｔｈ）は、図１１に示されるように上昇し、負荷曲線２６（Ｖｔｈ）は右側にずれる。そして、動作曲線２４（Ｖｔｈ）と動作曲線２６（Ｖｔｈ）との交点である動作点ＯＰ４は、書き込み電流Ｉｄａｔａに対応する点に維持される。

そして、読み出し動作では、この動作点ＯＰ４上のＩ－Ｖ特性２０に沿って動作点が移動するだけであり、書き込み電流Ｉｄａｔａと同等の駆動電流が駆動トランジスタＴＦＴ４に流れ、発光素子ＯＬＥＤが駆動される。つまり、製造ばらつきなどに起因して、トランジスタの特性がばらついても、発光素子への駆動電流は書き込み電流Ｉｄａｔａと同等に制御される。つまり、特性ばらつきに依存しない発光輝度の画像を得ることができる。

このトランジスタの閾値電圧のばらつきに依存しないことを別の表現で説明すると次の通りである。駆動トランジスタＴＦＴ４の閾値電圧が高くなると、書き込み後のゲートＮ

ｄの電位も高くなる。しかし、駆動トランジスタＴＦＴ４の高い閾値電圧により、ゲートＮｄの電位が高くなっても、駆動電流Ｉｄ４には変化はない。逆に、閾値電圧が低くなると、書き込み後のゲートＮｄの電位も低くなる。しかし、駆動トランジスタＴＦＴ４の低い閾値電圧により、ゲートＮｄの電位が低くなっても、駆動電流Ｉｄ４には変化はない。つまり、書き込み時のゲートＮｄの電位を決定するトランジスタと、読み出し時の駆動電流を決定するトランジスタとが同じ駆動トランジスタＴＦＴ４であるので、前述の特許文献２のように画素内のトランジスタ特性のばらつきの問題はないのである。

［変形例］

図１２は、本実施の形態の変形例を示す図である。この変形例の画素回路は、第２のトランジスタＴＦＴ２として、ダブルゲート構造のＭＯＳトランジスタが使用される。第２のトランジスタＴＦＴ２は、読み出し期間において第２の走査線ＥｓｃａｎのＬレベルに応答してオフ状態に制御され、キャパシタＣの充電状態を維持する。従って、ノードＮｄからのリーク電流の発生は表示輝度の変動を招くので極力避ける必要がある。そこで、この変形例では、第２のトランジスタＴＦＴ２に２つのゲート電極を形成し、その２つのゲート電極を共に第２の走査線Ｅｓｃａｎに接続する。これにより、２つのゲート電極が共にＬレベルに制御されて、オフ状態のリーク電流が抑制される。

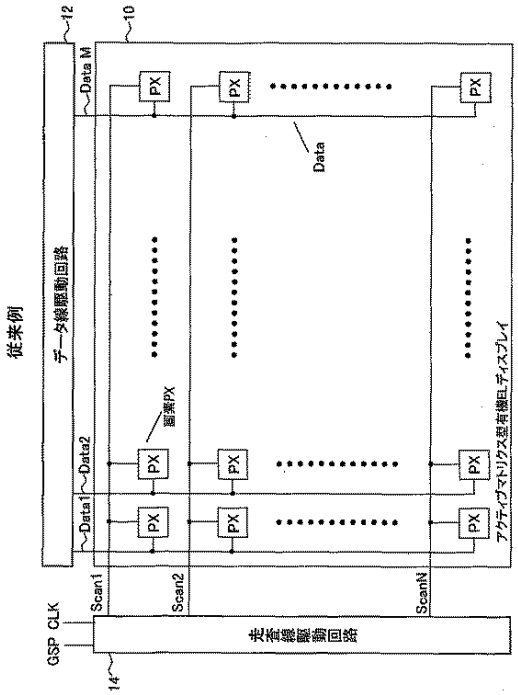
【産業上の利用可能性】

本発明によれば、ＴＦＴなどの能動素子の特性ばらつきによらず、データ線からの書き込み電流Ｉｄａｔａに対応する駆動電流を、有機ＥＬ素子等の電流駆動型発光素子に流すことが可能である。このような画素回路をマトリクス状に多数配置することにより、各画素を正確に所望の輝度で発光させることができるので、高品位なアクティブマトリクス型表示装置を提供することができる。

また、本発明では、データの書き込み時に画素回路に流すＩｄａｔａも発光素子の発光に寄与するため、１走査期間の限られた発光期間を有効に使用することができる。更に、書き込み用と消去用の２つの走査線駆動回路を用いることで、１走査期間内に任意の長さの消光期間を設けることができ、前フレームの履歴の影響を受けず、動画表示時のキレを良くすることができる。

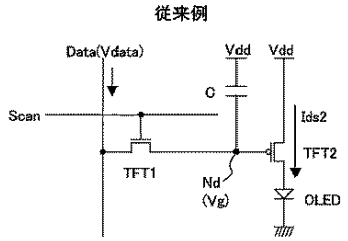
【図１】

図1



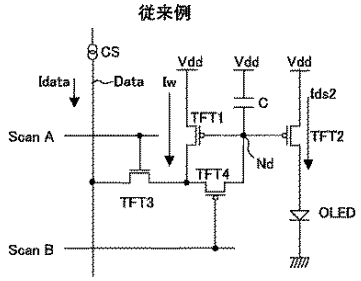
【図２】

図2



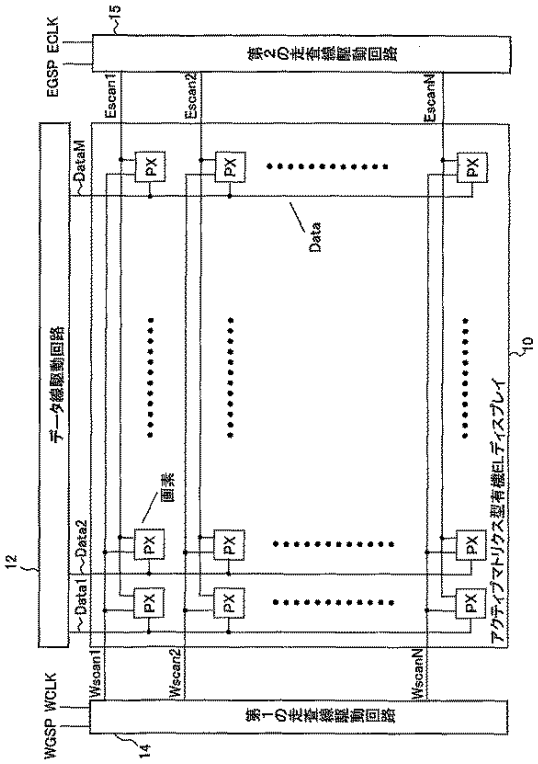
【図３】

図3



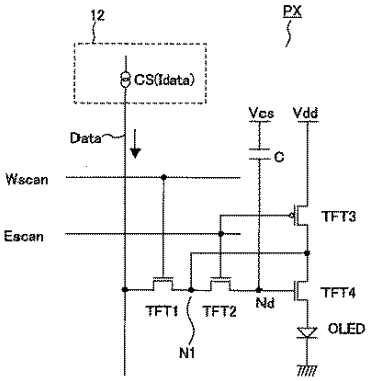
【図４】

図4



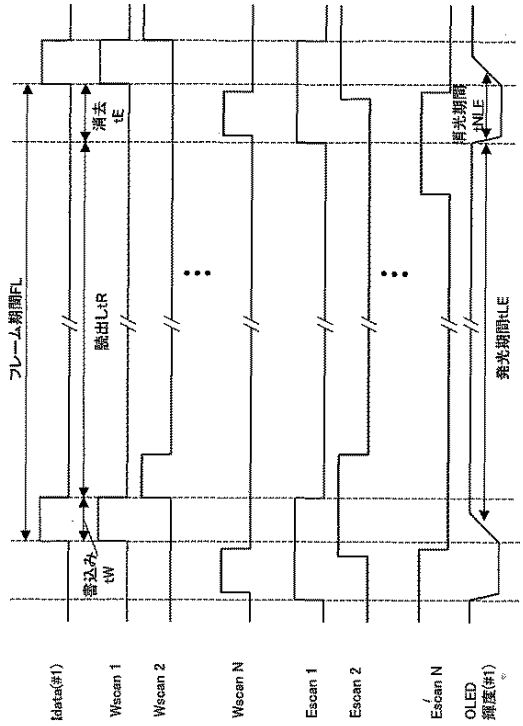
【図５】

図5



【図６】

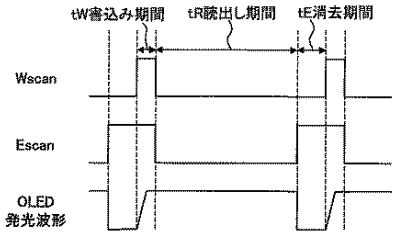
図6



【図７】

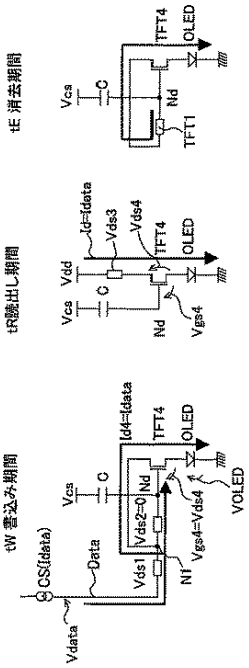
図7

	tW 書込み期間	tR 読出し期間	tE 消去期間
Wscan	HIGH	LOW	LOW
Escan	HIGH	LOW	HIGH
TFT1	ON	OFF	OFF
TFT2	ON	OFF	ON
TFT3	OFF	ON	OFF
TFT4	I-V特性に従う	I-V特性に従う	I-V特性に従う



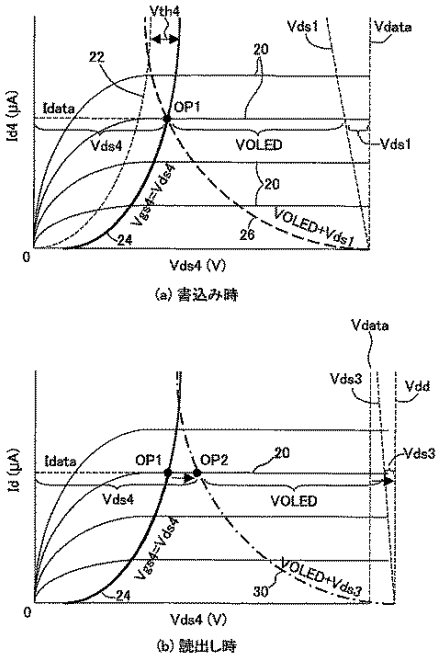
【図８】

図8

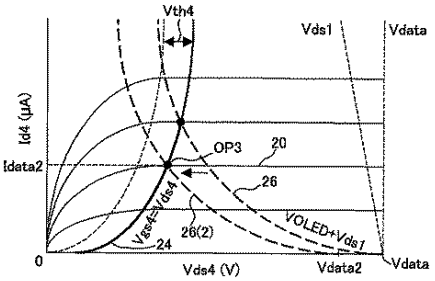


【図９】

図9

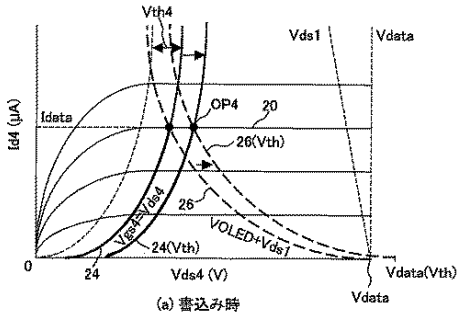


【図１０】
図10



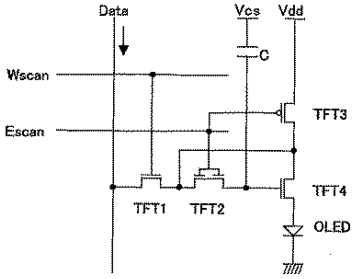
(a) 書込み時

【図１１】
図11



(a) 書込み時

【図１２】
図12



【手続補正書】
【提出日】平成18年12月12日(2006.12.12)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１の方向に配置され順次に選択される複数の走査線と、
前記第１の方向に交差する方向に配置され、前記走査線の選択に対応して輝度情報に対応する書き込み電流が供給される複数のデータ線と、
前記複数の走査線とデータ線との交差位置に配置される複数の画素とを有する表示装置において、
前記画素は、発光素子と、当該発光素子に駆動電流を供給する駆動トランジスタと、当該駆動トランジスタのゲートに接続され書き込みデータを蓄積するキャパシタと、前記走査線が走査される書き込み期間に導通して前記データ線と前記駆動トランジスタのドレインとを接続する第１のトランジスタと、前記書き込み期間に導通して前記駆動トランジスタのゲート・ドレイン間を短絡させると共に前記データ線から供給される前記書き込み電流を前記キャパシタに供給する第２のトランジスタとを有し、
前記書き込み期間において、前記第１のトランジスタとゲート・ドレイン間が短絡された駆動トランジスタと前記発光素子を含む回路に前記書き込み電流が供給されて、前記駆動トランジスタのゲートが当該書き込み電流に応じたゲート電位になるように前記キャパシタが充電され、
前記書き込み期間の後の読み出し期間において、前記第１及び第２のトランジスタが非

導通になり、前記駆動トランジスタが前記ゲート電位に応じた駆動電流で前記発光素子を駆動し、
前記画素は、更に、前記読み出し期間において導通し、前記駆動トランジスタのドレインを所定の電源に接続する第３のトランジスタを有しており、
前記読み出し期間後であって前記書き込み期間前の消去期間において、前記第２のトランジスタが導通して、前記キャパシタの電荷が前記駆動トランジスタを介して前記発光素子に放電されることを特徴とする表示装置。
【請求項２】
前記消去期間において、前記発光素子が放電に伴って発光することを特徴とする、請求項１記載の表示装置。
【請求項３】
前記消去期間が、調整可能であることを特徴とする、請求項１記載の表示装置。
【請求項４】
前記書き込み期間において、前記書き込み電流が前記駆動トランジスタを介して前記発光素子に供給され、当該発光素子が発光することを特徴とする、請求項１記載の表示装置。
【請求項５】
前記走査線は第１及び第２の走査線を有し、
前記画素において、
前記第１のトランジスタのドレインが前記データ線に接続され、そのゲートが第１の走査線に接続され、
前記第２のトランジスタのゲートが前記第２の走査線に接続され、その１対のソース・ドレインが前記第１のトランジスタのソースと前記駆動トランジスタのゲートにそれぞれ接続され、
前記駆動トランジスタのドレインが前記第１のトランジスタのソースに接続され、そのソースが前記発光素子に接続され、
前記読み出し期間において、前記駆動トランジスタのドレインが所定の電源に接続されることを特徴とする、請求項１記載の表示装置。
【請求項６】
前記画素は、更に、前記読み出し期間において導通し、前記駆動トランジスタのドレインを前記所定の電源に接続する第３のトランジスタを有することを特徴とする、請求項５記載の表示装置。
【請求項７】
前記第３のトランジスタのゲートは前記第２の走査線に接続され、当該第２の走査線が非選択の時に前記第３のトランジスタが導通することを特徴とする、請求項６記載の表示装置。
【請求項８】
前記第２のトランジスタはダブルゲート構造を有し、当該ダブルゲートは、前記第２の走査線に接続されていることを特徴とする、請求項１記載の表示装置。
【請求項９】
前記キャパシタは、一方の電極が前記駆動トランジスタのゲートに、他方の電極が所定の電圧端子に接続されていることを特徴とする、請求項１記載の表示装置。
【請求項１０】
前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする、請求項９記載の表示装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/006352

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl^7 G09G3/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl^7 G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 01/06484 A1 (Sony Corp.), 25 January, 2001 (25.01.01), Page 20, line 12 to page 21, line 5; page 27, line 4 to page 28, line 2; page 31, line 4 to page 32, line 20; Figs. 8, 13, 20 & EP 1130565 A1	1-8,10-12 9
Y	JP 2002-517806 A (Koninklijke Philips Electronics N.V.), 18 June, 2002 (18.06.02), Par. No. [0026]; Fig. 3 & WO 99/65011 A2 & US 6373454 B1	9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 31 May, 2004 (31.05.04)	Date of mailing of the international search report 15 June, 2004 (15.06.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/006352

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-69816 A (NEC Corp.), 04 March, 2004 (04.03.04), Full text; all drawings (Family: none)	1-12
A	JP 2002-514320 A (Sarnoff Corp.), 14 May, 2002 (14.05.02), Page 13, line 2 to page 15, line 15; Fig. 2 & WO 98/48403 A1 & US 6229506 B1	1-12
A	JP 2003-150118 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0004] to [0006]; Fig. 12 (Family: none)	1-12
A	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Full text; all drawings & US 6583775 B1	1-12

国際調査報告

国際出願番号 PCT／JP2004／006352

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl⁷ G09G 3／30

B. 調査を行った分野
調査を行った最小限資料（国際特許分類（IPC））
Int.Cl⁷ G09G 3／00－3／38
H05B33／14

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1926－1996年
日本国公開実用新案公報 1971－2004年
日本国実用新案登録公報 1996－2004年
日本国登録実用新案公報 1994－2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	WO 01／06484 A1（ソニー株式会社） 2001.01.25，第20頁第12行－第21頁第5行，第27頁第4行－第28頁第2行，第31頁第4行－第32頁第20行，【図8】，【図13】，【図20】 & EP 1130565 A1	1-8,10-12 9
Y	JP 2002－517806 A（コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ）2002.06.18 段落【0026】，【図3】 & WO 99／65011 A2 & US 6373454 B1	9

☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
31.05.2004

国際調査報告の発送日
15.6.2004

国際調査機関の名称及びあて先
日本国特許庁（ISA／JP）
郵便番号100－8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員） 2G 9308
西島 篤宏

電話番号 03－3581－1101 内線 3225

様式PCT／ISA／210（第2ページ）（2004年1月）

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００４／００６３５２

Ｃ（続き）． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ ２００４－６９８１６ Ａ（日本電気株式会社） ２００４．０３．０４，全文，全図（ファミリーなし）	1-12
Ａ	ＪＰ ２００２－５１４３２０ Ａ（サーノフ コーポレイション） ２００２．０５．１４，第１３頁第２行－第１５頁第１５行 【図２】 ＆ ＷＯ ９８／４８４０３ Ａ１ ＆ ＵＳ ６２２９５０６ Ｂ１	1-12
Ａ	ＪＰ ２００３－１５０１１８ Ａ（松下電器産業株式会社） ２００３．０５．２３，段落【０００４】－【０００６】 【図１２】（ファミリーなし）	1-12
Ａ	ＪＰ ２００１－６００７６ Ａ（ソニー株式会社） ２００１．０３．０６，全文，全図 ＆ ＵＳ ６５８３７７５ Ｂ１	1-12

フロントページの続き

(51)Int.Cl.	ＦＩ		テーマコード（参考）
	Ｇ０９Ｇ 3/20	６４１Ｒ	
	Ｇ０９Ｇ 3/20	６６０Ｖ	
	Ｈ０５Ｂ 33/14	Ａ	

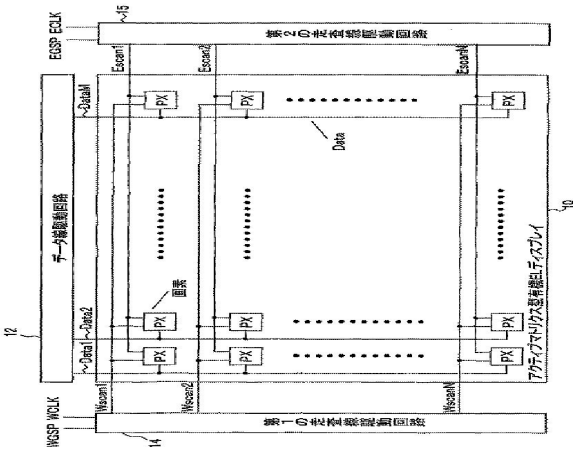
(72)発明者 山口 久
日本国 ２１１－８５８８ 神奈川県川崎市上小田中４丁目１番１号 富士通株式会社内
(72)発明者 橋本 康宣
日本国 ２１１－８５８８ 神奈川県川崎市上小田中４丁目１番１号 富士通株式会社内

Ｆターム(参考) 3K107 AA01 BB01 CC33 EE03 HH02 HH04 HH05
5C080 AA06 BB05 EE29 FF11 JJ02 JJ03 JJ04 JJ05

（注）この公表は、国際事務局（ＷＩＰＯ）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第１８４条の１０第１項(実用新案法第４８条の１３第２項）により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵显示		
公开(公告)号	JPWO2005106834A1	公开(公告)日	2008-03-21
申请号	JP2006512714	申请日	2004-04-30
[标]申请(专利权)人(译)	富士胶片株式会社		
申请(专利权)人(译)	富士胶片株式会社		
[标]发明人	石塚淳夫 山口久 橋本康宣		
发明人	石塚 淳夫 山口 久 橋本 康宣		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/325 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.611.H G09G3/20.621.F G09G3/20.641.R G09G3/20.660.V H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	中岛敦 福田浩		
外部链接	Espacenet		

摘要(译)

本发明的显示装置包括依次选择的多条扫描线（Wscan和Escan），根据该扫描向多条数据线（Data）提供根据亮度信息的写入电流（Idata）。 线选择和布置在扫描线和数据线之间的相交点处的多个像素（PX）。 每个像素包括发光元件（OLED），驱动晶体管（TFT4），连接到该驱动晶体管的栅极（Nd）以累积写入数据的电容器（C），第一晶体管（TFT1）。 在写入期间导通，其中扫描线被扫描并连接数据线和驱动晶体管的漏极；第二晶体管（TFT2）在写入期间导通，并使晶体管的栅极和漏极短路。 驱动晶体管。 利用这种结构，可以与晶体管的特性变化无关地以与写入电流相等的驱动电流来驱动发光元件。

【図４】
図4