

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4547605号  
(P4547605)

(45) 発行日 平成22年9月22日(2010.9.22)

(24) 登録日 平成22年7月16日(2010.7.16)

(51) Int.Cl.		F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30	J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20	611H
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20	624B
	G09G 3/20	670J
	HO5B 33/14	A

請求項の数 7 (全 21 頁)

(21) 出願番号 特願2004-9952(P2004-9952)  
 (22) 出願日 平成16年1月19日(2004.1.19)  
 (65) 公開番号 特開2005-202255(P2005-202255A)  
 (43) 公開日 平成17年7月28日(2005.7.28)  
 審査請求日 平成18年8月22日(2006.8.22)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100082131  
 弁理士 稲本 義雄  
 (72) 発明者 飯田 幸人  
 愛知県知多郡東浦町緒川上舟木50番地  
 エスティ・エルシーディ株式会社内  
 (72) 発明者 内野 勝秀  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

行状の走査線と、列状の信号線と、両者が交差する部分に行列状に配された画素回路とを備え、

各画素回路は、発光素子と、保持容量と、入力容量と、サンプリング用トランジスタと、駆動用トランジスタと、第1、第2、第3、および第4のスイッチング用トランジスタからなり、

前記サンプリング用トランジスタは、前記走査線によって選択された時動作し、前記信号線から映像信号をサンプリングして前記保持容量に保持し、

前記駆動用トランジスタは、前記保持容量に保持された信号電位に応じて前記発光素子を発光駆動し、

前記保持容量は、一方の電極が前記駆動用トランジスタのゲートと、前記第1のスイッチング用トランジスタのソースと、前記第4のスイッチング用トランジスタのソースとに接続され、他方の電極が前記駆動用トランジスタのソースと、前記第3のスイッチング用トランジスタのドレインと、前記発光素子とに接続され、

前記入力容量は、一方の電極が前記サンプリング用トランジスタのソースと、前記第2のスイッチング用トランジスタのソースとに接続され、他方の電極が前記第4のスイッチング用トランジスタのドレインに接続され、

前記第1のスイッチング用トランジスタは、ドレインが前記駆動用トランジスタのドレインに接続され、ソースが前記駆動用トランジスタのゲートと、前記保持容量の一方の電

10

20

極と、前記第 4 のスイッチング用トランジスタのソースとに接続され、

前記第 2 のスイッチング用トランジスタは、ドレインが所定の電位に保持され、ソースが前記サンプリング用トランジスタのソースと、前記入力容量の一方の電極とに接続され、

前記第 3 のスイッチング用トランジスタは、ドレインが前記駆動用トランジスタのソースと、前記保持容量の他方の電極と、前記発光素子とに接続され、

前記第 4 のスイッチング用トランジスタは、ドレインが前記入力容量の他方の電極に接続され、ソースが前記駆動用トランジスタのゲートと、前記第 1 のスイッチング用トランジスタのソースと、前記保持容量の一方の電極に接続される

表示装置であって、

前記画素回路の駆動部は、閾値補正回路とブートストラップ回路とを含み、

前記閾値補正回路は、前記発光素子の発光駆動に先だって、電源電位を前記駆動用トランジスタに供給し、前記駆動用トランジスタの動作領域を飽和領域とした後、前記第 3 および第 4 のスイッチング用トランジスタをオンにし、さらに前記 1 および第 2 のスイッチング用トランジスタをオンにした後、前記電源電位の供給を止め、前記保持容量に前記駆動用トランジスタの閾値電圧を保持させ、

前記ブートストラップ回路は、前記第 3 および第 4 のスイッチング用トランジスタをオンにし、前記第 1 および第 2 のスイッチング用トランジスタをオフにした状態で前記電源電位を前記駆動用トランジスタに供給した後、前記サンプリング用トランジスタを介して、前記保持容量および前記入力容量に入力電圧を入力し、前記保持容量が前記閾値電圧と、前記入力電圧の入力に基づく電圧変化量とを加算した電位を保持することで、前記保持容量の電位を調整するブートストラップ動作を行なう

表示装置。

【請求項 2】

前記第 4 のスイッチングトランジスタは、前記サンプリング用トランジスタと前記駆動用トランジスタとを切り離すことによって、前記ブートストラップ動作で上昇した信号電位が前記サンプリング用トランジスタを介してリークしない様にし、前記ブートストラップ動作を確実にこなう

請求項 1 記載の表示装置。

【請求項 3】

前記第 4 のスイッチングトランジスタは、前記サンプリング用トランジスタと前記駆動用トランジスタとを切り離すことによって、前記駆動用トランジスタのゲートに寄生する容量を低減し、以って前記駆動用トランジスタのゲートに作用するブートストラップ動作を確実にこなう

請求項 1 記載の表示装置。

【請求項 4】

前記サンプリング用トランジスタと前記駆動用トランジスタとは前記入力容量によって互いに接続しており、前記第 4 のスイッチングトランジスタは前記入力容量を界にして前記サンプリング用トランジスタと前記駆動用トランジスタとを切り離す

請求項 1 記載の表示装置。

【請求項 5】

前記駆動用トランジスタは N 型の薄膜トランジスタであり、前記保持容量は前記 N 型の薄膜トランジスタのゲートとソースの間に接続されており、前記閾値補正回路の処理に基づいて、前記 N 型の薄膜トランジスタのゲート・ソース間電位に前記保持容量に保持された前記閾値電圧を加える

請求項 1 記載の表示装置。

【請求項 6】

前記駆動用トランジスタは N 型の薄膜トランジスタであり、前記発光素子は前記 N 型の薄膜トランジスタのソースに接続した有機 EL 素子であり、前記保持容量は前記 N 型の薄膜トランジスタのソースとゲートの間に接続しており、前記ブートストラップ回路の処理

10

20

30

40

50

に基づいて、前記保持容量に保持された前記閾値電圧をブートストラップする  
請求項 1 記載の表示装置。

【請求項 7】

行状の走査線と、列状の信号線と、両者が交差する部分に行列状に配された画素回路とを備え、各画素回路は、発光素子と、保持容量と、入力容量と、サンプリング用トランジスタと、駆動用トランジスタと、第 1、第 2、第 3、および第 4 のスイッチング用トランジスタからなり、前記サンプリング用トランジスタは、前記走査線によって選択された時動作し、前記信号線から映像信号をサンプリングして前記保持容量に保持し、前記駆動用トランジスタは、前記保持容量に保持された信号電位に応じて前記発光素子を発光駆動し、前記保持容量は、一方の電極が前記駆動用トランジスタのゲートと、前記第 1 のスイッチング用トランジスタのソースと、前記第 4 のスイッチング用トランジスタのソースとに接続され、他方の電極が前記駆動用トランジスタのソースと、前記第 3 のスイッチング用トランジスタのドレインと、前記発光素子とに接続され、前記入力容量は、一方の電極が前記サンプリング用トランジスタのソースと、前記第 2 のスイッチング用トランジスタのソースとに接続され、他方の電極が前記第 4 のスイッチング用トランジスタのドレインに接続され、前記第 1 のスイッチング用トランジスタは、ドレインが前記駆動用トランジスタのドレインに接続され、ソースが前記駆動用トランジスタのゲートと、前記保持容量の一方の電極と、前記第 4 のスイッチング用トランジスタのソースとに接続され、前記第 2 のスイッチング用トランジスタは、ドレインが所定の電位に保持され、ソースが前記サンプリング用トランジスタのソースと、前記入力容量の一方の電極とに接続され、前記第 3 のスイッチング用トランジスタは、ドレインが前記駆動用トランジスタのソースと、前記保持容量の他方の電極と、前記発光素子とに接続され、前記第 4 のスイッチング用トランジスタは、ドレインが前記入力容量の他方の電極に接続され、ソースが前記駆動用トランジスタのゲートと、前記第 1 のスイッチング用トランジスタのソースと、前記保持容量の一方の電極に接続される表示装置の駆動方法であって、

前記発光素子の発光駆動に先だって、電源電位を前記駆動用トランジスタに供給し、前記駆動用トランジスタの動作領域を飽和領域とした後、前記第 3 および第 4 のスイッチング用トランジスタをオンにし、さらに前記 1 および第 2 のスイッチング用トランジスタをオンにした後、前記電源電位の供給を止め、前記保持容量に前記駆動用トランジスタの閾値電圧を保持させる手順と、

前記第 3 および第 4 のスイッチング用トランジスタをオンにし、前記第 1 および第 2 のスイッチング用トランジスタをオフにした状態で前記電源電位を前記駆動用トランジスタに供給した後、前記サンプリング用トランジスタを介して、前記保持容量および前記入力容量に入力電圧を入力し、前記保持容量が前記閾値電圧と前記入力電圧の入力に基づく電圧変化量とを加算した電位を保持することで、前記保持容量の電位を調整するブートストラップ動作を行なう手順とを行なう

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置及びその駆動方法に関する。詳しくは、有機 EL 素子によって代表される発光素子を画素とし薄膜トランジスタなどを画素駆動用の能動素子としたアクティブマトリクス型の自発光表示装置に関する。

【背景技術】

【0002】

有機薄膜に電界をかけると発光する現象を利用した有機 EL 平面表示装置の開発が近年盛んになっている。有機 EL は、印加電圧が 10 V 以下で低電圧なので低消費電力であり、また自発光素子であるため、液晶表示装置には必須な照明部材を必要とせず軽量および薄型化が容易である。更に、有機 EL の応答速度は数  $\mu$ s 程度と非常に高速であるので、動画表示時の残像が発生しない。

## 【 0 0 0 3 】

有機EL素子を用いた平面自発光表示装置の中でも、取り分け画素回路を構成する能動素子として薄膜トランジスタを用いたアクティブマトリクス型平面自発光表示装置の開発が盛んであり、以下の特許文献1に記載されている。

【特許文献1】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 4 】

しかしながら、トランジスタの閾値のプロセス変動や有機EL素子の経時変動等のデバイス特性変動が発光輝度に影響を与えてしまうため、画素回路内で変動補正させる必要がある。そこで本発明は、閾値補正機能によりトランジスタの閾値のプロセス変動を補正することができるようにすることを課題とする。また、有機EL素子の電流-電圧特性が経時変動しても、常に一定の輝度を保つことができるようにすることを課題とする。さらに、有機ELの経時変動に対する補正能力を向上させることを課題とする。

【課題を解決するための手段】

## 【 0 0 0 5 】

上述した課題を解決するために以下の手段を講じた。即ち、行状の走査線と、列状の信号線と、両者が交差する部分に行列状に配された画素回路とを備え、各画素回路は、発光素子と、保持容量と、入力容量と、サンプリング用トランジスタと、駆動用トランジスタと、第1、第2、第3、および第4のスイッチング用トランジスタからなり、前記サンプリング用トランジスタは、前記走査線によって選択された時動作し、前記信号線から映像信号をサンプリングして前記保持容量に保持し、前記駆動用トランジスタは、前記保持容量に保持された信号電位に応じて前記発光素子を発光駆動し、前記保持容量は、一方の電極が前記駆動用トランジスタのゲートと、前記第1のスイッチング用トランジスタのソースと、前記第4のスイッチング用トランジスタのソースとに接続され、他方の電極が前記駆動用トランジスタのソースと、前記第3のスイッチング用トランジスタのドレインと、前記発光素子とに接続され、前記入力容量は、一方の電極が前記サンプリング用トランジスタのソースと、前記第2のスイッチング用トランジスタのソースとに接続され、他方の電極が前記第4のスイッチング用トランジスタのドレインに接続され、前記第1のスイッチング用トランジスタは、ドレインが前記駆動用トランジスタのドレインに接続され、ソースが前記駆動用トランジスタのゲートと、前記保持容量の一方の電極と、前記第4のスイッチング用トランジスタのソースとに接続され、前記第2のスイッチング用トランジスタは、ドレインが所定の電位に保持され、ソースが前記サンプリング用トランジスタのソースと、前記入力容量の一方の電極とに接続され、前記第3のスイッチング用トランジスタは、ドレインが前記駆動用トランジスタのソースと、前記保持容量の他方の電極と、前記発光素子とに接続され、前記第4のスイッチング用トランジスタは、ドレインが前記入力容量の他方の電極に接続され、ソースが前記駆動用トランジスタのゲートと、前記第1のスイッチング用トランジスタのソースと、前記保持容量の一方の電極に接続される表示装置であって、前記画素回路の駆動部は、閾値補正回路とブートストラップ回路とを含み、前記閾値補正回路は、前記発光素子の発光駆動に先だって、電源電位を前記駆動用トランジスタに供給し、前記駆動用トランジスタの動作領域を飽和領域とした後、前記第3および第4のスイッチング用トランジスタをオンにし、さらに前記1および第2のスイッチング用トランジスタをオンにした後、前記電源電位の供給を止め、前記保持容量に前記駆動用トランジスタの閾値電圧を保持させ、前記ブートストラップ回路は、前記第3および第4のスイッチング用トランジスタをオンにし、前記第1および第2のスイッチング用トランジスタをオフにした状態で前記電源電位を前記駆動用トランジスタに供給した後、前記サンプリング用トランジスタを介して、前記保持容量および前記入力容量に入力電圧を入力し、前記保持容量が前記閾値電圧と、前記入力電圧の入力に基づく電圧変化量とを加算した電位を保持することで、前記保持容量の電位を調整するブートストラップ動作を行なう。

10

20

30

40

50

## 【 0 0 0 6 】

具体的には、前記第4のスイッチングトランジスタは、前記サンプリング用トランジスタと前記駆動用トランジスタとを切り離すことによって、前記ブートストラップ動作で上昇した信号電位が前記サンプリング用トランジスタを介してリークしない様にし、前記ブートストラップ動作を確実にこなう。又前記第4のスイッチングトランジスタは、前記サンプリング用トランジスタと前記駆動用トランジスタとを切り離すことによって、前記駆動用トランジスタのゲートに寄生する容量を低減し、以って前記駆動用トランジスタのゲートに作用するブートストラップ動作を確実にこなう。好ましくは、前記サンプリング用トランジスタと前記駆動用トランジスタとは前記入力容量によって互いに接続しており、前記第4のスイッチングトランジスタは前記入力容量を界にして前記サンプリング用トランジスタと前記駆動用トランジスタとを切り離す。一態様では、前記駆動用トランジスタはN型の薄膜トランジスタであり、前記保持容量は前記N型の薄膜トランジスタのゲートとソースの間に接続されており、前記閾値補正回路の処理に基づいて、前記N型の薄膜トランジスタのゲート・ソース間電位に前記保持容量に保持された前記閾値電圧を加える。又、前記駆動用トランジスタはN型の薄膜トランジスタであり、前記発光素子は前記N型の薄膜トランジスタのソースに接続した有機EL素子であり、前記保持容量は前記N型の薄膜トランジスタのソースとゲートの間に接続しており、前記ブートストラップ回路の処理に基づいて、前記保持容量に保持された前記閾値電圧をブートストラップする。

10

## 【 発明の効果 】

## 【 0 0 0 7 】

本発明によれば、閾値補正機能によりトランジスタの閾値のプロセス変動を補正することができる。また、発光時における保持容量のブートストラップ動作により有機EL素子の電流 - 電圧特性が経時変動しても駆動用トランジスタのゲート - ソース間電圧がブートストラップした保持容量で一定に保たれるため、常に一定の輝度を保つことができる。さらに、このブートストラップ方式では駆動用トランジスタのゲート電位の上昇によってサンプリング用トランジスタを介してサンプリング電位のリークを引き起こすが、サンプリング部と駆動部の間にスイッチング用トランジスタを一つ追加することによりブートストラップ時にこのトランジスタをオフすることで、駆動用トランジスタのゲート電位が上昇してもサンプリング用トランジスタのドレイン - ソース間電圧は上昇しないため、サンプリング電位のリークは引き起こされない。また、駆動用トランジスタのゲートに寄生する容量が発光時のブートストラップ動作の妨げとなるが、追加したスイッチング用トランジスタがオフすることで駆動用トランジスタのゲートに寄生する容量を低減できる。このためサンプリング用トランジスタのリークによる画質への影響を抑制し、有機ELの経時変動に対する補正能力を向上させることができる。

20

30

この様に本発明では、有機EL (Electro Luminescence) 素子を含む表示装置において、トランジスタの閾値補正と有機ELの経時変動補正機能を備えた有機EL画素回路中にスイッチング用トランジスタを一つ追加することにより、サンプリング電位のリークを回避することで縦クロストークの発生を抑制することができる。また、有機ELの経時変動補正能力を向上させることができるため、デバイスの不安定性に対する補正能力を向上させることができる。

40

## 【 発明を実施するための最良の形態 】

## 【 0 0 0 8 】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1はアクティブマトリクス型で駆動される有機EL画素回路の一般的な構成を示す図である。図1の画素回路は直交配列された走査線WSL101と映像信号線DTL101の交差部にサンプリング用N型トランジスタ115が配置され、サンプリング用N型トランジスタ115のゲートと走査線WSL101が接続され、ドレインと映像信号線DTL101が接続される。サンプリング用N型トランジスタ115のソースには保持容量C111の上部電極と駆動用N型トランジスタ111のゲートが接続される。駆動用N型トランジスタ111のドレインには電源供給線Vccが接続され、ソースには有機EL素子117のアノードが接続される

50

。保持容量C111の下部電極と有機EL素子117のカソードが共通電源供給線GNDに接続される。

【0009】

図2は、図1で示した画素回路の動作を説明するもので、映像信号線電位をサンプリングし、有機ELを発光状態にする動作を図示している。走査線電位が高電位に遷移することで、サンプリング用N型トランジスタはON状態となり、映像信号線電位を保持容量に充電する。すると、駆動用N型トランジスタのゲート電位は上昇を開始し、ドレイン電流を流し始める。そのため、有機ELのアノード電位は上昇し発光を開始する。そして、走査線電位が低電位に遷移すると、保持容量に映像信号電位が保持され、駆動用N型トランジスタの電位は一定となり、発光輝度は、次フレームまで一定となる。しかしながら、駆動用N型トランジスタの製造による閾値変動のため同一のゲート電位を与えても駆動電流が変動する。また、有機ELの経時変動特性により、有機ELのアノード電位が変動する。アノード電位の変動は駆動用N型トランジスタのゲート-ソース間電圧の変動となり、駆動電流の変動を引き起こす。駆動電流の変動は発光輝度の変動となる。

10

【0010】

図3は有機ELの経時変動を補正する有機EL画素回路の一実施例を示す画素回路である。本画素回路は、発光素子117と、保持容量C111と、サンプリング用トランジスタ115を含むサンプリング部と、駆動用トランジスタ111を含む駆動部とからなる。サンプリング用トランジスタ115は、走査線WSL101によって選択された時動作し、信号線DTL101から映像信号をサンプリングして保持容量C111に保持する。駆動用トランジスタ111は、保持容量C111に保持された信号電位に応じて発光素子117を発光駆動する。本画素回路の駆動部は、更にトランジスタ114で構成されたブートストラップ回路を含む。ブートストラップ回路は、発光駆動時発光素子117の特性変動を検知し、その影響を打ち消す様に保持容量C111の電位を自動的に調整するブートストラップ動作を行なう。ここで駆動用トランジスタ111はN型の薄膜トランジスタであり、発光素子117はN型の薄膜トランジスタ111のソースに接続した有機EL素子であり、保持容量C111はN型の薄膜トランジスタ111のソースとゲートの間に接続している。ブートストラップ回路は有機EL素子117の特性変動に応じて変動するN型の薄膜トランジスタ111のソース電位の変動を検知し、検知されたソース電位に応じて保持容量C111の電位をブートストラップする。

20

30

【0011】

図4は駆動用トランジスタの閾値変動を補正する閾値補正回路と、有機ELの経時変動を補正するブートストラップ回路とを備えた有機EL画素回路の一実施例を示す画素回路である。図4の画素回路は走査線WSL101と映像信号線DTL101の交差部に配置されたサンプリング用N型トランジスタ115と、走査線AZL101とオフセット電源供給線Vofsの交差部に配置されたスイッチング用N型トランジスタ116と、走査線AZL101に接続されたスイッチング用N型トランジスタ113と、電源供給線Vccと駆動用N型トランジスタのドレインに接続されたスイッチング用N型トランジスタ112と、電源供給線GNDと駆動用N型トランジスタのソースに接続されたスイッチング用N型トランジスタ114と、駆動用N型トランジスタ111と、入力容量C112と、保持容量C111と、有機EL素子117を備える。

40

【0012】

ここで、ブートストラップ回路の部分は図3に示した構成と同様であるので、閾値補正回路の部分を特に説明する。本閾値補正回路は、スイッチングトランジスタ112, 113及び116などで構成されており、発光駆動に先だて駆動用トランジスタ111の閾値変動を検知し、その影響を打ち消す様にあらかじめ保持容量C111の電位を補正する。駆動用トランジスタ111はN型の薄膜トランジスタであり、保持容量C111はN型の薄膜トランジスタ111のゲートとソースの間に接続されており、閾値補正回路はN型の薄膜トランジスタ111の閾値を検知しそれに対応した電位を保持容量C111に保持させ、以ってN型の薄膜トランジスタ111のゲート・ソース間電位に該閾値に応じた電

50

位を加えておく。なお、本画素回路のサンプリング部側と駆動部側とは結合容量 C 1 1 2 によって互いに接続している。

【 0 0 1 3 】

図 5 は図 4 の有機 E L 画素回路の動作を説明するもので、発光状態から走査線 D S L 1 0 1 を高電位側に遷移することでスイッチング用 N 型トランジスタ 1 1 4 は O N 状態となり、駆動用 N 型トランジスタ 1 1 1 のソース電位 ( ノード N D 1 1 1 ) は電源供給線 G N D の電位となる。次に走査線 A Z L 1 0 1 を高電位側に遷移することでスイッチング用 N 型トランジスタ 1 1 6、1 1 3 は O N 状態となり、駆動用 N 型トランジスタ 1 1 1 のゲート ( ノード N D 1 1 2 ) とドレインは、スイッチング用 N 型トランジスタ 1 1 2、1 1 4 と駆動用 N 型トランジスタ 1 1 1 のオン抵抗比の分圧で決定される電位となる。走査線 D S L 1 1 1 を低電位側に遷移することでスイッチング用 N 型トランジスタ 1 1 2 はオフし、駆動用 N 型トランジスタのゲートとドレインの電位は下降を開始し、やがて駆動用 N 型トランジスタの閾値となる。次に、走査線 A Z L 1 0 1 を低電位側に遷移させてスイッチング用 N 型トランジスタ 1 1 6、1 1 3 を O F F 状態にし、走査線 W S L 1 0 1 を高電位側に遷移させてサンプリング用 N 型トランジスタ 1 1 5 を O N 状態にして映像信号線電位をサンプリングする。走査線 W S L 1 0 1 を低電位側に遷移すると入力容量 C 1 1 2 と保持容量 C 1 1 1 の比率によって決定される電位が保持容量 C 1 1 1 に保持される。次に走査線 D S L 1 1 1 を高電位側に遷移させると駆動用 N 型トランジスタ 1 1 1 は駆動電流を流し始める。これと同時に走査線 D S L 1 0 1 を低電位側に遷移させるとスイッチング用 N 型トランジスタ 1 1 4 は O F F 状態となり、有機 E L 1 1 7 のアノードは駆動電流に応じて上昇する。有機 E L 1 1 7 のアノード電位の上昇は駆動用 N 型トランジスタ 1 1 1 のソース電位の上昇となる。駆動用 N 型トランジスタ 1 1 1 のソースが上昇すると保持容量 C 1 1 1 のブートストラップ動作により駆動用 N 型トランジスタ 1 1 1 のゲート電位も上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。

【 0 0 1 4 】

しかしながら、駆動用 N 型トランジスタ 1 1 1 のゲートの上昇は入力容量 C 1 1 2 を介してサンプリング用 N 型トランジスタ 1 1 5 のソース ( ノード N D 1 1 4 ) を上昇させるため映像信号線 D T L 1 0 1 に低電位が供給されたときにサンプリング用 N 型トランジスタ 1 1 5 のドレイン - ソース間電圧が増大し、保持電位のリークを引き起こす。保持電位のリークは駆動電流の減少を引き起こし、駆動電流の減少は発光輝度の低下となる。この発光輝度の低下は表示パネルに縦クロストークとして現れる。また、駆動用 N 型トランジスタ 1 1 1 のゲートに寄生容量が形成されると駆動用 N 型トランジスタのゲートはソースの上昇に追従できず、ゲートの電位上昇はソースの電位上昇より小さくなる。ゲートがソースに追従しなくなると駆動用 N 型トランジスタ 1 1 1 のゲート - ソース間電圧が減少し、駆動電流が減少する。駆動電流の減少は発光輝度の低下となり、有機 E L 1 1 7 の経時変動の補正ができないことになる。

【 0 0 1 5 】

図 6 は、ブートストラップ動作時において駆動用 N 型トランジスタ 1 1 1 のゲートに寄生する各容量に着目した有機 E L 画素回路図である。図 6 の C 1 は保持容量 C 1 1 1 の容量値、C 2 は結合容量 C 1 1 2 の容量値、C d 1、C d 2、C d 3 は各スイッチング用 N 型トランジスタの O F F 状態における拡散容量であり、C g s は駆動用 N 型トランジスタのゲート - ソース間容量である。駆動用 N 型トランジスタのゲートにこれらの容量が寄生するとき、駆動用 N 型トランジスタのゲート電位の上昇とソース電位の上昇との比は次式で表すことができる。次式が 1 に近いほど有機 E L の経時変動補正能力が高いこととなる。

$$( C 1 + C g s ) / ( C 1 + C d 3 + C g s + C 2 ( C d 1 + C d 2 ) / ( C 2 + C d 1 + C d 2 ) )$$

【 0 0 1 6 】

図 7 は本発明の一実施形態例を示す画素回路である。図 7 の画素回路は図 4 の有機 E L 画素回路の入力容量 C 1 1 2 と保持容量 C 1 1 1 の間にスイッチング用 N 型トランジスタ

118を一つ追加した構成となっており、走査線WSL101と映像信号線DTL101の交差部に配置されたサンプリング用N型トランジスタ115と、走査線AZL101とオフセット電源供給線Vofsの交差部に配置されたスイッチング用N型トランジスタ116と、走査線DSL101に接続されたスイッチング用N型トランジスタ118と、走査線AZL101に接続されたスイッチング用N型トランジスタ113と、電源供給線Vccと駆動用N型トランジスタのドレインに接続されたスイッチング用N型トランジスタ112と、電源供給線GNDと駆動用N型トランジスタのソースに接続されたスイッチング用N型トランジスタ114と、駆動用N型トランジスタ111と、入力容量C112と、保持容量C111と、有機EL素子117を備える。

#### 【0017】

図8は、図7で示した実施例の画素回路の動作を説明するもので、各走査線に電位供給するタイミングは図4で示した回路と同一であるが、発光時のブートストラップ動作と共に入力容量C112と保持容量C111の間に接続されたスイッチング用N型トランジスタ118がOFF状態となり、駆動用N型トランジスタ111のゲート(ノードND112)が上昇してもサンプリング用N型トランジスタ115のソース(ノードND114)は上昇しない。サンプリング用N型トランジスタ115のソースが上昇しなければ映像信号線DTL101に低電位が供給されてもサンプリング用N型トランジスタ115のドレイン-ソース間電圧は増加しないため、サンプリング用N型トランジスタ115によるサンプリング電位のリークを回避することが出来、縦クロストークを抑制できる。

#### 【0018】

図9は、図7で示した実施例の画素回路のブートストラップ動作時に駆動用N型トランジスタのゲートに寄生する各容量に着目したものである。図9のC1は保持容量C111の容量値、C2は結合容量C112の容量値、Cd1、Cd2は各スイッチング用N型トランジスタのOFF状態における拡散容量であり、Cgsは駆動用N型トランジスタのゲート-ソース間容量である。駆動用N型トランジスタのゲートにこれらの容量が寄生するとき、駆動用N型トランジスタのゲート電位の上昇とソース電位の上昇との比は図4と同様に次式で表すことができる。

$$(C1 + Cgs) / (C1 + Cd1 + Cd2 + Cgs)$$

駆動用N型トランジスタのゲートに寄生する容量はスイッチング用N型トランジスタ118のOFF状態による拡散容量のため、入力容量C112とサンプリング用N型トランジスタ115の拡散容量とスイッチング用N型トランジスタ116の拡散容量を無視できる。このため、駆動用N型トランジスタのゲートに形成される寄生容量は大幅に軽減され、ゲートはソースの電位上昇に追従できるようになる。駆動用N型トランジスタのゲートがソースの電位上昇に追従できれば、有機ELの経時変動の補正能力が向上することになる。

#### 【0019】

以下、参考のため、図3で概略的に説明したブートストラップ回路の動作を詳細に説明する。図10は、ブートストラップ回路を採用した有機EL表示装置の構成を示すブロック図である。図11は、図10の有機EL表示装置において画素回路の具体的な構成を示す回路図である。

#### 【0020】

この表示装置100は、図10および図11に示すように、画素回路(PXLC)101がm×nのマトリクス状に配列された画素アレイ部102、水平セレクタ(HSEL)103、ライトスキヤナ(WSCN)104、ドライブスキヤナ(DSCN1)105、水平セレクタ103により選択され輝度情報に応じたデータ信号が供給される信号線DTL101~DT110n、ライトスキヤナ104により選択駆動される走査線WSL101~WSL10m、およびドライブスキヤナ105により選択駆動される駆動線DSL101~DSL10mを有する。

#### 【0021】

なお、画素アレイ部102において、画素回路101はm×nのマトリクス状に配列さ

10

20

30

40

50

れるが、図10においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。また、図11においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

#### 【0022】

本画素回路101は、図11に示すように、 $n$ チャンネルTFT111~TFT115、キャパシタC111、有機EL素子(OLED:電気光学素子)からなる発光素子117、およびノードND111, ND112を有する。また、図11において、DTL101は信号線を、WSL101は走査線を、DSL101は駆動線をそれぞれ示している。これらの構成要素のうち、TFT111が駆動用電界効果トランジスタを構成し、サンプリング用TFT115が第1のスイッチを構成し、TFT114が第2のスイッチを構成し、キャパシタC111が保持容量素子を構成している。また、走査線WSL101が本発明に係る第1の制御線に対応し、駆動線DSL101が第2の制御線に対応する。また、電源電圧Vccの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

#### 【0023】

画素回路101において、TFT111のソースと接地電位GNDとの間に発光素子(OLED)117が接続されている。具体的には、発光素子117のアノードがTFT111のソースに接続され、カソード側が接地電位GNDに接続されている。発光素子117のアノードとTFT111のソースとの接続点によりノードND111が構成されている。TFT111のソースがTFT114のドレインおよびキャパシタC111の第1電極に接続され、TFT111のゲートがノードND112に接続されている。TFT114のソースが固定電位(本実施形態では接地電位GND)に接続され、TFT114のゲートが駆動線DSL101に接続されている。また、キャパシタC111の第2電極がノードND112に接続されている。信号線DTL101とノードND112にサンプリング用TFT115のソース・ドレインがそれぞれ接続されている。そして、TFT115のゲートが走査線WSL101に接続されている。

#### 【0024】

このように、本実施形態に係る画素回路101は、駆動用トランジスタとしてのTFT111のゲート・ソース間にキャパシタC111が接続され、TFT111のソース電位をスイッチトランジスタとしてのTFT114に介して固定電位に接続するよう構成されている。

#### 【0025】

次に、上記構成の動作を、画素回路の動作を中心に、図12(A)~(F)および図13(A)~(F)に関連付けて説明する。なお、図13(A)は画素配列の第1行目の走査線WSL101に印加される走査信号ws[1]を、図13(B)は画素配列の第2行目の走査線WSL102に印加される走査信号ws[2]を、図13(C)は画素配列の第1行目の駆動線DSL101に印加される駆動信号ds[1]を、図13(D)は画素配列の第2行目の駆動線DSL102に印加される駆動信号ds[2]を、図13(E)はTFT111のゲート電位Vg(ノードND112)を、図13(F)はTFT111のソース電位Vs(ノードND111)をそれぞれ示している。

#### 【0026】

まず、通常のEL発光素子117の発光状態時は、図13(A)~(D)に示すように、ライトスキャナ104より走査線WSL101, WSL102, ...への走査信号ws[1], ws[2], ...が選択的にローレベルに設定され、ドライブスキャナ105により駆動線DSL101, DSL102, ...への駆動信号ds[1], ds[2], ...が選択的にローレベルに設定される。その結果、画素回路101においては、図12(A)に示すように、TFT115とTFT114がオフした状態に保持される。

#### 【0027】

次に、EL発光素子117の非発光期間において、図13(A)~(D)に示すように、ライトスキャナ104より走査線WSL101, WSL102, ...への走査信号ws

10

20

30

40

50

〔 1 〕 ,  $w s [ 2 ]$  , ・ ・ がローレベルに保持され、ドライブスキャナ 1 0 5 により駆動線  $D S L 1 0 1$  ,  $D S L 1 0 2$  , ・ ・ への駆動信号  $d s [ 1 ]$  ,  $d s [ 2 ]$  , ・ ・ が選択的にハイレベルに設定される。その結果、画素回路 1 0 1 においては、図 1 2 ( B ) に示すように、 $T F T 1 1 5$  はオフ状態に保持されたままで、 $T F T 1 1 4$  がオンする。このとき、 $T F T 1 1 4$  を介して電流が流れ、図 1 3 ( F ) に示すように、 $T F T 1 1 1$  のソース電位  $V s$  は接地電位  $G N D$  まで下降する。そのため、 $E L$  発光素子 1 1 7 に印加される電圧も 0 V となり、 $E L$  発光素子 1 1 7 は非発光となる。

【 0 0 2 8 】

次に、 $E L$  発光素子 1 1 7 の非発光期間において、図 1 3 ( A ) ~ ( D ) に示すように、ドライブスキャナ 1 0 5 により駆動線  $D S L 1 0 1$  ,  $D S L 1 0 2$  , ・ ・ への駆動信号  $d s [ 1 ]$  ,  $d s [ 2 ]$  , ・ ・ がハイレベルに保持されたまま、ライトスキャナ 1 0 4 より走査線  $W S L 1 0 1$  ,  $W S L 1 0 2$  , ・ ・ への走査信号  $w s [ 1 ]$  ,  $w s [ 2 ]$  , ・ ・ が選択的にハイレベルに設定される。その結果、画素回路 1 0 1 においては、図 1 2 ( C ) に示すように、 $T F T 1 1 4$  がオン状態に保持されたままで、 $T F T 1 1 5$  がオンする。これにより、水平セクタ 1 0 3 により信号線  $D T L 1 0 1$  に伝搬された入力信号 ( $V i n$ ) が保持容量としてのキャパシタ  $C 1 1 1$  に書き込まれる。このとき、図 1 3 ( F ) に示すように、駆動用トランジスタとしての  $T F T 1 1 1$  のソース電位  $V s$  は接地電位レベル ( $G N D$  レベル) にあるため、図 1 3 ( E ) , ( F ) に示すように、 $T F T 1 1 1$  のゲート・ソース間の電位差は入力信号の電圧  $V i n$  と等しくなる。

【 0 0 2 9 】

その後、 $E L$  発光素子 1 1 7 の非発光期間において、図 1 3 ( A ) ~ ( D ) に示すように、ドライブスキャナ 1 0 5 により駆動線  $D S L 1 0 1$  ,  $D S L 1 0 2$  , ・ ・ への駆動信号  $d s [ 1 ]$  ,  $d s [ 2 ]$  , ・ ・ がハイレベルに保持されたまま、ライトスキャナ 1 0 4 より走査線  $W S L 1 0 1$  ,  $W S L 1 0 2$  , ・ ・ への走査信号  $w s [ 1 ]$  ,  $w s [ 2 ]$  , ・ ・ が選択的にローレベルに設定される。その結果、画素回路 1 0 1 においては、図 1 2 ( D ) に示すように、 $T F T 1 1 5$  がオフ状態となり、保持容量としてのキャパシタ  $C 1 1 1$  への入力信号の書き込みが終了する。

【 0 0 3 0 】

その後図 1 3 ( A ) ~ ( D ) に示すように、ライトスキャナ 1 0 4 より走査線  $W S L 1 0 1$  ,  $W S L 1 0 2$  , ・ ・ への走査信号  $w s [ 1 ]$  ,  $w s [ 2 ]$  , ・ ・ はローレベルに保持され、ドライブスキャナ 1 0 5 により駆動線  $D S L 1 0 1$  ,  $D S L 1 0 2$  , ・ ・ への駆動信号  $d s [ 1 ]$  ,  $d s [ 2 ]$  , ・ ・ が選択的にローレベルに設定される。その結果、画素回路 1 0 1 においては、図 1 2 ( E ) に示すように、 $T F T 1 1 4$  がオフ状態となる。 $T F T 1 1 4$  がオフすることで、図 1 3 ( F ) に示すように、駆動用トランジスタとしての  $T F T 1 1 1$  のソース電位  $V s$  は上昇し、 $E L$  発光素子 1 1 7 にも電流が流れる。

【 0 0 3 1 】

$T F T 1 1 1$  のソース電位  $V s$  は変動するにもかかわらず、 $T F T 1 1 1$  のゲート・ソース間には容量があるために、図 1 3 ( E ) , ( F ) に示すように、ゲート・ソース電位は常に  $V i n$  にて保たれている。このとき、駆動用トランジスタとしての  $T F T 1 1 1$  は飽和領域で駆動しているため、この  $T F T 1 1 1$  に流れる電流値  $I d s$  は  $T F T 1 1 1$  のゲート・ソース電圧である  $V i n$  にて決められる。この電流  $I d s$  は  $E L$  発光素子 1 1 7 にも同様に流れ、 $E L$  発光素子 1 1 7 は発光する。 $E L$  発光素子 1 1 7 の等価回路は図 1 2 ( F ) に示すようになっていたため、このときノード  $N D 1 1 1$  の電位は  $E L$  発光素子 1 1 7 に電流  $I d s$  が流れるゲート電位まで上昇する。この電位上昇に伴い、キャパシタ 1 1 1 ( 保持容量 ) を介してノード  $N D 1 1 2$  の電位も同様に上昇する。これにより、前述した通り  $T F T 1 1 1$  のゲート・ソース電位は  $V i n$  に保たれる。

【 0 0 3 2 】

ここで一般に、 $E L$  発光素子は発光時間が長くなるに従い、その  $I - V$  特性は劣化する。そのため、駆動用トランジスタが同じ電流値を流したとしても、 $E L$  発光素子に印加される電位は変化し、ノード  $N D 1 1 1$  の電位は下降する。しかしながら、本回路では駆動

10

20

30

40

50

用トランジスタのゲート・ソース間電位が一定に保たれたままノードND111の電位は下降するので、駆動用トランジスタ(TFT111)に流れる電流は変化しない。よって、EL発光素子に流れる電流も変化せず、EL発光素子のI-V特性が劣化しても、入力電圧Vinに相当した電流が常に流れつづける。

#### 【0033】

以上説明したように、本実施形態によれば、駆動用トランジスタとしてのTFT111のソースが発光素子117のアノードに接続され、ドレインが電源電位Vccに接続され、TFT111のゲート・ソース間にキャパシタC111が接続され、TFT111のソース電位をスイッチトランジスタとしてのTFT114を介して固定電位に接続するよう構成されていることから、以下の効果を得ることができる。EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。また、nチャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

#### 【0034】

続いて参考のため、図4及び図7で概略的に説明した閾値補正回路の動作を詳細に説明する。図14は、ブートストラップ回路に加え閾値補正回路を採用した有機EL表示装置の構成を示すブロック図である。図15は、図14の有機EL表示装置において画素回路の具体的な構成を示す回路図である。

#### 【0035】

この表示装置100は、図14および図15に示すように、画素回路(PXLC)101がm×nのマトリクス状に配列された画素アレイ部102、水平セレクタ(HSEL)103、ライトスキヤナ(WSCN)104、第1のドライブスキヤナ(DSCN1)105、第2のドライブスキヤナ(DSCN2)106、オートゼロ回路(AZRD)107、水平セレクタ103により選択され輝度情報に応じたデータ信号が供給される信号線DTL101~DT110n、ライトスキヤナ104により選択駆動される走査線WSL101~WSL10m、第1のドライブスキヤナ105により選択駆動される駆動線DSL101~DSL10m、第2のドライブスキヤナ106により選択駆動される駆動線DSL111~DSL11m、およびオートゼロ回路107により選択駆動されるオートゼロ線AZL101~AZL10mを有する。

#### 【0036】

なお、画素アレイ部102において、画素回路101はm×nのマトリクス状に配列されるが、図14においては図面の簡単化のために2(=m)×3(=n)のマトリクス状に配列した例を示している。また、図15においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

#### 【0037】

本第実施形態に係る画素回路101は、図15に示すように、nチャネルTFT111~TFT116、キャパシタC111、C112、有機EL素子(OLED:電気光学素子)からなる発光素子117、第1のノードND111、第2のノードND112、第3のノードND113、および第4のノードND114を有する。また、図15において、DTL101は信号線を、WSL101は走査線を、DSL101、DSL111は駆動線を、AZL101はオートゼロ線をそれぞれ示している。これらの構成要素のうち、TFT111が駆動トランジスタを構成し、TFT112が第1のスイッチを構成し、TFT113が第2のスイッチを構成し、TFT114が第3のスイッチを構成し、TFT115が第4のスイッチを構成し、TFT116が第5のスイッチを構成し、キャパシタC111が保持容量素子を構成し、キャパシタC112が結合容量素子を構成している。

#### 【0038】

画素回路101において、電源電位Vccと接地電位GNDとの間に、第1のスイッチ

としてのTFT112、第3のノードND113、駆動用トランジスタとしてのTFT111、第1のノードND111、および発光素子(OLED)117が直列に接続されている。具体的には、発光素子117のカソードが接地電位GNDに接続され、アノードが第1のノードND111に接続され、TFT111のソースが第1のノードND111に接続され、TFT111のドレインが第3のノードND113に接続され、第3のノードND113と電源電位Vccとの間にTFT112のソース・ドレインが接続されている。そして、TFT111のゲートが第2のノードND112に接続され、TFT112のゲートが駆動線DSL111に接続されている。第2のノードND112と第3のノードND113との間にTFT113のソース・ドレインが接続され、TFT113のゲートがオートゼロ線AZL101に接続されている。TFT114のドレインが第1のノード111およびキャパシタC111の第1電極に接続され、ソースが固定電位(本実施形態では接地電位GND)に接続され、TFT114のゲートが駆動線DSL101に接続されている。また、キャパシタC111の第2電極が第2のノードND112に接続されている。キャパシタC112の第1電極が第2のノードND112に接続され、第2電極が第4のノードND114に接続されている。信号線DTL101と第4のノードND114に第4のスイッチとしてのTFT115のソース・ドレインがそれぞれ接続されている。そして、TFT115のゲートが走査線WSL101に接続されている。さらに、第4のノードND114と所定電位Vofsとの間にTFT116のソース・ドレインがそれぞれ接続されている。そして、TFT116のゲートがオートゼロ線AZL101に接続されている。

10

20

## 【0039】

このように、本実施形態に係る画素回路101は、駆動用トランジスタとしてのTFT111のゲート・ソース間に保持容量としてのキャパシタC111が接続され、非発光期間にTFT111のソース電位をスイッチトランジスタとしてのTFT114を介して固定電位に接続し、またTFT111のゲート・ドレイン間を接続して、閾値Vthの補正を行うように構成されている。

## 【0040】

次に、上記構成の動作を、画素回路の動作を中心に、図16(A)~(D)および図17~図20の(A),(B)に関連付けて説明する。なお、図16(A)は画素配列の第1行目の走査線WSL101に印加される走査信号ws[1]を、図16(B)は画素配列の第1行目の駆動線DSL101に印加される駆動信号ds[1]を、図16(C)は画素配列の第1行目の駆動線DSL111に印加される駆動信号ds[2]を、図16(D)は画素配列の第1行目のオートゼロ線AZL101に印加されるオートゼロ信号az[1]をそれぞれ示している。また、図16(A)~(D)中、Teで示す期間が発光期間であり、Tneで示す期間が非発光期間であり、Tvcは閾値Vthのキャンセル期間であり、Twで示す期間が書き込み期間である。

30

## 【0041】

まず、通常のEL発光素子117の発光状態時は、図16(A)~(D)に示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに設定され、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がローレベルに設定され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az[1]がローレベルに設定され、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]が選択的にハイレベルに設定される。その結果、画素回路101においては、図17(A)に示すように、TFT112がオン状態(導通状態)に保持され、TFT113~TFT116がオフ状態(非導通状態)に保持される。駆動用トランジスタ111は飽和領域で動作するように設計されており、EL発光素子117に流れる電流Idsは、駆動用トランジスタ111のゲートに印加される信号電位に応じた値をとる。

40

## 【0042】

次に、EL発光素子117の非発光期間Tneにおいて、図16(A)~(D)に示す

50

ように、ライトスキャナ104より走査線WSL101への走査信号ws〔1〕がローレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az〔1〕がローレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号ds〔2〕がハイレベルに保持された状態で、ドライブスキャナ105により駆動線DSL101への駆動信号ds〔1〕が選択的にハイレベルに設定される。その結果、画素回路101においては、図17(B)に示すように、TFT112がオン状態、TFT113, TFT115, TFT116はオフ状態に保持されたままで、TFT114がオンする。このとき、TFT114を介して電流が流れ、TFT111のソース電位Vsは接地電位GNDまで下降する。そのため、EL発光素子117に印加される電圧も0Vとなり、EL発光素子117は非発光となる。この場合、TFT114がオンしてもキャパシタC111に保持されている電圧、すなわち、TFT111のゲート電圧は変わらないことから、電流Idsは図17(B)に示すように、TFT112、第3のノードND113、TFT111、第1のノードND111、およびTFT114の経路を流れる。

10

#### 【0043】

次に、EL発光素子117の非発光期間Tneにおいて、図16(A)~(D)に示すように、ライトスキャナ104より走査線WSL101への走査信号ws〔1〕がローレベルに保持され、ドライブスキャナ105により駆動線DSL101への駆動信号ds〔1〕がハイレベルに保持された状態で、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az〔1〕がハイレベルに設定され、その後、図16(C)に示すように、ドライブスキャナ105により駆動線DSL101への駆動信号ds〔1〕がローレベルに設定される。その結果、画素回路101においては、図18(A)に示すように、TFT114がオン状態、TFT115がオフ状態に保持されたままで、TFT113, TFT116がオンし、TFT112がオフする。このとき、TFT111のゲートとドレインはTFT113を介して接続されているのでTFT111は飽和領域で動作する。また、TFT111のゲートには、キャパシタC111, C112が並列に接続されているため、TFT111のゲート・ドレイン間電圧Vgdは、図18(B)に示すように、時間と共に緩やかに減少してゆく。そして、一定時間経過後、TFT111のゲート・ソース間電圧VgsはTFT111の閾値電圧Vthとなる。このとき、キャパシタC112には(Vofs - Vth)が、キャパシタC111にはVthがそれぞれ充電される。

20

30

#### 【0044】

次に、図16(A)~(D)に示すように、ライトスキャナ104より走査線WSL101への走査信号ws〔1〕がローレベルに保持され、ドライブスキャナ105により駆動線DSL101への駆動信号ds〔1〕がハイレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号ds〔2〕がローレベルに保持された状態で、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az〔1〕がローレベルに設定され、その後、図16(C)に示すように、ドライブスキャナ106により駆動線DSL111への駆動信号ds〔2〕がハイレベルに設定される。その結果、画素回路101においては、図19(A)に示すように、TFT114がオン状態、TFT115がオフ状態に保持されたままで、TFT113, TFT116がオフし、TFT112がオンする。これにより、TFT111のドレイン電圧が電源電圧Vccとなる。

40

#### 【0045】

次に、図16(A)~(D)に示すように、書き込み期間Twでドライブスキャナ105により駆動線DSL101への駆動信号ds〔1〕がハイレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号ds〔2〕がハイレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az〔1〕がローレベルに保持された状態で、ライトスキャナ104より走査線WSL101への走査信号ws〔1〕がハイレベルに設定される。その結果、画素回路101においては、

50

図19(B)に示すように、TFT114、TFT112がオン状態、TFT113、TFT116がオフ状態に保持されたままで、TFT115がオンする。これにより、TFT115を介して信号線DTL101を伝播された入力電圧 $V_{in}$ が入力して、ノードND114の電圧変化量 $V$ がTFT111のゲートにカップリングさせる。このとき、TFT111のゲート電圧 $V_g$ は $V_{th}$ という値であり、カップリング量 $V$ はキャパシタC111の容量値 $C_1$ 、キャパシタC112の容量値 $C_2$ 、およびTFT111の寄生容量 $C_3$ によって下記の式のように決定される。

$$V = \{ C_2 / ( C_1 + C_2 + C_3 ) \} \cdot ( V_{in} - V_{ofs} )$$

【0046】

したがって、 $C_1$ 、 $C_2$ を $C_3$ に比べて十分大きくとればゲートへのカップリング量はキャパシタC111の容量値 $C_1$ 、キャパシタC112の容量値 $C_2$ によってのみ決まる。TFT111は飽和領域で動作するように設計されているので、図19(B)および図20(A)に示すように、TFT111のゲートにカップリングされる電圧量に応じた電流 $I_{ds}$ が流れる。

【0047】

書き込み終了後、図16(A)~(D)に示すように、ドライブスキャナ106により駆動線DSL111への駆動信号 $d_s[2]$ がハイレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号 $a_z[1]$ がローレベルに保持された状態で、ライトスキャナ104より走査線WSL101への走査信号 $w_s[1]$ がローレベルに設定され、その後、ドライブスキャナ105により駆動線DSL101への駆動信号 $d_s[1]$ がローレベルに設定される。その結果、画素回路101においては、図20(B)に示すように、TFT112がオン状態、TFT113、TFT116がオフ状態に保持されたままで、TFT115がオフし、TFT114がオフする。この場合、TFT114がオフしてもTFT111のゲート・ソース間電圧は一定であるので、TFT111は一定電流 $I_{ds}$ をEL発光素子117に流す。これによって、第1のノードND111の電位はEL発光素子117に $I_{ds}$ という電流が流れる電圧 $V_x$ まで上昇し、EL発光素子117は発光する。ここで、本回路においてもEL素子は発光時間が長くなるとその電流-電圧( $I-V$ )特性は変化してしまう。そのため、第1のノードND111の電位も変化する。しかしながら、TFT111のゲート・ソース間電圧 $V_{gs}$ は一定値に保たれているのでEL発光素子117に流れる電流は変化しない。よって、EL発光素子117の $I-V$ 特性が劣化しても、一定電流 $I_{ds}$ が常に流れ続け、EL発光素子117の輝度が変化することはない。

【図面の簡単な説明】

【0048】

【図1】有機EL画素回路の一般的な構成を示す図である。

【図2】図1で図示した有機EL画素回路の動作を表す図である。

【図3】有機ELの経時変動を補正する機能を備える有機EL画素回路図である。

【図4】TFTの閾値と有機ELの経時変動を補正する機能を備える有機EL画素回路図である。

【図5】図4で図示した有機EL画素回路の動作を示す図である。

【図6】図4で図示した有機EL画素回路のブートストラップ時の寄生容量に着目した図である。

【図7】本発明の一実施形態例の有機EL画素回路を示す図である。

【図8】図7で図示した有機EL画素回路の動作を示す図である。

【図9】図7で図示した有機EL画素回路のブートストラップ時の寄生容量に着目した図である。

【図10】ブートストラップ回路を画素回路に採用した有機EL表示装置の構成を示すブロック図である。

【図11】図10の有機EL表示装置において画素回路の具体的な構成を示す回路図である。

10

20

30

40

50

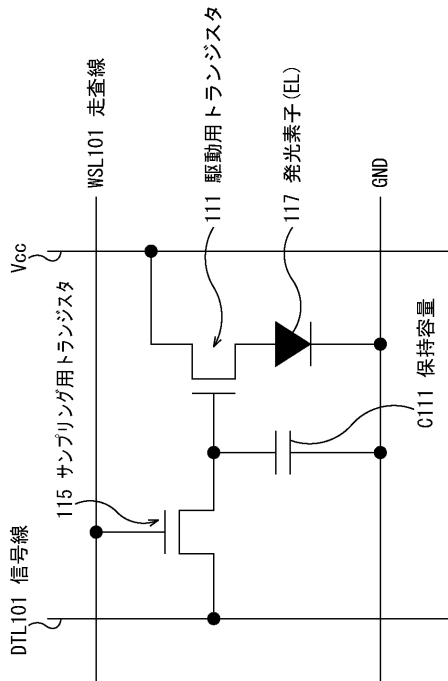
- 【図12】図11の回路の動作を説明するための等価回路を示す図である。
- 【図13】図11の回路の動作を説明するためのタイミングチャートである。
- 【図14】ブートストラップ回路及び閾値補正回路を画素回路に採用した有機EL表示装置の構成を示すブロック図である。
- 【図15】図14の有機EL表示装置において画素回路の具体的な構成を示す回路図である。
- 【図16】図15の回路の駆動方法を説明するためのタイミングチャートである。
- 【図17】図15の回路の駆動方法に係る動作を説明するための図である。
- 【図18】図15の回路の駆動方法に係る動作を説明するための図である。
- 【図19】図15の回路の駆動方法に係る動作を説明するための図である。
- 【図20】図15の回路の駆動方法に係る動作を説明するための図である。

【符号の説明】

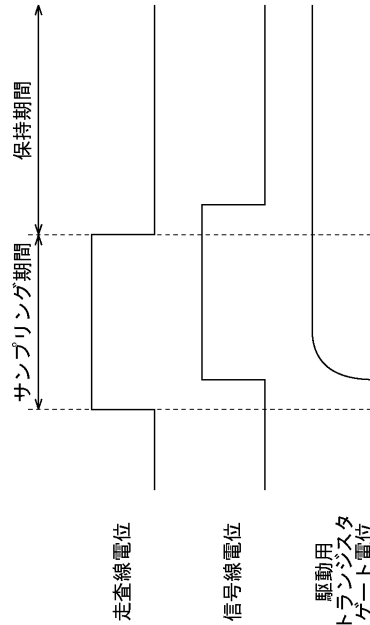
【0049】

115・・・サンプリング用N型トランジスタ、111・・・駆動用N型トランジスタ、C111・・・保持容量、117・・・有機EL素子、WSL101、AZL101、DSL111、DSL101・・・走査線、DTL101・・・映像信号線、Vcc・・・電源供給線、GND・・・共通電源供給線、112、113、114、116、118・・・スイッチング用N型トランジスタ、C112・・・入力容量、Vofs・・・オフセット電源供給線

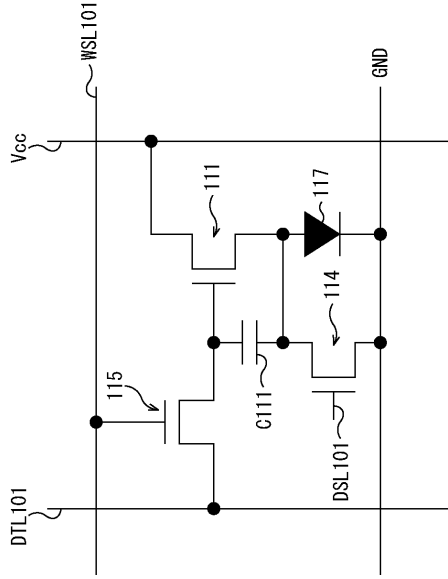
【図1】



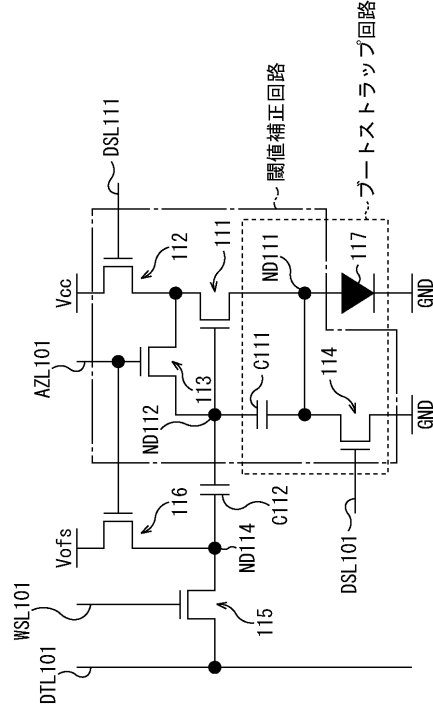
【図2】



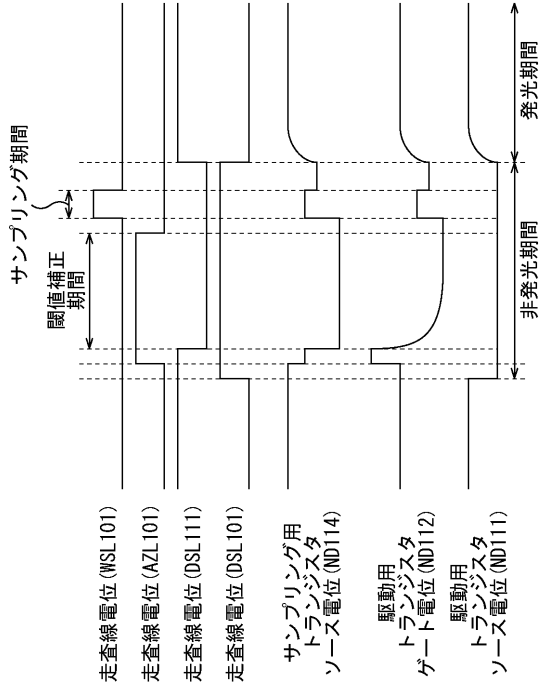
【図3】



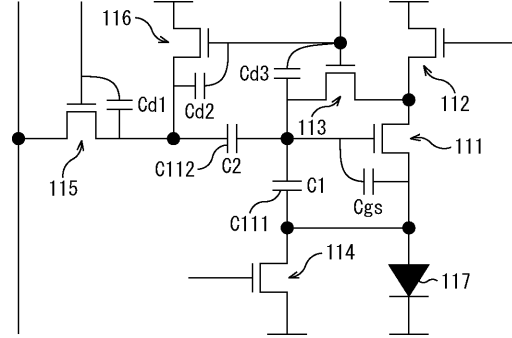
【図4】



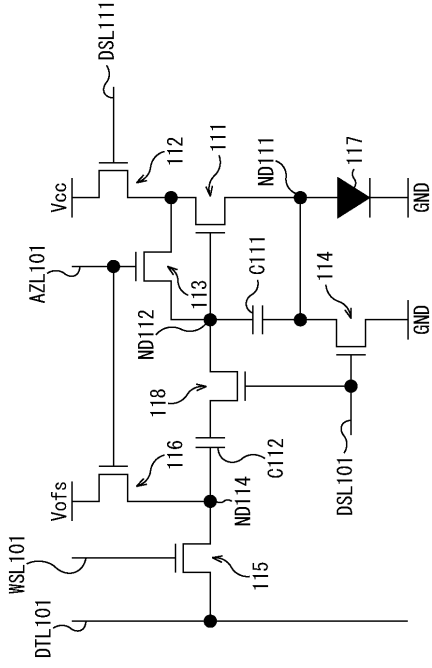
【図5】



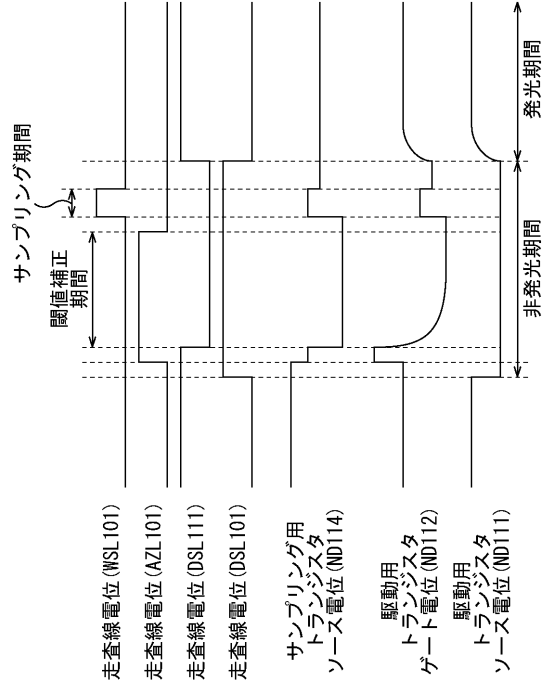
【図6】



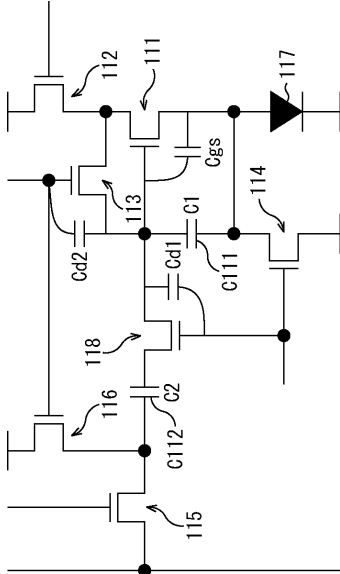
【 図 7 】



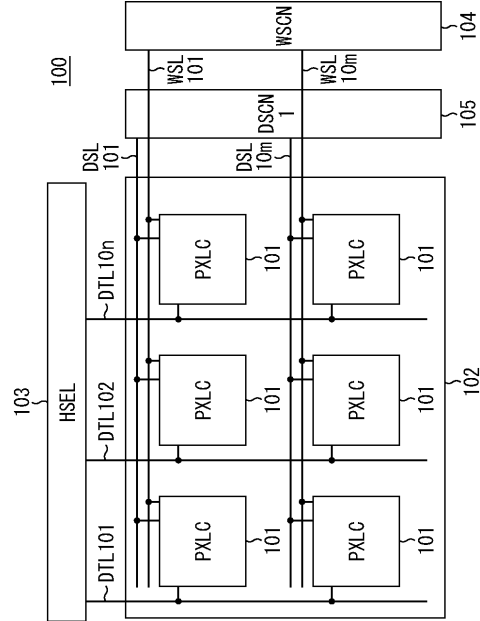
【 図 8 】



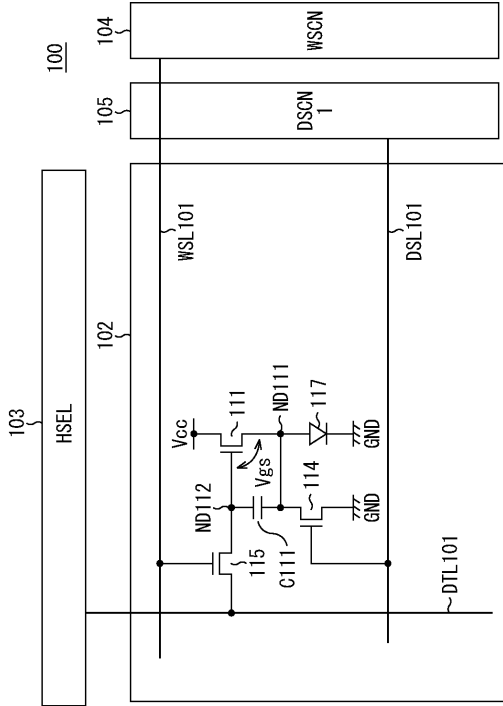
【 図 9 】



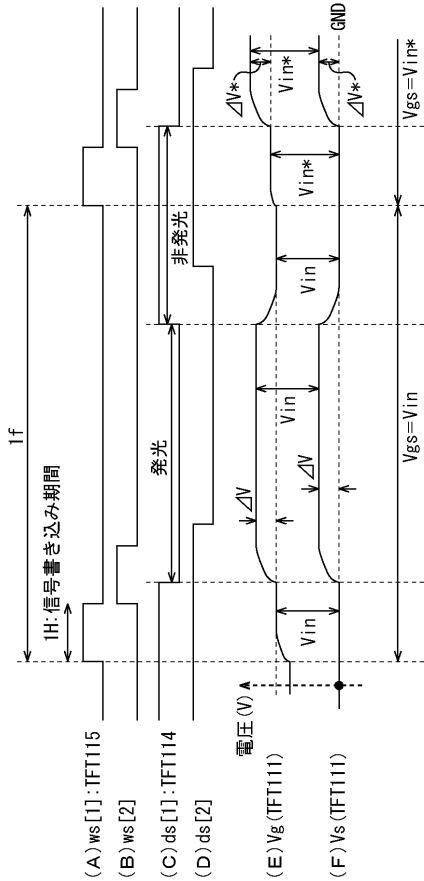
【 図 10 】



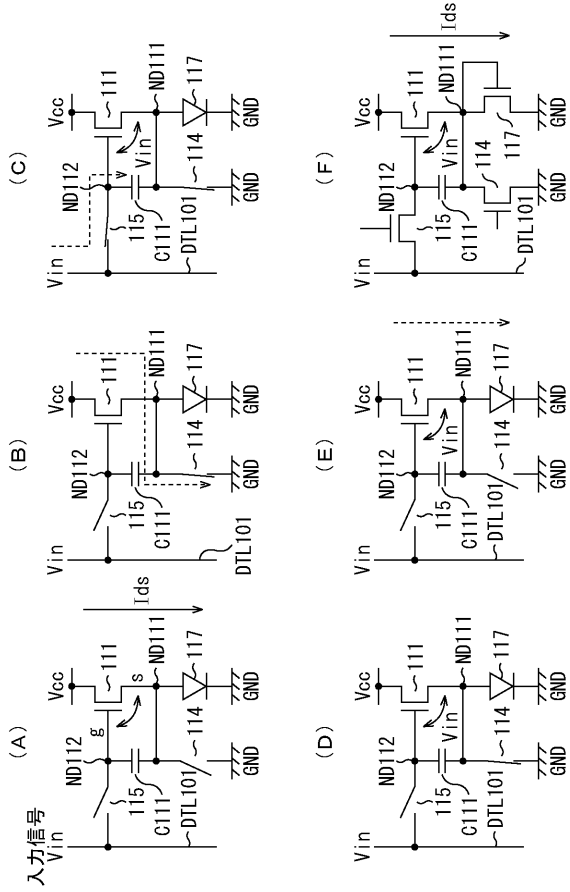
【図 1 1】



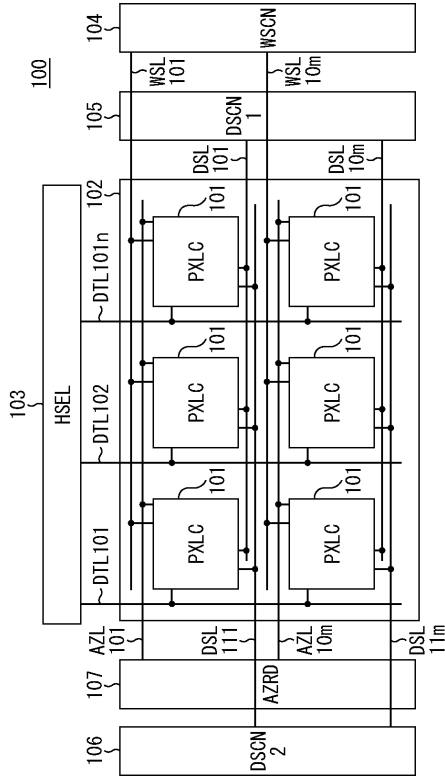
【図 1 3】



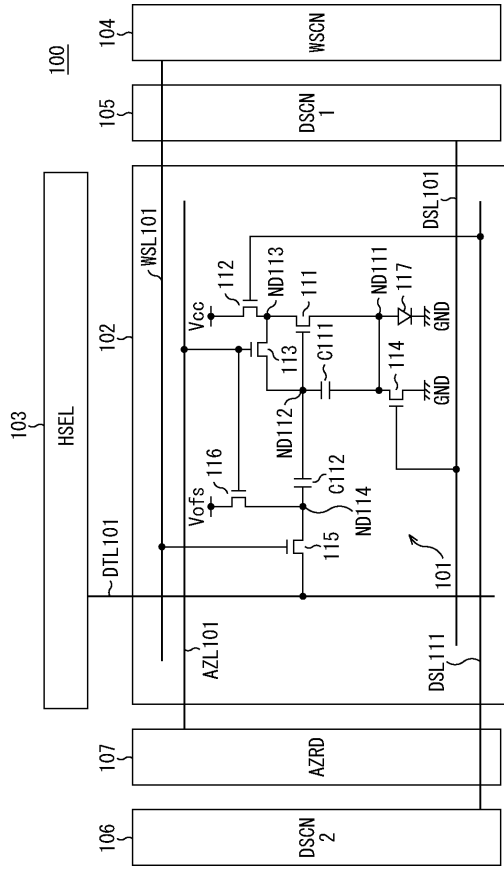
【図 1 2】



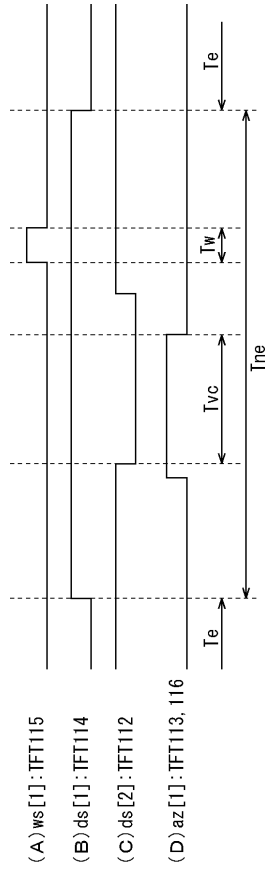
【図 1 4】



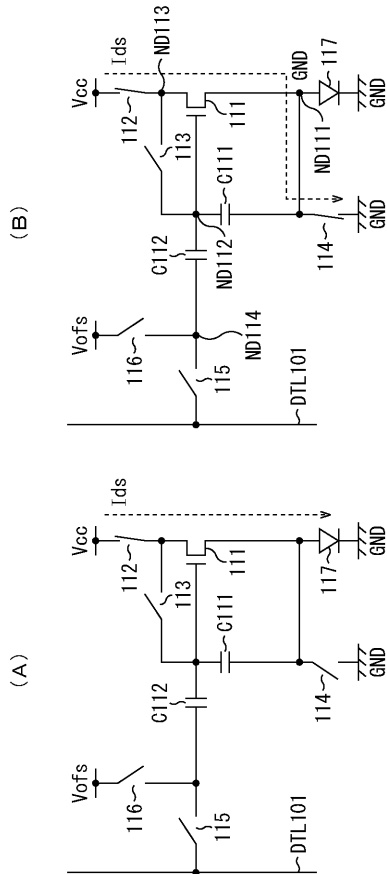
【図15】



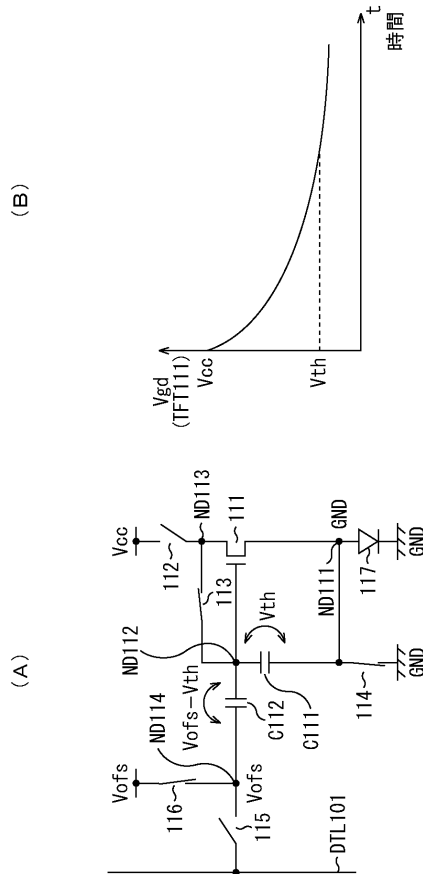
【図16】



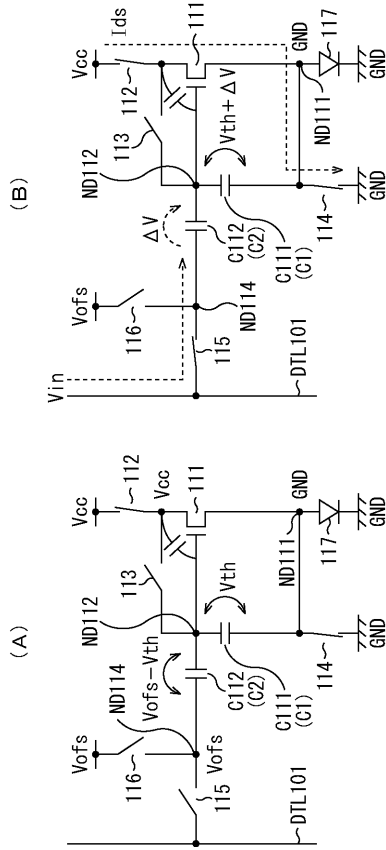
【図17】



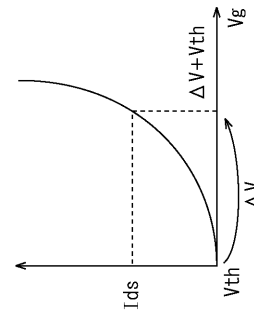
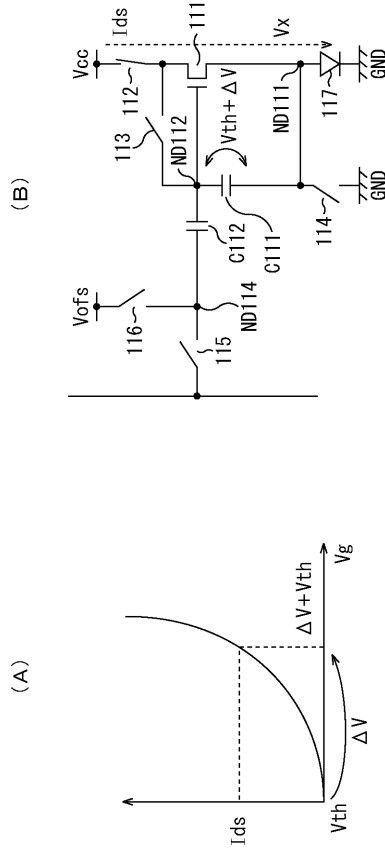
【図18】



【 19 】



【 20 】



---

フロントページの続き

- (56)参考文献 特開2004-361640(JP,A)  
特開2004-133240(JP,A)  
特開2005-004173(JP,A)  
特開2002-351401(JP,A)  
特表2002-514320(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	<a href="#">JP4547605B2</a>	公开(公告)日	2010-09-22
申请号	JP2004009952	申请日	2004-01-19
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	飯田幸人 内野勝秀		
发明人	飯田 幸人 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD10 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/BA10 5C380/BA28 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB27 5C380/CC02 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC65 5C380/CD012 5C380/CD013 5C380/CD026 5C380/CD027 5C380/CD046 5C380/CD047 5C380/DA02 5C380/DA06		
其他公开文献	JP2005202255A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提高对有源矩阵型自发光显示装置中的有机EL的长期变化的校正能力。解决方案：像素电路的驱动部分包括阈值校正电路和升压电路。阈值校正电路在发光驱动之前检测用于驱动的晶体管111的阈值波动，并且预先校正保持电容器C111的电位，以消除其影响。升压电路检测发光驱动时发光元件117的特性波动，并执行升压操作以自动调节保持电容器C111的电位，以消除其影响。像素电路还包括开关118，用于在发光驱动时断开采样部分侧和驱动部分侧，使得驱动部分侧可以可靠地执行增压带操作。Z

