

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4360918号
(P4360918)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月21日(2009.8.21)

(51) Int.Cl.	F I
H05B 33/22 (2006.01)	H05B 33/22 Z
G09F 9/30 (2006.01)	G09F 9/30 338
H01L 27/32 (2006.01)	G09F 9/30 365Z
H05B 33/10 (2006.01)	H05B 33/10
H05B 33/12 (2006.01)	H05B 33/12 B

請求項の数 19 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2003-577343 (P2003-577343)
 (86) (22) 出願日 平成15年3月19日 (2003. 3. 19)
 (65) 公表番号 特表2005-521207 (P2005-521207A)
 (43) 公表日 平成17年7月14日 (2005. 7. 14)
 (86) 国際出願番号 PCT/IB2003/001000
 (87) 国際公開番号 W02003/079449
 (87) 国際公開日 平成15年9月25日 (2003. 9. 25)
 審査請求日 平成18年3月16日 (2006. 3. 16)
 (31) 優先権主張番号 0206551.4
 (32) 優先日 平成14年3月20日 (2002. 3. 20)
 (33) 優先権主張国 英国 (GB)
 (31) 優先権主張番号 0209562.8
 (32) 優先日 平成14年4月26日 (2002. 4. 26)
 (33) 優先権主張国 英国 (GB)

(73) 特許権者 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (72) 発明者 ヤング, ナイジェル ディー
 オランダ国, 5656 アーアー アインドーフェン, プロフ・ホルストラーン 6
 最終頁に続く

(54) 【発明の名称】 アクティブマトリクスエレクトロルミネッセンス表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

画素のアレイが該アレイの少なくとも1つの方向において隣接する複数の画素の少なくとも一部の間で物理的障壁を伴って存在する回路基板を有する、アクティブマトリクスエレクトロルミネッセンス表示装置であって；

各々の画素はエレクトロルミネッセンス素子を有し；

前記回路基板は、前記エレクトロルミネッセンス素子が接続される回路を有し；

前記物理的障壁は、上部接続領域及び下部接続領域を有する導電性障壁材料を有し、該導電性障壁材料は前記回路基板の第1回路素子と前記アクティブマトリクスエレクトロルミネッセンス表示装置の第2回路素子との間の相互接続としての役割を果たし、前記第1回路素子及び前記第2回路素子の各々は前記導電性障壁材料の前記上部接続領域及び前記下部接続領域のうちの1つに接続され、前記導電性障壁材料は前記エレクトロルミネッセンス素子に隣接する前記物理的障壁の少なくとも側部において絶縁され、前記第1回路素子及び前記第2回路素子は前記導電性障壁材料の前記上部接続領域及び前記下部接続領域に接続されているところで絶縁されていない；

ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 2】

請求項 1 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記回路基板の前記第1回路素子は：

導体層；

電極接続；
 供給ライン；
 アドレスライン；
 信号ライン；
 薄膜トランジスタ；及び
 薄膜キャパシタ；

を有するグループの少なくとも1つの薄膜素子である、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項3】

請求項1に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記第2回路素子は前記エレクトロルミネッセンス素子の上部電極であり、前記第1回路素子は前記回路基板の少なくとも1つの薄膜素子である、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

10

【請求項4】

請求項3に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、各々の画素は隣り合っている副画素を有し、該副画素は、該副画素間に障壁と、1つの副画素の上部電極を隣接する副画素の下部電極に接続する前記導電性障壁材料と、を有し、前記上部電極及び前記下部電極は前記第1回路素子及び前記第2回路素子を構成する、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項5】

20

請求項1又は2に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、センサのレイが前記の画素のレイと共に集積化され、前記センサは、前記回路基板の前記第1回路素子に前記導電性障壁材料により接続された前記第2回路素子を備えている、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項6】

請求項1乃至5のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、センサのレイは前記の画素のレイと共に集積され、前記回路基板は、前記の画素のレイ及び前記のセンサのレイの両方についてマトリクス状アドレス回路を有し、前記導電性障壁材料は前記マトリクス状アドレス回路に前記のセンサのレイを接続する、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

30

【請求項7】

請求項5又は6に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記のセンサのレイは、前記物理的障壁の上部において及び前記の画素のレイにおいて支持される、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項8】

請求項7に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、平坦化層は、前記の画素のレイにおいて前記のセンサのレイを支持するように前記物理的障壁の前記上部の方に延びている膜厚を有する前記の画素のレイにおいて存在する、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

40

【請求項9】

請求項1乃至8のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁の絶縁性距離部は前記導電性障壁材料（及び、好適には、金属を有する）を主体としている、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項10】

請求項1乃至9のいずれ一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁は、前記第1回路素子に接続され、少なくとも前記物理的障壁の側部における絶縁性コーティングを有する前記導電性障壁材料を与える金属コ

50

アを有する、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 1 1】

請求項 1 乃至 9 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁は、前記第 1 回路素子に接続され、少なくとも前記物理的障壁の側部において絶縁性コーティングを有する前記導電性障壁材料を与える金属コーティングを有する、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 1 2】

請求項 1 乃至 8 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁は、ビアが前記回路基板における前記回路素子との接続のために延びている絶縁性材料を主体としており、前記導電性障壁材料を与える金属コーティングが前記物理的障壁の上部において且つ前記物理的障壁を通るビア内に延びている、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

10

【請求項 1 3】

請求項 1 乃至 1 2 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記エレクトロルミネッセンス素子は有機半導体材料の電流駆動発光ダイオードである、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 1 4】

請求項 1 乃至 1 3 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記導電性障壁材料の下方に、前記第 1 回路素子への接続を可能にするように前記回路基板の中間絶縁性層に接続窓がある、ことを特徴とするアクティブマトリクスエレクトロルミネッセンス表示装置。

20

【請求項 1 5】

請求項 1 乃至 1 4 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置を製造する方法であって：

(a) 前記回路基板の前記第 1 回路素子への電極接続上に堆積された導電性材料を有し、前記画素領域に隣接する前記物理的障壁の少なくとも側部において絶縁体を有する前記物理的障壁を形成する段階であって、前記物理的障壁は前記障壁の前記上部において前記導電性障壁材料への非絶縁性上部接続領域を有する、段階；

30

(b) 前記物理的障壁間の画素領域に前記エレクトロルミネッセンス素子の少なくとも一部を備える段階；及び

(c) 前記物理的障壁の前記非絶縁性上部接続領域における前記導電性障壁材料と接続するように前記第 2 回路素子を備える段階；

有する、ことを特徴とする方法。

【請求項 1 6】

請求項 1 5 に記載の方法であって、前記絶縁体は、前記導電性障壁の少なくとも側部及び上部に堆積され、前記上部接続領域から実質的にエッチングされる絶縁性コーティングを有する、ことを特徴とする方法。

40

【請求項 1 7】

請求項 1 5 に記載の方法であって、前記導電性障壁材料はアルミニウムを有し、前記絶縁体は陽極酸化によりアルミニウムの前記導電性障壁材料の前記側部に形成された絶縁性コーティングを有する、ことを特徴とする方法。

【請求項 1 8】

請求項 1 5 に記載の方法であって、前記段階 (a) は、ビアが前記回路基板の前記接続窓における前記回路素子との接続のために形成される絶縁性材料を主体とする前記物理的障壁を形成する段階を有し、前記導電性材料は前記物理的障壁の上部において且つ前記物理的障壁を通る前記ビア内に導電性コーティングとして堆積される、ことを特徴とする方法。

50

【請求項 19】

請求項 18 に記載の方法であって、前記物理的障壁についての前記導電性コーティング及び前記エレクトロルミネッセンス素子の上部電極は同時に堆積され、前記物理的障壁の前記側部における突出形状のシャドーマスクの効果により分離される、ことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネッセンス表示装置に関し、特に、半導体性共役系高分子又は他の有機半導体材料の発光ダイオードを用いることに限らないエレクトロルミネッセンス表示装置に関する。本発明は又、そのような装置の製造方法に関する。

10

【背景技術】

【0002】

そのようなアクティブマトリクスエレクトロルミネッセンス表示装置は既知であり、その表示装置は、回路基板において存在する画素アレイを有し、各々の画素はエレクトロルミネッセンス素子であって、代表的には、有機半導体材料を有する。エレクトロルミネッセンス素子は、基板における回路構成であって、例えば、アドレス（行）ラインと信号（列）ラインとを有するマトリクス状アドレス回路構成及び供給ラインを有する駆動回路構成に接続される。これらのラインは、一般に、基板内の薄膜導体層により構成される。回路基板は又、各々の画素のためのアドレス素子及び駆動素子（代表的には、薄膜トランジスタであって、以下、“TFT”と表す）を有する。

20

【0003】

多くのそのようなアレイにおいては、絶縁材料の物理的障壁がアレイの少なくとも1つの方向における隣接画素間に存在する。そのような障壁の例は、英国特許出願公開大2347017号明細書、国際公開第1-99/43031号パンフレット、欧州特許出願公開第0895219号明細書、欧州特許出願公開第1096568号明細書及び欧州特許出願公開第1102317号明細書において提供されており、ここでは、それらの内容全てをもって参照文献として援用する。

【0004】

そのような障壁は、一部では、例えば、“壁”、“仕切り”、“バンク”、“リブ”、“分離帯”又は“ダム”の用語が用いられている。引用文献から理解されるように、幾つかの役割を果たしている。それらは、エレクトロルミネッセンス層並びに/若しくは個々の画素及び/又は画素の列の電極層を規定するために、製造において用いられることが可能である。このようにして、例えば、障壁は、単色表示のためにスピンコートされるか又はカラー表示の赤色、緑色及び青色画素のためにインクジェットプリントを施されることが可能である共役系高分子材料の画素オーバーフローを回避する。製造される装置における障壁は、画素の明確化された光学的分離を提供することができる。障壁は又、エレクトロルミネッセンス素子の共通の上部電極の電気抵抗を減少（それ故、電圧降下）させるための補助配線としての導電材料（エレクトロルミネッセンス素子の上部電極材料等）を支持又はその材料から成ることが可能である。

30

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、基本的な装置構造、そのレイアウト及びそのエレクトロニクスと適合する方式で、アクティブマトリクスエレクトロルミネッセンス表示装置の性能及び/又は能力を改善することである。

【課題を解決するための手段】

【0006】

本発明の1つの特徴に従って、請求項1に記載の特徴を有するアクティブマトリクスエレクトロルミネッセンス表示装置を提供する。

50

【0007】

本発明に従って、画素間の物理的障壁は、障壁の最上部に接続される第2回路素子と回路基板の第1回路素子との間の相互接続を提供するために用いられる。このように、これらの画素障壁は、部分的に、その相互接続を与える電気導電性材料（代表的には、金属）から成る一方、少なくともエレクトロルミネッセンス素子に隣接する障壁の側部において絶縁されている。

【0008】

本発明に従って、汎用性を高めることが可能である。種々のレイアウトの特徴が、相互接続される回路素子に依存して、画素障壁に対して採用されることが可能である。このようにして、導電性障壁材料は、例えば、画素のグループ又は個々の画素に局在化される相互接続、若しくは画素アレイの外部に位置付けることが可能である相互接続を提供することが可能である。それ故、各々の非絶縁性の最上部接続領域自身は、障壁の最上部に沿った接続パターンの一部として局在化されることが可能であり、及び/又は、相互接続する導電性障壁材料は、例えば、障壁の分離した絶縁性距離部において局在化されることが可能である。

10

【0009】

第1回路素子及び第2回路素子は、なされる特定の改善、エンハンスメント又は適応に依存して、種々の形態をとることが可能である。代表的には、回路基板の第1回路素子は、導体層、電極接続、供給ライン、アドレスライン、信号ライン、薄膜トランジスタ、薄膜コンデンサを有するグループにおける1つ又はそれ以上の薄膜素子であることが可能である。第2回路素子は、回路基板における他のそのような薄膜素子、及び/又は、例えば、それぞれの画素のエレクトロルミネッセンス素子又はセンサのような付加構成要素の電極接続であることが可能である。

20

【0010】

最後の可能性は、センサアレイの種々の形態が画素アレイと共に集積化されることを可能にする。センサアレイは回路基板内に集積化されることが可能である。しかしながら、センサアレイは、障壁の最上部及び画素アレイに亘って支持されることが可能である。このことはコンパクトなレイアウトを可能にし、指紋センシング及び/又は直接ペン入力のために特に適する。センサアレイは、回路基板における画素アレイのマトリクス状アドレス回路を共有することさえ可能である。このことは、画素アレイとセンサアレイとの集積化を簡単化する。共有化は、例えば、米国特許第5,386,543号明細書及び米国特許第5,838,308号明細書において開示されている方式と類似する方式で達成される。ここでは、米国特許第5,386,543号明細書及び米国特許第5,838,308号明細書の内容全てをもって参照文献として援用する。

30

【0011】

本発明に従った相互接続を提供するために障壁を用いる上に、障壁（又は、少なくとも他の分離した絶縁性距離部の障壁）は異なる役割を果たすことが可能である。障壁は、例えば、コンデンサ、インダクタ又はトランスのような構成要素を構成するために、及び/又は、回路基板の薄膜導体ラインを置き換える又はバックアップするために、用いられることが可能である。これらのバックアップライン又は置き換えラインは、例えば、アドレスライン、信号ライン又は供給ラインであることが可能である。

40

【0012】

又、本発明の他の特徴に従って、アクティブマトリクスエレクトロルミネッセンス表示装置等を製造する優位性のある方法を提供する。

【0013】

本発明に従った種々の優位性のある特徴及びそれらの特徴の組み合わせについては、同時提出の請求項に記載している。以上の及び他の特徴は、添付図面を参照して、例示として以下に説明する本発明の実施形態において明らかにする。

【発明を実施するための最良の形態】

【0014】

50

全ての図は模式図であることに留意する必要がある。それらの図の構成部分の関連する寸法及び比率は、描く際の都合と明確化のために、サイズを拡大又は縮小することにより示している。一般に、変形された実施形態及び異なる実施形態における対応する特徴又は類似する特徴を表すために同じ参照符号を用いている。

【 0 0 1 5 】

各々の図 1 乃至 4 の実施形態のアクティブマトリクスエレクトロルミネッセンス表示装置は、マトリクスアドレス回路構成を有する回路基板 1 0 0 上の画素 2 0 0 のアレイを有する。物理的障壁 2 1 0 は、そのアレイの少なくとも 1 つの方向において少なくとも幾つかの隣接画素間にある。これらの障壁 2 1 0 の少なくとも幾つかは、本発明に従った相互接続として用いられる導電性障壁材料 2 4 0 を用いて構成される。本発明に従った障壁 2 1 0 の使用及びこの特別な構成を除いて、表示装置は、上記の背景的参照文献におけるように、既知の装置技術と回路技術を用いて構成されることが可能である。

10

【 0 0 1 6 】

マトリクスアドレス回路構成は、図 1 に示すように、アドレス（行）ライン 1 5 0 及び信号（列）ライン 1 6 0 の横断的集合それぞれを有する。アドレス素子 T 2（代表的には、薄膜トランジスタ、以下、“TF T”と表す）は、これらのアドレス（行）ライン 1 5 0 及び信号（列）ライン 1 6 0 の各々の交差部分において、組み込まれる。図 1 は、例として、1 つの特定の画素回路構成を示していることが理解される必要がある。他の画素回路構成が、アクティブマトリクスエレクトロルミネッセンス表示装置に対して知られている。装置の特定の画素回路構成に拘らず、そのような装置の画素障壁に本発明を適用することが可能であることは、容易に理解される必要がある。

20

【 0 0 1 7 】

各々の画素 2 0 0 は、電流駆動エレクトロルミネッセンス素子 2 5（2 1、2 2、2 3）であって、代表的には、有機半導体材料の発光ダイオード（LED）を有する。LED 2 5 は、アレイの 2 つの電圧供給ライン 1 4 0 と 2 3 0 との間の駆動素子 T 1（代表的には、TF T）と直列の状態に接続される。これらの 2 つの供給ラインは、代表的には、電力供給ライン 1 4 0（電圧 V d d を有する）及びグラウンドライン 2 3 0（また、“リターンライン”という）である。LED 2 5 からの発光は、各々の駆動 TF T T 1 により変えられるように、LED 2 5 を通る電流により制御される。

【 0 0 1 8 】

画素の各々の行は、関連する行導体 1 5 0（それ故、行の画素のアドレス TF T T 2 のゲート）に印加される選択信号により、フレーム期間において順にアドレスされる。この信号はアドレス TF T T 2 をオンにし、それ故、列導体 1 6 0 からのそれぞれのデータ信号を有する行の画素をロードする。これらのデータ信号は、それぞれの画素の個々の駆動 TF T T 1 のゲートに印加される。その駆動 TF T T 1 の結果として得られた導通状態を保持するために、このデータ信号は、このゲート 5 と駆動ライン 1 4 0、2 4 0 との間に結合される保持キャパシタ C h によりゲート 5 において維持される。このように、各々の画素 2 0 0 の LED 2 5 を流れる駆動電流は、前アドレス期間の間に印加され、関連するキャパシタ C h において電圧として蓄積された駆動信号に基づいて、TF T T 1 により制御される。具体例の図 1 においては、T 1 は P チャネル TF T として示され、T 2 は N チャネル TF T として示されている。

30

40

【 0 0 1 9 】

この回路構成は、既知の薄膜技術を用いて構成されることが可能である。基板 1 0 0 は、例えば、シリコン酸化物の絶縁性表面バッファ層 1 1 が析出された絶縁性ガラス基材 1 0 を有することが可能である。薄膜回路構成は、既知の方法で絶縁性表面バッファ層 1 1 上に形成される。

【 0 0 2 0 】

図 2 及び 3 は、TF T の例 T m 及び T g であって、各々は、活性半導体層 1（代表的には、ポリシリコン）、ゲート誘電体層 2（代表的には、シリコン酸化物）、ゲート電極 5（代表的には、アルミニウム又はポリシリコン）、及び重ね合わされた絶縁層 2 及び 8 に

50

おける窓部（ビア）を通過して半導体層 1 のドーピングソース及びドレイン領域に接している金属電極 3 及び 4（代表的には、アルミニウム）をそれぞれ有する、T F T の例 T m 及び T g を示している。電極 3、4 及び 5 の延長は、特定の T F T（例えば、駆動素子 T 1、アドレス素子 T 2 又は回路基板の他の T F T）により与えられる回路機能により、例えば、電極 T 1、T 2、C h 及び L E D 2 5 並びに / 若しくは導電ライン 1 4 0、1 5 0 及び 1 6 0 の間の相互接続を構成する。維持キャパシタ C h は、回路基板 1 0 0 内部の薄膜構造として、既知の方法で、形成されることが可能である。

【 0 0 2 1 】

L E D 2 5 は、代表的には、下部電極 2 1 と上部電極 2 3 との間の発光有機半導体材料 2 2 から構成される。好適な具体的な実施形態においては、半導体性共役系高分子は、エレクトロルミネッセンス材料 2 2 に対して用いられることが可能である。基板を透過して光 2 5 0 を発光する L E D に対して、下部電極 2 1 は I T O (I n d i u m T i n O x i d e) より成る陽極であることが可能であり、上部電極 2 3 は、例えば、カルシウム及びアルミニウムから構成される陰極であることが可能である。図 2 及び 3 は、下部電極が回路基板 1 0 0 における薄膜として形成される L E D を示している。次のドーピング有機半導体材料 2 2 は、基板 1 0 0 の薄膜構造に亘って延長されたプレーナ絶縁層 1 2（例えば、シリコン窒化物）における窓部 1 2 a の薄膜電極層 2 1 に接している。

【 0 0 2 2 】

既知の装置におけるように、本発明に従った図 1 乃至 4 の装置は、アレイの少なくとも 1 つの方向における少なくとも幾つかの隣接画素間において、物理的障壁 2 1 0 を有する。これらの障壁 2 1 0 には又、例えば、“壁”、“仕切り”、“バンク”、“リブ”、“分離帯”又は“ダム”の用語が用いられる。具体的な装置の実施形態及びその製造方法に依存して、それらは既知の方式で用いられる。例えば、

半導体性高分子層 2 2 を調整する間に、個々の画素 2 0 0 のそれぞれの領域及び / 又は画素 2 0 0 の列との間の高分子溶液のオーバーフローを回避して、分離する。

個々の画素 2 0 0 及び / 又は画素の列のための他のエレクトロルミネッセンス層 2 2 または半導体性高分子（或いは、画素のための個々の電極であって、例えば、上部電極 2 3 の個々の下層の自己分離でさえ）の範囲限定において基板表面にセルフパターンニング能力を提供する。

少なくとも有機半導体材料 2 2 及び / 又は電極材料の析出の間に基板表面に亘るマスクのためのスペーサとして機能する。

光 2 5 0 が上部を透過して発光されるとき、アレイにおける画素 2 0 0 の明確に限定された光学的分離のための不透明障壁 2 1 0 を（底部基板 1 0 0 の代わり又はそれと併せて）構成する。

【 0 0 2 3 】

これらの既知の方式における具体的な使用がどのようなものであろうと、本発明の実施形態における物理的障壁 2 1 0 の少なくとも一部の絶縁部分は、特定の方式で用いられ、構成される。それ故、図 2 乃至 4 の画素障壁 2 1 0 は、L E D 2 5 から絶縁され、回路基板 1 0 0 の第 1 回路素子と装置の第 2 回路素子との間の相互接続を与える金属 2 4 0（又は、他の電気導電性材料 2 4 0）を有する。これらの回路素子は、導電性障壁材料 2 4 0 の非絶縁性底部及び上部接続領域 2 4 0 b、2 4 0 t に接続される。

【 0 0 2 4 】

第 1 回路素子及び第 2 回路素子は、なされる特定の改善、向上又は適合に従って、種々の形態をとることが可能である。代表的には、回路基板 1 0 0 の第 1 回路素子は、半導体層及び / 又は電極接続 4、5、6、供給ライン 1 4 0、アドレスライン 1 5 0、信号ライン 1 6 0、薄膜トランジスタ T 1、T 2、T m、T g、及び薄膜キャパシタ C h を有するグループの 1 つ又はそれ以上の薄膜素子であることが可能である。第 2 回路素子は、回路基板 1 0 0 における他のそのような薄膜素子、及び / 又は、例えば、それぞれの画素の L E D 2 5 の電極接続又はセンサのような付加構成要素であることが可能である。

【 0 0 2 5 】

10

20

30

40

50

図2乃至4は非絶縁性上部接続領域240tを示しているが、いずれの接続される特定の第2回路素子(上部回路素子400)を伴っていない。第2回路素子の特定な例については、図5乃至8を参照して、下に説明している。しかしながら、本発明は、本発明に従って、そのような画素障壁210により回路基板100における回路構成への多種多様の上部回路素子400の相互接続に適用されることができること、を容易に理解される必要がある。

【0026】

図2の実施形態においては、第1回路素子は、TFT Tmのソース電極及び/又はドレイン電極の延長である。第1回路素子は、例えば、TmがT2であるとき、基板回路構成の信号(列)ライン160を、TmがT1であるとき、駆動ライン140を構成することが可能である。図3の実施形態においては、第1回路素子はTFT Tgのゲート電極の延長である。第1回路素子は、例えば、TgがT2であるとき、基板回路構成のアドレス(行)ライン150を構成することが可能である。

10

【0027】

図2及び3は、中間絶縁層12の接続窓12bにおける第1回路素子4、5への導電性障壁材料240の底部接続を示している。しかしながら、これらの窓12bは、しばしば、TFT Tm、Tgと同じ面内にあることが可能である。特に、窓12bを収めるには、TFT Tgのソース電極3とドレイン電極4との間には、一般に、十分な空間がない。それ故、窓12bは、図の紙面の外側の位置に示すために、図3においては破線の輪郭で示されている。

20

【0028】

図2乃至4の実施形態における画素障壁210は、電気導電性材料240、240x主体とし、好適には、非常に小さい非抵抗を有する金属(例えば、アルミニウム、銅、ニッケル又は銀)を有する。図2及び3の障壁210は、相互接続240を与え、側部と上部表面(上部接続領域240が露出されたところを除く)における絶縁性コーティングを有する導電性材料のバルク(bulk)又はコア(core)を有する。図4の障壁210は、側部及び上部表面に絶縁性コーティング40xを有する導電性材料のバルク又はコアを有する。図4における相互接続240を与える導電性材料は、絶縁性コーティング40x上に延びる金属コーティングである。絶縁性コーティング40は、上部接続領域140tが露出されたところを除いて、金属コーティング240の側部及び上部表面において延びている。このような図4の構造は、図2及び3の構造に比べて用途が広い。その構造は、金属コア240xが他の目的で用いられること、例えば、駆動ライン140、アドレスライン150又は信号ライン160をバックアップする又はそれらを置き換えることさえ可能にする。相互接続金属コーティング240は、これらの相互接続が必要とされることを、例えば、個々の画素又は副画素において、障壁210に沿ったと規定の位置に局在されることさえ可能である。

30

【0029】

センサ領域を伴う図5乃至7の実施形態

図5乃至7の実施形態の各々においては、センサ400sのアレイは画素200のアレイと共に集積されている。センサ400sは、回路基板100の第1回路素子に導電性障壁材料240により接続される第2回路素子400を提供する。種々のセンサアレイは、本発明に従って、表示装置と共に集積されることが可能である。このようにして、センシングアレイは、例えば、短絡タッチ入力、圧力入力、コンデンサ入力又は光ペン入力を有する。

40

【0030】

二次元センサアレイからの個々の相互接続に対して、導電性障壁材料240は、一般に、個々のセンサ400sに対応して、障壁210におけるそれぞれの絶縁性距離部に分割される。

【0031】

このような集積化センサの状態において、第1回路素子は、例えば、基板100にお

50

る T F T のソース/ドレイン 4 又はゲート 5 であることが可能である。好適には、第 1 回路素子は、画素 2 0 0 のアレイ及びセンサ 2 0 0 s のアレイの両方に対するマトリクス状アドレス回路構成の一部である。このようにして、第 1 回路素子は、画素アドレッシングのための T F T T 2 のソース/ドレインライン 4、1 6 0 であることが可能である。

【 0 0 3 2 】

図 5 乃至 7 の実施形態の各々においては、センシング能力は、光が発光される表示装置の前面において提供される。センサアレイは、障壁 2 1 0 の上部において及び画素アレイに亘って支持されている。絶縁性平坦化層 4 1 2 は、画素アレイに亘ってセンサアレイを支持するために、障壁 2 1 0 の上部に延びるある膜厚を有して、画素アレイを覆って存在している。図 5 乃至 8 は、図 2 及び 3 におけるような相互接続金属コア構造を示しているが、例えば、図 4 におけるような相互接続金属コア構造をもちいて、改善することが可能である。

10

【 0 0 3 3 】

図 5 の実施形態は、誘電体又は高抵抗材料の圧縮性層 2 2 を有する圧力センサ構造を示している。この圧縮性層は、例えば、I T O から成る透明な上部電極層 4 2 3、下層導電性障壁材料 2 4 0 及び絶縁性平坦化層 4 1 2 の間に積層される。上部電極層 4 2 3 は保護層 4 4 0 をコーティングされる。圧力 5 0 0 がこの積層構造に印加されるとき、電極層 4 2 3 と導電性障壁材料との間の間隔は変化して、誘電体の容量における測定可能な変化が又は高抵抗材料の抵抗の減少を生じる。これは、電極層 4 2 3 が又回路入力のための E S D 保護を提供するという点で、最も優位性のある実施形態である。

20

【 0 0 3 4 】

図 6 は、例えば、指紋センサのような静電容量性センサを示している。I T O 又は金属の電極パッドのアレイは、キャパシタ誘電層 4 3 0 を有するそれぞれのキャパシタの 1 つのプレートを構成するために、導電性障壁材料 2 4 0 の対応するアレイの上部に接続されている。

【 0 0 3 5 】

図 7 は、導電性障壁材料 2 4 0 の対応するアレイの上部に接続された I T O の電極パッド 4 2 4 を有する直接入力センサを示している。直接入力とは、例えば、電極パッド 4 2 4 に接触する有線ペンからの電流又は電圧入力であることが可能である。又、直接入力とは、隣接パッド 4 2 4 間であって、例えば、行導体 1 5 0 に接続されたパッド 4 2 4 と列導体 1 6 0 に接続されたパッド 4 2 4 との間の（無線）導電性ペンによる短絡であることが可能である。そのような短絡から生じる電流は、どの画素が短絡しているかを判定するために、表示装置の外部において測定されることができる。

30

【 0 0 3 6 】

画素又は副画素相互接続を有する図 8 の実施形態

図 8 の実施形態における第 2 回路素子は、回路基板 1 0 0 の薄膜素子に導電性障壁材料 2 4 0 により接続された L E D 2 5 の上部電極である。そのような相互接続は、所定の L E D 2 5 の電極 2 1 及び 2 3 の両方への回路構成の集積を可能にする。

【 0 0 3 7 】

しかしながら、図 8 における具体的な実施形態においては、導電性障壁材料 2 4 0 の底部接続は、隣接 L E D 2 5 の下部電極を構成する薄膜素子へのものである。そのような構成には、例えば、障壁 2 1 0 を有する隣接した副画素を有する各々の画素を、表示装置に対して導入されることができる。この場合、導電性障壁材料 2 4 0 は、副画素 2 0 0 b の上部電極 2 3 を隣接副画素 2 0 0 a の下部電極 2 1 に接続している。

40

【 0 0 3 8 】

図 9、図 1 0 及び図 1 1 のレイアウトについての実施形態

本発明に従って、装置における相互接続障壁材料 2 4 0 に対して、多種多様のレイアウト構成が可能である。有利なことに、相互接続障壁材料 2 4 0 は、画素間の障壁 2 1 0 x の他の部分と、複合レイアウトにおいて、結合されることが可能である。

【 0 0 3 9 】

50

図9及び10は、付加障壁部分210xの導電性障壁材料240xが、基板100の駆動供給ライン140をバックアップすること又はそれらラインを置き換えることさえ可能であることを示している。マトリクス状薄膜回路領域は、図9における120のように設計されている。この具体的な例においては、相互接続障壁材料240の絶縁性距離部は、付加障壁ライン210x、140に平行に延びている。

【0040】

図11は、付加障壁部分210x(240x、40x)は相互接続障壁材料240を横断している。この場合、付加障壁部分210の導電性障壁材料240xは、基板100の駆動ライン140、アドレスライン150又は信号ライン160をバックアップすること又はそれらを置き換えることさえ可能である。又、付加障壁部分210xは導電性障壁材料240xは、図7におけるような直接入力センサアレイのための横断的相互接続を構成することが可能である。

10

【0041】

図12の向上した障壁の実施形態

図2乃至8及び図10の実施形態においては、障壁210及び210xは、導電性材料240及び240xを主体とするものとして示されている。図12は、障壁210が絶縁性材料244を主体としていることを示している。この場合、ビア244bはエッチングされ、回路基板100における回路素子4,5の方に絶縁性材料244を通して成形される。金属コーティング240は、絶縁性障壁210の上部及びビア244bにおいて延びる導電性障壁材料を提供する。

20

【0042】

障壁210の金属コーティング240は、セルフアライメント方式で、LED25の上部電極23の主要部分23aと共に、同時に形成されることが可能である。それ故、図12に示すように、障壁210の側部における突出形状のシャドーマスクの効果により分離される電極23と金属コーティング240とのために、金属層が同時に接出されることが可能である。これは、本発明に従った、障壁相互接続210、240を形成するための1つの有効なプロセスの実施形態である。図14乃至17は、金属を主体とする障壁相互接続210、240のための他のプロセスの実施形態を示している。

【0043】

図13乃至16のプロセスの実施形態

相互接続材料240と共に障壁210を用いて構成すること以外に、本発明に従ったアクティブマトリクススエレクトロルミネッセンス表示装置は、例えば、上記の背景としての参照文献におけるように、既知の装置技術及び回路技術を用いて、構成されることが可能である。

30

【0044】

図13乃至16は、具体的な製造の実施形態における新規なプロセス段階を示している。上部プレーナ絶縁性層12(例えば、シリコン窒化物)を伴う薄膜回路基板100は、既知の方法で製造される。接続窓(例えば、ビア12a、12b、12x等)は、例えば、フォトリソグラフィのマスキング及びエッチングにより、既知の様式で、上部プレーナ絶縁性層12に開けられる。しかしながら、本発明に従って装置を製造するために、これらのビアのパターンは、導電性障壁材料240、240xとの底部接続のために、金属電極4、ゲート電極5、アドレスライン150等を延長するビア12b、12xを有する。結果的に得られた構造を図13に示している。この段階は、障壁210が、図2乃至8及び図10におけるように導電性材料を主体とするものであるか又は図12におけるように絶縁性材料を主体とするものであるかに拘らず、共通である。

40

【0045】

絶縁性材料を主体とする障壁210の形成については、図12を参照して、上で説明した。導電性材料を主体とする障壁210のための適切なプロセスの段階(図2乃至及び図10)については、図14乃至16を参照して、以下、説明する。

【0046】

50

この場合、障壁 2 1 0 のための電気導電性材料は、少なくともビア 1 2 a、1 2 b、1 2 x 等における絶縁性層 1 2 上に析出される。障壁 2 1 0 に対する好ましい距離及びレイアウトパターンは、既知のマスキング技術を用いることにより、得られる。図 1 4 は、少なくとも導電性障壁材料（例えば、銅、ニッケル又は銀）のバルクがメッキ法により析出される実施形態を示している。この場合、先ず、例えば、銅、ニッケル又は銀から成る薄い種の層 2 4 0 a が絶縁性層 1 2 とビア 1 2 a、1 2 b、1 2 x 等を覆って析出され、障壁のレイアウトパターンはフォトリソグラフィのマスキングを用いて規定され、次いで、導電性障壁材料のバルク 2 4 0 が好ましい膜厚にメッキ法により形成される。結果的に得られる構造については、図 1 4 に示している。

【 0 0 4 7 】

次いで、CVD (Chemical Vapour Deposition: 化学的气相成長法) を用いて、絶縁性材料（例えば、シリコン酸化物又はシリコン窒化物）が絶縁性コーティング 4 0 のために析出される。この析出された材料は、既知のフォトリソグラフィのマスキング及びエッチング技術を用いて、パターンニングすることにより、導電性障壁材料の側部及び上部表面に残される。この後、LED 2 5 を形成するために、既知の方法において製造が継続される。このように、例えば、共役系高分子材料 2 2 は、画素 2 0 0 のために、インクジェットを用いて印刷されるか又はスピコートされることが可能である。絶縁コーティング 4 0 を伴う障壁 2 4 0、4 0 は、物理的障壁 2 4 0、4 0 の間における画素領域からの高分子のオーバーフローを防止するために、既知の方法において用いられることができる。上部電極材料 2 3 は共役系高分子材料 2 2 上に析出される。結果として得られる構造については、図 1 5 に示している。

【 0 0 4 8 】

この後、図 5 乃至 7 のセンサの場合は、平坦化材料 4 1 2 ' の層が LED 2 5 を覆って形成される。この平坦下層 4 1 2 ' は、障壁 2 1 0 の上部における絶縁性コーティング 4 0 を露出するためにエッチバックされることが可能である。絶縁性コーティング 4 0 のこの露出された上部部分は、次いで、図 1 6 に示すように、障壁 2 1 0 の非絶縁性上部接続領域 2 4 0 t を形成するためにエッチングにより除去されることが可能である。センサ構造は、次いで、この接続領域 2 4 0 t と平坦化層 4 1 2 の上部に与えられる。

【 0 0 4 9 】

図 1 7 の向上したプロセスの実施形態

この実施形態は、画素領域に隣接する障壁 2 1 0 の少なくとも側部に絶縁性コーティングを与えるために、陽極酸化処理法（析出の代わりに）を用いる。代表的には、導電性障壁材料 2 4 0 はアルミニウムを有することが可能である。析出されるアルミニウムの好ましい距離とレイアウトパターンとは、既知のフォトリソグラフィのマスキング及びエッチング技術を用いて、限定されることが可能である。図 1 7 は、アルミニウムの障壁パターン 2 4 0 の上部に保持されたフォトリソグラフィにより限定されるエッチャントマスクを示している。

【 0 0 5 0 】

次いで、アルミニウム酸化物から成る陽極酸化による絶縁性コーティングは、既知の陽極酸化技術を用いて、アルミニウムの障壁材料 2 4 0 の少なくとも側部において形成される。それ故、このコーティング 4 0 に対して、レイアウトを規定するために、付加マスクは必要とされない。

【 0 0 5 1 】

図 1 7 に示すように、マスク 4 4 は、非絶縁性の上部接続領域 2 4 0 t を形成する及び保護することを所望される領域において、この陽極酸化の間に保持されることが可能である。この場合、陽極酸化によるコーティングは、アルミニウム障壁パターン 2 4 0 の側部のみにおいて形成される。マスク 4 4 は、陽極酸化によるコーティングがアルミニウムの障壁パターン 2 4 0 の上部及び側部の両方において必要とされる領域から、この陽極酸化の前に除去されることが可能である。又、絶縁性高分子、又は、例えば、シリコン酸化物又はシリコン窒化物から成るマスク 4 4 は、製造される装置における障壁 2 1 0 (2 4 0、4

10

20

30

40

50

0) の上部において絶縁性が所望されるこの領域において保持されることが可能である。

【0052】

上記の実施形態においては、導電性障壁材料240は、厚い不透明な金属、例えば、アルミニウム、銅、ニッケル又は銀である。しかしながら、他の導電性材料240、例えば、絶縁性コーティング40を形成するために表面酸化されることが可能である、金属シリサイド又は(有利ではないが)縮退ドーピング(degenerately-doped)ポリシリコンを用いることが可能である。透明な障壁210が必要とされる場合、ITOが導電性障壁材料240のために用いられることが可能である。更に、回路基板10の導体ライン(例えば、駆動ライン140、アドレスライン150又は信号ライン160)をバックアップするため又はそれを置き換えるために、導電性障壁材料240、240xを用いることにより、ライン抵抗は著しく低減されることができるとに留意する必要がある。このように、所定のラインに沿って、導電性障壁材料240は、回路基板100における代表的な導体層(例えば、TFT-Tmのソース/ドレインライン4、6(140、160)又はTFT-Tgのゲートライン5(150))の断面積より少なくとも2倍大きい(恐らく、同等の大きさのオーダーの)断面積を有することができる。代表的には、導電性障壁材料240は、回路基板100におけるこのTFT導体層の膜厚zより2倍又はそれ以上大きい(例えば、少なくとも5倍)膜厚Zを有することが可能である。具体的な例においては、Zは、zの0.5µm又はそれ以下に対して、2µm乃至5µmの範囲内とすることが可能である。代表的には、導電性障壁材料240は、TFT導体層のライン幅yと同じ幅(又は、少なくとも2倍大きい)であるライン幅Yを有することが可能である。具体的な例において、Yは、yの10µmに対して、20µmとすることが可能である。

10

20

【0053】

本発明の開示内容を読むことにより、他の種々の改善が可能であることが、当業者に理解されるであろう。そのような種々の改善は、当該技術分野において既に周知であり、以上で述べた特徴に付加して又はそれらの特徴の代わりとして用いられることが可能である、同等の他の特徴を有することが可能である。

【0054】

請求項は、具体的な特徴の組み合わせへの本発明の適用において策定されたが、本発明がいずれの請求において以前に請求された発明と同じ発明に関係するか否かに拘らず、そして、本発明が改善するのと同様な技術的問題点の全て又はいずれかを改善するか否かに拘らず、本発明の開示範囲は又、いずれの新規な特徴、明瞭に又は暗示的に以上で開示された特徴のいずれの新規な組み合わせ、又は特徴のいずれの一般化を有することが理解される必要がある。

30

【0055】

本出願人は、それ故、本発明の出願又は本発明から誘導されるいずれの更なる出願の手続の間に、いずれのそのような特徴及び/又はそのような特徴の組み合わせに対して新たな請求項が策定され得ることを知らせておくこととする。

【図面の簡単な説明】

【0056】

【図1】本発明に従った相互接続を備えることができるアクティブマトリクスエレクトロルミネッセンス表示装置の4つの画素領域についての回路図である。

40

【図2】本発明に従ったTFTのソースライン又はドレインラインへの相互接続を形成するための導電性障壁構成の一例を示す、装置の一実施形態の回路基板と画素アレイの一部の断面図である。

【図3】本発明に従ったTFTのソースライン又はドレインラインへの相互接続を形成するための導電性障壁構成の他の一例を示す、装置の類似する実施形態の回路基板と画素アレイの一部の断面図である。

【図4】本発明に従った相互接続を形成するための金属コーティングを用いる向上した導電性障壁構成の一例を示す、図2又は図3の実施形態のような相互接続の断面図である。

50

【図5】エレクトロルミネッセンス装置を集積した圧力センサのための本発明に従った相互接続を示す、図2又は図3のような装置の一部を示す断面図である。

【図6】エレクトロルミネッセンス装置を集積した静電容量性センサのための本発明に従った相互接続を示す、図2又は図3のような装置の一部を示す断面図である。

【図7】エレクトロルミネッセンス装置を集積した直接入力センサのための本発明に従った相互接続を示す、図2又は図3のような装置の一部を示す断面図である。

【図8】隣接画素又は副画素の上部電極と下部電極との間の本発明に従った相互接続を示す、図2又は図3のような装置の一部を示す断面図である。

【図9】隣り合った導電性障壁を伴う、本発明に従った装置の具体的な実施形態のためのレイアウトの特徴の具体的な例を示す4つの画素領域の平面図である。

10

【図10】図9のラインX-Xにおいて得られる、図9の隣り合った障壁を通る断面図である。

【図11】横断的導電性障壁を伴う、本発明に従った装置の具体的な実施形態のためのレイアウトの特徴の他の例の平面図である。

【図12】本発明に従った相互接続を形成するための導電性障壁構成の他の例を有する装置の一部の断面図である。

【図13】本発明に従った具体的な一実施形態を用いた製造の段階における図2又は図3のような装置の一部の断面図である。

【図14】本発明に従った具体的な一実施形態を用いた製造の段階における図2又は図3のような装置の一部の断面図である。

20

【図15】本発明に従った具体的な一実施形態を用いた製造の段階における図2又は図3のような装置の一部の断面図である。

【図16】本発明に従った具体的な一実施形態を用いた製造の段階における図2又は図3のような装置の一部の断面図である。

【図17】本発明に従った導電性障壁の相互接続の絶縁体における改善を示す絶縁段階における装置の一部の断面図である。

【 図 1 】

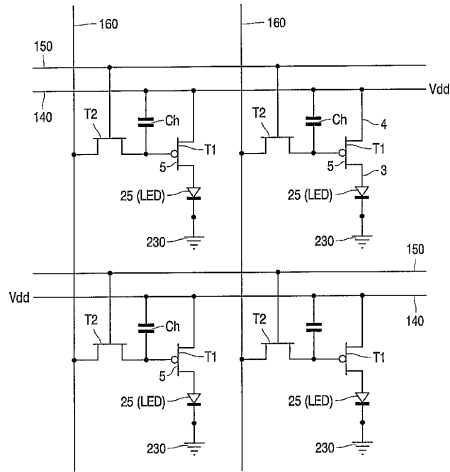


FIG. 1

【 図 2 】

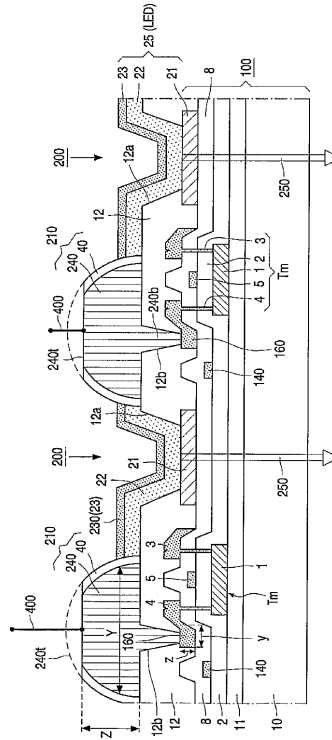


FIG. 2

【 図 3 】

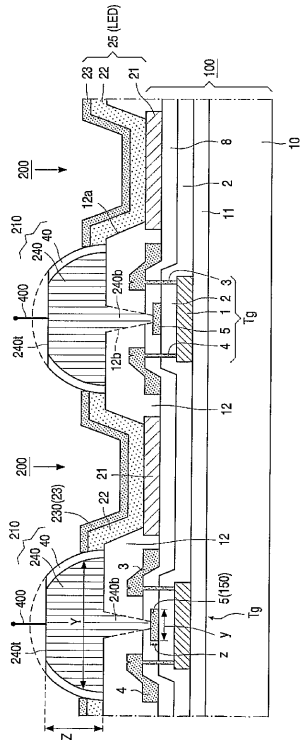


FIG. 3

【 図 4 】

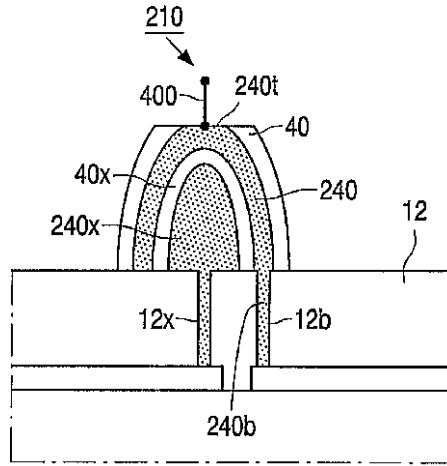


FIG. 4

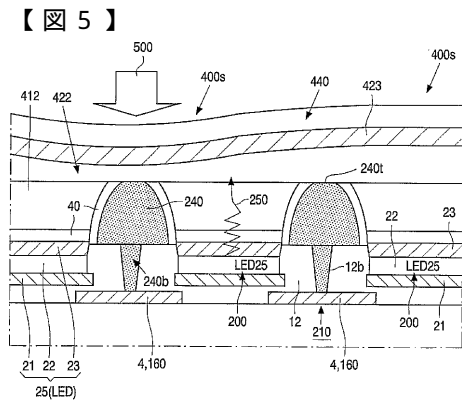


FIG. 5

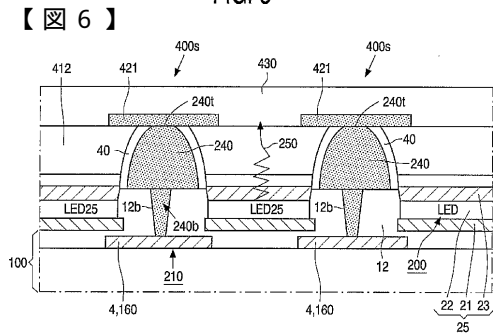


FIG. 6

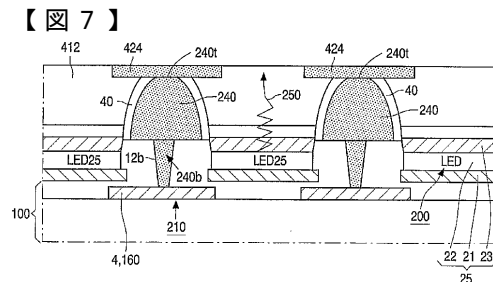


FIG. 7

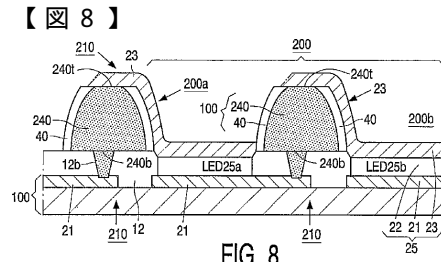


FIG. 8

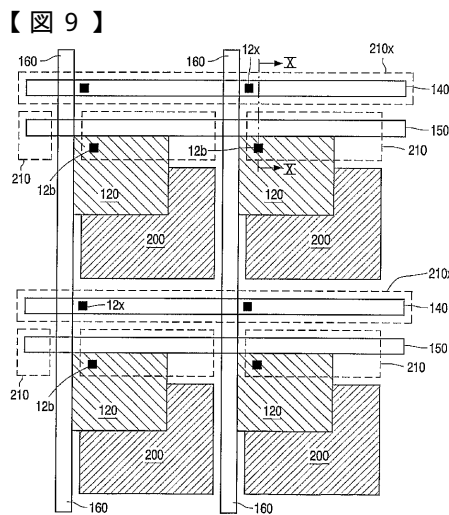


FIG. 9

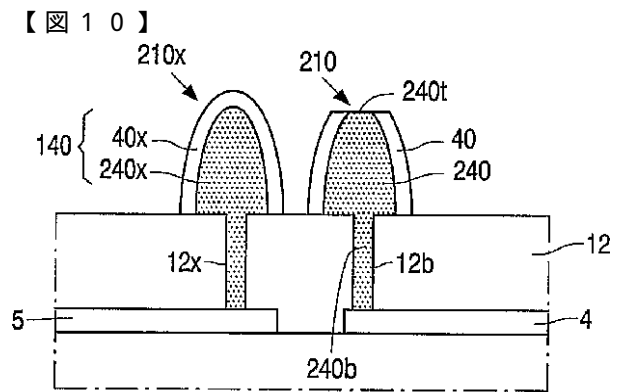


FIG. 10

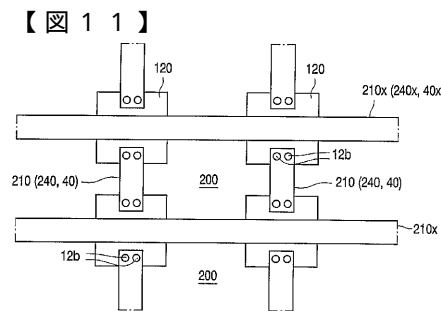
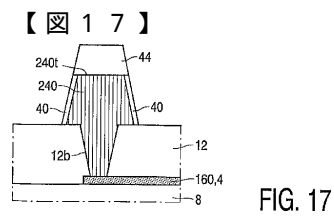
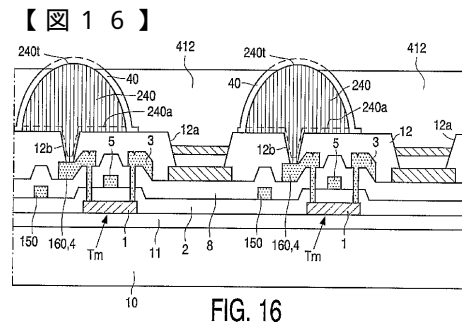
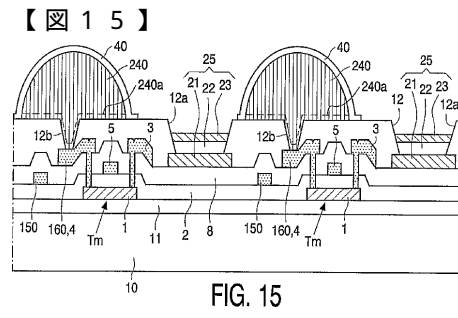
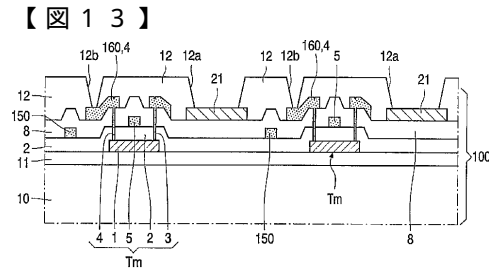
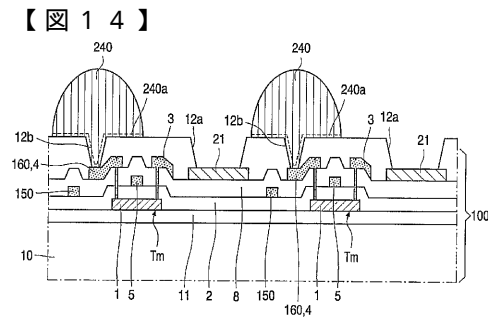
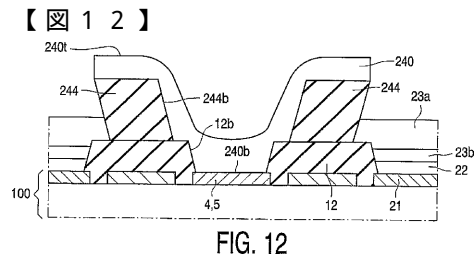


FIG. 11



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 51/50 (2006.01) H 0 5 B 33/14 A

(31)優先権主張番号 0216055.4

(32)優先日 平成14年7月11日(2002.7.11)

(33)優先権主張国 英国(GB)

(72)発明者 チャイルズ, マーク ジェイ
オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

(72)発明者 フィッシュ, デイヴィッド エイ
オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

(72)発明者 ヘクター, ジェイソン アール
オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

審査官 渡邊 勇

(56)参考文献 米国特許第 6 3 0 7 5 2 8 (U S , B 1)
特開 2 0 0 1 - 1 9 5 0 0 8 (J P , A)
国際公開第 0 1 / 3 9 2 7 2 (W O , A 1)
特開 2 0 0 1 - 1 4 8 2 9 1 (J P , A)

(58)調査した分野(Int.Cl., D B 名)

H01L 27/32

H01L 51/50

H05B 33/00 - 33/28

专利名称(译)	有源矩阵电致发光显示装置及其制造方法		
公开(公告)号	JP4360918B2	公开(公告)日	2009-11-11
申请号	JP2003577343	申请日	2003-03-19
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
当前申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ヤングナイジェルディー チャイルズマークジェイ フィッシュデイヴィッドエイ ヘクタージェイソンアール		
发明人	ヤング,ナイジェル ディー チャイルズ,マーク ジェイ フィッシュ,デイヴィッド エイ ヘクター,ジェイソン アール		
IPC分类号	H05B33/22 G09F9/30 H01L27/32 H05B33/10 H05B33/12 H01L51/50 H01L27/15 H05B33/14		
CPC分类号	H01L27/3276 H01L27/3204 H01L27/3225 H01L27/3244 H01L27/3246		
FI分类号	H05B33/22.Z G09F9/30.338 G09F9/30.365.Z H05B33/10 H05B33/12.B H05B33/14.A		
代理人(译)	伊藤忠彦		
审查员(译)	渡边勇		
优先权	2002006551 2002-03-20 GB 2002009562 2002-04-26 GB 2002016055 2002-07-11 GB		
其他公开文献	JP2005521207A		
外部链接	Espacenet		

摘要(译)

物理屏障 (210) 位于有源矩阵电致发光显示装置的电路板 (100) 中的相邻像素 (200) 之间, 特别是有机半导体材料的LED (25)。电路板 (1,2,5,5,6,140,150) 160, T1, T2, Tm, Tg, Ch) 和作为第二电路元件, 例如作为跨像素阵列支撑的传感器阵列的传感器 (400s) 形成具有导电材料 (240) 的屏障 (210)。导电阻挡材料 (240) 在邻近LED的阻挡层侧绝缘, 第二电路元件 (400,400s, 23) 连接到导电阻挡材料 (240) (240吨)。

14)

J P 436091

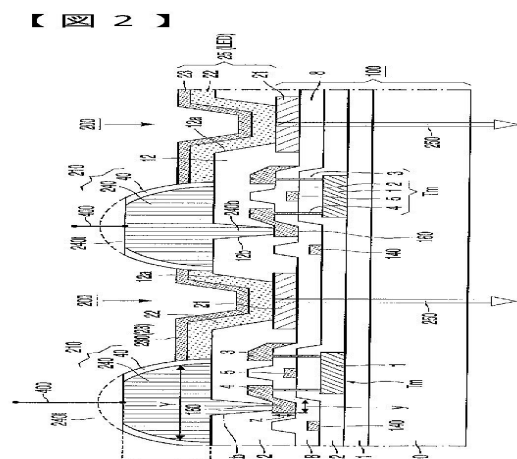


FIG. 2