

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4096585号
(P4096585)

(45) 発行日 平成20年6月4日(2008.6.4)

(24) 登録日 平成20年3月21日(2008.3.21)

(51) Int.Cl.	F I	
H01L 51/50 (2006.01)	H05B 33/14	A
H05B 33/10 (2006.01)	H05B 33/10	
H05B 33/12 (2006.01)	H05B 33/12	B
H05B 33/22 (2006.01)	H05B 33/22	Z
G09F 9/00 (2006.01)	G09F 9/00	338
請求項の数 17 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2002-77162 (P2002-77162)	(73) 特許権者	000002369
(22) 出願日	平成14年3月19日(2002.3.19)		セイコーエプソン株式会社
(65) 公開番号	特開2002-352955 (P2002-352955A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成14年12月6日(2002.12.6)	(74) 代理人	100095728
審査請求日	平成16年9月1日(2004.9.1)		弁理士 上柳 雅誉
(31) 優先権主張番号	特願2001-78900 (P2001-78900)	(74) 代理人	100107076
(32) 優先日	平成13年3月19日(2001.3.19)		弁理士 藤網 英吉
(33) 優先権主張国	日本国(JP)	(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	平林 幸哉
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	福田 聡
			最終頁に続く

(54) 【発明の名称】 表示装置の製造方法及び表示装置並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

光透過性の基板上に、平面的に配列された複数の発光素子層と、前記発光素子層に接続された駆動素子と、前記複数の発光素子層間に配置されたバンク層と、前記駆動素子に接続された配線とを備えた表示装置を製造する表示装置の製造方法であって、

前記基板上に、一又は複数の遮光性の導電膜を、平面視したとき前記バンク層の平面形状に一致する平面形状にパターンニングすることにより前記配線を形成する配線形成工程と

前記配線をマスクとして前記基板の裏側から露光することにより、前記基板上における前記配線の上方に、前記バンク層を自己整合的に形成するバンク層形成工程と、

前記バンク層で囲まれた領域内に前記発光素子層を形成する発光素子層形成工程と、を含むことを特徴とする表示装置の製造方法。

【請求項2】

前記配線形成工程と前記バンク層形成工程との間に、前記境界領域に前記駆動素子を形成する駆動素子形成工程を含むことを特徴とする請求項1に記載の表示装置の製造方法。

【請求項3】

光透過性の基板上に、平面的に配列された複数の発光素子層と、該発光素子層に接続された駆動素子と、前記複数の発光素子層間に配置されたバンク層と、前記駆動素子を少なくとも部分的に遮光する遮光膜とを備えた表示装置を製造する表示装置の製造方法であって、

前記基板上に、前記遮光膜を前記バンク層の平面形状に対応する平面形状にパターンニングする遮光膜形成工程と、

前記遮光膜をマスクとして前記基板の裏側から露光することにより、前記基板上における前記遮光膜の上方に、前記バンク層を自己整合的に形成するバンク層形成工程と、

前記バンク層で囲まれた領域内に前記発光素子層を形成する発光素子層形成工程と、
を含むことを特徴とする表示装置の製造方法。

【請求項 4】

前記遮光膜形成工程と前記バンク層形成工程との間に、前記境界領域に前記駆動素子を形成する駆動素子形成工程を含むことを特徴とする請求項 3 に記載の表示装置の製造方法。

10

【請求項 5】

前記駆動素子は、薄膜トランジスタを含み、

前記遮光膜形成工程では、前記薄膜トランジスタの少なくともチャネル領域を前記透明基板側から覆うように前記遮光膜をパターンニングすることを特徴とする請求項 3 又は 4 に記載の表示装置の製造方法。

【請求項 6】

前記遮光膜形成工程では、前記遮光膜として、配線の機能を有する導電性の遮光膜を形成することを特徴とする請求項 3 から 5 のいずれか一項に記載の表示装置の製造方法。

【請求項 7】

前記発光素子層形成工程は、インクジェット法により前記発光素子層の少なくとも一部を形成する工程を含むことを特徴とする請求項 1 から 6 のいずれか一項に記載の表示装置の製造方法。

20

【請求項 8】

前記発光素子層形成工程は、有機エレクトロルミネッセンス膜或いは有機半導体膜を形成する工程を含むことを特徴とする請求項 1 から 7 のいずれか一項に記載の表示装置の製造方法。

【請求項 9】

光透過性の基板上に、

平面的に配列された複数の発光素子層と、

該発光素子層に接続された駆動素子と、

前記複数の発光素子層間に配置されたバンク層と、

遮光性の導電膜からなり前記駆動素子に接続された一又は複数の配線と

を備えており、

前記バンク層は、前記基板上における前記配線の上方に、前記配線をマスクとして前記基板の裏側から露光することにより自己整合的に形成されており、前記一又は複数の配線を平面視したときの平面形状は、前記バンク層の平面形状に一致してなることを特徴とする表示装置。

30

【請求項 10】

前記配線は、データ線、走査線、容量線及び共通給電線のうち少なくとも一つを含むことを特徴とする請求項 9 に記載の表示装置。

40

【請求項 11】

光透過性の基板上に、

平面的に配列された複数の発光素子層と、

該発光素子層に接続された駆動素子と、

前記複数の発光素子層間に配置されたバンク層と、

前記駆動素子を少なくとも部分的に遮光する遮光膜と

を備えており、

前記バンク層は、前記基板上における前記遮光膜の上方に、前記遮光膜をマスクとして前記基板の裏側から露光することにより自己整合的に形成されており、

前記遮光膜の平面形状は、前記バンク層の平面形状に一致してなることを特徴とする表

50

示装置。

【請求項 1 2】

前記駆動素子は、薄膜トランジスタを含み、

前記遮光膜は、前記薄膜トランジスタの少なくともチャンネル領域を下側から覆うことを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記駆動素子は、薄膜トランジスタを含み、

前記遮光膜は、前記薄膜トランジスタの少なくともチャンネル領域を上側から覆うことを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 4】

前記発光素子層は、有機エレクトロルミネッセンス膜或いは有機半導体膜からなることを特徴とする請求項 9 から 1 3 のいずれか一項に記載の表示装置。

【請求項 1 5】

前記駆動素子は、前記発光素子層毎に複数の薄膜トランジスタからなることを特徴とする請求項 9 から 1 4 のいずれか一項に記載の表示装置。

【請求項 1 6】

前記基板上における周辺領域に、前記駆動素子又は前記配線と接続された周辺回路を更に備えており、

前記配線又は前記遮光膜と同一層から、前記周辺回路における配線の少なくとも一部が形成されていることを特徴とする請求項 9 から 1 5 のいずれか一項に記載の表示装置。

【請求項 1 7】

請求項 9 から 1 6 のいずれか一項に記載の表示装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、エレクトロルミネッセンス (Electro-Luminescence、以下 E L という) 素子、LED (Light Emitting Diode) 素子等の発光素子を備えた表示装置を製造する表示装置の製造方法の技術分野及びそのような製造方法により製造される表示装置の技術分野に属する。

【0002】

【背景技術】

有機 E L 素子、LED 素子等の電流制御型発光素子を用いたアクティブマトリクス型の表示装置は、発光素子が自己発光するため、液晶表示装置等の場合と異なり、バックライトを必要とせず、視野角依存性が小さいなどの利点もある。

【0003】

この種の表示装置では、一般に複数の発光素子がマトリクス状に配列されている。そして特に相隣接する発光素子相互間の境界領域にはバンク層と呼ばれる絶縁性且つ遮光性の凸部が形成されている。

【0004】

係る表示装置を製造する際には、バンク層で区切られた各区画内即ち各画素内に、例えばインクジェット法により正孔注入層を構成するための液状の材料を吐出し、更に有機 E L 膜或いは有機半導体膜を構成するための液状の材料を吐出することにより、正孔注入層及び有機 E L 膜或いは有機半導体膜を各区画内に積層形成する。このような吐出の際に、凸状のバンク層によって、各前駆体が隣接する区画内にはみ出す事態を防止できる。

【0005】

更に、製品完成後の動作の際に、遮光性を有するバンク層によって、各画素の間隙における光抜けや隣接画素間における混色を防止することにより、コントラスト比を高めることも可能である。

【0006】

10

20

30

40

50

他方、発光素子相互間の境界領域には、発光素子を駆動するための薄膜トランジスタ（以下適宜、TFTと称す）等の駆動素子作り込まれ、更に、このような駆動素子に接続される、例えばAl（アルミニウム）等からなる各種配線が配置される。加えて、このような境界領域には、当該TFTにおける光リーク電流の発生を防止するための遮光膜が形成されたりする。

【0007】

【発明が解決しようとする課題】

この種の表示装置の製造方法においても、製造コストの削減及び画質の向上という一般的要請は強い。

【0008】

しかしながら、前述した背景技術における製造方法によれば、バンク層を形成するために専用のフォトマスクが必要となる。このため、バンク層を形成するために製造コストが上昇するという問題点がある。

【0009】

更に、前述した背景技術における表示装置によれば、バンク層を専用のフォトマスクで形成するために、遮光性を有する各種配線や駆動素子とバンク層との間における位置合わせ精度に応じて、各画素における開口率が低下したり、開口率がばらつくことになり、明るく高品位の画像表示を行なうことが困難になるという問題点がある。

【0010】

本発明は上述した問題点に鑑みなされたものであり、製造コストの低減を図りつつ、各画素における開口率が高く且つ開口率のばらつきが低減された表示装置を製造することができる表示装置の製造方法及び明るく高品位の画像表示を行なうことができる表示装置を提供することを課題とする。

【0011】

【課題を解決するための手段】

本発明の第1の表示装置の製造方法は、光透過性の基板上に、平面的に配列された複数の発光素子層と、前記発光素子層に接続された駆動素子と、前記複数の発光素子層相互間の境界領域に配置されたバンク層と、前記駆動素子に接続された配線とを備えた表示装置を製造する表示装置の製造方法であって、前記基板上に、遮光性の導電膜を前記バンク層の平面形状に対応する平面形状にパターニングすることにより前記配線を形成する配線形成工程と、前記配線をマスクとして前記基板の裏側から露光することにより、前記基板上における前記配線の上方に、前記バンク層を自己整合的に形成するバンク層形成工程と、前記バンク層で囲まれた領域内に前記発光素子層を形成する発光素子層形成工程とを含む。

【0012】

本発明の第1の表示装置の製造方法によれば、配線形成工程では、光透過性基板上で、遮光性の導電膜をバンク層の平面形状に対応する平面形状にパターニングすることにより、配線を形成する。その後、バンク層形成工程では、遮光性の配線をマスクとして基板の裏側から露光することにより、配線の上方に、バンク層を自己整合的に形成する。より具体的には、例えば、黒色のレジストに対するフォトリソグラフィ及びエッチングにより、配線をマスクとしてバンク層を自己整合的に形成する。従って、バンク層を形成するために専用のフォトマスクは必要ない。その後、発光素子層形成工程では、バンク層で囲まれた領域内に、発光素子層を形成する。従って、バンク層で囲まれた領域外に発光素子層がみ出ないようにできる。しかも、装置完成後には、配線とバンク層とは、平面形状が殆ど同じとなるので、背景技術の如く両者間の位置合わせ精度に応じて画素の開口率が低下することは殆ど無くなり且つ各画素における開口率のばらつきも低減される。これらの結果、明るく高品位の画像表示可能なアクティブマトリクス駆動型の表示装置を、比較的低コストで製造できる。

【0013】

尚、本発明に係る発光素子としては、例えば、有機EL膜或いは有機半導体膜等を備えてなる有機EL素子、LEDなどの発光素子が挙げられる。

10

20

30

40

50

【 0 0 1 4 】

また、バンク層は、発光素子層のはみ出しを防止する観点からは、例えば、1 μm以上の、発光素子層と比較して厚い膜厚を持つように形成するのが好ましく、或いは、撥水性の材料から形成するのが好ましい。更に、駆動素子の形成された領域上に発光素子層を形成しても、表示に寄与しないばかりか、無効電流の増加につながるので、駆動素子の形成された領域に、バンク層を形成することにより、発光素子層を形成しない方が有利である。

【 0 0 1 5 】

本発明の第1の表示装置の製造方法の一態様では、前記配線形成工程と前記バンク層形成工程との間に、前記境界領域に前記駆動素子を形成する駆動素子形成工程を含む。

【 0 0 1 6 】

この態様によれば、配線及びバンク層間に、TFT等の駆動素子が積層形成された構造を有する表示装置を比較的低コストで製造できる。

【 0 0 1 7 】

本発明の第2の表示装置の製造方法は、光透過性の基板の上に、平面的に配列された複数の発光素子層と、該発光素子層に接続された駆動素子と、前記複数の発光素子層相互間の境界領域に配置されたバンク層と、前記駆動素子を少なくとも部分的に遮光する遮光膜とを備えた表示装置を製造する表示装置の製造方法であって、前記基板の上に、前記遮光膜を前記バンク層の平面形状に対応する平面形状にパターニングする遮光膜形成工程と、前記遮光膜をマスクとして前記基板の裏側から露光することにより、前記基板における前記遮光膜の上方に、前記バンク層を自己整合的に形成するバンク層形成工程と、前記バンク層で囲まれた領域内に前記発光素子層を形成する発光素子層形成工程とを含む。

【 0 0 1 8 】

本発明の第2の表示装置の製造方法によれば、遮光膜形成工程では、光透過性基板上で、遮光膜をバンク層の平面形状に対応する平面形状にパターニングする。その後、バンク層形成工程では、パターニング後の遮光膜をマスクとして基板の裏側から露光することにより、遮光膜の上方に、バンク層を自己整合的に形成する。より具体的には、例えば、黒色のレジストに対するフォトリソグラフィ及びエッチングにより、遮光膜をマスクとしてバンク層を自己整合的に形成する。従って、バンク層を形成するために専用のフォトマスクは必要ない。その後、発光素子層形成工程では、バンク層で囲まれた領域内に、発光素子層を形成する。従って、バンク層で囲まれた領域外に発光素子層がはみ出ないようにできる。しかも、装置完成後には、遮光膜とバンク層とは、平面形状が殆ど同じとなるので、背景技術の如く両者間の位置合わせ精度に応じて画素の開口率が低下することは殆ど無くなり且つ各画素における開口率のばらつきも低減される。これらの結果、明るく高品位の画像表示可能なアクティブマトリクス駆動型の表示装置を、比較的低コストで製造できる。

【 0 0 1 9 】

本発明の第2の表示装置の製造方法の一態様では、前記遮光膜形成工程と前記バンク層形成工程との間に、前記境界領域に前記駆動素子を形成する駆動素子形成工程を含む。

【 0 0 2 0 】

この態様によれば、遮光膜及びバンク層間に、TFT等の駆動素子が積層形成された構造を有する表示装置を比較的低コストで製造できる。

【 0 0 2 1 】

本発明の第2の表示装置の製造方法の他の態様では、前記駆動素子は、薄膜トランジスタを含み、前記遮光膜形成工程では、前記薄膜トランジスタの少なくともチャネル領域を前記基板側から覆うように前記遮光膜をパターニングする。

【 0 0 2 2 】

この態様によれば、基板上における薄膜トランジスタの上方或いは下方からその少なくともチャネル領域を遮光膜により覆う構造を持ち、当該薄膜トランジスタにおける光リーク電流の発生が低減されており、優れたトランジスタ特性を持つ薄膜トランジスタで発光素子を駆動可能な表示装置を比較的低コストで製造できる。

10

20

30

40

50

【 0 0 2 3 】

本発明の第2の表示装置の製造方法の他の態様では、前記遮光膜形成工程では、前記遮光膜として、配線の機能を有する導電性の遮光膜を形成する。

【 0 0 2 4 】

この態様によれば、遮光膜本来の機能に加えて配線としての機能をも有する遮光膜を備えており、積層構造が簡略化された表示装置を比較的容易に製造できる。例えば、このような遮光膜を定電位配線とすれば、駆動素子の近傍における電位安定により、駆動素子の動作をより良好とすることも可能となる。

【 0 0 2 5 】

本発明の第1又は第2の表示装置の製造方法の他の態様では、前記発光素子層形成工程は、インクジェット法により前記発光素子層の少なくとも一部を形成する工程を含む。

10

【 0 0 2 6 】

この態様によれば、インクジェット法によりバンク層で区切られた各区画内に、例えば、正孔注入層を構成するための液状の材料たる一の前駆体を吐出し、更に有機EL膜或いは有機半導体膜を構成するための液状の材料たる他の前駆体を吐出することにより、正孔注入層及び有機EL膜或いは有機半導体膜を各区画内に積層形成できる。

【 0 0 2 7 】

本発明の第1又は第2の表示装置の製造方法の他の態様では、前記発光素子層形成工程は、有機EL膜或いは有機半導体膜を形成する工程を含む。

【 0 0 2 8 】

この態様によれば、バンク層によって有機EL膜或いは有機半導体膜が隣接する区画内にはみ出す事態を防止しつつ、比較的簡単に有機EL素子、LED等を備えた表示装置を製造できる。

20

【 0 0 2 9 】

本発明の第1の表示装置は、光透過性の基板上に、平面的に配列された複数の発光素子層と、該発光素子層に接続された駆動素子と、前記複数の発光素子層相互間の境界領域に配置されたバンク層と、遮光性の導電膜からなり前記駆動素子に接続された配線とを備えており、前記バンク層は、前記基板上における前記配線の上方に、前記配線をマスクとして前記基板の裏側から露光することにより自己整合的に形成されている。

【 0 0 3 0 】

本発明の第1の表示装置によれば、配線とバンク層とは、平面形状が殆ど同じであるので、背景技術の如く両者間の位置合わせ精度に応じて画素の開口率が低下することは殆ど無く且つ各画素における開口率のばらつきも低減されている。これらの結果、明るく高品位の画像表示が可能となる。

30

本発明の第2の表示装置は、光透過性の基板上に、平面的に配列された複数の発光素子層と、該発光素子層に接続された駆動素子と、前記複数の発光素子層相互間の境界領域に配置されたバンク層と、遮光性の導電膜からなり前記駆動素子に接続された配線とを備えており、前記配線の少なくとも一部の平面形状は、前記バンク層の平面形状に対応してなる。

【 0 0 3 1 】

本発明の第1または第2の表示装置の一態様では、前記配線は、データ線、走査線、容量線及び共通給電線のうち少なくとも一つを含む。

40

【 0 0 3 2 】

この態様によれば、データ線、走査線、容量線や共通給電線により比較的複雑なアクティブマトリクス駆動を行なうことが可能となる。そして、データ線、走査線、容量線や共通給電線とほぼ同一の平面形状を有するバンク層の存在により、明るく高品位の画像表示が可能となる。

【 0 0 3 3 】

本発明の第3の表示装置は、光透過性の基板上に、平面的に配列された複数の発光素子層と、該発光素子層に接続された駆動素子と、前記複数の発光素子層相互間の境界領域に配

50

置されたバンク層と、前記駆動素子を少なくとも部分的に遮光する遮光膜とを備えており、前記バンク層は、前記基板上における前記遮光膜の上方に、前記遮光膜をマスクとして前記基板の裏側から露光することにより自己整合的に形成されている。

【 0 0 3 4 】

本発明の第 3 の表示装置によれば、遮光膜とバンク層とは、平面形状が殆ど同じであるので、背景技術の如く両者間の位置合わせ精度に応じて画素の開口率が低下することは殆ど無く且つ各画素における開口率のばらつきも低減されている。これらの結果、明るく高品位の画像表示が可能となる。

本発明の第 4 の表示装置は、光透過性の基板上に、平面的に配列された複数の発光素子層と、該発光素子層に接続された駆動素子と、前記複数の発光素子層相互間の境界領域に配置されたバンク層と、前記駆動素子を少なくとも部分的に遮光する遮光膜とを備えており、前記遮光膜の平面形状は、前記バンク層の平面形状に対応してなる。

【 0 0 3 5 】

本発明の第 3 または第 4 の表示装置の一の態様では、前記駆動素子は、薄膜トランジスタを含み、前記遮光膜は、前記薄膜トランジスタの少なくともチャンネル領域を下側から覆う。

【 0 0 3 6 】

この態様によれば、基板上における薄膜トランジスタの下側からその少なくともチャンネル領域を遮光膜により覆っているため、当該薄膜トランジスタにおける光リーク電流の発生が低減されており、優れたトランジスタ特性の薄膜トランジスタにより発光素子を駆動できる。この結果、より高品位の画像表示が可能となる。

【 0 0 3 7 】

本発明の第 3 または第 4 の表示装置の他の態様では、前記駆動素子は、薄膜トランジスタを含み、前記遮光膜は、前記薄膜トランジスタの少なくともチャンネル領域を上側から覆う。

【 0 0 3 8 】

この態様によれば、基板上における薄膜トランジスタの上側からその少なくともチャンネル領域を遮光膜により覆っているため、当該薄膜トランジスタにおける光リーク電流の発生が低減されており、優れたトランジスタ特性の薄膜トランジスタにより発光素子を駆動できる。この結果、より高品位の画像表示が可能となる。

【 0 0 3 9 】

尚、このような遮光膜を薄膜トランジスタの上側及び下側の両方に設けてもよい。

【 0 0 4 0 】

本発明の第 1 から第 4 の表示装置の他の態様では、前記発光素子層は、有機 E L 膜或いは有機半導体膜からなる。

【 0 0 4 1 】

この態様によれば、バンク層によって有機 E L 膜或いは有機半導体膜が隣接する区画内にはみ出す事態が防止されており、高信頼性の有機 E L 素子、LED 等を用いて高品位の画像表示が可能となる。

【 0 0 4 2 】

本発明の第 1 から第 4 の表示装置の他の態様では、前記駆動素子は、前記発光素子層毎に複数の薄膜トランジスタからなる。

【 0 0 4 3 】

この態様によれば、例えば、2 つの薄膜トランジスタを組み合わせることにより、各画素における有機 E L 素子等の電流制御型の発光素子を制御可能となる。

【 0 0 4 4 】

本発明の第 1 から第 4 の表示装置の他の態様では、前記基板上における周辺領域に、前記駆動素子又は前記配線と接続された周辺回路を更に備えており、前記配線又は遮光膜と同一層から、前記周辺回路における配線の少なくとも一部が形成されている。

【 0 0 4 5 】

この態様によれば、画像表示領域における配線や遮光膜と同一層からなる配線を有する走査線駆動回路、データ線駆動回路等の周辺回路を内蔵した所謂周辺回路内蔵型の表示装置が実現される。

本発明の電子機器は、上記第1から第4のいずれかの表示装置を備えてなる。

【0046】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0047】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の表示装置を、電流制御型発光素子の一例たる電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス駆動方式の表示装置に適用したものである。

【0048】

(表示装置の全体構成)

図1は、本実施形態における表示装置の全体のレイアウトを模式的に示す平面図であり、図2は、表示装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路を、駆動回路と共に示すブロック図である。

【0049】

図1に示すように、表示装置1では、その基体たる光透過性の透明基板10の中央領域が画像表示領域2とされている。透明基板10における画像表示領域2の周辺に位置する周辺領域のうち、データ線76の両端側には画像信号を出力するデータ線駆動回路3及び検査回路5が設けられている。周辺領域のうち、走査線73の両端側には走査信号を出力する走査線駆動回路4が構成されている。データ線駆動回路3及び走査線駆動回路4内には、N型のTF TとP型のTF Tとによって相補型TF Tが多数設けられており、これらの相補型TF Tから、シフトレジスタ、レベルシフト、アナログスイッチなどが構成されている。なお、透明基板10上において、データ線駆動回路3よりも外周の領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド6が形成されている。

【0050】

このように構成した表示装置1では、透明基板10上に、複数の走査線73と、該走査線73の延設方向に対して交差する方向に延設された複数のデータ線76とが設けられ、これらのデータ線76と走査線73との各交点に対応して、マトリクス状に配列された複数の画素が規定されている。

【0051】

また、データ線76と横並びに、共通給電線78が設けられている。共通給電線78には、各画素における有機EL発光素子を発光させるための電流が供給される。

【0052】

図2に示すように、各画素領域7には、走査線73を介して走査信号がゲート電極21(第1のゲート電極)に供給される第1のTF T20が構成されている。このTF T20のソース領域及びドレイン領域の一方は、データ線76に電氣的に接続され、他方は電位保持電極74に電氣的に接続されている。更に、走査線73に対しては容量線71が横並びに配線されており、この容量線71の一部と、電位保持電極74とが誘電体膜を介して対向配置されることにより、蓄積容量70が形成されている。従って、走査信号によって選択されて第1のTF T20がオン状態になると、データ線76から画像信号が第1のTF T20を介して蓄積容量70に書き込まれる。

【0053】

尚、図2では、図1で画像表示領域2の下側に図示したデータ線駆動回路3を便宜上、上側に図示している。

【0054】

電位保持電極74には第2のTF T30のゲート電極31(第2のゲート電極)が電氣的に接続されている。第2のTF T30のソース領域及びドレイン領域の一方は、共通給電

10

20

30

40

50

線 7 8 に電氣的に接続されており、他方は発光素子 4 0 の一方の電極（後述する画素電極）に電氣的に接続されている。共通給電線 7 8 は、定電位に保持されている。従って、第 2 の T F T 3 0 がオン状態になったときに、第 2 の T F T 3 0 を介して共通給電線 7 8 の電流が発光素子 4 0 に流れ、発光素子 4 0 を発光させる。

【 0 0 5 5 】

本実施形態で、共通給電線 7 8 の両側には、共通給電線 7 8 との間で駆動電流の供給が行われる発光素子 4 0 を有する画素領域 7 が配置され、これらの画素領域 7 に対して共通給電線 7 8 とは反対側を 2 本のデータ線 7 6 が通っている。すなわち、データ線 7 6、それに接続する画素群、1 本の共通給電線 7 8、それに接続する画素群、及び該画素群に画素信号を供給するデータ線 7 6 を 1 つの単位としてそれを走査線 7 3 の延設方向に繰り返してあり、共通給電線 7 8 は、1 本で 2 列分の画素に対して駆動電流を供給する。従って、1 列の画素群ごとに共通給電線 7 8 を形成する場合と比較して、共通給電線 7 8 の形成領域が狭くて済み、発光面積を増やすことができるので、輝度、コントラスト比などの表示性能を向上させることができる。なお、このように 1 本の共通給電線 7 8 に 2 列分の画素が接続される構成としたため、データ線 7 6 は 2 本ずつ並列する状態にあって、夫々の列の画素群に対して画像信号を供給することになる。

【 0 0 5 6 】

但し、本発明に適用可能な共通給電線、容量線、データ線等の配置については、各種形態が考えられる。例えば、T F T を構成するための半導体膜を低抵抗化した導電膜を利用して蓄積容量 7 0 を構成してもよいし、共通給電線 7 8 を容量線として利用してもよい。

【 0 0 5 7 】

（各画素における構成）

次に、以上の如く構成された実施形態の表示装置 1 の画像表示領域 2 内における各画素における構成について、図 3 から図 6 を参照して説明する。図 3 は、データ線、走査線、発光素子、T F T 等が形成された透明基上における相隣接する複数の画素群の平面図である。図 4 は、図 3 の A - A ' 断面図であり、図 5 は、図 3 の B - B ' 断面図であり、図 6 は、図 3 の C - C ' 断面図である。尚、図 4 から図 6 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【 0 0 5 8 】

先ず図 3 における A - A 線に相当する位置では、図 4 に示すように、透明基板 1 0 上に、後に詳述する下側遮光膜 1 1 及び下地絶縁膜 1 2 を介して、各画素領域 7 の各々に第 1 の T F T 2 0 を形成するための島状のシリコン膜 2 0 0 が形成され、その表面にはゲート絶縁膜 5 0 が形成されている。また、ゲート絶縁膜 5 0 の表面にはゲート電極 2 1 が形成され、該ゲート電極 2 1 に対して自己整合的に高濃度の不純物が導入されたドレイン領域 2 2 及びソース領域 2 3 が形成されている。尚、ソース領域とドレイン領域とは、本実施形態における T F T では逆でも構わないが、ここでは図 4 で外側に位置するソース及びドレイン領域の一方をドレイン領域 2 2 とし、内側に位置するソース及びドレイン領域の他方をソース領域 2 3 として説明を続ける。ゲート絶縁膜 5 0 の表面側には第 1 の層間絶縁膜 5 1 が形成され、この層間絶縁膜 5 1 に開孔されたコンタクトホール 6 1 及び 6 2 を介して、ドレイン領域 2 2 及びソース領域 2 3 には、電位保持電極 7 4 及びデータ線 7 6 が夫々電氣的に接続されている。

【 0 0 5 9 】

各画素領域 7 には走査線 7 3 と並列するように、走査線 7 3 やゲート電極 2 1 と同一の層間（ゲート絶縁膜 5 0 と第 1 の層間絶縁膜 5 1 との間）には容量線 7 1 が形成されており、この容量線 7 1 に対しては、第 1 の層間絶縁膜 5 1 を介して電位保持電極 7 4 の延設部分 7 5 が重なっている。このため、容量線 7 1 と電位保持電極 7 4 の延設部分 7 5 とは、第 1 の層間絶縁膜 5 1 を誘電体膜とする蓄積容量 7 0 を構成している。なお、電位保持電極 7 4 及びデータ線 7 6 の表面側には第 2 の層間絶縁膜 5 2 が形成されている。

【 0 0 6 0 】

図 3 における B - B 線に相当する位置では、図 5 に示すように、透明基板 1 0 上に、後

10

20

30

40

50

に詳述する下側遮光膜 1 1 及び下地絶縁膜 1 2 を介して、形成された第 1 の層間絶縁膜 5 1 及び第 2 の層間絶縁膜 5 2 の表面に各画素領域 7 に対応するデータ線 7 6 が 2 本、並列している状態にある。

【 0 0 6 1 】

図 3 における C - C 線に相当する位置では、図 6 に示すように、透明基板 1 0 上には、後に詳述する下側遮光膜 1 1 及び下地絶縁膜 1 2 を介して、共通給電線 7 8 を挟む 2 つの画素領域 7 に跨るように、第 2 の T F T 3 0 を形成するための島状のシリコン膜 3 0 0 が形成され、その表面にはゲート絶縁膜 5 0 が形成されている。また、ゲート絶縁膜 5 0 の表面には、共通給電線 7 8 を挟むように、各画素領域 7 の各々にゲート電極 3 1 が夫々形成され、このゲート電極 3 1 に対して自己整合的に高濃度の不純物が導入されたドレイン領域 3 2 及びソース領域 3 3 が形成されている。ゲート絶縁膜 5 0 の表面側には第 1 の層間絶縁膜 5 1 が形成され、この層間絶縁膜 5 1 に形成されたコンタクトホール 6 3 を介して、ドレイン領域 3 2 に中継電極 3 5 が電氣的に接続されている。一方、シリコン膜 3 0 0 の中央の 2 つの画素領域 7 において共通のソース領域 3 3 となる部分に対しては、第 1 の層間絶縁膜 5 1 のコンタクトホール 6 4 を介して、共通給電線 7 8 が電氣的に接続されている。これらの共通給電線 7 8、及び中継電極 3 5 の表面には第 2 の層間絶縁膜 5 2 が形成されている。第 2 の層間絶縁膜 5 2 の表面には I T O 膜からなる画素電極 4 1 が形成されている。この画素電極 4 1 は、第 2 の層間絶縁膜 5 2 に形成されたコンタクトホール 6 5 を介して中継電極 3 5 に電氣的に接続され、また中継電極 3 5 を介して第 2 の T F T 3 0 のドレイン領域 3 2 に電氣的に接続されている。

10

20

【 0 0 6 2 】

ここで、画素電極 4 1 は発光素子 4 0 の一方の電極を構成している。すなわち、画素電極 4 1 の表面には正孔注入層 4 2 及び有機半導体膜 4 3 が積層され、さらに有機半導体膜 4 3 の表面には、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極 9 0 が形成されている。この対向電極 9 0 は、少なくとも画素電極 4 1 の全面に対向して、あるいはストライプ状に形成された共通の電極であって、一定の電位に保持されている。

【 0 0 6 3 】

このように構成された発光素子 4 0 では、対向電極 9 0 及び画素電極 4 1 を夫々正極及び負極として電圧が印加され、印加電圧がしきい値電圧を越えた領域で有機半導体膜 4 3 に流れる電流（駆動電流）が急激に増大する。その結果、発光素子 4 0 は、エレクトロルミネッセンス素子あるいは L E D 素子として発光し、発光素子 4 0 の光は、対向電極 9 0 に反射されて透明な画素電極 4 1 及び透明基板 1 0 を透過して出射される。

30

【 0 0 6 4 】

このような発光を行うための駆動電流は、対向電極 9 0、有機半導体膜 4 3、正孔注入層 4 2、画素電極 4 1、第 2 の T F T 3 0、及び共通給電線 7 8 から構成される電流経路を流れるため、第 2 の T F T 3 0 がオフ状態になると、流れなくなる。但し、本形態の表示装置 1 では、走査信号によって選択されて第 1 の T F T 2 0 がオン状態になると、データ線 7 6 から画像信号が第 1 の T F T 2 0 を介して蓄積容量 7 0 に書き込まれる。従って、第 2 の T F T 3 0 のゲート電極は、第 1 の T F T 2 0 がオフ状態になっても、蓄積容量 7 0 によって画像信号に相当する電位に保持されるので、第 2 の T F T 3 0 はオン状態のままである。それ故、発光素子 4 0 には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが蓄積容量 7 0 に書き込まれて、第 2 の T F T 3 0 がオフ状態になるまで維持される。

40

【 0 0 6 5 】

尚、共通給電線 7 8 には、各発光素子 4 0 を駆動するための駆動電流が流れるので、データ線 7 6 に比較して大きな電流が流れる。そこで、共通給電線 7 8 の単位長さ当たりの抵抗値を、データ線 7 6 の単位長さ当たりの抵抗値よりも小さくするのが望ましい。例えば、共通給電線 7 8 とデータ線 7 6 とを同一材料から形成するのであれば、前者の線幅や膜厚を後者より大きくするのが望ましい。

【 0 0 6 6 】

50

本実施形態では特に図3から図6に示すように、駆動素子の一例たるTFT20及び30を、透明基板10における下側から遮光する導電性の下側遮光膜11を透明基板10上に備えて構成されている。下側遮光膜11は、例えばTi(チタン)、Cr(クロム)、W(タングステン)、Ta(タンタル)、Mo(モリブデン)、Pb(鉛)等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等から形成される。そして、バンク層80は、透明基板10における下側遮光膜11の上方に、後述の製造方法の如く下側遮光膜11をマスクとして透明基板10の裏側から露光することにより自己整合的に形成されている。即ち、下側遮光膜11とバンク層80とは、相互にほぼ同一の平面形状を有する。

【0067】

下側遮光膜11上には、下地絶縁膜12が形成されており、下地絶縁膜12上に、上述したTFT20及び30を夫々構成する半導体層200及び300が形成されている。下地絶縁膜12は、下側遮光膜11からTFT20及び30を層間絶縁する機能の他、透明基板10の全面に形成されることにより、透明基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等でTFT20及び30の特性の変化を防止する機能を有する。

【0068】

従って、本実施形態によれば、下側遮光膜11とバンク層80とは、図3に示した如く平面形状が殆ど同じであるので、背景技術の如く両者間の位置合わせ精度に応じて各画素の開口率が低下することは殆ど無く且つ各画素における開口率のばらつきも低減されている。

【0069】

加えて、本実施形態では、透明基板10上におけるTFT20及び30の下側からそれらのチャンネル領域を下側遮光膜11により覆っているため、当該TFT20及び30における光リーク電流の発生が低減されており、優れたトランジスタ特性のTFT20及び30により発光素子40を駆動できる。

【0070】

更に、本実施形態では、TFT20及び30のみならず、平面的に見てデータ線76、共通給電線78、走査線73、容量線71等の配線の形成領域にも、下側遮光膜11及びこれとほぼ同一平面形状のバンク層80が形成されている。そして、これらの下側遮光膜11及びバンク層80により各画素の開口領域を規定すると共に、表示に寄与しない領域で発光素子40に駆動電流が流れることを阻止することで無効電流の発生を効果的に防止できる。特に、バンク層80は黒色のレジストからなり、下側遮光膜11は高融点金属膜等の遮光膜からなるので、ほぼ同一の平面形状を有する下側遮光膜11とバンク層80との両者がブラックマトリクスとして機能し、表示画像におけるコントラスト比が向上する。または、バンク層80を、ポリイミド等の樹脂により形成してもよく、2層以上の構造にしてもよい。

【0071】

尚、本実施形態では、下側遮光膜11を周辺領域において、固定電位に落とすことが好ましい。このように構成すれば、下地絶縁膜12の膜厚によらずに、TFT20及び30に対して、下地絶縁膜12を介して直下に位置する導電性の下側遮光膜11の電位変動が及ぼす悪影響を低減できる。

【0072】

但し、例えば、下地絶縁膜12の膜厚をある程度厚くすることにより、導電性の下側遮光膜11を画像表示領域2内における配線として利用することも可能である。更に、このような導電性の下側遮光膜11は、少なくとも周辺領域(図1参照)における配線として利用することは可能である。

【0073】

以上の結果、本実施形態の表示装置によれば、明るく高品位の画像表示が可能となる。

【0074】

以上説明した実施形態では、下側遮光膜11とバンク層80とを同一平面形状にしたが、

10

20

30

40

50

TFT20及び30を透明基板10上において上側から覆う上側遮光膜を設け、この上側遮光膜と自己整合的にバンク層80を形成してもよい。このように構成すれば、上側からの光入射によるTFT20及び30における光リーク電流の発生を防ぐことができ、更に各画素の開口率を低下させない利益や、各画素における開口率のばらつきを低減する利益は得られる。尚、このような遮光膜を薄膜トランジスタの上側及び下側の両方に設けてもよいし、上側遮光膜は、例えば高融点金属を含む膜等の下側遮光膜11と同一材料から形成してもよい。

【0075】

更に、上述の如き下側遮光膜11或いは上側遮光膜に加えて又は代えて、若しくは部分的に代えて、遮光性の導電膜からなりTFT20及び30に接続されたデータ線76等の配線をマスクとして透明基板10の裏側から露光することによりバンク層80を自己整合的に形成することも可能である。このように構成しても、各画素の開口率を低下させない利益や、各画素における開口率のばらつきを低減する利益は得られる。

また、基板は必ずしも透明基板でなくてもよく、裏面からの露光が十分に行える程度の光透過性を有する基板であればよい。

【0076】

(製造プロセス)

次に、上述した実施形態の表示装置の製造プロセスについて図7を参照して説明する。ここに図7は、製造プロセスの各工程における表示装置の積層構造を、TFT20及び30、容量線71並びにゲート電極31の延設部分310を含む断面で順を追って示す工程図である。

【0077】

先ず図7の工程(1)に示すように、石英基板、ハードガラス等の透明基板10を用意する。ここで、好ましくは N_2 (窒素)等の不活性ガス雰囲気且つ約900~1300の高温でアニール処理し、後に実施される高温プロセスにおける透明基板10に生じる歪みが少なくなるように前処理しておく。

【0078】

続いて、このように処理された透明基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜11'を形成する。

【0079】

次に工程(2)に示すように、フォトリソグラフィ及びエッチングにより、バンク層80と同一平面形状を有する格子状の下側遮光膜11を形成する。続いて、下側遮光膜11上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば約200~2000nm程度とする。

【0080】

次に工程(3)に示すように、基板の温度を約350に設定して、下地絶縁膜12の表面にプラズマCVD法により厚さが約30~70nmのアモルファスのシリコン膜からなる半導体膜100を形成する。次にアモルファスのシリコン膜からなる半導体膜100に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜100をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビームの長寸が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm²である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

【0081】

次に工程(4)に示すように、半導体膜100をパターンングして島状の半導体膜200及び300とし、その表面に対して、TEOSや酸素ガスなどを原料ガスとしてプラズマ

10

20

30

40

50

CVD法により厚さが約60～150nmのシリコン酸化膜または窒化膜からなるゲート絶縁膜50を形成する。

【0082】

次に工程(5)に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターンングし、ゲート電極21及び31を形成する。この工程では、走査線73及び容量線71も形成する。なお、図中、310は、ゲート電極31の延設部分である。

【0083】

この状態で、高濃度のリンイオンを打ち込んで、シリコン薄膜200及び300にはゲート電極21及び31に対して自己整合的にドレイン領域22、ソース領域23、ドレイン領域32及びソース領域33を夫々形成する。なお、不純物が導入されなかった部分がチャンネル領域27及び37となる。

10

【0084】

次に工程(6)に示すように、第1の層間絶縁膜51を形成した後、コンタクトホール61、62、63、64及び69をドライエッチング、ウエットエッチング若しくはドライエッチングとウエットエッチングとの組み合わせにより開孔し、データ線76、容量線71及びゲート電極31の延設部分310に重なる延設部分75を備える電位保持電極74、共通給電線78、及び中継電極35を形成する。その結果、電位保持電極74はコンタクトホール69及び延設部分310を介してゲート電極31に電氣的に接続する。このようにして第1のTF T 20及び第2のTF T 30を形成する。また、容量線71と電位保持電極74の延設部分75とによって蓄積容量70が形成される。

20

【0085】

次に工程(7)に示すように、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール65を開孔する。次に、第2の層間絶縁膜52の表面全体にITO(Indium Tin Oxide)膜を形成した後、パターンングし、コンタクトホール65を介して第2のTF T 30のドレイン領域32に電氣的に接続する画素電極41を形成する。

【0086】

次に工程(8)に示すように、第2の層間絶縁膜52の表面側に黒色のレジスト層を形成した後、このレジストを発光素子40の正孔注入層42及び有機半導体膜43を形成して発光領域とすべき領域を囲むように残し、バンク層80をフォトリソグラフィ及びエッチングに形成する。

30

【0087】

本実施形態では特に、このようなバンク層80を形成するために、専用のフォトマスクを用いず、予め工程(2)において、バンク層80を形成すべき領域に形成しておいた下側遮光膜11をフォトマスクとして、透明基板10の裏側から露光することにより、このようなバンク層80を自己整合的に形成する。

【0088】

続いて、バンク層80の内側領域に対してインクジェットヘッド500から、正孔注入層42を構成するための液状の材料(前駆体)を吐出し、バンク層80の内側領域に正孔注入層42を形成する。同様に、バンク層80の内側領域に対してインクジェットヘッド500から、有機半導体膜43を構成するための液状の材料(前駆体)を吐出し、バンク層80の内側領域に有機半導体膜43を形成する。ここで、バンク層80はレジストから構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は親水性の溶媒を用いているため、有機半導体膜43の塗布領域はバンク層80によって確実に規定され、隣接する画素にはみ出ることがない。それ故、有機半導体膜43などを所定領域内だけに形成できる。但し、予めバンク層80からなる隔壁が1μmほどの高さであれば、バンク層80が撥水性でなくても、バンク層80は隔壁として十分に機能する。なお、バンク層80を形成しておけば、インクジェット法に代えて、塗布法で正孔注入層42や有機半導体膜43を形成する場合でもその形成領域を規定できる。

40

50

【 0 0 8 9 】

次に工程（ 9 ）に示すように、透明基板 1 0 の表面全体に対して、あるいはストライプ状に対向電極 9 0 を形成する。

【 0 0 9 0 】

以上説明したように本実施形態の製造プロセスによれば、工程（ 2 ）でパターニングした下側遮光膜 1 1 をマスクとして、工程（ 8 ）で透明基板 1 0 の裏側から露光することによりバンク層 8 0 を自己整合的に形成する。このため、装置完成後には、下側遮光膜 1 1 とバンク層 8 0 とは、平面形状が殆ど同じとなるので、画素の開口率が高く且つ各画素における開口率のばらつきも低減された明るく高品位の画像表示可能なアクティブマトリクス駆動型の表示装置を、比較的 low コストで製造できる。

10

【 0 0 9 1 】

他方、図 1 に示すデータ線駆動回路 3 や走査線駆動回路 4 にも T F T が形成されるが、これらの T F T は画素領域 7 に T F T を形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成する T F T も、画素領域 7 の T F T と同一の層間に形成されることになる。

【 0 0 9 2 】

尚、前記第 1 の T F T 2 0、及び第 2 の T F T 3 0 については、双方が N 型、双方が P 型、一方が N 型で他方が P 型のいずれでもよいが、このようないずれの組合せであっても周知の方法で T F T を形成していけるので、その説明を省略する。

【 0 0 9 3 】

また発光素子 4 0 としては、発光効率（正孔注入率）がやや低下するものの、正孔注入層 4 2 を省くこともある。また、正孔注入層 4 2 に代えて電子注入層を有機半導体膜 4 3 に対して正孔注入層 4 2 とは反対側に形成する場合、正孔注入層 4 2 及び電子注入層の双方を形成する場合がある。

20

【 0 0 9 4 】

また特に、下側遮光膜 1 1 に代えて、上側遮光膜或いは遮光性の配線と自己整合的にバンク層 8 0 を形成する場合には、予め、このような上側遮光膜等をバンク層 8 0 を形成すべき領域に形成しておき、図 7 の工程（ 8 ）で、このような上側遮光膜等をマスクとして透明基板 1 0 の裏側から露光すれば、バンク層 8 0 を自己整合的に形成可能である。

上述した表示装置は、例えば、モバイル型のパーソナルコンピュータ、携帯電話、デジタルスチルカメラ等の各種電子機器に適用することができる。

30

図 8 は、モバイル型のパーソナルコンピュータの構成を示す斜視図である。

図 8 において、パーソナルコンピュータ 1 0 0 は、キーボード 1 0 2 を備えた本体部 1 0 4 と、上述した表示装置からなる表示ユニット 1 0 6 とから構成されている。

図 9 は、携帯電話の斜視図である。図 9 において、携帯電話 2 0 0 は、複数の操作ボタン 2 0 2 の他、受話口 2 0 4、送話口 2 0 6 と共に、上述した表示装置 2 0 8 を備えている。

なお、上述した表示装置を表示部等として適用できる電子機器としては、図 8 のパーソナルコンピュータ、図 9 の携帯電話の他にも、デジタルカメラ、テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、 P O S 端末、およびタッチパネルを備えた機器等を挙げることができる。

40

【 0 0 9 5 】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う表示装置の製造方法及び表示装置もまた本発明の技術的範囲に含まれるものである。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施形態における表示装置の全体のレイアウトを模式的に示す平面図である。

50

【図2】実施形態の表示装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路を、駆動回路と共に示すブロック図である。

【図3】実施形態の表示装置の画素領域を拡大して示す平面図である。

【図4】図3のA-A断面図である。

【図5】図3のB-B断面図である。

【図6】図3のC-C断面図である。

【図7】実施形態に係る表示装置の製造プロセスの各工程における透明基板上の積層構造を順を追って示す工程図である。

【図8】実施形態の表示装置を適用した電子機器の一例に相当するパーソナルコンピュータの構成を示す斜視図である。

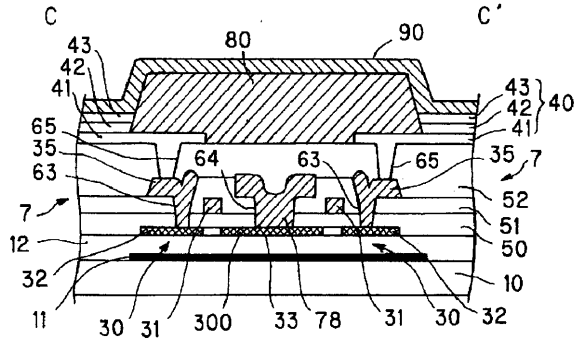
10

【図9】実施形態の表示装置を適用した電子機器の一例に相当する携帯電話の構成を示す斜視図である。

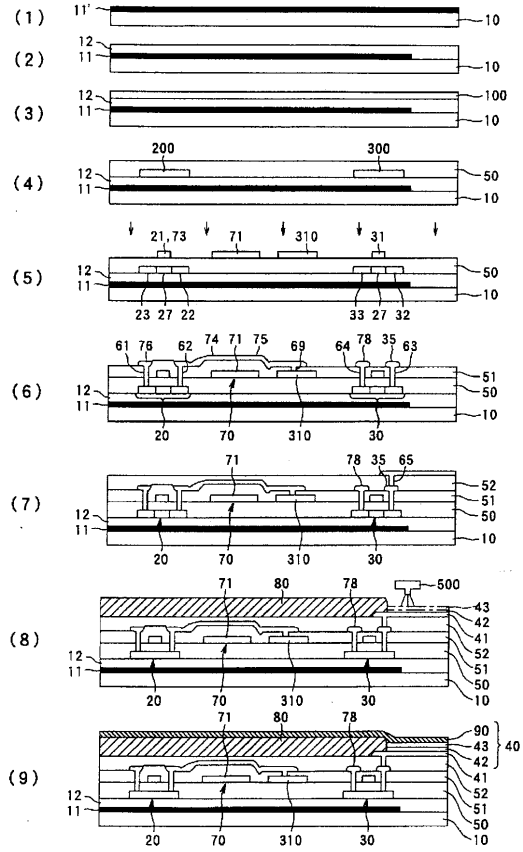
【符号の説明】

- | | | |
|-----|--------------|----|
| 1 | 表示装置 | |
| 2 | 画像表示領域 | |
| 3 | データ線駆動回路 | |
| 4 | 走査線駆動回路 | |
| 5 | 検査回路 | |
| 6 | 実装用パッド | |
| 7 | 画素領域 | 20 |
| 10 | 透明基板 | |
| 11 | 下側遮光膜 | |
| 12 | 下地絶縁膜 | |
| 20 | 第1のTFT | |
| 21 | 第1のTFTのゲート電極 | |
| 30 | 第2のTFT | |
| 31 | 第2のTFTのゲート電極 | |
| 40 | 発光素子 | |
| 41 | 画素電極 | |
| 42 | 正孔注入層 | 30 |
| 43 | 有機半導体膜 | |
| 50 | ゲート絶縁膜 | |
| 51 | 第1の層間絶縁膜 | |
| 52 | 第2の層間絶縁膜 | |
| 70 | 蓄積容量 | |
| 71 | 容量線 | |
| 73 | 走査線 | |
| 74 | 電位保持電極 | |
| 75 | 延設部 | |
| 76 | データ線 | 40 |
| 78 | 共通給電線 | |
| 80 | バンク層 | |
| 90 | 対向電極 | |
| 500 | インクジェットヘッド | |

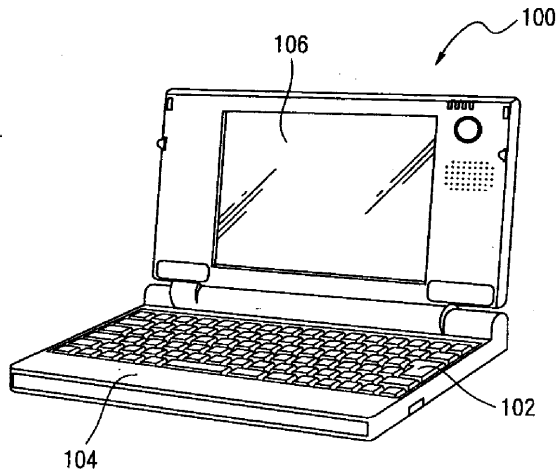
【図6】



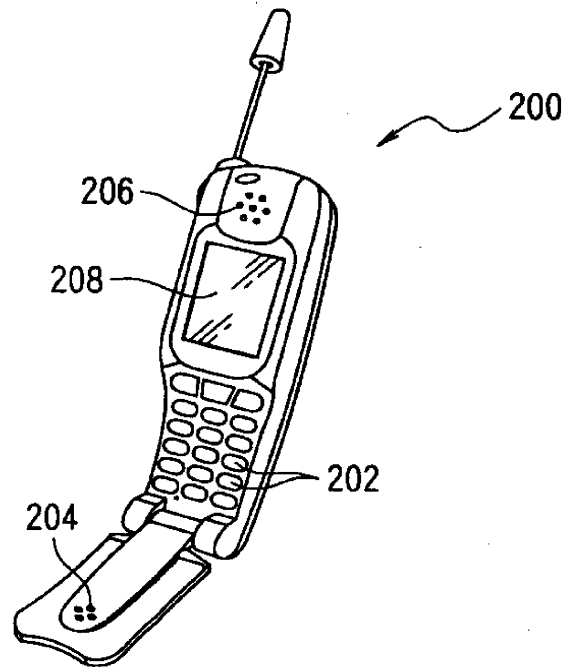
【図7】



【図8】



【図9】



フロントページの続き

(51) Int.Cl.			F I			
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/00	3 4 8 C	
H 0 1 L	27/32	(2006.01)	G 0 9 F	9/30	3 3 8	
			G 0 9 F	9/30	3 4 9 C	
			G 0 9 F	9/30	3 6 5 Z	

(56) 参考文献 国際公開第 9 9 / 0 4 8 3 3 9 (W O , A 1)

特開 2 0 0 0 - 0 9 1 5 8 1 (J P , A)
 特開 2 0 0 0 - 1 6 4 8 7 5 (J P , A)
 特開 2 0 0 0 - 2 6 7 5 9 4 (J P , A)
 特開平 1 1 - 1 9 4 2 1 1 (J P , A)
 特開 2 0 0 0 - 0 3 5 5 1 1 (J P , A)
 特開昭 6 2 - 0 7 3 6 7 0 (J P , A)
 特開昭 6 4 - 0 8 4 2 2 7 (J P , A)
 特開平 0 5 - 1 4 2 5 7 5 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

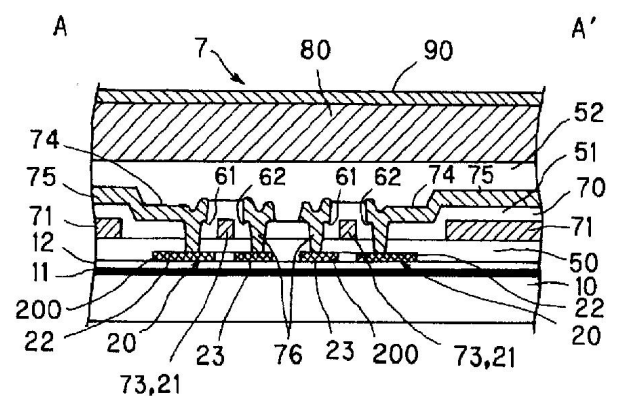
G02B 5/20 - 5/28
 G02F 1/1335 - 1/13363
 G09F 9/30 - 9/46
 H01L 27/32
 H01L 51/50 - 51/56
 H05B 33/00 - 33/28

专利名称(译)	用于制造显示装置的方法和设备，电子设备		
公开(公告)号	JP4096585B2	公开(公告)日	2008-06-04
申请号	JP2002077162	申请日	2002-03-19
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	平林幸哉		
发明人	平林 幸哉		
IPC分类号	H01L51/50 H05B33/10 H05B33/12 H05B33/22 G09F9/00 G09F9/30 H01L27/32 H05B33/14		
FI分类号	H05B33/14.A H05B33/10 H05B33/12.B H05B33/22.Z G09F9/00.338 G09F9/00.348.C G09F9/30.338 G09F9/30.349.C G09F9/30.365.Z G09F9/00.348.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/DB03 3K007/FA01 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/CC45 3K107/DD39 3K107/DD89 3K107/DD97 3K107/EE03 3K107/EE27 3K107/GG08 3K107/GG28 5C094/AA03 5C094/AA10 5C094/AA25 5C094/AA43 5C094/AA44 5C094/AA48 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DA15 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EA10 5C094/EB02 5C094/ED15 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB12 5C094/FB15 5C094/FB20 5C094/GB10 5G435/AA03 5G435/AA17 5G435/BB05 5G435/CC09 5G435/EE37 5G435/FF13 5G435/HH12 5G435/KK05		
代理人(译)	须泽 修		
审查员(译)	福田 聪		
优先权	2001078900 2001-03-19 JP		
其他公开文献	JP2002352955A		
外部链接	Espacenet		

摘要(译)

要解决的问题：制造一种显示装置，该显示装置配备有有机EL发光元件，该有机EL发光元件在降低制造成本的同时，在每个像素中具有高开口率，并且减小了开口率的变化。解决方案：用于制造显示装置的显示装置的制造方法，其由以平面方式布置的两个或更多个发光元件层构成，连接到该发光元件层的驱动元件，布置的堤层在光传输性质的基板上，在相互连接的发光元件层和连接到驱动元件的布线之间的两个或更多个边界区域中。通过形成布线以将具有遮光性的导电膜图案化为与堤层的平面形状对应的平面形状，并且在布线的上部以自对准的方式形成堤层，以及通过使用该布线作为掩模从基板的背面进行曝光，在由堤层包围的区域中形成发光元件层。

【图4】



【图5】