

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-541014

(P2010-541014A)

(43) 公表日 平成22年12月24日(2010.12.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 670J	5C080
HO1L 51/50 (2006.01)	G09G 3/20 641D	5C380
	G09G 3/20 624B	
	G09G 3/20 611H	

審査請求 未請求 予備審査請求 未請求 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2010-527516 (P2010-527516)
 (86) (22) 出願日 平成20年9月26日 (2008.9.26)
 (85) 翻訳文提出日 平成22年6月7日 (2010.6.7)
 (86) 国際出願番号 PCT/GB2008/003300
 (87) 国際公開番号 W02009/044120
 (87) 国際公開日 平成21年4月9日 (2009.4.9)
 (31) 優先権主張番号 0719511.8
 (32) 優先日 平成19年10月5日 (2007.10.5)
 (33) 優先権主張国 英国 (GB)

(71) 出願人 597063048
 ケンブリッジ ディスプレイ テクノロジ
 ー リミテッド
 イギリス・ケンブリッジシャー・CB2 3
 ・6DW・キャンボーン・キャンボーン・
 ビジネス・パーク・(番地なし)・ビルデ
 イング・2020
 (74) 代理人 230104019
 弁護士 大野 聖二
 (74) 代理人 100106840
 弁理士 森田 耕司
 (74) 代理人 100113549
 弁理士 鈴木 守
 (74) 代理人 100119183
 弁理士 松任谷 優子

最終頁に続く

(54) 【発明の名称】 画素回路

(57) 【要約】

画素駆動回路が、有機発光ダイオード(OLED)をアクティブマトリクス方式で駆動するために提供される。画素回路は、駆動トランジスタを備えている。駆動トランジスタの電流路は、一端が第1の電圧供給ラインに接続され、他端がOLEDに接続されている。駆動トランジスタのゲート端子は、記憶素子に接続されている。記憶素子は、駆動トランジスタのゲートとソースとの間に接続されて、第1のスイッチトランジスタの制御の下で、駆動トランジスタ用の駆動信号を記憶する。第1のスイッチトランジスタは、第1のセレクトラインへのゲート接続部を有する。第1のスイッチトランジスタの電流路は、駆動トランジスタのゲートとドレインとの間に接続されている。第2のスイッチトランジスタは、第2のセレクトラインへのゲート接続部を有する。第2のスイッチトランジスタの電流路は、一端がデータラインに接続され、他端が駆動トランジスタとOLEDとの間にあるノードに接続されている。

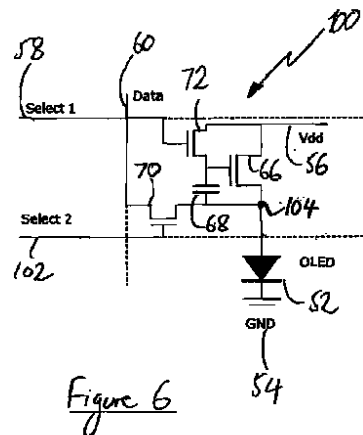


Figure 6

【選択図】 図6

【特許請求の範囲】**【請求項 1】**

有機発光ダイオード（O L E D）を駆動する画素駆動回路であって、

第 1 のセレクトラインと、

第 2 のセレクトラインと、

データラインと、

第 1 の電圧供給ラインと、

駆動トランジスタと、

を備え、

前記駆動トランジスタの電流路は、一端が前記第 1 の電圧供給ラインに接続され、他端が前記 O L E D に接続されており、

前記駆動トランジスタのゲート端子は、記憶素子に接続されており、前記記憶素子は、前記駆動トランジスタのゲートとソースとの間に接続されて、第 1 のスイッチトランジスタの制御の下で、前記駆動トランジスタ用の駆動信号を記憶し、

前記第 1 のスイッチトランジスタは、前記第 1 のセレクトラインへのゲート接続部を有し、前記第 1 のスイッチトランジスタの電流路は、前記駆動トランジスタのゲートとドレインとの間に接続されており、

第 2 のスイッチトランジスタは、前記第 2 のセレクトラインへのゲート接続部を有し、前記第 2 のスイッチトランジスタの電流路は、一端が前記データラインに接続され、他端が前記駆動トランジスタと前記 O L E D との間にあるノードに接続されていることを特徴とする画素駆動回路。

【請求項 2】

第 3 のセレクトラインと、

前記第 3 のセレクトラインへのゲート接続部を有する第 3 のスイッチトランジスタと、をさらに備え、

前記第 3 のスイッチトランジスタは、前記駆動トランジスタの電流路において前記 O L E D と前記駆動トランジスタとの間に直列に設けられている、請求項 1 に記載の画素駆動回路。

【請求項 3】

前記第 1 のセレクトラインは、非反転セレクトラインであり、

前記第 3 のセレクトラインは、前記第 1 のセレクトラインが H I G H であるときに前記第 3 のセレクトラインが L O W となる反転セレクトラインである、請求項 2 に記載の画素駆動回路。

【請求項 4】

前記第 1 のセレクトラインと前記第 2 のセレクトラインが共通である、請求項 2 または請求項 3 に記載の画素駆動回路。

【請求項 5】

前記第 1 の電圧供給ラインと他のセレクトラインが、電圧供給兼セレクトラインとして形成される、請求項 1 ~ 請求項 4 のいずれかに記載の画素駆動回路。

【請求項 6】

前記第 1 の電圧供給ラインと他のセレクトラインが、電圧供給兼セレクトラインとして形成され、前記第 1 のセレクトラインと前記第 2 のセレクトラインが共通である、請求項 1 に記載の画素駆動回路。

【請求項 7】

前記他のセレクトラインが、共通データラインを共用する隣接画素回路の第 1 のセレクトラインである、請求項 5 または請求項 6 に記載の画素駆動回路。

【請求項 8】

前記駆動トランジスタが n 型トランジスタである、請求項 1 ~ 請求項 7 のいずれかに記載の画素駆動回路。

【請求項 9】

10

20

30

40

50

前記駆動トランジスタがアモルファス・シリコン・トランジスタである、請求項 8 に記載の画素駆動回路。

【請求項 10】

前記 O L E D は、前記 O L E D のアノード端子が前記駆動トランジスタに接続される電流路を有する、請求項 1 ~ 請求項 9 のいずれかに記載の画素駆動回路。

【請求項 11】

複数の前記画素駆動回路が、行と列で配置され、各データラインが、列中の各画素回路で共用され、各電圧供給ライン兼全セレクトラインが、行中の各画素回路で共用され、

特定の列では、アドレス指定中に、 $n - 1$ 番目の画素駆動回路の電圧供給兼セレクトラインが、 n 番目の画素駆動回路への第 1 の電圧供給ラインとして働き、 $n + 1$ 番目の画素駆動回路の電圧供給兼セレクトラインが、 n 番目の画素駆動回路へのセレクトラインとして働く、請求項 5 ~ 請求項 10 のいずれかに記載の複数の画素駆動回路。

10

【請求項 12】

請求項 1 ~ 請求項 11 のいずれかに記載の画素駆動回路のアレイを備えるアクティブマトリクス方式の表示装置であって、

前記画素駆動回路は、行と列で配置されてディスプレイを形成し、各データラインは、列中の各画素回路で共用され、各セレクトラインが、行中の各画素回路で共用されることを特徴とするアクティブマトリクス方式の表示装置。

【請求項 13】

前記第 2 のスイッチトランジスタは、O L E D の両端の電圧降下を検出し検出電圧降下信号を生成するための電圧検出デバイスに接続され、前記検出電圧降下信号はコントローラに送られて、前記検出電圧降下信号に応じて前記駆動信号が調整される、請求項 12 に記載のアクティブマトリクス方式の表示装置。

20

【請求項 14】

前記検出電圧降下信号は、ルックアップテーブルに提供されて、代表 O L E D 用の電圧と駆動信号との関係を表す電圧データが保存され、前記コントローラは、前記関係に応じて、前記駆動信号を調整するようにプログラムされている、請求項 13 に記載のアクティブマトリクス方式の表示装置。

【請求項 15】

前記電圧検出デバイスは、前記ディスプレイのすべての O L E D の電圧降下を検出する、請求項 13 または請求項 14 に記載のアクティブマトリクス方式の表示装置。

30

【請求項 16】

複数の電圧検出デバイスが備えられ、前記複数の電圧検出デバイスの各々が、前記ディスプレイの前記 O L E D の一部の電圧降下を検出する、請求項 13 または請求項 14 に記載のアクティブマトリクス方式の表示装置。

【請求項 17】

前記電圧検出デバイスで検出される検出電圧降下は、複数の O L E D の両端の電圧降下を組み合わせたものである、請求項 13 ~ 請求項 16 のいずれかに記載のアクティブマトリクス方式の表示装置。

【請求項 18】

前記検出電圧降下信号から画素駆動回路のトランジスタのトランジスタ特性を決定するモジュールをさらに備える、請求項 13 ~ 請求項 17 のいずれかに記載のアクティブマトリクス方式の表示装置。

40

【請求項 19】

前記トランジスタ特性が、前記駆動トランジスタの閾電圧のシフトである、請求項 18 に記載のアクティブマトリクス方式の表示装置。

【請求項 20】

前記画素駆動回路が電流プログラム方式のものである、請求項 11 ~ 請求項 18 のいずれかに記載のアクティブマトリクス方式の表示装置。

【請求項 21】

50

有機発光ダイオード（O L E D）を駆動する画素駆動回路であって、
第 1 のセレクトラインと、
データラインと、
第 1 の電圧供給ラインと、
駆動トランジスタと、
を備え、

前記駆動トランジスタの電流路は、一端が前記第 1 の電圧供給ラインに接続され、他端が前記 O L E D に接続されており、

前記駆動トランジスタのゲート端子は、記憶素子に接続されており、前記記憶素子は、前記データラインに接続されて、第 1 のスイッチトランジスタおよび第 2 のスイッチトランジスタの制御の下で、前記駆動トランジスタ用の駆動信号を記憶し、

前記第 1 のスイッチトランジスタおよび前記第 2 のスイッチトランジスタは、前記第 1 のセレクトラインへのゲート接続部を有し、

第 3 のスイッチトランジスタは、第 2 のセレクトラインへのゲート接続部を有し、前記駆動トランジスタの電流路において前記 O L E D と前記駆動トランジスタとの間に直列に設けられていることを特徴とする画素駆動回路。

【請求項 2 2】

前記第 1 のセレクトラインは、非反転セレクトラインであり、

前記第 2 のセレクトラインは、前記第 1 のセレクトラインが H I G H であるときに前記第 2 のセレクトラインが L O W となる反転セレクトラインである、請求項 2 1 に記載の画素駆動回路。

【請求項 2 3】

前記第 1 の電圧供給ラインと他のセレクトラインが、電圧供給兼セレクトラインとして形成される、請求項 2 1 または請求項 2 2 に記載の画素駆動回路。

【請求項 2 4】

前記他のセレクトラインが前記第 1 のセレクトラインである、請求項 2 3 に記載の画素駆動回路。

【請求項 2 5】

前述のおよび / または添付図面の図 5、図 6、図 7 を参照したとおりの画素駆動回路。

【請求項 2 6】

前述のおよび / または添付図面の図 5、図 6、図 7 を参照したとおりのアクティブマトリクス方式の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、アクティブマトリクス駆動式の有機 E L デバイス用の画素回路に関する。

【背景技術】

【0002】

有機発光ダイオード（O L E D）は、特に好ましい形式の電気光学発光装置を構成する。O L E D を用いて製造されるディスプレイは、L C D や他のフラットパネルの技術に優る利点をいくつか提供する。これらのディスプレイは、明るくて、高速スイッチング可能であり（L C D と比較して）、広視野角を実現し、さらに、様々な基板上に容易に、かつ安価に形成することができる。

【0003】

有機（ここでは、有機金属も含む）L E D は、使用される材料に応じた様々な色で、ポリマー、低分子、 dendrimer を含む材料を用いて製造することができる。ポリマーをベースとする有機 L E D の例は、国際公開第 90 / 13148 号、国際公開第 95 / 06400 号、国際公開第 99 / 48160 号に記載されている。 dendrimer をベースとする材料の例は、国際公開第 99 / 21935 号と国際公開第 02 / 067343 号に記載さ

10

20

30

40

50

れている。また、いわゆる低分子をベースとするデバイスの例は、米国特許第 4, 539, 507号明細書に記載されている。

【0004】

図1を参照すると、OLEDの一般のデバイス構造は、透明なガラス基板またはプラスチック基板1と、酸化インジウム・スズのアノード2とカソード4から成っている。アノード2とカソード4との間に有機EL層3が設けられる。アノード2とカソード4の間には、電荷輸送層、電荷注入層、または電荷阻止層など、さらに他の層も設けられることがある。

【0005】

有機EL層3は、パターンング(パターン化)されることも、パターンングされないこともある。例えば、照明源として使用されるデバイスは、パターンングされない。パターンングされた層を含むデバイスは、パッシブマトリクス方式のディスプレイか、あるいは、アクティブマトリクス方式のディスプレイであってよい。パッシブマトリクス方式のディスプレイでは、アノード2は、アノード材料の平行ストライプから構成されており、このストライプ状のアノード2上に有機EL層3が形成されている。有機EL層3上には、アノード2の平行ストライプに直交して、カソード4の平行ストライプが配置されている。カソード4の隣接するストライプは、一般に、フォトリソグラフィによって形成される絶縁材料のストライプ、いわゆる「カソードセパレータ」で隔てられる。パッシブマトリクス方式のディスプレイは、列ドライバと行ドライバを用いて駆動される。この駆動は、ディスプレイを反復的に走査して、直交するアノードストライプとカソードストライプでそれぞれ表される列と行に沿って個々の画素をアドレス指定することによって行われる。いわゆるアクティブマトリクス方式のディスプレイは、一般に、パターンングされた有機EL層3を有している。パターンングされた有機EL層3は、パターンングされたアノード2および非パターンングされた(パターンングされていない)カソード4と組み合わせて使用される。アクティブマトリクスの駆動方式では、ディスプレイの各画素は、それ自身に関連する駆動回路を備えている。駆動回路は、一般に、少なくとも1つの記憶素子(例えば、キャパシタ)と、アドレス指定トランジスタまたはスイッチングトランジスタと、駆動トランジスタで構成されている。

10

20

【0006】

OLEDデバイスは完全に透明である場合もある。その場合、アノード2もカソード4も透明である。透明カソードを有するいわゆる上面発光型のOLEDデバイスは、アクティブマトリクス方式のデバイスには特に有利である。なぜなら、このようなデバイス中の透明アノードを通じての発光が、発光画素の真下にある駆動回路で少なくとも一部阻止されるからである。

30

【0007】

透明カソードデバイスは透明アノードを持つ必要がないと理解されよう(もちろん、完全に透明なデバイスが要望される場合を除く)。したがって、下面発光型のデバイスに使用される透明アノードは、アルミニウム層などの反射材料の層に代えられるか、あるいは、そのような層で補助されてよい。透明カソードデバイスの例は、例えば英国特許第2348316号明細書に開示されている。

40

【0008】

図2は、電圧制御式のOLEDアクティブマトリクス画素回路10の一例を示した図である。画素回路10は、ディスプレイの各画素に対して提供される。また、接地線(GND線)12、電源線(Vss線)14、行セレクトライン16、列データライン18などのバスラインが提供され、これらの画素を相互に接続する。したがって、各画素は、電源接続部と接地接続部を有する。画素の各行は、共通の行セレクトライン16を有しており、また、画素の各列は、共通の列データライン18を有している。

【0009】

各画素は、接地線12と電源線14との間に、駆動トランジスタ22と直列に接続されたOLED20を有している。駆動トランジスタ22のゲート端子24はストレージキャ

50

パシタ 26 に接続される。アドレス指定トランジスタ 28 は、行セレクトライン 16 の制御の下で、ゲート端子 24 を列データライン 18 に接続する。アドレス指定トランジスタ 28 は、薄膜電界効果型トランジスタ (FET) スイッチであり、行セレクトライン 16 を起動すると、列データライン 18 をゲート端子 24 およびストレージキャパシタ 26 に接続する。このようにして、アドレス指定トランジスタ 28 が ON であるときに、列データライン 18 上の電圧をストレージキャパシタ 26 上に蓄えることができる。これは一般に、画素回路のプログラミングとして知られている。この電圧は、少なくともフレームリフレッシュ期間の間、ストレージキャパシタ 26 上に保持される。なぜなら、駆動トランジスタ 22 へのゲート接続部分のインピーダンスが比較的大きく、また、アドレス指定トランジスタ 28 が OFF 状態にあるからである。

10

【0010】

駆動トランジスタ 22 は、一般に、FET トランジスタでもあり、閾電圧 (スレシヨルド電圧) よりも低い駆動トランジスタ 22 のゲート電圧に応じた電流 (ドレイン・ソース電流) を流す。それゆえ、ゲート端子 24 での電圧は、OLED 20 を流れる電流、つまり OLED 20 の明るさを制御する。図 2 の電圧制御式の回路は、特に、OLED 20 の発光が印加電圧に非線形的に左右されるために、いくつかの欠点がある。また、OLED から出力される光は、OLED が流す電流に比例するので、電流制御を行うのが好ましい。図 3 は、電流制御を用いる図 2 の回路の変形例を示している。なお、図 3 では、図 2 のものと同じ要素が、同じ参照番号で表されている。電流発生器 30 で設定されるデータライン (列データライン) 上の電流は、FET 32 を流れる電流をプログラミングし、さら

20

【0011】

アクティブマトリクス駆動回路が、有機薄膜トランジスタ (OTFT)、または LTP (低温ポリシリコン) で製造されたトランジスタから構成される場合には、これらのトランジスタは、一般に、p 型デバイスと呼ばれる。

【0012】

アクティブマトリクス駆動回路が、水素化アモルファスシリコン (a-Si:H) で製造されたトランジスタから構成される場合には、これらのトランジスタは、一般に、n 形デバイスと呼ばれる。

30

【0013】

FET 技術 (a-Si:H と、LTP) において直面する 1 つの問題は、連続動作に対する閾電圧 (V_{th}) のシフトである。一般に、a-Si:H のトランジスタ用の V_{th} のシフトは、電圧ストレスに非常に敏感である。駆動トランジスタに対して、閾電圧を超える高い電圧を印加する必要があるれば、閾電圧が大きく変化する。このことは、同一の印加プログラミング信号に対して、異なる駆動トランジスタが異なる駆動電流を OLED に流すこととなって現れる。したがって、これは、表示の全域にわたって、画素の明るさが非線形となるという問題をもたらすかもしれない。

【0014】

前述の問題を解決する一つの手法が、Shirasaki 論文で提案されている (非特許文献 1 参照)。この論文では、3 トランジスタ a-Si TFT 画素回路が開示されており、その中では、画素回路および駆動方式が、閾電圧のシフトに起因する不安定性を補うことが可能であることが趣旨として述べられている。

40

【0015】

図 4 a は、Shirasaki 論文の画素回路であり、図 4 b は、図 4 a の画素回路用の関連タイミングチャートである。図 4 a と図 4 b を参照すると、画素回路の駆動中には、書込みのステージ中にソース電圧 V_{source} が low であり、保持のステージまたは駆動のステージ中に V_{source} が high に戻るように、 V_{source} を変化させなければならないことがわかる。ときには、例えば既存の「市販の」駆動部品が使用される場合に、このこ

50

とは望ましくないかもしれない。標準のLCD行ドライバは、これらの様々な非標準信号を供給できないことがある。また、 V_{source} の変調は、キャパシタンスをいくらか変更させることもあり、それにより、駆動電流 I_{T3} を所期のものよりも減らすこともある。

【0016】

不安定性を補う方式として提案される他の方法は、さらに複雑な画素回路構成と駆動方式を必要とする。どんなデバイスにおいても、製造は簡単にしておく必要性があり、それとともに、追加デバイス用の有効領域(リアルエースト)の大きさには上限がある。さらに、ディスプレイの開口率は、目に見える発光画素で占有されるスペースを、バスラインまたはデバイスで使用されるスペースと比較したものとして一般に定義されており、デバイスとして、さらに多くのデバイスまたはラインが組み込まれると、この開口率は減らされる。

10

【0017】

時間の経過とともにOLEDの発光に影響を及ぼすさらなるパラメータは、OLED自体から、特にOLEDの寿命(経年変化)により生じる。OLEDが時を経るにつれて、OLEDは一般に、効率が悪くなって、光出力が低下する。光出力の低下は一般に、電流と光子の変換効率の低下から生じると考えられており、また、所与の駆動信号に対してOLEDを流れる電流の減少をもたらすOLED抵抗の増大から生じると考えられている。

【先行技術文献】

【特許文献】

【0018】

【特許文献1】国際公開第90/13148号

【特許文献2】国際公開第95/06400号

【特許文献3】国際公開第99/48160号

【特許文献4】国際公開第99/21935号

【特許文献5】国際公開第02/067343号

【特許文献6】米国特許第4,539,507号明細書

【特許文献7】英国特許第2348316号明細書

【非特許文献】

【0019】

【非特許文献1】Shirasaki, T et al、大型フルカラーOLEDテレビジョン - 発光ポリマとa-Si TFT技術 -、vol II、p257-278、2004年12月、ディスプレイ国際ワークショップ(IDW)、(<http://hat-lab.ed.kyushu-u.ac.jp/Documents/AMD3#OLED5-1.pdf>にてオンライン入手可能)

30

【発明の概要】

【発明が解決しようとする課題】

【0020】

画素回路の駆動トランジスタの閾値の変化を補うすることを目的として改良された画素回路を提供することが望ましい。

【0021】

OLEDの経年変化を補うことを目的として改良された画素回路を提供することも望ましい。

40

【0022】

バスラインの数を減らして、デバイスの開口率を大きくできるように改良された画素回路を提供することも望ましい。

【課題を解決するための手段】

【0023】

本発明の第1の態様によれば、有機発光ダイオード(OLED)を駆動するための画素駆動回路が提供される。この画素駆動回路は、第1のセレクトラインと、第2のセレクトラインと、データラインと、第1の電圧供給ラインと、駆動トランジスタを備える。駆動トランジスタの電流路は、一端が第1の電圧供給ラインに接続され、他端がOLEDに接

50

続されている。駆動トランジスタのゲート端子は、記憶素子に接続されており、この記憶素子は、駆動トランジスタのゲートとソースとの間に接続されて、第1のスイッチトランジスタの制御の下で、駆動トランジスタ用の駆動信号を記憶する。第1のスイッチトランジスタは、第1のセレクトラインへのゲート接続部を有し、第1のスイッチトランジスタの電流路は、駆動トランジスタのゲートとドレインとの間に接続されている。第2のスイッチトランジスタは、第2のセレクトラインへのゲート接続部を有し、第2のスイッチトランジスタの電流路は、一端がデータラインに接続され、他端が駆動トランジスタとOLEDとの間にあるノードに接続されている。

【0024】

さらに他の実施形態では、第3のセレクトラインと、この第3のセレクトラインへのゲート接続部を有する第3のスイッチトランジスタが備えられる。第3のスイッチトランジスタは、駆動トランジスタの電流路において、OLEDと駆動トランジスタとの間に直列に設けられる。

10

【0025】

好ましくは、第1のセレクトラインは、非反転セレクトラインであり、第3のセレクトラインは、第1のセレクトラインがHIGHであるときに第3のセレクトラインがLOWとなるような反転セレクトラインである。

【0026】

さらに好ましくは、第1のセレクトラインと第2のセレクトラインは共通である。

【0027】

好ましくは、第1の電圧供給ラインと他のセレクトラインが、電圧供給兼セレクトラインとして形成される。

20

【0028】

好ましくは、第1の電圧供給ラインと他のセレクトラインが、電圧供給兼セレクトラインとして形成され、第1のセレクトラインと第2のセレクトラインが共通である。

【0029】

さらに他の実施形態では、他のセレクトラインが、共通データラインを共用する隣接画素回路の第1のセレクトラインである。

【0030】

本発明の実施形態では、駆動トランジスタは、n型トランジスタであり、好ましくはアモルファス・シリコンから製造される。

30

【0031】

好ましくは、OLEDは、OLEDのアノード端子が駆動トランジスタに接続されるような電流路を有する。

【0032】

また、本発明によれば、行と列で配置される複数の画素駆動回路が提供される。各データラインが、列中の各画素回路で共用され、各電圧供給ライン兼全セレクトラインが、行中の各画素回路で共用される。特定の列では、アドレス指定中に、n-1番目の画素駆動回路の電圧供給兼セレクトラインが、n番目の画素駆動回路への第1の電圧供給ラインとして働き、n+1番目の画素駆動回路の電圧供給兼セレクトラインが、n番目の画素駆動回路へのセレクトラインとして働く。

40

【0033】

好ましくは、画素駆動回路は、行と列で配置されてディスプレイを形成し、各データラインは、列中の各画素回路で共用され、各セレクトラインは、行中の各画素回路で共用される。

【0034】

好ましくは、第2のスイッチトランジスタは、OLEDの両端の電圧降下を検出し検出電圧降下信号を生成するための電圧検出デバイスに接続される。検出電圧降下信号はコントローラに送られて、検出電圧降下信号に応じて駆動信号が調整される。

【0035】

50

さらに好ましくは、この検出電圧降下信号は、ルックアップテーブルに提供されて、代表OLED用の電圧と駆動信号との関係を表す電圧データが保存される。コントローラは、この関係に応じて、駆動信号を調整するようにプログラムされている。

【0036】

ある実施形態では、電圧検出デバイスは、ディスプレイのすべてのOLEDの電圧降下を検出する。また、複数の電圧検出デバイスが備えられ、複数の電圧検出デバイスの各々が、ディスプレイのOLEDの一部の電圧降下を検出する。電圧検出デバイスで検出される検出電圧降下は、複数のOLEDの両端の電圧降下を組み合わせたものであってもよい。

【0037】

好ましくは、本発明はさらに、検出電圧降下信号から画素駆動回路のトランジスタのトランジスタ特性を決定するモジュールをさらに備えるアクティブマトリクス方式の表示装置も提供する。

【0038】

決定されたトランジスタ特性は、駆動トランジスタの閾電圧のシフトであってよい。特に、画素駆動回路は電流プログラム方式のものである。

【0039】

本発明の第2の態様によれば、有機発光ダイオード(OLED)を駆動する画素駆動回路が提供される。この画素駆動回路は、第1のセレクトラインと、データラインと、第1の電圧供給ラインと、駆動トランジスタと、を備える。駆動トランジスタの電流路は、一端が第1の電圧供給ラインに接続され、他端がOLEDに接続されている。駆動トランジスタのゲート端子は、記憶素子に接続されて、第1のスイッチトランジスタおよび第2のスイッチトランジスタの制御の下で、駆動トランジスタ用の駆動信号を記憶する。第1のスイッチトランジスタおよび第2のスイッチトランジスタは、第1のセレクトラインへのゲート接続部を有する。第3のスイッチトランジスタは、第2のセレクトラインへのゲート接続部を有し、駆動トランジスタの電流路においてOLEDと駆動トランジスタとの間に直列に設けられている。

【0040】

好ましくは、第1のセレクトラインは、非反転セレクトラインであり、第2のセレクトラインは、第1のセレクトラインがHIGHであるときに第2のセレクトラインがLOWとなるような反転セレクトラインである。さらに好ましくは、第1の電圧供給ラインと他のセレクトラインは、電圧供給兼セレクトラインとして形成される。また、任意に、他のセレクトラインは、第1のセレクトラインであってよい。

【図面の簡単な説明】

【0041】

次に、本発明の実施形態を、以下の添付図面を参照して例示としてのみ説明する。

【0042】

【図1】図1は、有機ELデバイスの従来技術の一例を示す図である。

【図2】図2は、電圧駆動のアクティブマトリクスOLED画素回路の従来技術の一例を示す図である。

【図3】図3は、電流駆動のアクティブマトリクスOLED画素回路の従来技術の一例を示す図である。

【図4a】図4aは、電流駆動のアクティブマトリクスOLED画素回路の従来技術の一例を示す図である。

【図4b】図4bは、図4aに示される画素回路用のタイミング図である。

【図5】図5は、本発明の第1の実施形態による画素回路を示す図である。

【図6】図6は、本発明の第2の実施形態による画素回路を示す図である。

【図7】図7は、本発明の第3の実施形態による画素回路を示す図である。

【発明を実施するための形態】

【0043】

図5には、本発明の第1の実施形態の画素回路50が示されている。この画素回路50は、複数の画素から構成される全体表示（図示されてない）の各OLED52に対して備えられる。また、接地（GND）54、電源電圧線56、第1の行セレクトライン58、列データライン60が提供されて、これらの画素が相互接続される。

【0044】

第2の行セレクトライン62も提供されて、これらの画素が相互接続される。したがって、各画素回路50は、共通の接地54と電源電圧線56を有している。また、各画素は、共通の第1の行セレクトライン58と第2の行セレクトライン62と列データライン60を有している。

【0045】

OLED52は、電源電圧線56と接地54との間で、第1のトランジスタ64と駆動トランジスタ66に直列に接続されている。OLED52のカソード端子は、接地54に接続され、また、アノード端子は、第1のトランジスタ64および駆動トランジスタ66との直列接続を介して、電源電圧線56に接続される。第1のトランジスタ64のゲート端子は、第2の行セレクトライン62に接続され、それにより、第2の行セレクトライン62の制御の下にある。

【0046】

駆動トランジスタ66のゲート端子は、ストレージキャパシタ68の第1の端子に接続され、ストレージキャパシタ68の第2の端子は、スイッチトランジスタ70の第1の端子に接続されている。スイッチトランジスタ70のゲート端子は、第1の行セレクトライン58に接続され、それにより、第1の行セレクトライン58の制御の下にある。スイッチトランジスタ70の第2の端子は、列データライン60に接続されている。第2のトランジスタ72は、ゲート端子と第1の端子と第2の端子を有している。第2のトランジスタ72のゲート端子は、第1の行セレクトライン58に接続され、それにより、第1の行セレクトライン58の制御の下にある。第2のトランジスタ72の第1の端子は、ストレージキャパシタ68の第1の端子および駆動トランジスタ66のゲート端子に接続されている。第2のトランジスタの第2の端子は、電源電圧線56に接続されている。

【0047】

動作の際、画素回路50は、電源電圧線56から接地54まで画素回路50を横切って印加される電源電圧V_{dd}を有している。プログラミングのステージでは、第1の行セレクトライン58がHIGHであり、それにより、スイッチトランジスタ70と第2のトランジスタ72がON状態にされている。同時に、第1の行セレクトライン58と比較して反転行セレクトラインである第2の行セレクトライン62はLOWであり、第1のトランジスタ64をOFFにスイッチングする。したがって、OLEDは電圧供給ラインから隔離されて、それにより、電源電圧を低レベルと高レベルとの間で変調する必要がなくなる。それゆえ、列データライン60の電圧は、ストレージキャパシタ68上に蓄えることができる。発光のステージでは、第1の行セレクトラインがLOWであり、それにより、スイッチトランジスタ70および第2のトランジスタ72がOFF状態にされている。同時に、第2の行セレクトライン62はHIGHであり、それにより、駆動トランジスタ66および第1のトランジスタ64は、電流（ドレイン・ソース電流）をOLED52に流すことができる。

【0048】

図5（および、以下の図6と図7）の画素回路は、当技術分野において知られているように、列データライン60上に電流発生器（図示されてない）を追加して、電流制御される。

【0049】

図6には、本発明の第2の実施形態の画素回路100が示されている。なお、図6では、図5のものと同じ要素が、同じ参照番号で表されている。この画素回路100は、追加の行セレクトライン102を備えている。

【0050】

10

20

30

40

50

スイッチトランジスタ70は、ゲート端子と第1の端子と第2の端子を備えている。スイッチトランジスタ70のゲート端子は、追加の行セレクトライン102に接続され、それにより、追加の行セレクトライン102の制御の下にある。スイッチトランジスタ70の第1の端子は、ストレージキャパシタ68の第2の端子に接続されている。スイッチトランジスタ70の第2の端子は、列データライン60に接続されている。

【0051】

動作の際、画素回路100のプログラミングステージでは、OLED52の両端の電位差がほぼゼロであるように、電源電圧V_{dd}を低電位に保持する。このプログラミングステージでは、第1の行セレクトライン58と、追加の行セレクトライン102は両方ともHIGHであり、それにより、列データライン60上の電圧は、ストレージキャパシタ68上に蓄えることができる。発光ステージでは、電源電圧V_{dd}は高電位になり、第1の行セレクトライン58と、追加の行セレクトライン102はLOWとなる。したがって、駆動トランジスタ66により、電流(ドレイン・ソース電流)をOLED52に流すことができる。

10

【0052】

図6に示される実施形態は、測定ステージを含んでいる。この測定ステージでは、追加のセレクトライン102をHIGHにし、かつ、列データライン60上の電圧降下を、ノード104から接地54までOLED52を横切って測定できるようにする。OLEDの両端の電圧降下は、有機材料の経年変化により異なることが知られている。したがって、この測定された電圧降下は、そのような経年変化を表すものであり、このような電圧降下を利用すれば、上記経年変化を補うことができる。このような電圧降下を測定して、それをルックアップテーブルと比較してもよい。これは、コントローラを介して、列データライン60上のさらに高い、またはさらに低い駆動信号(電圧または電流)で画素回路100をプログラムするようことを必要とするかもしれない。個々の画素は、このようにして補われるか、または、いくつかの画素が測定されて、1行ずつ補われるか、あるいは、このデバイスが全体として補われてもよい。いくつかのOLED52にわたる電圧降下は、いくつかのOLED52の両端の電圧降下の組合せにより得られてもよい。

20

【0053】

図7には、本発明の第3の実施形態の2つの画素回路(200と250)が示されている。図7では、図5に描かれているものと同じ要素が、同じ参照番号で表されている。図7を参照すると、画素回路250の電圧供給ライン252は、隣接する画素回路200の行セレクトライン254と共用されている。したがって、デバイスのバスラインの数は減らされる。このようにして、電圧供給ラインと行セレクトラインが組み合わせられて、いくつかの画素回路間で共用される。

30

【0054】

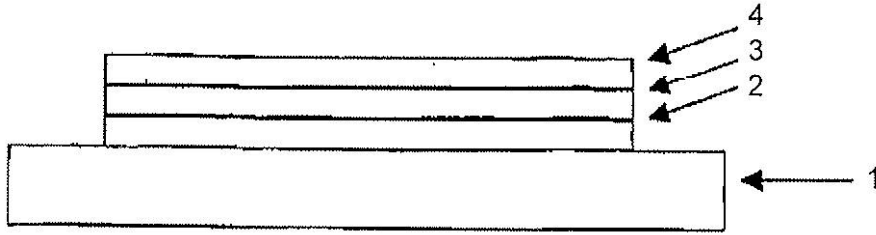
デバイス中のバスラインの総数を減らすことが必要である場合には、この画素回路の実施形態を、実施形態1および実施形態2の両方または一方と合体することがある。さらに、供給電圧を変調する必要なしに、OLEDの経年変化を補うことができる画素回路を実現したい場合には、実施形態1は、実施形態2と組み合わせられてもよい。

【0055】

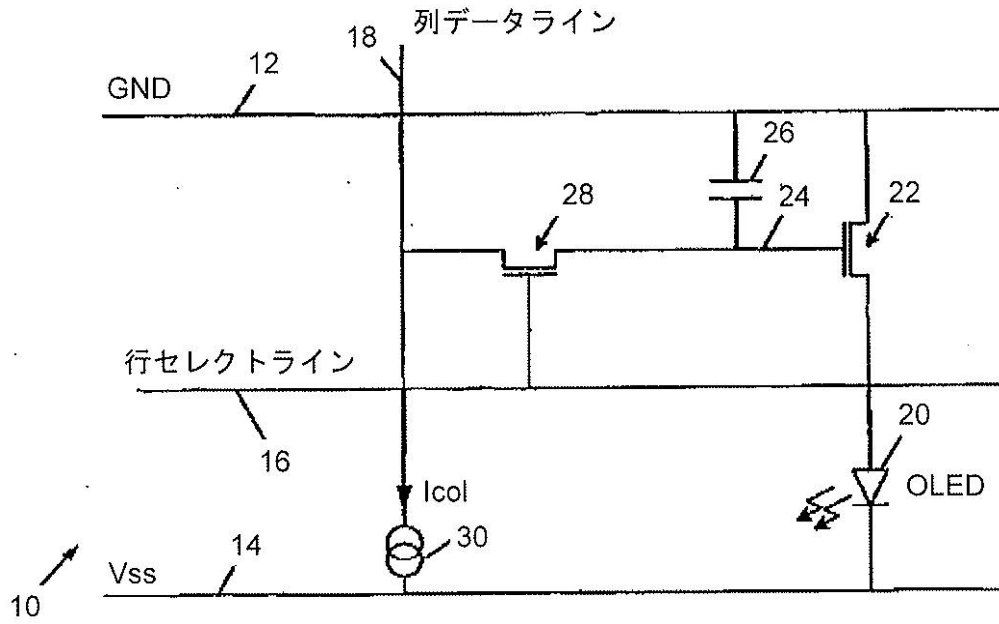
当業者であれば、おそらく、他の多くの効果的な代替方法が思いつくであろう。本発明は、上述の実施形態には限定されず、特許請求の範囲の精神およびその範囲内にある当業者には明白な変更を含むものとする。

40

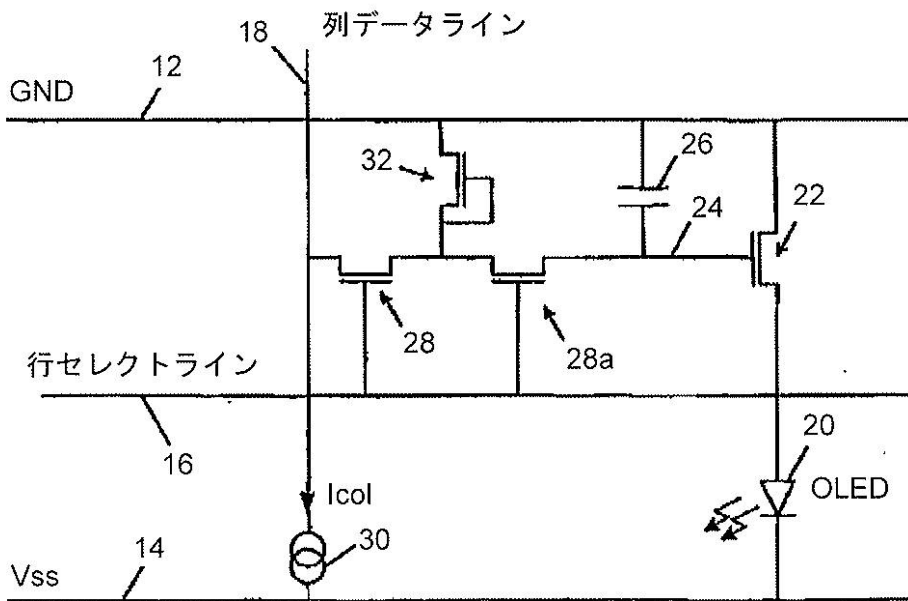
【図1】



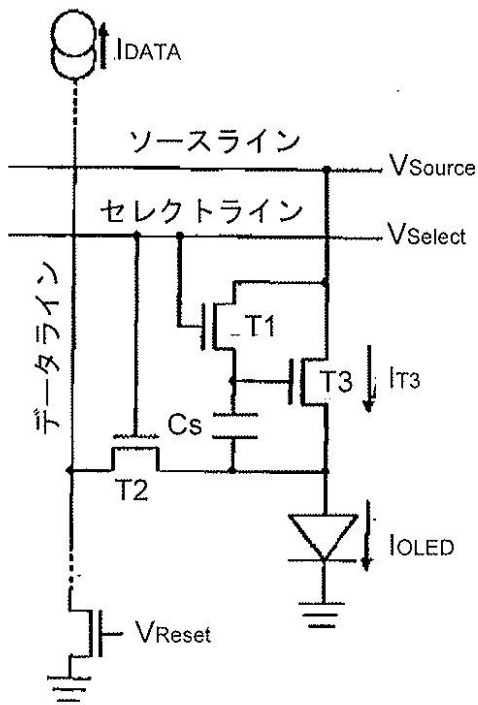
【図2】



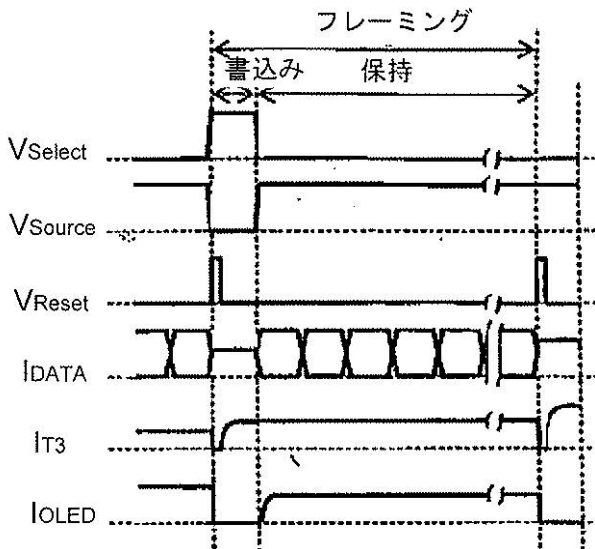
【図3】



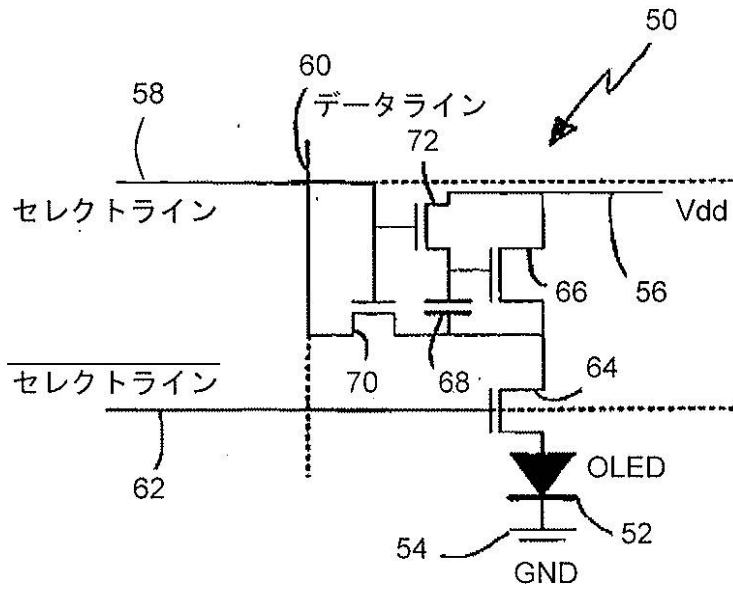
【図 4 a】



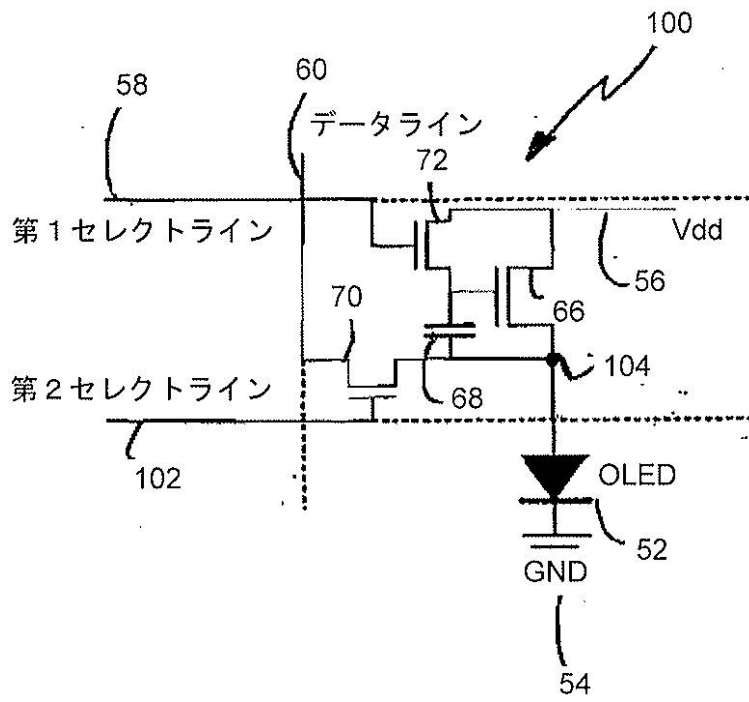
【図 4 b】



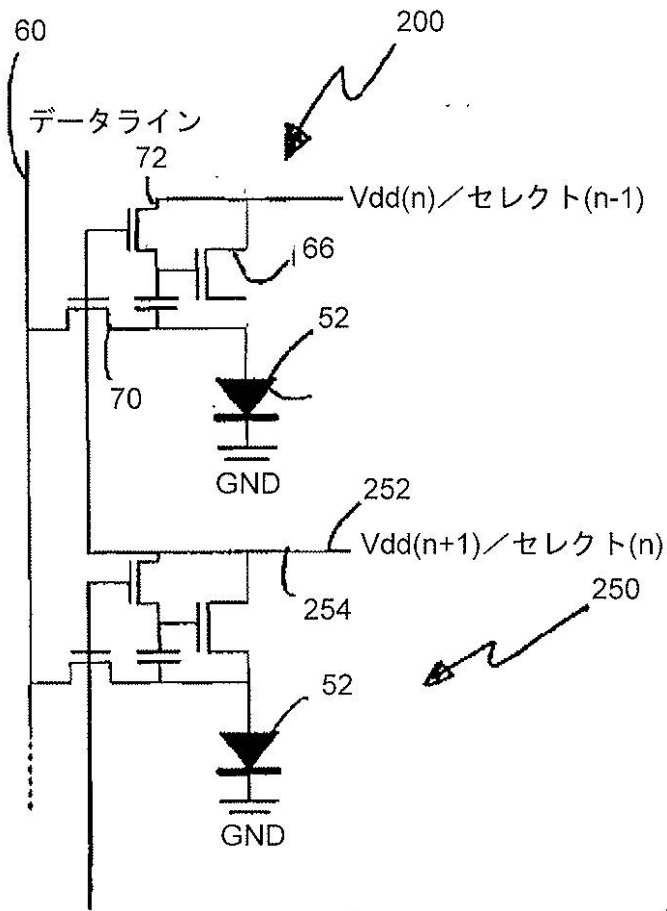
【 図 5 】



【 図 6 】



【図7】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2008/003300

A. CLASSIFICATION OF SUBJECT MATTER INV. G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/088103 A1 (KAGEYAMA HIROSHI [JP] ET AL) 28 Apr11 2005 (2005-04-28) paragraphs [0039] - [0043], [0054] figures 1,2,4	1,2, 8-10,12
X	US 6 229 506 B1 (DAWSON ROBIN MARK ADRIAN [US] ET AL) 8 May 2001 (2001-05-08)	1-4, 8-10,12, 20,21
Y	column 2, line 55 - column 4, line 34 figure 2	5-7,11, 13-19, 23-26
Y	US 2005/140304 A1 (CHANG HUNG J [TW] ET AL) 30 June 2005 (2005-06-30) paragraphs [0009], [0022] - [0026] figure 2	5-7,11, 23-26
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		
<input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 15 January 2009		Date of mailing of the international search report 23/01/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Ladiray, Olivier

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/GB2008/003300

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2005/040441 A1 (KIMURA HAJIME [JP]) 24 February 2005 (2005-02-24) paragraphs [0016], [0079], [0080] figure 3	5-7, 11, 23-26
Y	US 2007/195020 A1 (NATHAN AROKIA [CA] ET AL) 23 August 2007 (2007-08-23) paragraphs [0071] - [0078] paragraphs [0115] - [0122] figures 7, 22	13-19
Y	US 2005/110420 A1 (ARNOLD ANDREW D [US] ET AL) 26 May 2005 (2005-05-26) paragraphs [0022] - [0024] figure 1a	13-19
X	US 2004/246241 A1 (SATO KAZUHITO [JP] ET AL) 9 December 2004 (2004-12-09)	1, 8-10, 12
Y	paragraphs [0063], [0065], [0095] figure 6	5-7, 11, 13-19, 23-26

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/GB2008/003300

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2005088103	A1 28-04-2005	CN 1612192 A JP 2005134435 A KR 20050040679 A	04-05-2005 26-05-2005 03-05-2005
US 6229506	B1 08-05-2001	NONE	
US 2005140304	A1 30-06-2005	TW 227651 B	01-02-2005
US 2005040441	A1 24-02-2005	NONE	
US 2007195020	A1 23-08-2007	WO 2007090287 A1 EP 1987507 A1	16-08-2007 05-11-2008
US 2005110420	A1 26-05-2005	CN 1886774 A JP 2007514966 T KR 20060134938 A WO 2005055186 A1	27-12-2006 07-06-2007 28-12-2006 16-06-2005
US 2004246241	A1 09-12-2004	AU 2003238700 A1 CA 2460747 A1 CN 1565013 A CN 101071538 A EP 1417670 A1 HK 1073379 A1 WO 2004001714 A1 JP 2004021219 A MX PA04002755 A NO 20041152 A TW 250483 B	06-01-2004 31-12-2003 12-01-2005 14-11-2007 12-05-2004 29-08-2008 31-12-2003 22-01-2004 29-06-2004 19-01-2005 01-03-2006

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 9 G 3/20 6 4 2 P
 H 0 5 B 33/14 A

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100131451

弁理士 津田 理

(72)発明者 スミス, ユアン

イギリス国 シービー 2 4 2 イーエイチ ケンブリッジシャイア, ロングスタントン, ランプトン ドリフト 1 0

Fターム(参考) 3K107 AA01 BB01 CC21 CC31 CC33 CC36 EE03 HH04 HH05
 5C080 AA06 BB05 DD23 DD29 EE29 FF11 FF12 HH09 JJ03 JJ04
 JJ06
 5C380 AA01 AB06 AB11 AB12 AB22 AB24 AB25 AB32 AC07 BA12
 BA38 BA39 BB02 BB21 BD02 BD04 BD05 CA08 CA13 CB01
 CB16 CB17 CB20 CC02 CC07 CC12 CC13 CC14 CC26 CC27
 CC30 CC33 CC39 CC41 CC52 CC55 CC62 CC63 CD012 CD013
 CD014 CF13 DA02 DA06 DA47 DA50 EA02 FA02 FA18 FA21
 FA22 FA23 FA28

专利名称(译)	画素回路		
公开(公告)号	JP2010541014A	公开(公告)日	2010-12-24
申请号	JP2010527516	申请日	2008-09-26
[标]申请(专利权)人(译)	剑桥显示技术有限公司		
申请(专利权)人(译)	剑桥显示科技有限公司		
[标]发明人	スミスユアン		
发明人	スミス,ユアン		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/325 G09G2300/0417 G09G2300/0465 G09G2300/0842 G09G2300/0861 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.670.J G09G3/20.641.D G09G3/20.624.B G09G3/20.611.H G09G3/20.642.P H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/CC33 3K107/CC36 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD23 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB22 5C380/AB24 5C380/AB25 5C380/AB32 5C380/AC07 5C380/BA12 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD04 5C380/BD05 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CC02 5C380/CC07 5C380/CC12 5C380/CC13 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC55 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CF13 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA50 5C380/EA02 5C380/FA02 5C380/FA18 5C380/FA21 5C380/FA22 5C380/FA23 5C380/FA28		
代理人(译)	森田浩二 铃木 守 松任谷裕子 津田诚		
优先权	2007019511 2007-10-05 GB		
外部链接	Espacenet		

摘要(译)

提供像素驱动电路以有源矩阵模式驱动有机发光二极管 (OLED)。像素电路包括驱动晶体管。驱动晶体管的电流路径的一端连接到第一电压供应线，另一端连接到OLED。驱动晶体管的栅极端子连接到存储元件。存储元件连接在驱动晶体管的栅极和源极之间，并且在第一开关晶体管的控制下存储用于驱动晶体管的驱动信号。第一开关晶体管具有到第一选择线的栅极连接。第一开关晶体管的电流路径连接在驱动晶体管的栅极和漏极之间。第二开关晶体管具有到第二选择线的栅极连接。第二开关晶体管的电流路径的一端连接到数据线，另一端连接到驱动晶体管和OLED之间的节点。 [选择图]图6

