

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-300753

(P2009-300753A)

(43) 公開日 平成21年12月24日(2009.12.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/30 J	
H05B 33/08 (2006.01)	G09G 3/20 680G	
	G09G 3/20 624Z	

審査請求 未請求 請求項の数 10 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2008-155442 (P2008-155442)
 (22) 出願日 平成20年6月13日 (2008.6.13)

(71) 出願人 306037311
 富士フイルム株式会社
 東京都港区西麻布2丁目26番30号
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100085279
 弁理士 西元 勝一
 (74) 代理人 100099025
 弁理士 福田 浩志
 (72) 発明者 瀬戸 康宏
 神奈川県足柄上郡開成町牛島577番地
 富士フイルム株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC36 CC45 EE03
 最終頁に続く

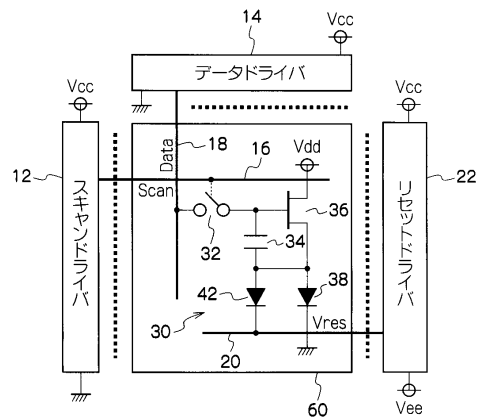
(54) 【発明の名称】 表示装置及び駆動方法

(57) 【要約】

【課題】トランジスタを追加することなく短時間で駆動トランジスタのソース電圧をリセットすることを可能にする表示装置及び駆動方法を提供する。

【解決手段】複数のScan線16及び複数のData線18の交差部の各々に対応して配置された複数の画素回路3030の各々を、駆動トランジスタ36、カソードが電源電圧Vddに接続されると共にアノードが駆動トランジスタ36のソースに接続され、駆動トランジスタの作動に応じて基準色光を発光する発光用OLED38、駆動トランジスタ36のゲートとソースとの間に接続された保持容量素子34、ドレインがデータ線に接続され、ソースが駆動トランジスタ36のゲートに接続されると共に、Scan線16からの信号に応じてオンオフする選択ゲート接続スイッチ32、カソードがVres線20に接続されると共にアノードが駆動トランジスタ36のソースに接続された放電用OLED42、を含めて構成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

並列に配列された複数のスキャン線と、
前記複数のスキャン線と交差する方向に並列に配列された複数のデータ線と、
各々が前記スキャン線の各々に対応して配列された複数の放電線と、
前記複数のスキャン線及び前記複数のデータ線の交差部の各々に対応して配置された複数の画素回路であって、各々が、

駆動トランジスタ、

カソードが電源電圧線に接続されると共にアノードが前記駆動トランジスタのソースに接続され、前記駆動トランジスタの作動に応じて基準色光を発光する第 1 ダイオード素子、

前記駆動トランジスタのゲートとソースとの間に接続された保持容量素子、

ドレインまたはソースの一方が前記データ線に接続され、かつドレインまたはソースの他方が前記駆動トランジスタのゲートに接続されると共に、前記スキャン線からのスキャン信号に応じてオンオフする選択トランジスタ、

カソードが前記放電線に接続されると共にアノードが前記駆動トランジスタのソースに接続された第 2 ダイオード素子、

を含む複数の画素回路と、

を備えた表示装置。

【請求項 2】

1つの発光ダイオードを分割して、一方を前記第 1 ダイオード素子として用いると共に、他方を前記第 2 ダイオード素子として用い、前記第 2 ダイオード素子は前記駆動トランジスタの作動に応じて該分割された第 1 ダイオード素子と同じ基準色光を発光する

請求項 1 に記載の表示装置。

【請求項 3】

前記複数の画素回路の各々の発光ダイオードにより複数の基準色の各々を発光させ、
前記発光ダイオードを前記第 1 ダイオード素子と前記第 2 ダイオード素子とに分割するときの分割比を、前記第 1 ダイオード素子の寄生容量値が前記複数の基準色間で共通となるような比率にした

請求項 2 に記載の表示装置。

【請求項 4】

前記選択トランジスタをオンにし、前記放電線にリセット電圧を供給すると共に前記データ線に固定電圧を供給することにより、前記保持容量素子及び前記第 1 ダイオード素子の寄生容量を前記第 2 ダイオード素子を介して前記放電線に放電させて前記駆動トランジスタのソース電圧をリセットし、

前記選択トランジスタのオン状態と前記データ線に対する前記固定電圧の供給とを継続すると共に、前記放電線に対する電圧を前記リセット電圧から前記第 2 ダイオード素子のカソード電位に変更して、前記第 1 ダイオード素子の寄生容量及び前記第 2 ダイオード素子の寄生容量を所定時間充電することにより、前記駆動トランジスタの閾値電圧を前記保持容量素子に保持させ、

前記選択トランジスタのオン状態、及び前記放電線に対する前記第 2 ダイオード素子のカソード電位の供給を継続すると共に、前記固定電圧にオーバードライブ電圧を加算した電圧を前記データ線に供給することにより、前記閾値電圧に前記オーバードライブ電圧を加算した電圧を前記保持容量素子に保持させ、

前記放電線に対する前記第 2 ダイオード素子のカソード電位の供給を継続すると共に、前記選択トランジスタをオフすることにより、前記保持容量素子に保持された電圧を用いて前記第 1 ダイオード素子、または前記第 1 ダイオード素子及び前記第 2 ダイオード素子の双方を発光させる

制御回路を更に設けた

請求項 1 または請求項 2 に記載の表示装置。

【請求項 5】

前記制御回路は、更に、

前記保持容量素子に保持された電圧を用いて前記第 1 ダイオード素子、または前記第 1 ダイオード素子及び前記第 2 ダイオード素子の双方を発光させる前に、予め定められた時間だけ、前記選択トランジスタのオン状態、前記放電線に対する前記第 2 ダイオード素子のカソード電位の供給、及び前記データ線に対する前記固定電圧にオーバードライブ電圧を加算した電圧の供給を継続することにより、移動度の補正を行なう

請求項 4 に記載の表示装置。

【請求項 6】

前記制御回路は、更に、

前記駆動トランジスタのソース電圧のリセットを開始した直後は前記リセット電圧として放電を促進するための所定の大きさの電圧を前記放電線に供給し、その後前記駆動トランジスタのソース電圧がリセットされるまで前記放電線に供給する前記リセット電圧の大きさを徐々に小さくするように制御する

請求項 4 または請求項 5 に記載の表示装置。

【請求項 7】

前記選択トランジスタをオンにし、前記放電線にリセット電圧を供給すると共に前記データ線に固定電圧を供給することにより、前記保持容量素子及び前記第 1 ダイオード素子の寄生容量を前記放電線に放電させて前記駆動トランジスタのソース電圧をリセットし、

前記選択トランジスタのオン状態、及び前記データ線に対する前記固定電圧の供給とを継続すると共に、前記放電線に対する電圧を前記リセット電圧から前記リセットされた前記駆動トランジスタのソース電圧の値以下の所定範囲内の電圧まで上昇させた後、前記放電線を電源電圧から電氣的に切り離して開放し、前記第 1 ダイオード素子の寄生容量を所定時間充電することにより、前記駆動トランジスタの閾値電圧を前記保持容量素子に保持させ、

前記選択トランジスタのオン状態と前記放電線の開放状態を継続すると共に、前記固定電圧にオーバードライブ電圧を加算した電圧を前記データ線に供給することにより、前記閾値電圧に前記オーバードライブ電圧を加算した電圧を前記保持容量素子に保持させ、

前記選択トランジスタをオフすると共に、前記放電線の電位を前記第 2 ダイオード素子のカソード電位に設定することにより、前記保持容量素子に保持された電圧を用いて前記第 1 ダイオード素子及び前記第 2 ダイオード素子の双方を発光させる

制御回路を更に設けた

請求項 3 に記載の表示装置。

【請求項 8】

前記制御回路は、更に、

前記保持容量素子に保持された電圧を用いて前記第 1 ダイオード素子及び前記第 2 ダイオード素子の双方を発光させる前に、予め定められた時間だけ、前記選択トランジスタのオン状態、前記放電線の開放状態、及び前記データ線に対する前記固定電圧にオーバードライブ電圧を加算した電圧の供給を継続することにより、移動度の補正を行なう

請求項 7 に記載の表示装置。

【請求項 9】

請求項 1 または請求項 2 に記載の表示装置を駆動する駆動方法であって、

前記選択トランジスタをオンにし、前記放電線にリセット電圧を供給すると共に前記データ線に固定電圧を供給することにより、前記保持容量素子及び前記第 1 ダイオード素子の寄生容量を前記第 2 ダイオード素子を介して前記放電線に放電させて前記駆動トランジスタのソース電圧をリセットし、

前記選択トランジスタのオン状態と前記データ線に対する前記固定電圧の供給とを継続すると共に、前記放電線に対する電圧を前記リセット電圧から前記第 2 ダイオード素子のカソード電位に変更して、前記第 1 ダイオード素子の寄生容量及び前記第 2 ダイオード素子の寄生容量を所定時間充電することにより、前記駆動トランジスタの閾値電圧を前記保

10

20

30

40

50

持容量素子に保持させ、

前記選択トランジスタのオン状態、及び前記放電線に対する前記第2ダイオード素子のカソード電位の供給を継続すると共に、前記固定電圧にオーバードライブ電圧を加算した電圧を前記データ線に供給することにより、前記閾値電圧に前記オーバードライブ電圧を加算した電圧を前記保持容量素子に保持させ、

前記放電線に対する前記第2ダイオード素子のカソード電位の供給を継続すると共に、前記選択トランジスタをオフすることにより、前記保持容量素子に保持された電圧を用いて前記第1ダイオード素子、または前記第1ダイオード素子及び前記第2ダイオード素子の双方を発光させる駆動方法。

【請求項10】

請求項3に記載の表示装置を駆動する駆動方法であって、

前記選択トランジスタをオンにし、前記放電線にリセット電圧を供給すると共に前記データ線に固定電圧を供給することにより、前記保持容量素子及び前記第1ダイオード素子の寄生容量を前記放電線に放電させて前記駆動トランジスタのソース電圧をリセットし、

前記選択トランジスタのオン状態、及び前記データ線に対する前記固定電圧の供給とを継続すると共に、前記放電線に対する電圧を前記リセット電圧から前記リセットされた前記駆動トランジスタのソース電圧の値以下の所定範囲内の電圧まで上昇させた後、前記放電線を電源電圧から電氣的に切り離して開放し、前記第1ダイオード素子の寄生容量を所定時間充電することにより、前記駆動トランジスタの閾値電圧を前記保持容量素子に保持させ、

前記選択トランジスタのオン状態と前記放電線の開放状態を継続すると共に、前記固定電圧にオーバードライブ電圧を加算した電圧を前記データ線に供給することにより、前記閾値電圧に前記オーバードライブ電圧を加算した電圧を前記保持容量素子に保持させ、

前記選択トランジスタをオフすると共に、前記放電線の電位を前記第2ダイオード素子のカソード電位に設定することにより、前記保持容量素子に保持された電圧を用いて前記第1ダイオード素子及び前記第2ダイオード素子の双方を発光させる駆動方法

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス方式の有機ELの表示装置及び駆動方法に関する。

【背景技術】

【0002】

アクティブマトリクス方式の有機EL(Electric Luminescence)表示装置には、電流制御型の有機発光ダイオード(Organic light-emitting diode、OLED)が用いられている。従って、液晶ディスプレイ(LCD)と異なり、選択トランジスタ、保持容量素子、及び駆動トランジスタが必要となる。

【0003】

従来、駆動トランジスタとしては、下記特許文献1に記載されているように、低温ポリシリコンまたはアモルファスシリコンの薄膜トランジスタ(Thin Film Transistor:TFT)が用いられている。低温ポリシリコンTFTは高移動度と閾値電圧安定性が得られるが、移動度の均一性に課題がある。アモルファスシリコンTFTは、移動度均一性が得られるが、移動度の低さと閾値電圧の経時変動に課題がある。

【0004】

移動度均一性、閾値電圧安定性が低いと、表示画像のムラとして現れる。従って、下記特許文献2に記載されているように、アモルファスシリコンTFTを用いる場合には、画素回路内にダイオード接続方式の補償回路を設け、OLEDの寄生容量による閾値電圧補正を行なうようにしている。しかしながら、このような補償回路を設けると、画素回路が複雑化し、歩留り低下によるコストアップ、開口率低下につながることもある。

【0005】

そこで、ダイオード接続方式の閾値電圧補正に対し、下記特許文献3に記載のように、

10

20

30

40

50

OLED寄生容量への充電動作により閾値電圧を補正することで、トランジスタの数を削減する方法が考案されている。

【0006】

図12は、特許文献3に開示されている画素回路構成を示す図である。

【0007】

図12に示す画素回路は、選択ゲート接続スイッチ100、保持容量素子102、駆動トランジスタ104、電流制御素子(OLED)106、寄生容量108、リセットスイッチ110を備えている。選択ゲート接続スイッチ100は、薄膜トランジスタからなり、そのゲートが行スキャン信号線(以下、Scan線と呼称)112に接続され、ドレインまたはソースの一方が列データ信号線(以下、Data線と呼称)114に接続され、ドレインまたはソースの他方は駆動トランジスタ104のゲートに接続されている。

10

【0008】

また、保持容量素子102は、駆動トランジスタ104のゲートとソースの間に接続されている。駆動トランジスタ104は、薄膜トランジスタからなり、そのゲートが選択ゲート接続スイッチ100のドレインまたはソースの一方および保持容量素子102の一端に接続され、ドレインは電源V_{dd}に接続され、ソースはOLED106のアノードに接続されている。

【0009】

OLED106のアノードは、駆動トランジスタ104のソースに接続され、カソードは接地されている。OLED106は、駆動トランジスタ104の電流に応じた輝度で発光する。寄生容量108は、OLED106の電極間の寄生容量である。

20

【0010】

また、リセットスイッチ110は、駆動トランジスタ104のソースと、OLED106及び寄生容量108との間に接続されると共に、保持容量素子102の一端に接続されている。リセットスイッチ110は、行リセット信号線(以下、Res線と呼称)116に接続されており、Res線116から供給されるReset信号に応じてオンオフする。

【0011】

ここで、図13~図17を参照しながら、図12に示す画素回路の動作を説明する。なお、図13は、この回路の動作期間中の電圧波形例を示す図であり、V_sは駆動トランジスタ104のソース電圧、V_{gs}は、駆動トランジスタ104のゲート・ソース間電圧である。

30

【0012】

なお、図13に示すT₁~T₄の期間が画素回路の1表示期間を示す期間であり、図13のT₁より前の期間は、前の表示期間を示している。従って、この前の表示期間では、Data線114に印加される電圧値、駆動トランジスタ104のソース電圧V_s、駆動トランジスタ104のゲート・ソース間電圧V_{gs}は、前の表示期間に対応する電圧となるが、ここではその値を特に指定せずその電圧範囲を網掛けで図示している。

【0013】

また、図14~図17は、以下に説明する各動作期間における選択ゲート接続スイッチ100およびリセットスイッチ110のオンオフ状態と電流の流れを模式的に示す図である。

40

【0014】

図13に示すT₁の期間では、リセット動作が行なわれる。このリセット動作期間T₁では、不図示のScanドライバによりScan線112に供給されたScan信号により、図14に示すように選択ゲート接続スイッチ100がオンし、不図示のDataドライバによりData線114に供給された電圧V_Bが、駆動トランジスタ104のゲートに印加される。なお、OLED106の発光閾値電圧をV_{f0}とし、駆動トランジスタ104の閾値電圧をV_{th}とすると、駆動トランジスタ104のゲートには、「V_{th}<V_B<V_{f0}+V_{th}」の条件を満たす電圧V_Bが印加される。

【0015】

50

更に、このリセット動作期間T1では、Scan信号と同時にRes線114に供給されたReset信号により、リセットスイッチ110がオンし、保持容量素子102および寄生容量108が放電され、駆動トランジスタ104のソース電圧Vsが0Vとなる。リセット動作期間T1は、予め駆動トランジスタ104のソース電圧Vsが0Vとなるために要する期間として予め設定されている。

【0016】

なお、特許文献3の実施例1に記載の技術では、このリセット動作を、リセットスイッチ110を設けずに、OLEDリーク電流による自然放電により実現している。

【0017】

図13に示すT2の期間では、閾値電圧検出動作が行なわれる。T1の期間が終了しT2の期間が開始されるとReset信号が非選択レベルにされ、図15に示すように、リセットスイッチ110がオフする。

10

【0018】

T2の開始時点では、駆動トランジスタ104のソース電圧Vsは0V、ゲート電圧Vgは電圧VBであるため、ゲート・ソース間電圧Vgsは、 $Vgs > Vth$ となり、駆動トランジスタ104にはゲート・ソース間電圧Vgsに対応した電流Idが流れる。

【0019】

この電流Idにより、寄生容量108が充電され、ソース電圧Vsが上昇する。なお、ゲート電圧Vg=VBであって固定電圧のため、ソース電圧Vsが上昇するにつれゲート・ソース間電圧Vgsは低下し、電流Idは減少する。この過程で駆動トランジスタ36のゲート・ソース間電圧Vgsは、次第に閾値電圧Vthに近付いていく。

20

【0020】

そして、電流Idが十分小さくなったところでソース電圧Vsの上昇が停止する。

【0021】

ここで、薄膜トランジスタ(TFT)の飽和領域電流式は、

$$Id = \mu * Cox * (W/L) * (Vgs - Vth)^2$$

(μ は移動度、Coxはゲート絶縁膜の単位面積あたりの静電容量、Wはチャネル幅、Lはチャネル長である)

で表されるため、この時の保持容量素子102に書込まれる電圧Vcsは、 $Vcs = Vgs = Vth$ となる。

30

【0022】

なお、OLED106を発光させないよう、OLED106に電流を流さないようにするため、ソース電圧Vsは、

$$Vs = VB - Vth < Vf0$$

が条件となる。従って、前述したように、電圧VBは、

$$VB < Vf0 + Vth$$

となる。

【0023】

図13に示すT3の期間では、プログラム動作が行なわれる。なお、ここでは、実際に駆動トランジスタ104に流したい電流を設定する(すなわち、電流を流すための電圧を保持容量素子102に保持させる)動作をプログラム動作といている。プログラム動作期間T3の開始時には、図16に示すように、Data線114のData信号電圧をVBからVB+Vodへステップアップさせる。従って、駆動トランジスタ104のゲート電圧Vgは、VB+Vodとなる。

40

【0024】

ここで、Vodは、駆動トランジスタ104のオーバードライブ電圧であって、

$$Vod = Vgs - Vth$$

である。

【0025】

また、ソース電圧Vsは保持容量素子102と寄生容量108との分圧であるため、保持

50

容量素子 102 の容量値を C_s 、寄生容量 108 の容量値を C_d とすると、このときのソース電圧 V_s は、

$$V_s = V_B - V_{th} + V_{od} * C_s / (C_d + C_s)$$

で表されるが、寄生容量 108 の容量値 C_d が、保持容量素子 102 の容量値 C_s より遙かに大きい ($C_d \gg C_s$) ならば、ソース電圧 V_s は、ほぼ「 $V_B - V_{th}$ 」に等しくなるため、駆動トランジスタ 104 のゲート・ソース間電圧 V_{gs} は、

$$V_{gs} = V_g - V_s = (V_B + V_{od}) - (V_B - V_{th}) = V_{th} + V_{od}$$

となり、駆動トランジスタ 104 のゲート・ソース間に位置する保持容量素子 102 には、ほぼ閾値電圧検出動作期間 T_2 で検出した閾値電圧 V_{th} にオーバードライブ電圧 V_{od} を加算した電圧が設定される。ここで設定された電圧をプログラム電圧と呼称する。

10

【0026】

図 13 に示す T_4 の期間では、発光動作が行なわれる。図 13 の発光動作期間 T_4 の期間では、Data 線 114 には、次の表示期間に対応した電圧値が印加されることとなるため、ここでは Data 信号電圧を特に指定せずその電圧範囲を網掛けで図示している。

【0027】

発光動作期間 T_4 では、Scan 信号が非選択レベルになり、図 17 に示すように、選択ゲート接続スイッチ 100 がオフとなる。また、保持容量素子 102 の両端電圧は保持されたままであり、駆動トランジスタ 104 に流れる電流 I_d により、OLED 106 の寄生容量 108 が充電され、ソース電圧 V_s が上昇する。さらに、駆動トランジスタ 104 のゲート・ソース間電圧 V_{gs} は、プログラム電圧を保持したままなので、やがて、ソース電圧 V_s は、OLED 106 の発光閾値電圧 V_{f0} を越え、OLED 106 が発光する。

20

【0028】

なお、選択ゲート接続スイッチ 100 をオフするタイミングであるが、前述のオーバードライブ電圧 V_{od} の印加完了後、ソース電圧 V_s が上昇開始する前に、オフする必要がある。

【0029】

さらに、特許文献 4 には、上記特許文献 3 に記載の技術に移動度 μ の補正機能を追加した装置が開示されている。

【0030】

図 18 は、特許文献 4 に開示されている画素回路構成を示す図である。図 18 において、図 12 と同一の符号を付した構成要素は、図 12 と同一の構成要素である。

30

【0031】

図 18 に示す画素回路は、選択ゲート接続スイッチ 100、保持容量素子 102、駆動トランジスタ 104、OLED 106、および寄生容量 108 を備えている。各々の接続関係は、図 12 と同じである。ただし、図 18 の回路には、リセットスイッチ 110 が設けられていない。また、駆動トランジスタ 104 のドレインは、行共通の電源線（以下 V_{ddx} 線）118 に接続されている。

【0032】

ここで、図 19 を参照しながら、移動度 μ の補正機能に主眼を置いて図 18 に示す画素回路の動作を説明する。図 19 は、この回路の動作期間中の電圧波形例を示す図である。

【0033】

40

図 19 に示す T_1 の期間では、リセット動作が行なわれる。このリセット動作期間 T_1 では、不図示の Scan ドライバにより Scan 線 112 に供給された Scan 信号により、選択ゲート接続スイッチ 100 がオンし、不図示の Data ドライバにより Data 線 114 に供給された電圧 V_B が、駆動トランジスタ 104 のゲートに印加される。上記図 12 の場合と同様に、OLED 106 の発光閾値電圧を V_{f0} とし、駆動トランジスタ 104 の閾値電圧を V_{th} とすると、駆動トランジスタ 104 のゲートには、「 $V_{th} < V_B < V_{f0} + V_{th}$ 」の条件を満たす電圧 V_B が印加される。

【0034】

ここで、 V_{ddx} 線 118 により供給する電源電圧 V_{ddx} を、「 $V_{ddx} = V_L < V_B - V_{th}$ 」に設定する。すなわち、電源電圧 V_{ddx} を V_B より小さくする。これにより、駆動トランジスタ 104

50

はオン状態となり、駆動トランジスタ104において、寄生容量108側からVddx線118側に電流が流れる。従って、OLED106の寄生容量108がVddx線118に放電され、最終的に駆動トランジスタ104のソース電圧Vsが0Vとなる。このように、この構成では、リセットスイッチ110を設けずに寄生容量108の放電を行なう。

【0035】

図19に示すT2の期間では、閾値電圧検出動作が行なわれる。ここで行なわれる閾値電圧検出動作は、上記図12の構成の場合と同様であるため、説明を省略する。

【0036】

図19に示すT3の期間の前半では、プログラム動作が行なわれる。ここで行なわれるプログラム動作も、上記図12の構成の場合と同様であるため、説明を省略する。

10

【0037】

図19に示すT3の期間の後半、すなわちプログラム動作の後は、移動度 μ の補正動作を行ないプログラム電圧を補正する。

【0038】

前述の図12で説明した特許文献3に記載された技術では、プログラム動作が完了するとすぐにScan信号を非選択レベルにして発光動作を開始するようにしたが、ここでは、プログラム動作完了から一定の時間(=Tx)Scan信号を選択レベルに維持し、選択ゲート接続スイッチ100をオン状態で保持する。

【0039】

この間、駆動トランジスタ104には、プログラムされた電圧Vodに相当する電流Idが流れる。電流Idは寄生容量108に充電され、図19に示すように、駆動トランジスタ104のソース電圧Vsが再上昇する。この再上昇電圧をVとすると、Vは、以下の式で表すことができる。

20

$$V = Tx * Id / Cd$$

【0040】

ここで、時間Tx、寄生容量108の容量値Cdを全画素共通とすると、Vは、電流Idの関数となる。

【0041】

また、前述したように、TFTの飽和領域電流式は、

$$Id = \mu * Cox * (W/L) * (Vgs - Vth)^2$$

30

であり、既に閾値電圧VthはT2の期間で補正されているため、

$$Id = \mu * Cox * (W/L) * Vod^2$$

となる。

【0042】

従って、Vは、各駆動トランジスタ104の $\mu * Cox * (W/L)$ に対応した電圧となり、保持容量素子102の電圧Vcsは、ゲート・ソース間電圧Vgs(前述したように、 $Vgs = Vth + Vod$ である)からVを減算した電圧「 $Vth + Vod - V$ 」に保持される。これにより、各画素毎の駆動トランジスタ104の μ 偏差が相殺される。すなわち、移動度 μ が大きいほどVは大きく、移動度 μ が小さいほどVは小さくなるため、この偏差でプログラム電圧を補正する。

40

【0043】

図19に示すT4の期間では、発光動作が行なわれる。発光動作期間T4では、Scan信号が非選択レベルになり、選択ゲート接続スイッチ100がオフとなる。保持容量素子102の両端電圧は保持されたまま、駆動トランジスタ104に流れる電流Idにより、OLED106の寄生容量108が充電され、ソース電圧Vsが上昇する。駆動トランジスタ104のゲート・ソース間電圧Vgsは、プログラム電圧を保持したままなので、やがて、ソース電圧VsはOLED106の発光閾値電圧Vf0を越え、OLED106が発光する。

【特許文献1】特開平8-234683号公報

【特許文献2】特開2003-255856号公報

【特許文献3】特開2003-271095号公報

50

【特許文献4】特開2007-310311号公報

【発明の開示】

【発明が解決しようとする課題】

【0044】

しかしながら、上記従来技術では以下のような問題がある。

【0045】

上記特許文献3、特許文献4に開示された技術では、リセット動作期間T1で、初期状態で駆動トランジスタ104のソース電圧Vsをリセットする(上記では0Vにする)必要があり、これを特許文献3の実施例1に開示された回路ではOLEDリーク電流による自然放電により実現し、特許文献4に開示された回路では駆動トランジスタ104に対して電源電圧を制御して駆動トランジスタ104経由で電源線118へ放電することにより実現している。

10

【0046】

しかしながら、両者とも放電にある程度の時間が必要となり、プログラム時間の制約により高画素数パネルへの搭載は困難である。

【0047】

このため、図12で説明したように、駆動トランジスタ104のソース電圧Vsを積極的にリセット電圧(上記では0V)にするためのOLED寄生容量放電用トランジスタスイッチ、すなわち前述したようなリセットスイッチ110が必要となる。しかしながら、このようなリセットスイッチ110を別途設けることにより、歩留り低下によるコストアップやOLED開口率低下による寿命低下の大きな要因となる。

20

【0048】

本発明は上記事実を考慮して成されたもので、発光素子の寄生容量への充電動作により閾値電圧を補正する方式において、トランジスタを追加することなく短時間で駆動トランジスタのソース電圧をリセットすることを可能にする表示装置及び駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0049】

請求項1の発明の表示装置は、並列に配列された複数のスキャン線と、前記複数のスキャン線と交差する方向に並列に配列された複数のデータ線と、各々が前記スキャン線の各々に対応して配列された複数の放電線と、前記複数のスキャン線及び前記複数のデータ線の交差部の各々に対応して配置された複数の画素回路であって、各々が、駆動トランジスタ、カソードが電源電圧線に接続されると共にアノードが前記駆動トランジスタのソースに接続され、前記駆動トランジスタの作動に応じて基準色光を発光する第1ダイオード素子、前記駆動トランジスタのゲートとソースとの間に接続された保持容量素子、ドレインまたはソースの一方が前記データ線に接続され、かつドレインまたはソースの他方が前記駆動トランジスタのゲートに接続されると共に、前記スキャン線からのスキャン信号に応じてオンオフする選択トランジスタ、カソードが前記放電線に接続されると共にアノードが前記駆動トランジスタのソースに接続された第2ダイオード素子、を含む複数の画素回路と、を備えている。

30

40

【0050】

このように、第1ダイオード素子に加え、カソードが放電線に接続された第2ダイオード素子のアノードを駆動トランジスタのソースに接続することにより、該第2ダイオード素子を保持容量素子や第1ダイオード素子の寄生容量の放電を促進するリセットスイッチとして用いることができる。従って、第1ダイオード素子の寄生容量への充電動作により閾値電圧を補正する方式において、自然放電によらず、トランジスタを追加することなく短時間で駆動トランジスタのソース電圧をリセットできる。第2ダイオード素子は、第1ダイオード素子と同じような製造プロセスで製造することができるため、ダイオード素子とは別構成のトランジスタを製造して追加するよりも歩留まり低下を防止でき、開口率低下も防止できる。第2ダイオード素子は、OLEDであってもよいし、発光効率の低い或

50

いは発光動作を行なわない発光素子とすることもできる。また、請求項 2 に記載の発明のような構成とすることもできる。

【 0 0 5 1 】

請求項 2 の発明は、請求項 1 に記載の表示装置において、1つの発光ダイオードを分割して、一方を前記第 1 ダイオード素子として用いると共に、他方を前記第 2 ダイオード素子として用い、前記第 2 ダイオード素子は前記駆動トランジスタの作動に応じて該分割された第 1 ダイオード素子と同じ基準色光を発光するものである。

【 0 0 5 2 】

このような構成によれば、第 1 ダイオード素子と第 2 ダイオード素子とを同一製造プロセスで製造することができ、製造効率が上昇すると共に歩留まり低下を防止でき、開口率低下も防止できる。

【 0 0 5 3 】

請求項 3 の発明は、請求項 2 に記載の表示装置において、前記複数の画素回路の各々の発光ダイオードにより複数の基準色の各々を発光させ、前記発光ダイオードを前記第 1 ダイオード素子と前記第 2 ダイオード素子とに分割するときの分割比を、前記第 1 ダイオード素子の寄生容量値が前記複数の基準色間で共通となるような比率にしたものである。

【 0 0 5 4 】

このような構成によれば、各第 1 ダイオード素子の寄生容量について複数の基準色間の偏差の影響を抑制でき、色偏差による閾値電圧等の誤差を抑制することができる。基準色は、例えば光の三原色 (R (Red)、G (Green)、B (Blue)) の色等をいう。

【 0 0 5 5 】

ここで、従来技術の構成を示す図 1 2、図 1 8、及び図 2 0 ~ 2 4 を参照して、色偏差の問題について説明する。

【 0 0 5 6 】

上記特許文献 3 に開示された技術では、閾値電圧 V_{th} 検出動作において、電流 I_d が十分小さくなり、ソース電圧 V_s の上昇が停止した時のゲート・ソース電圧 V_{gs} を閾値電圧 V_{th} として設定するが、実際の TFT ではサブスレッショルド領域の電流特性により、電流が流れ出す電圧 (V_{on}) と、飽和領域電流式上の閾値電圧 V_{th} とは異なる (ここでサブスレッショルド領域は、 V_{th} 以下の領域をいう)。

【 0 0 5 7 】

期間 T 3 におけるプログラム動作で設定するオーバードライブ電圧 V_{od} は、飽和領域電流式より算出される電圧であり、閾値電圧 V_{th} 検出動作で求めたい電圧は V_{on} ではなく電流式上の V_{th} である。しかしながら、特許文献 3 の技術により実際に閾値電圧 V_{th} 検出動作で検出されるのは電流式上の閾値電圧 V_{th} とは異なる電圧 V_{on} となる。

【 0 0 5 8 】

この点について、図 2 0 および図 2 1 を参照して説明する。

【 0 0 5 9 】

図 2 0 は、TFT の V_{gs} - I_d 特性を示すグラフの具体例である。このグラフにおいて、X 軸を V_{gs} 、Y 軸を I_d とし、サブスレッショルド領域電流が小さい TFT の V_{gs} - I_d 特性を太線で示し、サブスレッショルド領域電流が大きい TFT の V_{gs} - I_d 特性を細線で示した。このグラフでは、両者の違いがはっきりしないが、電流 I_d の平方根をとったものと、 V_{gs} との関係を図 2 1 には、 V_{gs} - $\sqrt{I_d}$ 特性を示すグラフの具体例である。このグラフでは、X 軸を V_{gs} 、Y 軸を $\sqrt{I_d}$ とし、図 2 0 と同様に、サブスレッショルド領域電流が小さい TFT の V_{gs} - $\sqrt{I_d}$ 特性を太線で示し、サブスレッショルド領域電流が大きい TFT の V_{gs} - $\sqrt{I_d}$ 特性を細線で示した。また、飽和領域電流式上の閾値電圧 V_{th} を示す直線 (閾値電圧 V_{th} の算出直線) を破線で示した。

【 0 0 6 0 】

図 2 1 から明らかなように、閾値電圧 V_{th} の算出直線の外挿 X 切片で示される閾値電圧はここでは $V_{th}=1.46V$ である。この値がプログラム動作で設定したい値である。しかしながら、サブスレッショルド領域の電流特性により、 $V_{gs}=V_{th}$ のときの電流 I_d が異なっている

10

20

30

40

50

。すなわち、実際に電流が流れ出す電圧 V_{on} は、閾値電圧 V_{th} の算出直線で求まる V_{th} より低くなり、その値はサブスレッシュヨルド領域の電流特性により異なっている（図21の V_{on1} 、 V_{on2} 参照）。

【0061】

このことは、前述した従来の画素回路での閾値電圧 V_{th} 検出動作において、 V_{on} ではなく V_{th} を検出するためには、ソース電圧 V_s の上昇が飽和する前に、所定の時間経過したところで保持容量素子102の充電を停止することを意味する。

【0062】

この閾値電圧 V_{th} 検出期間は、駆動トランジスタ104のサブスレッシュヨルド領域の電流特性と寄生容量108の大きさで決まる。

【0063】

ここで、図22および図23を用いて、サブスレッシュヨルド領域の電流特性毎の、寄生容量108の容量値と閾値電圧検出時間との関係を説明する。

【0064】

図22は、サブスレッシュヨルド領域電流の小さいTFTで寄生容量108の容量値 C_d が2pFの場合と4pFの場合での閾値電圧検出動作のシミュレーション結果の具体例を示すグラフである。

【0065】

図23は、サブスレッシュヨルド領域電流の大きいTFTで寄生容量108の容量値 C_d が2pFの場合と4pFの場合での閾値電圧検出動作のシミュレーション結果の具体例を示すグラフである。

【0066】

いずれのグラフも横軸を閾値電圧 V_{th} 検出期間 t (s)とし、縦軸をゲート・ソース間電圧 V_{gs} としている。また、容量値 C_d が4pFの場合のシミュレーション結果を太線で示し、容量値 C_d が2pFの場合のシミュレーション結果を細線で示した。なお、グラフ中の破線は、閾値電圧1.46Vを示すものである。

【0067】

図22から明らかなように、サブスレッシュヨルド領域電流の小さいTFTの場合には、閾値電圧検出時間はいずれの場合も50 μ s程度となり、寄生容量108の容量値 C_d が変化しても閾値電圧検出時間は変わらないため閾値電圧 V_{th} の検出値に大きな誤差は発生しない。

【0068】

一方、図23から明らかなように、サブスレッシュヨルド領域電流の大きいTFTの場合には、閾値電圧検出時間は容量値 C_d が4pFの場合で20 μ s程度となるが、容量値 C_d が2pFの場合には、閾値電圧検出時間が大きく変化し、閾値電圧 V_{th} の検出値に大きな誤差が発生する。

【0069】

以上のことから、有機EL表示装置においてサブスレッシュヨルド領域電流の大きなTFTを駆動トランジスタ104として用いると、寄生容量108の大きさに応じて閾値電圧 V_{th} 検出期間が大きく変化することがわかる。

【0070】

なお、OLED106の寄生容量108の容量値は、通常150~300pF/mm²程度であるが、この値は主に、有機発光材の比誘電率、膜厚により決まる。OLED106の色(RGB)に応じて比誘電率や膜厚も変わってくるため、寄生容量値はOLED106の色毎に異なることとなる。

【0071】

一般的に、アクティブマトリクス方式の有機EL表示装置では、RGBの各色毎の画素を列方向(Data線方向)に配列した色毎のラインが、行方向(Scan線方向)に例えばRGBRGB・・・の順に配置されて構成されている。同一Scan線上の各画素回路は同一タイミングで制御されるため、閾値電圧 V_{th} の検出期間はRGB間で共通としている。ところ

10

20

30

40

50

が前述したように、サブスレッショルド領域電流の大きな駆動トランジスタ104の場合には、閾値電圧 V_{th} 検出時間はOLED106の寄生容量108の大きさに依存するため、RGB偏差により閾値電圧 V_{th} の検出誤差が発生してしまう、という問題がある。

【0072】

また、上記特許文献4に記載の μ 補正を行なう画素回路においても、 $V = T_x \cdot I_d / C_d$ であり、寄生容量108のRGB偏差が誤差要因となる。

【0073】

なお、この課題を解決する方法として、図24に示すように、駆動トランジスタ104のソースに接続される静電容量値がRGB間で同じとなるような補正容量120を画素毎に設置する方法が挙げられるが、これは開口率低下によるOLED寿命低下、歩留り低下によるコストアップを招く。

10

【0074】

従って、上記のように発光素子の寄生容量値が複数の基準色間で共通となるような分割比で分割することで、このような問題を抑制できる。

【0075】

請求項4の発明は、請求項1または請求項2に記載の表示装置に、前記選択トランジスタをオンにし、前記放電線にリセット電圧を供給すると共に前記データ線に固定電圧を供給することにより、前記保持容量素子及び前記第1ダイオード素子の寄生容量を前記第2ダイオード素子を介して前記放電線に放電させて前記駆動トランジスタのソース電圧をリセットし、前記選択トランジスタのオン状態と前記データ線に対する前記固定電圧の供給とを継続すると共に、前記放電線に対する電圧を前記リセット電圧から前記第2ダイオード素子のカソード電位に変更して、前記第1ダイオード素子の寄生容量及び前記第2ダイオード素子の寄生容量を所定時間充電することにより、前記駆動トランジスタの閾値電圧を前記保持容量素子に保持させ、前記選択トランジスタのオン状態、及び前記放電線に対する前記第2ダイオード素子のカソード電位の供給を継続すると共に、前記固定電圧にオーバードライブ電圧を加算した電圧を前記データ線に供給することにより、前記閾値電圧に前記オーバードライブ電圧を加算した電圧を前記保持容量素子に保持させ、前記放電線に対する前記第2ダイオード素子のカソード電位の供給を継続すると共に、前記選択トランジスタをオフすることにより、前記保持容量素子に保持された電圧を用いて前記第1ダイオード素子、または前記第1ダイオード素子及び前記第2ダイオード素子の双方を発光させる制御回路を更に設けたものである。

20

30

【0076】

このような制御回路を設けることにより、トランジスタを追加することなく第2ダイオード素子を用いて短時間で駆動トランジスタのソース電圧をリセットすることができる。

【0077】

請求項5の発明は、請求項4に記載の表示装置において、前記制御回路は、更に、前記保持容量素子に保持された電圧を用いて前記第1ダイオード素子、または前記第1ダイオード素子及び前記第2ダイオード素子の双方を発光させる前に、予め定められた時間だけ、前記選択トランジスタのオン状態、前記放電線に対する前記第2ダイオード素子のカソード電位の供給、及び前記データ線に対する前記固定電圧にオーバードライブ電圧を加算した電圧の供給を継続することにより、移動度の補正を行なうものである。

40

【0078】

このような制御によれば、移動度の補正も従来と同様に行なうことができる。

【0079】

請求項6の発明は、請求項4または請求項5に記載の表示装置において、前記制御回路は、更に、前記駆動トランジスタのソース電圧のリセットを開始した直後は前記リセット電圧として放電を促進するための所定の大きさの電圧を前記放電線に供給し、その後前記駆動トランジスタのソース電圧がリセットされるまで前記放電線に供給する前記リセット電圧の大きさを徐々に小さくするように制御するものである。

【0080】

50

第2ダイオード素子の寄生容量の大きさが第1ダイオード素子の寄生容量の大きさより十分小さくなるように設計すると、ソース電圧をリセットする際に第2ダイオード素子に流れる電流（放電電流）が小さくなり、リセットに要する時間が長くなる。従って、より大きな（低い）リセット電圧をかける必要が出てくるが、リセット終了時にソース電圧の上昇が必要以上に大きくなってしまふ。従って、このように最初に大きなりセット電圧を印加し、徐々にリセット電圧を小さくすることによって、放電促進とリセット解除時のソース電圧上昇抑制を両立できる。

【0081】

請求項7の発明は、請求項3に記載の表示装置に、前記選択トランジスタをオンにし、前記放電線にリセット電圧を供給すると共に前記データ線に固定電圧を供給することにより、前記保持容量素子及び前記第1ダイオード素子の寄生容量を前記放電線に放電させて前記駆動トランジスタのソース電圧をリセットし、前記選択トランジスタのオン状態、及び前記データ線に対する前記固定電圧の供給とを継続すると共に、前記放電線に対する電圧を前記リセット電圧から前記リセットされた前記駆動トランジスタのソース電圧の値以下の所定範囲内の電圧まで上昇させた後、前記放電線を電源電圧から電氣的に切り離して開放し、前記第1ダイオード素子の寄生容量を所定時間充電することにより、前記駆動トランジスタの閾値電圧を前記保持容量素子に保持させ、前記選択トランジスタのオン状態と前記放電線の開放状態を継続すると共に、前記固定電圧にオーバードライブ電圧を加算した電圧を前記データ線に供給することにより、前記閾値電圧に前記オーバードライブ電圧を加算した電圧を前記保持容量素子に保持させ、前記選択トランジスタをオフすると共に、前記放電線の電位を前記第2ダイオード素子のカソード電位に設定することにより、前記保持容量素子に保持された電圧を用いて前記第1ダイオード素子及び前記第2ダイオード素子の双方を発光させる制御回路を更に設けたものである。

10

20

【0082】

このような制御回路を設けることによって、トランジスタを追加することなく第2ダイオード素子を用いて短時間で駆動トランジスタのソース電圧をリセットすることができるだけでなく、各第1ダイオード素子の寄生容量について複数の基準色間の偏差の影響を抑制でき、色偏差による閾値電圧等の誤差を抑制することができる。

【0083】

請求項8の発明は、請求項7に記載の表示装置において、前記制御回路は、更に、前記保持容量素子に保持された電圧を用いて前記第1ダイオード素子及び前記第2ダイオード素子の双方を発光させる前に、予め定められた時間だけ、前記選択トランジスタのオン状態、前記放電線の開放状態、及び前記データ線に対する前記固定電圧にオーバードライブ電圧を加算した電圧の供給を継続することにより、移動度の補正を行なうものである。

30

【0084】

このような制御によれば、移動度の補正も従来と同様に行なうことができる。

【0085】

請求項9の発明は、請求項1または請求項2に記載の表示装置を駆動する駆動方法であって、前記選択トランジスタをオンにし、前記放電線にリセット電圧を供給すると共に前記データ線に固定電圧を供給することにより、前記保持容量素子及び前記第1ダイオード素子の寄生容量を前記第2ダイオード素子を介して前記放電線に放電させて前記駆動トランジスタのソース電圧をリセットし、前記選択トランジスタのオン状態と前記データ線に対する前記固定電圧の供給とを継続すると共に、前記放電線に対する電圧を前記リセット電圧から前記第2ダイオード素子のカソード電位に変更して、前記第1ダイオード素子の寄生容量及び前記第2ダイオード素子の寄生容量を所定時間充電することにより、前記駆動トランジスタの閾値電圧を前記保持容量素子に保持させ、前記選択トランジスタのオン状態、及び前記放電線に対する前記第2ダイオード素子のカソード電位の供給を継続すると共に、前記固定電圧にオーバードライブ電圧を加算した電圧を前記データ線に供給することにより、前記閾値電圧に前記オーバードライブ電圧を加算した電圧を前記保持容量素子に保持させ、前記放電線に対する前記第2ダイオード素子のカソード電位の供給を継続

40

50

すると共に、前記選択トランジスタをオフすることにより、前記保持容量素子に保持された電圧を用いて前記第1ダイオード素子、または前記第1ダイオード素子及び前記第2ダイオード素子の双方を発光させるものである。

【0086】

このような駆動方法により、トランジスタを追加することなく第2ダイオード素子を用いて短時間で駆動トランジスタのソース電圧をリセットすることができる。

【0087】

請求項10の発明は、請求項3に記載の表示装置を駆動する駆動方法であって、前記選択トランジスタをオンにし、前記放電線にリセット電圧を供給すると共に前記データ線に固定電圧を供給することにより、前記保持容量素子及び前記第1ダイオード素子の寄生容量を前記放電線に放電させて前記駆動トランジスタのソース電圧をリセットし、前記選択トランジスタのオン状態、及び前記データ線に対する前記固定電圧の供給とを継続すると共に、前記放電線に対する電圧を前記リセット電圧から前記リセットされた前記駆動トランジスタのソース電圧の値以下の所定範囲内の電圧まで上昇させた後、前記放電線を電源電圧から電氣的に切り離して開放し、前記第1ダイオード素子の寄生容量を所定時間充電することにより、前記駆動トランジスタの閾値電圧を前記保持容量素子に保持させ、前記選択トランジスタのオン状態と前記放電線の開放状態を継続すると共に、前記固定電圧にオーバードライブ電圧を加算した電圧を前記データ線に供給することにより、前記閾値電圧に前記オーバードライブ電圧を加算した電圧を前記保持容量素子に保持させ、前記選択トランジスタをオフすると共に、前記放電線の電位を前記第2ダイオード素子のカソード電位に設定することにより、前記保持容量素子に保持された電圧を用いて前記第1ダイオード素子及び前記第2ダイオード素子の双方を発光させるものである

10

20

【0088】

このような駆動方法により、トランジスタを追加することなく第2ダイオード素子を用いて短時間で駆動トランジスタのソース電圧をリセットすることができるだけでなく、各第1ダイオード素子の寄生容量について複数の基準色間の偏差の影響を抑制でき、色偏差による閾値電圧等の誤差を抑制することができる。

【発明の効果】

【0089】

以上説明したように本発明は、発光素子の寄生容量への充電動作により閾値電圧を補正する方式において、トランジスタを追加することなく短時間で駆動トランジスタのソース電圧をリセットすることを可能にする、という優れた効果を有する。

30

【発明を実施するための最良の形態】

【0090】

以下、図面を参照して本発明の実施形態例を詳細に説明する。

【0091】

図1は、本発明の一実施形態に係る表示装置10の全体構成を示す図である。また、図2は、本表示装置10に含まれる各画素の画素回路30の一例を示す図である。

【0092】

本表示装置10は、薄膜トランジスタ(Thin Film Transistor: TFT)を用いたアクティブマトリクス駆動型の有機EL表示装置であって、図1に示すように、スキャンドライバ12及びデータドライバ14を備えると共に、スキャンドライバ12に接続され並列に配列された複数の行スキャン信号線(以下、Scan線と呼称)16と、データドライバ14に接続されScan線16と交差する方向に並列に配列された複数の列データ信号線(以下、Data線と呼称)18と、Scan線16およびData線18の交差部分に配置された複数の画素回路30からなる表示パネル60とを備えている。すなわち、各画素回路30はマトリクス状(行列状)に配置されている。なお、図1では、表示パネル60に1つの画素の画素回路30のみを図示した。

40

【0093】

さらに、表示装置10は、各々がScan線16の各々に対応して配列された複数のVres線

50

20および各Vres線20にリセット信号(Vres信号)を供給するリセットドライバ22を備えている。

【0094】

本表示装置10では、スキャンドライバ12が画素選択期間においてScan線16にScan信号を与え、画素選択期間にデータドライバ14がData線18にData信号を与えることにより、輝度情報に対応した電流を画素回路30に供給する。

【0095】

図2に示すように、各画素の画素回路30は、選択ゲート接続スイッチ32、保持容量素子34、駆動トランジスタ36、発光用OLED(Organic light-emitting diode:有機発光ダイオード)38、発光用OLED38の寄生容量40、放電用OLED42、放電用OLED42の寄生容量44を備えている。ここで、本実施の形態では、1つのOLEDを所定の分割面積比で分割して、一方を発光用OLED38とし、他方を放電用OLED42として構成した。従って、発光用OLED38および放電用OLED42は、同一の発光閾値電圧Vf0を有する有機発光ダイオードである。

10

【0096】

選択ゲート接続スイッチ32は、N型の薄膜トランジスタからなり、そのゲートがScan線16に接続され、ドレインまたはソースの一方がData線18に接続され、ドレインまたはソースの他方は駆動トランジスタ36のゲートに接続されている。

【0097】

また、保持容量素子34は、駆動トランジスタ36のゲートとソースの間に接続されている。

20

【0098】

駆動トランジスタ36は、N型の薄膜トランジスタからなり、そのゲートが選択ゲート接続スイッチ32のドレインまたはソースの一方および保持容量素子34の一端に接続され、ドレインは電源Vddに接続され、ソースは発光用OLED38のアノードおよび放電用OLED42のアノードに接続されている。

【0099】

発光用OLED38のアノードは、駆動トランジスタ36のソースに接続され、カソードは接地されている。発光用OLED38は、駆動トランジスタ36の電流に応じた輝度で発光する。寄生容量40は、発光用OLED38の両端の寄生容量である。

30

【0100】

放電用OLED42のアノードは、駆動トランジスタ36のソースに接続され、カソードはVres線20に接続されている。寄生容量44は、放電用OLED42の両端の寄生容量である。

【0101】

なお、本実施の形態の表示装置10は、各画素の画素回路30に含まれるOLED38によりRGBの各色の光を発光させカラー画像を表示する装置であり、同一の色を発光する画素を列方向(Data線18延在方向)に沿って配列したRGB各色毎の画素列を、行方向(Scan線16延在方向)に所定の順番で(ここでは、RGBRGB・・・の順に)繰り返し配置して構成している。

40

【0102】

以下、本実施の形態の画素回路30の動作を説明する。図3は、本実施の形態の画素回路30の動作期間中の電圧波形例を示す図であり、Vsは駆動トランジスタ36のソース電圧、Vgsは、駆動トランジスタ36のゲート・ソース間電圧である。

【0103】

図3に示すT1~T4の期間は画素回路30の1表示期間を示す期間であり、図3のT1より前の期間は、前の表示期間を示している。従って、この前の表示期間では、Data線18に印加される電圧値、駆動トランジスタ36のソース電圧Vs、駆動トランジスタ36のゲート・ソース間電圧Vgsは、前の表示期間に対応する電圧となるが、ここではその値を特に指定せずその電圧範囲を網掛けで図示している。

50

【 0 1 0 4 】

また、図 4 ~ 図 7 は、以下に説明する各動作期間における選択ゲート接続スイッチ 3 2 のオンオフ状態と電流の流れを模式的に示す図である。

【 0 1 0 5 】

なお、一般的に、保持容量素子 3 4 に電圧を設定するプログラム動作は、1 行単位で実施されるが、本実施の形態においても同様に実施するものとする。

【 0 1 0 6 】

図 3 に示す T 1 の期間では、リセット動作が行なわれる。このリセット動作期間 T 1 では、スキンドライバ 1 2 により Scan 信号が H レベルにされる。これにより、図 5 に示すように、選択ゲート接続スイッチ 3 2 がオンし、駆動トランジスタ 3 6 のゲートが Data 線 1 8 に接続される。

10

【 0 1 0 7 】

この状態で、データドライバ 1 4 により Data 線 1 8 に Data 信号として電圧 VB が与えられる。これにより、駆動トランジスタ 3 6 のゲートに電圧 VB が供給される。

【 0 1 0 8 】

また、リセットドライバ 2 2 により Vres 線 2 0 にリセット電圧として電圧 VA が与えられる。これにより、放電用 O L E D 4 2 に電圧 VA が供給される。

【 0 1 0 9 】

ここで、 $VA < 0$ であれば、発光用 O L E D 3 8 の寄生容量 4 0 は、放電用 O L E D 4 2 を

20

、

$$Vs0 = VA + Vf0$$

に初期化される。

【 0 1 1 0 】

ここで、図 8 を参照しながら、電圧 VA、電圧 VB、およびソース電圧 Vs の関係を説明する。駆動トランジスタ 3 6 の閾値電圧 Vth の補正範囲を Vthmin (下限値) ~ Vthmax (上限値) とすると、駆動トランジスタ 3 6 に何らかの電流 Id を流して、電流 Id を Vres 線 2 0 方向へ流す (図 4 の点線参照) ため、駆動トランジスタ 3 6 のゲートに与える電圧 VB は、

$$VB > Vs0 + Vthmax$$

の条件を満たす電圧でなくてはならない。

30

【 0 1 1 1 】

また、Vthmin と Vthmax との差を Vth とすると、ソース電圧 Vs の初期電圧 Vs0 は、

$$Vs0 < Vf0 - Vth$$

が条件となる。これは、後述する駆動トランジスタ 3 6 の閾値電圧 Vth 検出動作においては、発光用 O L E D 3 8 の寄生容量 4 0 および放電用 O L E D 4 2 の寄生容量 4 4 を充電させてソース電圧 Vs を上昇させ、最終的に Vth を検出するという動作になるが、このときソース電圧 Vs が発光用 O L E D 3 8、放電用 O L E D 4 2 の発光閾値電圧 Vf0 より高くなると発光用 O L E D 3 8、放電用 O L E D 4 2 が発光してしまうので、ソース電圧 Vs はこれよりも低くなくてはならない。従って、ソース電圧 Vs の初期値 Vs0 は、発光電圧閾値 Vf0 から Vthmin (下限値) ~ Vthmax (上限値) の差分 Vth だけ低い電圧であることが条件となる。

40

【 0 1 1 2 】

なお、前述したように、 $Vs0 = VA + Vf0$ であるため、

$$VA + Vf0 < Vf0 - Vth$$

となる。従って、電圧 VA は、

$$VA < -Vth$$

に設定する。

【 0 1 1 3 】

以上の動作により、電流が画素回路 3 0 内を図 4 の点線で示す方向に流れ、寄生容量 4 0 が放電される。

50

【 0 1 1 4 】

なお、ここでは、発光用 O L E D 3 8 および放電用 O L E D 4 2 の発光閾値電圧を共通の V_{f0} としたが、共通でない場合には、ソース電圧 V_s の初期電圧 V_{s0} は小さい方の発光閾値電圧値を、電圧 V_A は大きい方の発光閾値電圧値を用いて計算した値とする。

【 0 1 1 5 】

図 3 に示す T 2 の期間では、閾値電圧検出動作が行なわれる。T 1 の期間が終了し T 2 の期間が開始されると、リセットドライバ 2 2 により V_{res} 線 2 0 の電位が電圧 V_A から放電用 O L E D 4 2 のカソード電位（一般的には G N D ）に設定される。

【 0 1 1 6 】

V_{res} 線 2 0 の電圧変化により、駆動トランジスタ 3 6 のソース電圧 V_s が、初期値 V_{s0} から V_{s1} に上昇する。

10

【 0 1 1 7 】

保持容量素子 3 4 の容量値を C_s とし、発光用 O L E D 3 8 の寄生容量 4 0 の容量値を C_{d1} とし、放電用 O L E D 4 2 の寄生容量 4 4 の容量値を C_{d2} とし、 C_s が C_{d1} よりも十分小さいとする前提条件を考慮すると、ソース電圧 V_s は寄生容量 4 0 及び寄生容量 4 4 の分圧となるため、

$$V_{s1} = V_{s0} - V_A * C_{d2} / (C_{d1} + C_{d2})$$

となる。ここで、例えば、 $C_{d1} = C_{d2}$ ならば、

$$V_{s1} = V_{s0} - V_A / 2$$

となる。

20

【 0 1 1 8 】

なお、発光用 O L E D 3 8 の面積に対して放電用 O L E D 4 2 の面積が十分小さい場合には、 $C_{d2} = C_{d1}$ となり、 V_{s1} をほぼ V_{s0} とみなすことができるが、 $C_{d2} = C_{d1}$ でない場合には、上記リセット期間 T 1 で V_{res} 線 2 0 に設定する電圧 V_A は、 $V_A < V_{th}$ ではなく

$$V_A < V_{th} * (C_{d1} + C_{d2}) / C_{d1}$$

に設定すべきことに留意する。

【 0 1 1 9 】

ここで、ゲート・ソース間電圧 V_{gs} は、

$$V_{gs} = V_g - V_s = V_B - V_{s1} > V_{th}$$

【 0 1 2 0 】

であるため、駆動トランジスタ 3 6 に電流 I_d が流れる（図 5 の点線参照）。この電流 I_d により寄生容量 4 0 及び寄生容量 4 4 が充電され、駆動トランジスタ 3 6 のソース電圧 V_s が上昇する。

30

【 0 1 2 1 】

また、駆動トランジスタ 3 6 のゲート電圧 V_g は V_B 固定電圧のため、ソース電圧 V_s が上昇することによりゲート・ソース間電圧 V_{gs} は次第に低下し、電流 I_d は減少していく。この過程で駆動トランジスタ 3 6 のゲート・ソース間電圧 V_{gs} は、次第に閾値電圧 V_{th} に近付いていく。そして、予め設定された充電時間が経過したときに閾値電圧 V_{th} の検出動作を停止する。

【 0 1 2 2 】

この時、ゲート電圧 V_g は V_B であり、ソース電圧 V_s は $V_B - V_{th}$ である。従って、T 2 の期間において発光用 O L E D 3 8、放電用 O L E D 4 2 を発光させないように、ソース電圧 V_s を発光閾値電圧 V_{f0} 以下とするために、ゲート電圧 V_g に印加する電圧 V_B を

$$V_B < V_{f0} + V_{thmin}$$

に設定しておく。

40

【 0 1 2 3 】

なお、ここでは、発光用 O L E D 3 8 および放電用 O L E D 4 2 の発光閾値電圧を共通の V_{f0} としたが、共通でない場合には、電圧 V_B は、小さい方の発光閾値電圧値を用いて計算した値とする。

【 0 1 2 4 】

50

図3に示すT3の期間では、駆動トランジスタ36に電流を流すための電圧を保持容量素子34に保持させる所謂プログラム動作が行なわれる。駆動トランジスタ36に電流を流すためには、閾値電圧 V_{th} より更に余分な電圧(オーバードライブ電圧 V_{od} : $V_{od}=V_{gs}-V_{th}$)を印加する必要がある。そこで、プログラム動作期間T3の開始時には、図6に示すように、Data線18のData信号電圧をVBから $VB+V_{od}$ へステップアップさせる。従って、駆動トランジスタ36のゲート電圧 V_g は、 $VB+V_{od}$ となる。

【0125】

また、ソース電圧 V_s は、保持容量素子34、寄生容量40、及び寄生容量44の分圧であるため、このときの駆動トランジスタ36のソース電圧 V_s は、

$$V_s=(VB-V_{th})+V_{od}*C_s/(C_{d1}+C_{d2}+C_s)$$

10

となる。

【0126】

このとき、保持容量素子34の容量値 C_s が、寄生容量40及び寄生容量44の容量値の合計 $C_{d1}+C_{d2}$ より十分小さければ、ソース電圧 V_s は、ほぼ「 $VB-V_{th}$ 」に等しくなるため、駆動トランジスタ36のゲート・ソース間電圧 V_{gs} は、ほぼ、

$$V_{gs}=V_g-V_s=(VB+V_{od})-(VB-V_{th})=V_{th}+V_{od}$$

となり、駆動トランジスタ36のゲート・ソース間に位置する保持容量素子34には、ほぼ閾値電圧検出動作期間T2で検出した閾値電圧 V_{th} にオーバードライブ電圧 V_{od} を加算した電圧が設定される。ここで設定される電圧をプログラム電圧と呼称する。

【0127】

20

そして、駆動トランジスタ36にはTFT電流式に従い、

$$I_d=\mu *C_{ox}*(W/L)*(V_{gs}-V_{th})^2=\mu *C_{ox}*(W/L)*V_{od}^2$$

(μ は移動度、 C_{ox} はゲート絶縁膜の単位面積あたりの静電容量、 W はチャネル幅、 L はチャネル長である)

の電流 I_d が流れ出す。

【0128】

上記プログラム動作完了後(図4に示すT3の期間の後半)は、移動度 μ の補正動作を行ないプログラム電圧を補正する。

【0129】

具体的には、上記プログラム動作完了から一定の時間(= T_x)Scan信号をHレベルに維持し、選択ゲート接続スイッチ32をオン状態で保持する。

30

【0130】

この間、駆動トランジスタ36には、プログラムされた電圧 V_{od} に相当する電流 I_d が流れる。電流 I_d は寄生容量40及び寄生容量44に充電され、図3に示すように、駆動トランジスタ36のソース電圧 V_s が再上昇する。この再上昇電圧を V とすると、 V は、以下の式で表すことができる。

$$V=T_x*I_d/(C_{d1}+C_{d2})$$

【0131】

また、前述したように、TFTの飽和領域電流式は、

$$I_d=\mu *C_{ox}*(W/L)*(V_{gs}-V_{th})^2$$

40

であり、既に閾値電圧 V_{th} はT2の期間で補正されているため、

$$I_d=\mu *C_{ox}*(W/L)*V_{od}^2$$

となる。

【0132】

従って、 V は、各駆動トランジスタ36の $\mu *C_{ox}*(W/L)$ に対応した電圧となり、保持容量素子34の電圧 V_c には、ゲート・ソース間電圧 V_{gs} (前述したように、 $V_{gs}=V_{th}+V_{od}$ である)から V を減算した電圧「 $V_{th}+V_{od}-V$ 」が保持される。これにより、プログラム電圧が補正され各画素毎の駆動トランジスタ36の μ 偏差が相殺される。

【0133】

なお、この μ 補正動作は、LPTS等でTFTの μ 偏差が表示輝度ムラ要因となる場合に有効

50

であり、a-Si（アモルファスシリコン）や無機酸化膜等の μ 偏差が小さいTFTでは不要である。

【0134】

図3に示すT4の期間では、発光動作が行なわれる。なお、図3の発光動作期間T4の期間では、Data線18の電位は現在の表示期間における発光動作に影響しないため、ここでは、ここではData信号電圧を特に指定せずその電圧範囲を網掛けで図示している。

【0135】

発光動作期間T4では、スキャンドライバ12によりScan信号がLレベルにされ、図7に示すように、選択ゲート接続スイッチ32がオフとなる。これにより、画素回路30とData線18とが電氣的に切り離される。

10

【0136】

また、保持容量素子34の両端電圧は保持されたまま、駆動トランジスタ36に流れる電流 I_d により、ソース電圧 V_s が上昇する。駆動トランジスタ36のゲート・ソース間電圧 V_{gs} は、プログラム電圧($V_{od}+V_{th}$)を保持したままなので、やがて、ソース電圧 V_s は発光用OLED38及び放電用OLED42の発光閾値電圧 V_{f0} を越え、定電流でのOLED発光動作が実施される。

【0137】

以上説明したように、発光用OLED38の他に放電用OLED42を設けたため、寄生容量40は自然放電ではなく積極的に放電されることとなり、放電時間を短縮することができる。また、OLED寄生容量放電用トランジスタスイッチを設けずに、発光素子OLEDをスイッチとして用いる構成であるため、スイッチとして用いる放電用OLED42を、発光用OLED38と同一の製造プロセスで製造することができることから、歩留り低下によるコストアップやOLED開口率低下による寿命低下を防止することができる。

20

【0138】

なお、上記実施の形態では、1つのOLEDを分割して一方を発光用OLED38、他方を放電用OLED42として用いたが、放電用OLED42を別構成のダイオード素子として設けてもよい。例えば、非発光化したダイオード素子や、低発光閾値電圧化したOLEDを上記放電用OLED42の代わりに用いるようにしてもよい。

【0139】

放電用OLED42が発光用OLED38と同一の構成である場合には、放電用OLED42を放電する際、放電電流により瞬間的に発光動作する場合もあり、表示装置としてのコントラスト比に悪影響を与える可能性がある。

30

【0140】

そこで、発光効率の低い材料または発光動作を伴わない材料で構成したダイオード素子を用いることで、放電時発光を防止できる。

【0141】

また、発光閾値電圧を低くしたOLEDを用いることで、リセット解除時のソース電圧 V_s 上昇を抑制し、閾値電圧 V_{th} 補正範囲を拡大できるほか、0Vに近い電圧 V_A を採用可能となり、表示装置としての消費電力の低減効果が得られる。ただし、この場合には、リセット解除後の V_{res} 線20の電位は発光用OLED38のカソード電圧ではなく、OLEDの発光閾値電圧 V_{f0} に応じた高い電圧設定が必要となる。

40

【0142】

このようなダイオード素子を用いる場合であっても、トランジスタをリセットスイッチとして設ける場合に比べて、歩留り低下等を防止することができる。なお、このようなダイオード素子を用いた場合には、該ダイオード素子はT4の発光動作にて電流が流れても輝度に寄与しないことを考慮した駆動トランジスタへのプログラム電圧設定が必要となる。

【0143】

また、上記実施の形態では、発光用OLED38の面積に対して放電用OLED42の

50

面積を十分小さくして、Cd2 Cd1となるように設計することが好ましいと説明したが、放電用O L E D 4 2を小さくなると放電電流も減少してしまい、リセット動作に必要な時間が長くなる、という問題がある。従って、放電を促進するには、リセット動作時において、より低い電圧VA(大きな負電圧)をVres線20に設定することが必要となり、プログラム動作開始時(リセット解除時)のソース電圧Vsの上昇が大きくなってしまふ。

【0144】

そこで、プログラム動作直前にはできるだけソース電圧Vsが小さくなるように、Vres線20に設定する電圧VAを固定電圧ではなく、可変電圧とする。具体的には、リセットドライバ22が、図9のVres線20の電圧波形に示すように、T1の期間において、まず低電圧(大きな負電圧)でリセット動作を開始し、時間経過と共に電位を上昇させ、リセット解除時にはVA制限値(VA<- Vth)に近い電圧(小さな負電圧)とする。これにより、放電促進とリセット解除時Vs上昇抑制を両立できる。

10

【0145】

なお、上記実施の形態では、1つのO L E Dを所定の分割面積比で分割し、一方を発光用O L E D 38として用い、他方を放電用O L E D 42として用いたが、この分割面積比を発光用O L E D 38の寄生容量40がRGB各画素間で共通の容量値となるように設定し、放電用O L E D 42を閾値電圧Vth検出時やμ補正時の充電用負荷から除外するようにしてもよい。

【0146】

前述したように、一般的に、アクティブマトリクス方式の有機EL表示装置では、RGBの各色毎の画素を列方向(Data線18延在方向)に配列した色毎の画素列が、行方向(Scan線16延在方向)に例えばR G B R G B・・・の順に配置されて構成されている。また、O L E Dの寄生容量値は、O L E Dを構成する有機発光材の比誘電率、膜厚により決まるが、O L E Dの色(R G B)に応じて比誘電率や膜厚も変わってくるため、O L E Dが同じ面積であっても寄生容量値はO L E Dの色毎に異なることとなる。従って、この容量値をR G B間で共通の値となるように上記分割面積比を設定し、発光用O L E D 38及び放電用O L E D 42を設けることで、R G B偏差を補正することができる。

20

【0147】

そして、放電用O L E D 42を、閾値電圧Vth検出時やμ補正時の充電用負荷から除外するために、例えば、図10に示すように、放電用O L E D 42のカソードとVres線20との間にO L E D開放スイッチ46を追加する。O L E D開放スイッチ46には、薄膜トランジスタからなり、そのゲートはリセット線48に接続されており、スキャンドライバ12からリセット線48を介して与えられた制御信号に応じてオンオフする。具体的には、T1, T4の期間では、O L E D開放スイッチ46をオンする。T2, T3の期間では、O L E D開放スイッチ46をオフし、放電用O L E D 42の一端を開放端化する。その他の制御は、上記実施の形態と同様である。

30

【0148】

なお、図10のような構成とすると、O L E D開放スイッチ46を別途設ける必要があるため、R G B偏差は解決できるが、歩留り低下防止効果、或いはO L E D開口率低下による寿命低下の防止効果が低減する。そこで、O L E D開放スイッチ46を省略し、代わりにVres線20を開放線とするように制御する構成とするようにしてもよい。

40

【0149】

具体的には、リセットドライバ22により、T2開始時(リセット解除時)にVres線20の電圧を電圧VAからソース電圧の初期値Vs0に近い電圧、すなわち、初期値Vs0以下の予め定められた範囲内の電圧まで上昇させる。ゲート電圧Vsは固定であるため、放電用O L E D 42の寄生容量44が放電し、その電荷がほぼ0となる。その後、リセットドライバ22により、Vres線20を電源電圧から電氣的に切り離し(Vres線20に電源電圧が供給されないフローティング状態にし)、T2, T3の期間は開放線とする。

【0150】

これにより、放電用O L E D 42の開放端は、選択行の(すなわち同じ行に配置された

50

他の画素回路30の放電用OLED42の開放端と接続された状態となる。ここで、選択行の各画素の画素回路を、画素回路30₁、30₂・・・30_pと表し、各画素回路30₁～30_pの各々に設けられた放電用OLED42の寄生容量の各々を、寄生容量40₁、40₂・・・40_pと表し、図11に示すように、画素回路30₁に着目してみると、画素回路30₁の寄生容量40₁に、選択行の他の画素回路30₂～30_pの負荷(寄生容量40₂・・・40_p)が接続された回路と等価になる。

【0151】

この等価回路では、画素回路30₁の駆動トランジスタ36の電流I_dによる充電動作が開始されると、ソース電圧V_sは上昇するが、他の画素回路30₂～30_pも同様に動作しているため、V_{res}線20の電位は選択行中のソース電圧V_sの平均値となる。

10

【0152】

従って、閾値電圧V_{th}検出動作中において、放電用OLED42の寄生容量44への充電電流は、「V_{th}-V_{th0}(V_{th0}は行平均値)」に相当する電流となり、選択行の各画素回路30₁～30_pの駆動トランジスタ36の閾値電圧V_{th}に大きな偏差がなければ、閾値電圧V_{th}検出動作に放電用OLED42の寄生容量44が関与しないことになる。

【0153】

なお、T1の期間は、上記実施の形態と同様に制御する。T4の期間では、V_{res}線20の開放状態を解除し、放電用OLED42のカソード電位に設定し、その他は上記実施の形態と同様に制御する。

【0154】

すなわち、T2～T3の期間中に、V_{res}線20を開放することで、図10と同様の効果が得られ、トランジスタの数を増加させずにすむ。

20

【図面の簡単な説明】

【0155】

【図1】本発明の一実施形態に係る表示装置の全体構成を示す図である。

【図2】実施の形態に係る表示装置に含まれる各画素の画素回路の一例を示す図である。

【図3】実施の形態の画素回路の動作期間中の電圧波形例を示す図である。

【図4】リセット動作中の選択ゲート接続スイッチのオンオフ状態と電流の流れを模式的に示す図である。

【図5】閾値電圧検出動作中の選択ゲート接続スイッチのオンオフ状態と電流の流れを模式的に示す図である。

30

【図6】プログラム動作中の選択ゲート接続スイッチのオンオフ状態と電流の流れを模式的に示す図である。

【図7】発光動作中の選択ゲート接続スイッチのオンオフ状態と電流の流れを模式的に示す図である。

【図8】電圧V_A、電圧V_B、およびソース電圧V_sの関係を示す図である。

【図9】実施の形態の画素回路の動作期間中の電圧波形の変形例を示す図である。

【図10】画素回路の変形例を示す図である。

【図11】V_{res}線を電源電圧から切り離し、開放線としたときの等価回路を示す図である。

40

【図12】従来の画素回路構成を示す図である。

【図13】従来の画素回路の動作期間中の電圧波形例を示す図である。

【図14】従来のリセット動作中の選択ゲート接続スイッチおよびリセットスイッチのオンオフ状態と電流の流れを模式的に示す図である。

【図15】閾値電圧検出動作中の選択ゲート接続スイッチおよびリセットスイッチのオンオフ状態と電流の流れを模式的に示す図である。

【図16】プログラム動作中の選択ゲート接続スイッチおよびリセットスイッチのオンオフ状態と電流の流れを模式的に示す図である。

【図17】発光動作中の選択ゲート接続スイッチおよびリセットスイッチのオンオフ状態と電流の流れを模式的に示す図である。

50

【図 1 8】 μ 補正動作を行なう従来の画素回路構成を示す図である。

【図 1 9】 μ 補正動作を行なう従来の画素回路の動作期間中の電圧波形例を示す図である。

【図 2 0】TFTの V_{gs} - I_d 特性を示すグラフの具体例である。

【図 2 1】TFTの V_{gs} - I_d 特性を示すグラフの具体例である。

【図 2 2】サブスレッショルド領域電流の小さいTFTで寄生容量の容量値 C_d が2pFの場合と4pFの場合での閾値電圧検出動作のシミュレーション結果の具体例を示すグラフである。

【図 2 3】サブスレッショルド領域電流の大きいTFTで寄生容量の容量値 C_d が2pFの場合と4pFの場合での閾値電圧検出動作のシミュレーション結果の具体例を示すグラフである。

【図 2 4】駆動トランジスタのソースに接続される静電容量値がR G B間で同じとなるような補正容量を画素毎に設置した場合の回路構成の一例である。

10

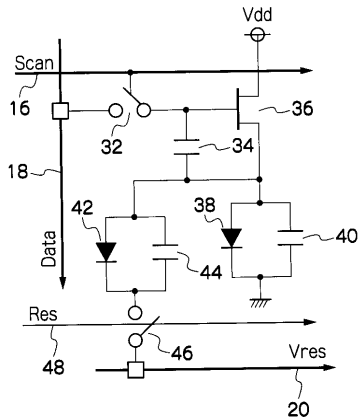
【符号の説明】

【 0 1 5 6 】

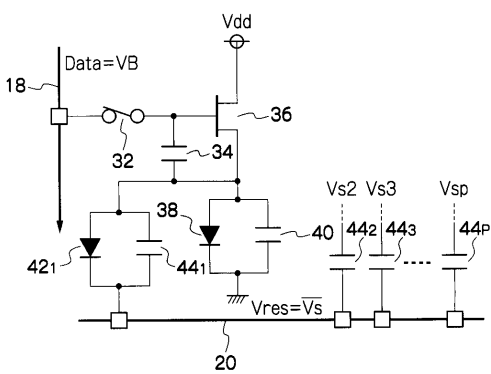
- 1 0 表示装置
- 1 2 スキャンドライバ
- 1 4 データドライバ
- 1 6 行スキャン信号線 (Scan線)
- 1 8 列データ信号線 (Data線)
- 2 0 リセット線 (Vres線)
- 2 2 リセットドライバ
- 3 0 画素回路
- 3 2 選択ゲート接続スイッチ
- 3 4 保持容量素子
- 3 6 駆動トランジスタ
- 3 8 発光用O L E D
- 4 0 寄生容量
- 4 2 放電用O L E D
- 4 4 寄生容量

20

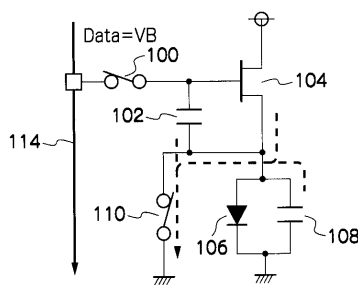
【 図 1 0 】



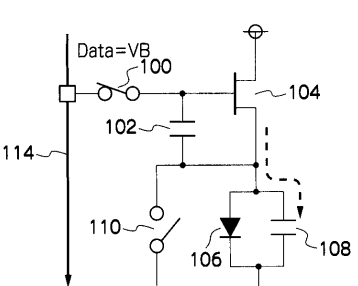
【 図 1 1 】



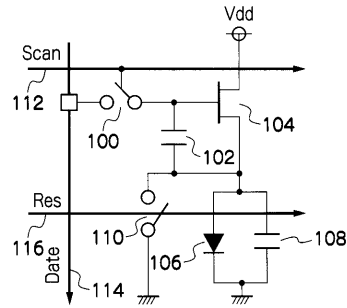
【 図 1 4 】



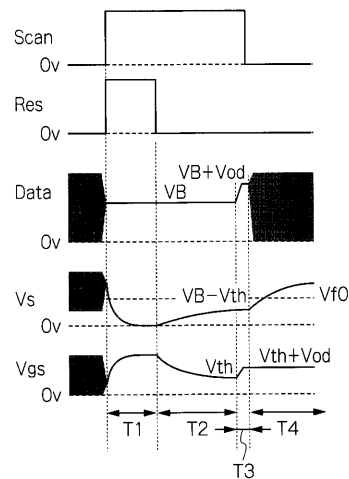
【 図 1 5 】



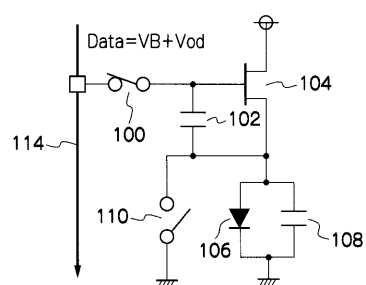
【 図 1 2 】



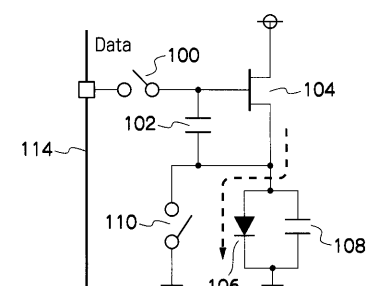
【 図 1 3 】



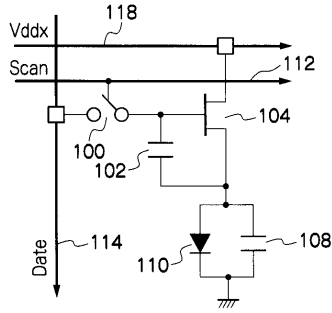
【 図 1 6 】



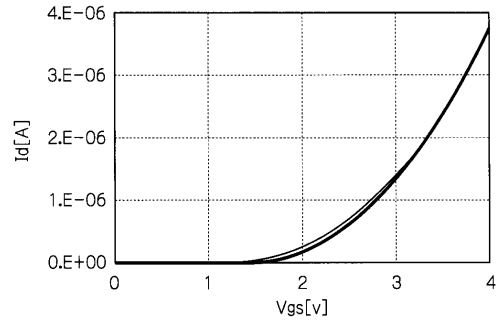
【 図 1 7 】



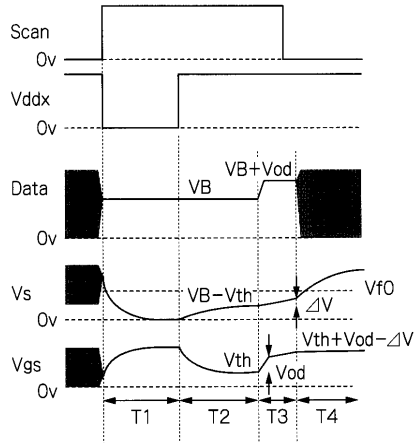
【 図 1 8 】



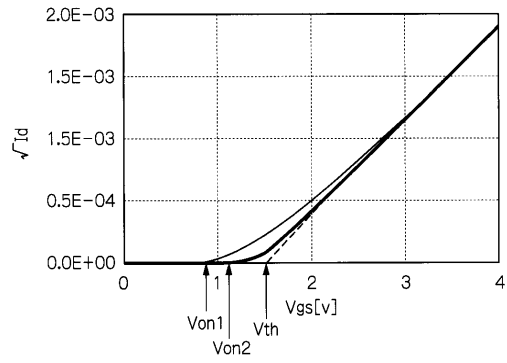
【 図 2 0 】



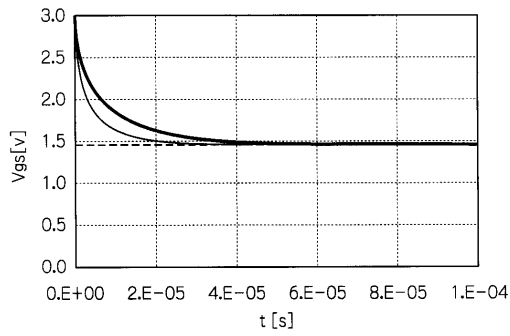
【 図 1 9 】



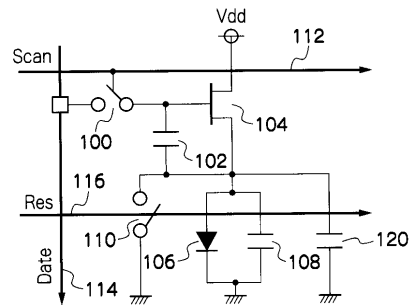
【 図 2 1 】



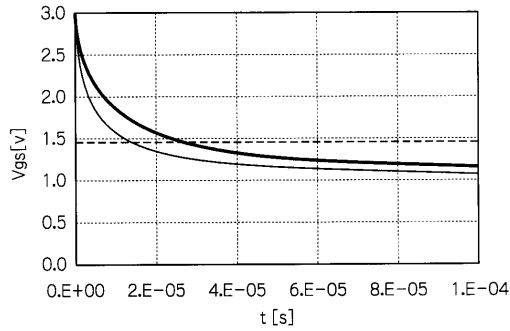
【 図 2 2 】



【 図 2 4 】



【 図 2 3 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 R
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
H 0 5 B	33/14	A
H 0 5 B	33/08	

Fターム(参考) 5C080 AA06 BB05 CC03 DD03 DD23 EE28 EE29 EE30 FF07 FF11
HH09 JJ02 JJ03 JJ04 JJ05

专利名称(译)	显示装置和驱动方法		
公开(公告)号	JP2009300753A	公开(公告)日	2009-12-24
申请号	JP2008155442	申请日	2008-06-13
[标]申请(专利权)人(译)	富士胶片株式会社		
申请(专利权)人(译)	富士胶片株式会社		
[标]发明人	瀬戸康宏		
发明人	瀬戸 康宏		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/30.J G09G3/20.680.G G09G3/20.624.Z G09G3/20.612.R G09G3/20.623.C G09G3/20.623.D H05B33/14.A H05B33/08 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC36 3K107/CC45 3K107/EE03 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD23 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB22 5C380/AB24 5C380/AB34 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB12 5C380/BB23 5C380/BC18 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB19 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC42 5C380/CC62 5C380/CC63 5C380/CC71 5C380/CC77 5C380/CD012 5C380/CD021 5C380/CD023 5C380/CD032 5C380/CF46 5C380/DA02 5C380/DA06 5C380/DA46 5C380/HA02 5C380/HA05		
代理人(译)	中岛敦 福田浩		
其他公开文献	JP5235516B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在不添加晶体管的情况下在短时间内复位驱动晶体管的源极电压的显示装置和驱动方法。
 ΣSOLUTION：布置在多条扫描线16和多条数据线18之间的各个交叉点处的多个像素电路30中的每一个包括驱动晶体管36，用于发光的OLED 38，其具有连接到电源电压Vdd的阴极。并且具有连接到驱动晶体管36的源极的阳极并根据驱动晶体管的操作发射参考色光，连接在驱动晶体管36的栅极和源极之间的保持电容元件34，选择性栅极连接开关32具有连接到数据线的漏极，并且具有连接到驱动晶体管36的栅极的源极，并且根据来自扫描线16的信号导通/截止，以及用于放电的OLED 42，其具有阴极连接到Vres线20并且具有连接到驱动晶体管36的源极的阳极

