

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-134318

(P2009-134318A)

(43) 公開日 平成21年6月18日(2009.6.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 621F	
	G09G 3/20 623B	
	G09G 3/20 623F	
	G09G 3/20 641D	

審査請求 有 請求項の数 9 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2009-64405 (P2009-64405)  
 (22) 出願日 平成21年3月17日 (2009. 3. 17)  
 (62) 分割の表示 特願2005-236885 (P2005-236885) の分割  
 原出願日 平成17年8月17日 (2005. 8. 17)  
 (31) 優先権主張番号 10-2004-0080371  
 (32) 優先日 平成16年10月8日 (2004. 10. 8)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 10-2004-0080373  
 (32) 優先日 平成16年10月8日 (2004. 10. 8)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 10-2004-0080374  
 (32) 優先日 平成16年10月8日 (2004. 10. 8)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 308040351  
 三星モバイルディスプレイ株式会社  
 大韓民国京畿道水原市靈通区▲しん▼洞 5 7 5 番地  
 (74) 代理人 100095957  
 弁理士 亀谷 美明  
 (74) 代理人 100096389  
 弁理士 金本 哲男  
 (72) 発明者 權 五敬  
 大韓民国京畿道水原市靈通区シン洞 5 7 5  
 Fターム(参考) 5C080 AA06 BB05 CC03 DD08 EE29  
 FF01 FF07 FF11 HH09 JJ02  
 JJ03 JJ04

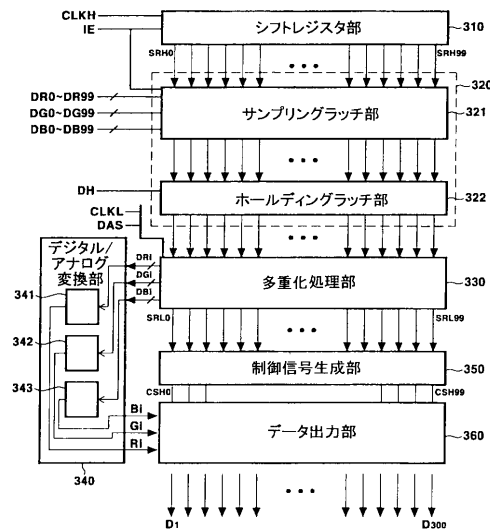
(54) 【発明の名称】 データ駆動装置、及び発光表示装置

(57) 【要約】

【課題】 データ出力部へ正常的にデータ電流を損失なく伝達することが可能なデータ駆動装置を提供すること。

【解決手段】 電流書き込み方式の有機発光表示装置において、外部から入力されるデータ信号をデータ電流に変換してデータ線へ伝達するデータ駆動部 300 を提供する。データ駆動部 300 のデジタル/アナログ変換部 340 は、順次入力されるデータ信号をデータ電流に変換してデータ出力部 360 へ伝達し、データ出力部 360 は、順次伝達されるデータ電流をサンプリングした後、データ線へ同時に出力する。ここで、デジタル/アナログ変換部 340 からデータ出力部 360 へデータ電流を伝達する前に、配線 370 を所定の電圧にプリチャージする。

【選択図】 図 2



## 【特許請求の範囲】

## 【請求項 1】

階調を示す複数のデータ信号を順次受信し、発光表示装置の表示部に配置された複数のデータ線にデータ電流を印加するデータ駆動装置において：

前記データ信号を前記データ電流に変換する少なくとも一つの変換器と；

前記少なくとも一つの変換器から出力される前記データ電流が順次伝達され、前記複数のデータ線へ前記データ電流を伝達する少なくとも一つのデータ出力部と；

前記データ電流が前記データ出力部へ伝達される前に、前記変換器と前記データ出力部間の配線にプリチャージ電圧を印加するプリチャージ部と；

を備え、

前記プリチャージ部は、前記データ信号に対応する電圧を前記プリチャージ電圧として決定することを特徴とする、データ駆動装置。

## 【請求項 2】

前記プリチャージ部は、前記データ信号のビット値のうち少なくとも一部のビット値から前記プリチャージ電圧を生成する電圧変換器を有することを特徴とする、請求項 1 に記載のデータ駆動装置。

## 【請求項 3】

前記電圧変換器は、第 4 電圧を供給する第 4 電源と第 5 電圧を供給する第 5 電源との間に直列に接続される複数の抵抗を有し、前記データ信号のビット値のうち少なくとも一部のビット値から、前記第 4 電源、前記第 5 電源および複数の抵抗によって形成される接点のうち前記プリチャージ電圧が出力される接点を選択することを特徴とする、請求項 2 に記載のデータ駆動装置。

## 【請求項 4】

前記少なくとも一部のビットは、前記データ信号の最上位ビットを含むことを特徴とする、請求項 2 または 3 に記載のデータ駆動装置。

## 【請求項 5】

前記変換器は、

前記データ電流が伝達される第 9 トランジスタと、

ドレインが前記配線の第 1 端に接続され、前記第 9 トランジスタとカレントミラーの形で接続されている第 10 トランジスタとを有し、

前記出力部は、前記配線の第 2 端にドレインが接続されている第 11 トランジスタを有することを特徴とする、請求項 2 ～ 4 のいずれかに記載のデータ駆動装置。

## 【請求項 6】

前記プリチャージ部は、

前記電圧変換器の出力端と前記配線の第 1 端との間に接続される第 6 スイッチと、

前記配線の第 2 端と前記第 11 トランジスタのドレインとの間に接続される第 7 スイッチと、

をさらに有し、

前記第 6 スイッチがターンオンされ、前記第 7 スイッチがターンオフされて前記プリチャージ電圧が前記配線に印加され、前記第 6 スイッチがターンオフされ、前記第 7 スイッチがターンオンされて前記変換器のデータ電流が前記データ出力部へ伝達されることを特徴とする、請求項 5 に記載のデータ駆動装置。

## 【請求項 7】

一方向に配置された複数のデータ線、前記データ線と交差する方向に配置された複数の第 1 および第 2 走査線、および前記データ線と前記第 1 走査線によって画定され、それぞれ発光素子が形成されている複数の画素領域を有する表示部と；

データが書き込まれるべき画素領域を選択する選択信号を前記複数の第 1 走査線へ選択的に伝達し、発光素子が発光すべき画素領域を選択する発光信号を前記複数の第 2 走査線へ選択的に伝達する走査駆動部と；

順次入力される複数のデータ信号を順次データ電流に変換する変換部と、前記変換部で

10

20

30

40

50

変換されたデータ電流を一時保存した後、前記複数のデータ線へ伝達するデータ出力部と、前記データ電流が前記データ出力部へ伝達される前に、前記変換器と前記データ出力部間の配線にプリチャージ電圧を印加するプリチャージ部と、を有するデータ駆動部と；を備え、

前記プリチャージ電圧は、前記データ信号の少なくとも一つのビットデータに対応する電圧であることを特徴とする、発光表示装置。

【請求項 8】

前記変換部は、前記配線の第 1 端に接続され、前記データ電流に対応する電流を出力する第 20 トランジスタを有し、

前記データ出力部は、前記配線の第 2 端に接続され、前記第 20 トランジスタに流れる電流が伝達される第 21 トランジスタを有し、

前記データ駆動部は、第 4 電源と第 5 電源との間に直列に接続される複数の抵抗を有するプリチャージ部をさらに有し、

前記プリチャージ部は、前記データ信号の少なくとも一つのビットデータに応じて前記複数の抵抗によって前記第 4 電源の電圧と前記第 5 電源の電圧を分圧し、

前記分圧された電圧が前記プリチャージ電圧であることを特徴とする、請求項 7 に記載の発光表示装置。

【請求項 9】

前記変換部は、前記第 20 トランジスタとカレントミラーの形で接続され、前記データ電流を伝達する第 22 トランジスタをさらに有することを特徴とする、請求項 8 に記載の発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ駆動装置及び発光表示装置に係り、特に、データ信号を電流の形で供給するデータ駆動装置及びこれを備えた発光表示装置に関する。

【背景技術】

【0002】

発光表示装置は、印加される電流の大きさに対応する光を発光する素子を用いて映像を表示する表示装置であって、有機物質の発光を利用する有機発光表示装置が最近使われている。有機発光表示装置は、有機物質を電気的に励起させて発光させる表示装置であって、 $N \times M$  個の有機発光セルの電圧書き込みあるいは電流書き込みを行って映像を表現できるようになっている。このような有機発光セルは、アノード層、有機薄膜層およびカソード層の構造を持っている。

【0003】

このような有機発光セルを駆動する方式には、パッシブマトリックス (passive matrix) 方式と、薄膜トランジスタまたは MOSFET を用いたアクティブマトリックス (active matrix) 方式がある。パッシブマトリックス方式は、陽極と陰極を直交するように配設し、ラインを選択して駆動する方式である。これに対し、アクティブマトリックス方式は、薄膜トランジスタとキャパシタを各画素電極に接続してキャパシタによって電圧を維持させる駆動方式である。この際、電圧を維持させるためにキャパシタに印加される信号の形によって、アクティブマトリックス方式は電圧書き込み方式と電流書き込み方式に分けられる。

【0004】

ところが、従来の電圧書き込み方式の画素回路では、製造工程の不均一性によって発生する薄膜トランジスタのしきい値電圧およびキャリアの移動度のバラツキにより高階調を得ることが難しいという問題点がある。これに対し、電流書き込み方式の画素回路は、画素回路に電流を供給する電流源がパネル全体にわたって均一であれば、各画素内の駆動トランジスタが不均一な電圧 / 電流特性を有するとしても、均一な表示特性を得ることができる。

10

20

30

40

50

## 【 0 0 0 5 】

このような電流書き込み方式の画素を用いて表示装置を具現する場合、階調を示すデータ信号を電流に変換して画素に印加する電流生成回路が必要となる。すなわち、外部からのデータ信号を電流の形のデータ信号（以下、「データ電流」という）に変換して印加するデータ駆動装置が必要である。

## 【 0 0 0 6 】

このようなデータ駆動装置は、データ信号をアナログ形のデータ電流に変換するデジタル/アナログ変換部と、変換されたデータ電流をバッファリングしてデータ線へ伝達するためのデータ出力部を必要とする。一般に、データ電流を1水平周期の間1回ずつデータ線へ伝達すべきであるが、有機発光表示装置の解像度が高くなるほど、水平周期は短くなる。したがって、短い水平周期の間、データ電流がデータ出力部でバッファリングされなければならないが、有機発光素子の発光に使われる電流のレベルが低い場合には、データ電流が1水平周期の間十分にバッファリングされず、正常なデータ電流がデータ線へ伝達されないこともある。

10

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 7 】

しかしながら、上記記載のような従来のデータ駆動装置によれば、短い1水平期間にデータ電流が十分にバッファリングされず、正常なデータ電流がデータ線へ伝達されないことがあるという問題があった。

20

## 【 0 0 0 8 】

そこで、本発明は、このような問題点に鑑みてなされたもので、その目的は、データ信号をデータ電流に変換してデータ線へ伝達するに際し、データ出力部へ正常なデータ電流を伝達することが可能なデータ駆動装置とそのデータ駆動装置を備えた発光表示装置を提供することにある。

## 【 課題を解決するための手段 】

## 【 0 0 0 9 】

上記課題を解決するために、本発明のある観点によれば、階調を示す複数のデータ信号を順次受信し、発光表示装置の表示部に配置された複数のデータ線にデータ電流を印加するデータ駆動装置において：上記データ信号を上記データ電流に変換する少なくとも一つの変換器と；上記少なくとも一つの変換器から出力される上記データ電流が順次伝達され、上記複数のデータ線へ上記データ電流を伝達する少なくとも一つの変換器と；上記データ電流が上記データ出力部へ伝達される前に、上記変換器と上記データ出力部間の配線にプリチャージ電圧を印加するプリチャージ部と；を備えることを特徴とする、データ駆動装置が提供される。

30

## 【 0 0 1 0 】

また、上記変換器は、ドレインに上記データ電流が流れる第1トランジスタを有し、上記プリチャージ部は、上記第1トランジスタとカレントミラーの形で接続されている第2トランジスタを有し上記データ電流によって決定される上記第2トランジスタのドレイン電圧に対応する電圧を上記プリチャージ電圧として決定してもよい。

40

## 【 0 0 1 1 】

また、上記プリチャージ部は、上記第2トランジスタのドレインと上記配線の第1端との間に接続されている単位利得増幅器をさらに有してもよい。

## 【 0 0 1 2 】

また、上記プリチャージ部は、上記単位利得増幅器の出力端と上記配線の第1端との間に接続されている第1スイッチ、および上記配線の第2端と上記データ出力部との間に接続されている第2スイッチをさらに有し、上記第1スイッチがターンオンされ、上記第2スイッチがターンオフされて上記配線に上記プリチャージ電圧が印加され、上記第1スイッチがターンオフされ、上記第2スイッチがターンオンされて上記変換器の上記データ電流が上記データ出力部へ伝達されてもよい。

50

## 【0013】

また、上記変換器は、上記第1トランジスタとカレントミラーの形で接続され、上記配線の第1端にドレインが接続されている第3トランジスタをさらに有してもよい。

## 【0014】

また、上記プリチャージ部は、第1電源と上記第2トランジスタのドレインとの間に接続されている第4トランジスタをさらに有し、上記出力部は、上記第1電源と上記配線の第2端との間に接続されている第5トランジスタをさらに有してもよい。

## 【0015】

また、上記プリチャージ電圧は、上記データ電流に関係なく予め定められた電圧であってもよい。

10

## 【0016】

また、上記変換器は、上記配線の第1端にドレインが接続され、第2電圧を供給する第2電源にソースが接続されている第6トランジスタを有し、上記出力部は、上記配線の第2端にドレインが接続され、第1電圧を供給する第1電源にソースが接続されている第7トランジスタを有し、上記プリチャージ部は、上記第2電圧と上記第1電圧との間の第3電圧を上記プリチャージ電圧として決定してもよい。

## 【0017】

また、上記第3電圧は、上記第2電圧と上記第1電圧の平均電圧であってもよい。

## 【0018】

また、上記プリチャージ部は、上記第1電源と上記第2電源との間に直列に接続される第1および第2抵抗を有し、上記第1抵抗と上記第2抵抗の接点が、上記配線の第1端に接続されてもよい。

20

## 【0019】

また、上記第1抵抗の大きさと上記第2抵抗の大きさが同じであってもよい。

## 【0020】

また、上記変換器は、上記第6トランジスタとカレントミラーの形で接続され、上記データ電流を伝達する第8トランジスタをさらに有し、上記プリチャージ部は、上記第8トランジスタのゲートと上記第6トランジスタのゲートとの間に接続されている第3スイッチと、上記配線の第2端と上記第7トランジスタのドレインとの間に接続される第4スイッチと、上記配線の第1端と上記第1および第2抵抗の接点との間に接続される第5スイッチと、をさらに有し、上記第5スイッチがターンオンされ、上記第3及び第4スイッチがターンオフされて上記配線に上記プリチャージ電圧が印加され、上記第5スイッチがターンオフされ、上記第3及び第4スイッチがターンオンされて上記変換器のデータ電流が上記データ出力部へ伝達されてもよい。

30

## 【0021】

また、上記プリチャージ部は、上記データ信号に対応する電圧を上記プリチャージ電圧として決定してもよい。

## 【0022】

また、上記プリチャージ部は、上記データ信号のビット値のうち少なくとも一部のビット値から上記プリチャージ電圧を生成する電圧変換器を有してもよい。

40

## 【0023】

また、上記電圧変換器は、第4電圧を供給する第4電源と第5電圧を供給する第5電源との間に直列に接続される複数の抵抗を有し、上記データ信号のビット値のうち少なくとも一部のビット値から、上記第4電源、上記第5電源および複数の抵抗によって形成される接点のうち上記プリチャージ電圧が出力される接点を選択してもよい。

## 【0024】

また、上記少なくとも一部のビットは、上記データ信号の最上位ビットを含んでもよい。

## 【0025】

また、上記変換器は、上記データ電流が伝達される第9トランジスタと、ドレインが上

50

記配線の第1端に接続され、上記第9トランジスタとカレントミラーの形で接続されている第10トランジスタとを有し、上記出力部は、上記配線の第2端にドレインが接続されている第11トランジスタを有してもよい。

【0026】

また、上記プリチャージ部は、上記電圧変換器の出力端と上記配線の第1端との間に接続される第6スイッチと、上記配線の第2端と上記第11トランジスタのドレインとの間に接続される第7スイッチと、をさらに有し、上記第6スイッチがターンオンされ、上記第7スイッチがターンオフされて上記プリチャージ電圧が上記配線に印加され、上記第6スイッチがターンオフされ、上記第7スイッチがターンオンされて上記変換器のデータ電流が上記データ出力部へ伝達されてもよい。

10

【0027】

また、上記順次入力される複数のデータ信号を順次サンプリングして保存するラッチ部と；上記ラッチ部から伝達される複数のデータ信号を多重化処理して上記変換器へ順次伝達する多重化処理部と；をさらに有し、上記変換器は、順次伝達される複数のデータ信号を順次データ電流に変換して上記データ出力部へ伝達し、上記データ出力部は、順次入力される上記データ電流を順次サンプリングした後、上記複数のデータ線へ伝達してもよい。

【0028】

また、上記複数のデータ信号は、第1色相を示す複数の第1データ信号と、第2色相を示す複数の第2データ信号と、第3色相を示す複数の第3データ信号と、を有し、上記少なくとも一つの変換器は、上記第1データ信号を変換する第1変換器と、上記第2データ信号を変換する第2変換器と、上記第3データ信号を変換する第3変換器と、を有してもよい。

20

【0029】

また、上記複数のデータ線を少なくとも一つのグループに分割する場合、上記少なくとも一つの変換器は、上記少なくとも一つのグループにそれぞれ対応してもよい。

【0030】

また、上記発光表示装置は、有機物質の発光を利用してもよい。

【0031】

上記課題を解決するために、本発明の別の観点によれば、一方向に配置された複数のデータ線、上記データ線と交差する方向に配置された複数の第1および第2走査線、および上記データ線と上記第1走査線によって画定され、それぞれ発光素子が形成されている複数の画素領域を有する表示部と；データが書き込まれるべき画素領域を選択する選択信号を上記複数の第1走査線へ選択的に伝達し、発光素子が発光すべき画素領域を選択する発光信号を上記複数の第2走査線へ選択的に伝達する走査駆動部と；順次入力される複数のデータ信号を順次データ電流に変換する変換部と、上記変換部で変換されたデータ電流を一時保存した後、上記複数のデータ線へ伝達するデータ出力部とを有するデータ駆動部と；を備え、上記変換部から上記データ出力部へ上記データ電流が伝達される前に、上記変換部と上記データ出力部との間の配線にプリチャージ電圧が印加されることを特徴とする、発光表示装置が提供される。

30

40

【0032】

上記変換部は、上記配線の第1端に接続され、上記データ電流に対応する電流を出力する第12トランジスタを有し、上記データ出力部は、上記配線の第2端に接続され、上記第12トランジスタに流れる電流が伝達される第13トランジスタを有し、上記データ駆動部は、直列に接続される第14および第15トランジスタを有するプリチャージ部をさらに有し、上記プリチャージ部は、上記第14トランジスタへ上記データ電流に対応する電流を伝達し、上記第14及び第15トランジスタの接点電圧を上記プリチャージ電圧として決定してもよい。

【0033】

上記変換部は、上記第13および第14トランジスタとカレントミラーの形で接続され

50

、上記データ電流を伝達する第16トランジスタをさらに有してもよい。

【0034】

また、上記プリチャージ部は、上記第14および第15トランジスタの接点と上記配線の第1端との間に接続され、上記第14および第15トランジスタの接点電圧を上記配線へ伝達する単位利得増幅器をさらに有してもよい。

【0035】

また、上記プリチャージ電圧は、上記データ出力部へ伝達される上記データ電流によって決定されてもよい。

【0036】

また、上記プリチャージ電圧は、上記変換部の第2電源が供給する第2電圧と上記データ出力部の第1電源が供給する第1電圧との間の電圧であってもよい。

10

【0037】

また、上記変換部は、上記配線の第1端と上記第2電源との間に接続され、上記データ電流に対応する電流を出力する第17トランジスタを有し、上記データ出力部は、上記配線の第2端と上記第1電源との間に接続され、上記第1トランジスタに流れる電流が伝達される第18トランジスタを有し、上記データ駆動部は、上記第2電源と上記第1電源との間に直列に接続され、その接点が上記配線の第1端に接続される第1および第2抵抗を有するプリチャージ部をさらに有し、上記プリチャージ電圧は、上記第1及び第2抵抗の接点の電圧であってもよい。

【0038】

20

また、上記第1抵抗の大きさと第2抵抗の大きさが同じであってもよい。

【0039】

また、上記変換部は、上記第17トランジスタとカレントミラーの形で接続され、上記データ電流を伝達する第19トランジスタをさらに有してもよい。

【0040】

また、上記プリチャージ電圧は、上記データ信号の少なくとも一つのビットデータに対応する電圧であってもよい。

【0041】

また、上記変換部は、上記配線の第1端に接続され、上記データ電流に対応する電流を出力する第20トランジスタを有し、上記データ出力部は、上記配線の第2端に接続され、上記第20トランジスタに流れる電流が伝達される第21トランジスタを有し、上記データ駆動部は、第4電源と第5電源との間に直列に接続される複数の抵抗を有するプリチャージ部をさらに有し、上記プリチャージ部は、上記データ信号の少なくとも一つのビットデータに応じて上記複数の抵抗によって上記第4電源の電圧と上記第5電源の電圧を分圧し、上記分圧された電圧が上記プリチャージ電圧であってもよい。

30

【0042】

また、上記変換部は、上記第20トランジスタとカレントミラーの形で接続され、上記データ電流を伝達する第22トランジスタをさらに有してもよい。

【0043】

また、上記発光素子は有機発光素子であってもよい。

40

【0044】

このように、上記課題を解決するために、本発明では、データ駆動装置のデータ出力部からデータ電流を受信する前にプリチャージを行う。

【発明の効果】

【0045】

以上説明したように、本発明によれば、プリチャージ部を介してデジタル/アナログ変換部から出力されるデータ電流をデータ出力部へ損失なく伝達することができる。

【図面の簡単な説明】

【0046】

【図1】本発明の実施形態に係る発光表示装置を示す概略平面図である。

50

【図 2】本発明の第 1 実施形態に係るデータ駆動部を示す概略ブロック図である。

【図 3】図 2 のデータ駆動部の多重化処理部を示す概略ブロック図である。

【図 4】図 3 のデータ駆動部の D / A 変換部の第 1 実施形態を示す図である。

【図 5】本発明の第 1 実施形態に係るデータ駆動部における D / A 変換部の出力端とデータ出力部の入力端を示す図である。

【図 6】本発明の第 2 実施形態に係るデータ駆動部における D / A 変換部の出力端，データ出力部の入力端，及びプリチャージ部を示す図である。

【図 7】図 6 のプリチャージ部のスイッチングタイミング図である。

【図 8】本発明の第 3 実施形態に係るデータ駆動部における D / A 変換部の出力端，データ出力部の入力端，及びプリチャージ部を示す図である。

10

【図 9】図 8 のプリチャージ部のスイッチングタイミング図である。

【図 10】本発明の第 4 実施形態に係るデータ駆動部における D / A 変換部の出力端，データ出力部の入力端，及びプリチャージ部を示す図である。

【図 11】図 10 のプリチャージ部のスイッチングタイミング図である。

【図 12】図 10 のプリチャージ部における電圧 D / A 変換部の第 1 実施形態を示す図である。

【図 13】本発明の第 5 実施形態に係るデータ駆動部の概略ブロック図である。

【発明を実施するための形態】

【0047】

以下に、添付した図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する発明特定事項については、同一の符号を付することにより重複説明を省略する。

20

【0048】

図面において、本発明を明確に説明するために、説明と関係のない部分は省略した。ある部分が他の部分に接続されているとするとき、これは直接接続されている場合のみならず、その間に他の素子を挟んで電氣的に接続されている場合も含む。

【0049】

図 1 は本発明の実施形態に係る発光表示装置の概略平面図である。

【0050】

図 1 に示すように、本発明の実施形態に係る発光表示装置は、表示部 100、走査駆動部 200 およびデータ駆動部 300 を備える。

30

【0051】

表示部 100 は、複数のデータ線  $D_1 \sim D_m$ 、複数の選択走査線  $S_1 \sim S_n$ 、複数の発光走査線  $E_1 \sim E_n$  および複数の副画素 110 を含む。複数のデータ線  $D_1 \sim D_m$  は、列方向に延びており、画像を示すデータ電流を伝達する。選択走査線  $S_1 \sim S_n$  は、行方向に延びており、複数の副画素のうちデータ電流が印加される画素を選択する選択信号を伝達し、複数の発光走査線  $E_1 \sim E_n$  は、行方向に延びており、複数の副画素のうち発光する副画素を選択する発光制御信号を伝達する。本実施形態において第 1 走査線は選択走査線  $S_1 \sim S_n$  に相当し、第 2 走査線は発光走査線  $E_1 \sim E_n$  に相当する。

【0052】

40

隣り合う 2 本の選択走査線  $S_1 \sim S_n$  と隣り合う 2 本のデータ線  $D_1 \sim D_m$  によって画素領域が画定される。画素領域には、発光素子を有する副画素 110 が形成される。例えば、 $i$  番目の選択走査線  $S_i$  と  $j$  番目のデータ線  $D_j$  に接続された副画素 110 は、選択走査線  $S_i$  から選択信号が印加されるとき、データ線  $D_j$  からのデータ電流を書き込み、発光走査線  $E_i$  から発光信号が印加されるとき、発光素子が書き込んだデータ電流に対応する階調で発光する。また、本発明の実施形態では、R (red) 色相の光を発光する副画素、G (green) 色相の光を発光する副画素、および B (blue) 色相の光を発光する副画素が存在し、三つの副画素によって一つの色相を表現する画素が形成されるものと仮定する。本実施形態において第 1 色相、第 2 色相、第 3 色相とは上記 R、G、B 色相のことである。

50

## 【0053】

データ駆動部300は、順次入力される階調を示すデータ信号をデータ電流に変換し、変換したデータ電流をデータ線 $D_1 \sim D_m$ に印加する。走査駆動部200は、複数の選択走査線 $S_1 \sim S_n$ に選択信号を順次印加し、且つ複数の発光走査線 $E_1 \sim E_n$ に発光制御信号を順次印加する。

## 【0054】

この際、走査駆動部200および/またはデータ駆動部300は、表示部100が形成される基板上に集積回路の形で直接装着してもよい。また、これら駆動部200および/または300を、表示部100の形成される基板の上に、走査線 $S_1 \sim S_n$ 、 $E_1 \sim E_n$ 、データ線 $D_1 \sim D_m$ および副画素110のトランジスタを形成する層と同一の層で形成することもできる。また、これら駆動部200および/または300を、表示部100の形成される基板とは別途の基板に形成し、これらの基板を表示部100の形成される基板に電氣的に接続することもできる。また、これら駆動部200および/または300は、表示部100の形成される基板に接着されて電氣的に接続されたTCP (tape carrier package)、FPC (flexible printed circuit) またはTAB (tape automatic bonding) にチップなどの形で装着することもできる。

10

## 【0055】

次に、図1のデータ駆動部300について図2を参照して詳細に説明する。図2は本発明の第1実施形態に係るデータ駆動部300の概略ブロック図、図3は図2のデータ駆動部300の多重化処理部330の概略ブロック図である。

20

## 【0056】

図2に示すように、第1実施形態に係るデータ駆動部300は、シフトレジスタ部310、ラッチ部320、多重化処理部330、デジタル/アナログ変換部(以下、「D/A変換部」という。)340、制御信号生成部350およびデータ出力部360を含む。図2では、説明の便宜上、データ線 $D_1 \sim D_{300}$ は、300本、すなわちR副画素に対応する100本のデータ線、G副画素に対応する100本のデータ線、およびB画素に対応する100本のデータ線からなり、データ出力部は、データ線に対応して300本のチャネルを有するものと仮定する。また、1行に設けられる100個の画素に対応するデータ信号は順次入力され、1画素のR、G、Bデータ信号は並列に入力されるものと仮定する。これにより、ラッチ部320、多重化処理部330、D/A変換部340およびデータ出力部360は、1画素に該当するR、G、Bデータ信号またはR、G、Bデータ電流を並列に処理する。

30

## 【0057】

シフトレジスタ部310は、順次シフトされるサンプリング信号 $SRH_0 \sim SRH_{99}$ を生成してラッチ部320へ伝達する。ラッチ部320は、サンプリング信号 $SRH_0 \sim SRH_{99}$ に応じて順次入力されるR、G、Bデータ信号 $DR_0 \sim DR_{99}$ 、 $DG_0 \sim DG_{99}$ 、 $DB_0 \sim DB_{99}$ をサンプリングして保存し、サンプリングラッチ部321とホールディングラッチ部322とからなる。

## 【0058】

具体的に、シフトレジスタ部310は、活性化信号IEに応答してサンプリング信号 $SRH_0$ を生成し、このサンプリング信号 $SRH_0$ をクロックCLKHに同期して順次シフトしながら複数のサンプリング信号 $SRH_0 \sim SRH_{99}$ を順次出力する。ここで、サンプリング信号 $SRH_0 \sim SRH_{99}$ は、1行の100個の画素に対応するように100個が生成される。

40

## 【0059】

サンプリングラッチ部321は、入力されるR、G、Bデータ信号 $DR_0 \sim DR_{99}$ 、 $DG_0 \sim DG_{99}$ 、 $DB_0 \sim DB_{99}$ をサンプリング信号 $SRH_0 \sim SRH_{99}$ に응答してサンプリングする。すなわち、サンプリング信号 $SRH_i$ に응答して、サンプリングラッチ部321は行方向に $(i+1)$ 番目の画素に対応するR、G、Bデータ信号 $DR_i$ 、

50

D G  $i$  , D B  $i$  をサンプリングする。ここで, R , G , B データ信号が 10 ビットのデジタルデータからなると, サンプリングラッチ部 3 2 1 は, 個々のビット毎にデータをサンプリングして, 総数 30 ビットのデータをサンプリングする。次いで, ホールディングラッチ部 3 2 2 は, サンプリングラッチ部 3 2 1 で順次サンプリングされるデータ信号を 1 行に対応するデータ信号がサンプリングされるまで維持した後, ホールディング活性化信号 D H に応答して, サンプリングされた 1 行のデータ信号 D R 0 ~ D R 9 9 , D G 0 ~ D G 9 9 , D B 0 ~ D B 9 9 を出力する。

【 0 0 6 0 】

図 3 を参照すると, 多重化処理部 3 3 0 は, シフトレジスタ 3 3 1 とマルチプレクサ 3 3 2 とからなる。多重化処理部 3 3 0 のシフトレジスタ 3 3 1 は, クロック C L K L および活性化信号 D A S の入力を受けて多重化信号 M S W 0 ~ M S W 9 9 およびシフト信号 S R L 0 ~ S R L 9 9 を順次出力する。この際, シフトレジスタ 3 3 1 のクロック C L K L は, シフトレジスタ部 3 1 0 のクロック C L K H より周波数が低くてもよく, 活性化信号 D A S は, ホールディングラッチ部 3 2 2 のホールディング活性化信号 D H と同一のタイミングを持つ。また, 多重化信号 M S W 0 ~ M S W 9 9 およびシフト信号 S R L 0 ~ S R L 9 9 は, クロック C L K L に同期されて出力される。多重化信号 M S W 0 ~ M S W 9 9 は, 多重化処理部 3 3 0 のマルチプレクサ 3 3 2 に印加され, シフト信号 S R L 0 ~ S R L 9 9 は, 制御信号生成部 3 5 0 へ出力される。

10

【 0 0 6 1 】

多重化処理部 3 3 0 のマルチプレクサ 3 3 2 は, 多重化信号 M S W 0 ~ M S W 9 9 に基づいてホールディングラッチ部 3 2 2 からの R , G , B データ D R 0 ~ D R 9 9 , D G 0 ~ D G 9 9 , D B 0 ~ D B 9 9 を多重化して順次 D / A 変換部 3 4 0 へ伝達する。すなわち, マルチプレクサ 3 3 2 は, 多重化信号 M S W  $i$  を受信する場合, R , G , B データ D R  $i$  , D G  $i$  , D B  $i$  を D / A 変換部 3 4 0 へ伝達する。

20

【 0 0 6 2 】

D / A 変換部 3 4 0 は, マルチプレクサ 3 3 2 から順次入力される R , G , B データ D R 0 ~ D R 9 9 , D G 0 ~ D G 9 9 , D B 0 ~ D B 9 9 をそれぞれアナログ形のデータ電流 R 0 ~ R 9 9 , G 0 ~ G 9 9 , B 0 ~ B 9 9 へ変換してデータ出力部 3 6 0 へ順次出力する。この際, D / A 変換部 3 4 0 は, R , G , B 用デジタル / アナログ変換器 (以下, R , G , B 「 D / A 」変換器という) 3 4 1 , 3 4 2 , 3 4 3 からなり, R , G , B 用 D / A 変換器 3 4 1 , 3 4 2 , 3 4 3 はそれぞれ R , G , B データをアナログ電流に変換する。なお, 本実施形態において, 第 1 , 第 2 , 第 3 変換器は R , G , B 「 D / A 」変換器に相当する。また, 第 1 データ信号、, 第 2 データ信号, 第 3 データ信号は, D R 0 ~ D R 9 9 , D G 0 ~ D G 9 9 , D B 0 ~ D B 9 9 に相当する。

30

【 0 0 6 3 】

制御信号生成部 3 5 0 は, 多重化処理部 3 3 0 のシフト信号 S R L 0 ~ S R L 9 9 を受信してサンプリング信号 C S H 0 ~ C S H 9 9 を生成し, このサンプリング信号をデータ出力部 3 6 0 へ出力する。この際, サンプリング信号 C S H  $i$  は, 多重化信号 M S W  $i$  によって D / A 変換部 3 4 0 で変換された R , G , B データ電流 R  $i$  , G  $i$  , B  $i$  がデータ出力部 3 6 0 に伝達される時点に同期するように, シフト信号 S R L  $i$  によって生成される。

40

【 0 0 6 4 】

データ出力部 3 6 0 は, サンプリング信号 C S H 0 ~ C S H 9 9 に応答して, D / A 変換部 3 4 0 から入力される R , G , B データ電流 R 0 ~ R 9 9 , G 0 ~ G 9 9 , B 0 ~ B 9 9 を順次サンプリングする。すなわち, データ出力部 3 6 0 は, D / A 変換部 3 4 0 でアナログの形に変換されて出力される R , G , B データ電流 R  $i$  , G  $i$  , B  $i$  をサンプリング信号 C S H  $i$  に応答してサンプリングする。データ出力部 3 6 0 は, 1 行の画素に対応する R , G , B データ電流 R 0 ~ R 9 9 , G 0 ~ G 9 9 , B 0 ~ B 9 9 をサンプリングした後, 各データ電流を当該データ線 D <sub>1</sub> ~ D <sub>300</sub> へ同時に出力する。

【 0 0 6 5 】

50

以上，1行の画素に対応するR，G，Bデータ信号がデータ駆動部300に入力されてデータ電流に変換されて表示部100のデータ線へ出力される過程について説明した。このような過程が全行の画素のR，G，Bデータ信号に対し繰り返し行われることにより，1フレームのデータ信号がデータ電流に変換されて表示部100へ伝達できる。そして，第1実施形態によれば，データ線別にD/A変換器が形成されず，R，G，B別にD/A変換器が形成されているので，D/A変換器の占有面積を減らすことができる。

#### 【0066】

次に，図4を参照して，データ駆動部300に使用されるD/A変換部340の第1実施形態について説明する。図4は図3のデータ駆動部300のD/A変換部340の第1実施形態を示す図である。図4ではD/A変換部340の中でもR用D/A変換器341のみを示した。GおよびB用D/A変換器342，343は，R用D/A変換器341と同一の構造を持つので，その図示および説明を省略する。

10

#### 【0067】

図4に示すように，R用D/A変換器341は，電流源 $I_B$ に接続されるトランジスタTB，10個のミラートランジスタT0～T9およびスイッチング素子SW0～SW9を含む。トランジスタTBとミラートランジスタT0～T9は，それぞれカレントミラー（電流ミラー）の形で接続されている。つまり，トランジスタTBとミラートランジスタT0～T9でカレントミラー回路を構成している。ミラートランジスタT0～T9の大きさはそれぞれトランジスタTBの大きさの $2^0 \sim 2^9$ 倍である。トランジスタの大きさは，トランジスタのチャンネル幅Wとチャンネル長Lの比W/Lを意味する。具体的に，トランジスタTBは，ダイオードの形で接続される。また，トランジスタTBは，ソースが電源電圧VDDに接続され，ドレインが電流源 $I_B$ に接続されている。ミラートランジスタTj（ここで，jは0～9の整数）は，ソースが電源電圧VDD1に接続され，ゲートがトランジスタTBのゲートに接続されている。また，ミラートランジスタTjのドレインとR用D/A変換器341の出力信号線との間にはスイッチSWjが接続されている。

20

#### 【0068】

すると，ミラートランジスタT0～T9のドレインに，トランジスタTBのドレインを介して流れる電流 $I_B$ の $2^0 \sim 2^9$ 倍の電流 $2^0 I_B \sim 2^9 I_B$ がそれぞれ出力される。スイッチSW0～SW9は，それぞれ多重化処理部330のマルチプレクサ332から順次入力されるRデータDRiの10ビットに対応してターンオンされる。例えば，RデータDRiが上位ビットから順次「0101000101」であれば，「1」に対応するスイッチSW0，SW2，SW6，SW8がターンオンされ，R用D/A変換器341の出力信号線に流れる電流 $I_{in}$ は $(2^0 + 2^2 + 2^6 + 2^8) I_B$ になる。このようにR用D/A変換器341によってR，G，Bデータ信号がデータ電流に変換され，出力信号線を介してデータ出力部360へ伝達される。D/A変換部340は，このような過程によって多重化処理部330から順次入力されるR，G，BデータをR，G，Bデータ電流に変換してデータ出力部360へ順次出力する。

30

#### 【0069】

図5は，本発明の第1実施形態に係るデータ駆動部300におけるD/A変換部340のR用D/A変換器341の出力端341aとデータ出力部360の入力端361を示す図である。図5では，R用D/A変換器341の出力端341aおよびR用D/A変換器341に接続されるデータ出力部360の入力端361のみを示したが，GおよびB用D/A変換器342，343についても同一構造の出力端が形成され，同一構造のデータ出力部360の入力端に接続される。

40

#### 【0070】

図5を参照すると，R用D/A変換器341の出力端はカレントミラーM1，M2を含み，データ出力部360の入力端もカレントミラーM3，M4を含む。図5では，カレントミラーM1，M2を形成するトランジスタM1，M2をnチャンネル電界効果トランジスタで表示し，カレントミラーM3，M4を形成するトランジスタM3，M4をpチャンネル電界効果トランジスタで表示した。

50

## 【 0 0 7 1 】

カレントミラー M 1 , M 2 において , ダイオードの形で接続されたトランジスタ M 1 は , ドレインには R 用 D / A 変換器 3 4 1 から出力されるデータ電流  $I_{i_n}$  が印加され , ソースが接地電圧に接続されている。トランジスタ M 2 は , ソースが接地電圧に接続され , ゲートがトランジスタ M 1 のゲートに接続され , ドレインが配線 3 7 0 を介してデータ出力部 3 6 0 に接続される。

## 【 0 0 7 2 】

カレントミラー M 3 , M 4 において , ダイオードの形で接続されたトランジスタ M 3 は , ドレインが配線 3 7 0 を介して R 用 D / A 変換器 3 4 1 に接続され , ソースには電源電圧 V D D 2 が接続されている。トランジスタ M 4 は , ソースが電源電圧 V D D 2 に接続され , ゲートがトランジスタ M 3 のゲートに接続される。トランジスタ M 4 のドレインに流れる電流はデータ出力部 3 6 0 の入力電流になる。

## 【 0 0 7 3 】

この際 , 2 つのトランジスタ M 1 , M 2 は同じ大きさを有し , 同様に 2 つのトランジスタ M 3 , M 4 も同じ大きさを有する。すると , トランジスタ M 1 のドレインに流れる電流  $I_{i_n}$  と同じ大きさの電流がトランジスタ M 3 のドレインから配線 3 7 0 を介してトランジスタ M 2 のドレインに流れる。したがって , R 用 D / A 変換器 3 4 1 の電流  $I_{i_n}$  と同一の大きさを有する電流がトランジスタ M 4 のドレインを介して流れる。

## 【 0 0 7 4 】

このように , D / A 変換部 3 4 0 から 1 行に対応する R , G , B のデータ電流が順次出力されると , データ出力部 3 6 0 では , この電流を入力電流として受信して順次サンプリングする。この際 , データ出力部 3 6 0 へ 1 行に対応する R , G , B データ電流が伝達される時間は , 1 水平周期と略一致する。すなわち , 1 画素に対応するデータ電流がデータ出力部 3 6 0 に伝達される時間 ( 以下 , 「データ伝達期間」という ) は , 水平周期の 1 0 0 分の 1 に相当する短い時間である。ところが , データ電流の大きさが小さく且つ D / A 変換部 3 4 0 とデータ出力部 3 6 0 間の配線 3 7 0 に存在する寄生成分が大きい場合には , このような短時間のうちにデータ電流が十分伝達できず , データ出力部 3 6 0 から所望の電流をサンプリングすることができない。

## 【 0 0 7 5 】

次に , このようなデータ出力部 3 6 0 で短時間内にデータ電流をサンプリングすることが可能な実施形態について図 6 ~ 図 1 2 を参照して詳細に説明する。

## 【 0 0 7 6 】

図 6 は本発明の第 2 実施形態に係るデータ駆動部 3 0 0 における D / A 変換部 3 4 0 の R 用 D / A 変換器 3 4 1 の出力端 , データ出力部 3 6 0 の入力端 , およびプリチャージ部 3 8 0 a を示す図である。

## 【 0 0 7 7 】

図 6 を参照すると , 本発明の第 2 実施形態に係るデータ駆動部 3 0 0 は , 第 1 実施形態に比べて R , G , B 用 D / A 変換器 3 4 1 , 3 4 2 , 3 4 3 の出力端とデータ出力部 3 6 0 の入力端にそれぞれ接続されるプリチャージ部 3 8 0 a をさらに含む。図 6 では , R 用 D / A 変換器 3 4 1 , および R 用 D / A 変換器 3 4 1 に接続されたデータ出力部 3 6 0 の入力端に接続されるプリチャージ部 3 8 0 a のみを示したが , G および B 用 D / A 変換器 3 4 2 , 3 4 3 に対しても同じ構造のプリチャージ部が形成される。

## 【 0 0 7 8 】

プリチャージ部 3 8 0 a は , トランジスタ M 5 , M 6 , スイッチ S W 1 1 , S W 1 2 および単位利得増幅器 ( 演算増幅器を用いたボルテージフォロワ回路 ) 3 8 1 を含む。図 6 では , トランジスタ M 5 を n チャネル電界効果トランジスタで表示し , トランジスタ M 6 を p チャネル電界効果トランジスタで表示した。

## 【 0 0 7 9 】

トランジスタ M 5 は , ゲートがトランジスタ M 1 のゲートに接続され , ソースが接地電圧に接続されることにより , トランジスタ M 1 とカレントミラーを形成する。トランジス

10

20

30

40

50

タM6は、ダイオードの形で接続され、ドレインがトランジスタM5のドレインに接続され、ソースが電源電圧VDD2に接続されている。トランジスタM5、M6は、それぞれトランジスタM2、M3と同じ大きさおよび特性を有する。また、トランジスタM5、M6のドレインには単位利得増幅器381の入力端が接続されており、単位利得増幅器381の出力端と配線370の第1端との間にはスイッチSW11が接続されている。スイッチSW12は、データ出力部360の入力部と配線370の第2端との間に接続されている。この際、単位利得増幅器381の出力電圧がプリチャージ電圧として配線370に印加される。

#### 【0080】

次に、図7を参照して図6のプリチャージ部380aの動作について説明する。図7は図6のプリチャージ部380aのスイッチングタイミング図である。図7では1画素に該当するデータ伝達期間のみを示した。図7のタイミング図において、ハイレベルはスイッチのオン状態を示し、ローレベルはスイッチのオフ状態を示す。

10

#### 【0081】

プリチャージ期間Tpでは、スイッチSW11がターンオンされ、スイッチSW12がターンオフされる。この際、トランジスタM5のドレインにはトランジスタM1のドレインに伝達されるデータ電流 $I_{in}$ と同一の電流が流れ、トランジスタM5のドレイン電流によってトランジスタM5のドレイン電圧が決定される。すなわち、電源電圧VDDがトランジスタM5、M6のオン抵抗によって分配され、トランジスタM5のドレイン電圧が決定される。すると、単位利得増幅器381は、トランジスタM5のドレイン電圧と同一のプリチャージ電圧を配線370の第1端およびトランジスタM2のドレインに印加する。この際、スイッチSW12がオフされているので、配線370の電圧およびトランジスタM2のドレイン電圧は、トランジスタM5のドレイン電圧とほぼ同一になる。

20

#### 【0082】

次に、ミラーリング期間Tmでは、スイッチSW11がオフされ、スイッチSW12がオンされる。この際、プリチャージ期間Tpで配線370の電圧がトランジスタM2のドレイン電圧とほぼ同一に設定されているので、スイッチSW12のオンの際にトランジスタM3のドレイン電圧がトランジスタM2のドレイン電圧と同一になる。トランジスタM5、M6の特性とトランジスタM2、M3の特性が同一であり、トランジスタM5、M6のドレイン電圧とトランジスタM2、M3のドレイン電圧とが同一なので、ミラーリング期間Tmの初期にトランジスタM2、M3のドレインに流れる電流は、トランジスタM5、M6のドレインに流れる電流 $I_{in}$ と同一になる。すなわち、ミラーリング期間Tmの初期にデータ電流 $I_{in}$ がR/D/A変換器341の出力端341aからデータ出力部360の入力端361に伝達できる。

30

#### 【0083】

このように、本発明の第2実施形態によれば、データ伝達時間が短くても、プリチャージ部を介してD/A変換部340から出力されるデータ電流をデータ出力部360へ伝達することができる。なお、本実施形態において、第1および第12トランジスタはM2、第2および第14トランジスタはM5、第3および第16トランジスタはM1、第4および第15トランジスタはM6、第5および第13トランジスタはM3に相当する。また、第1電源はVDD2に、第1スイッチはSW11に、第2スイッチはSW12に相当する。

40

#### 【0084】

図8は、本発明の第3実施形態に係るデータ駆動部300におけるD/A変換部340のR用D/A変換器341の出力端341a、データ出力部360の入力端361およびプリチャージ部380bを示す図である。図9は図8のプリチャージ部380bのスイッチングタイミング図である。図9では、図7と同様に、1画素に相当するデータ伝達期間のみを示した。図9のタイミング図において、ハイレベルはスイッチのオン状態を示し、ローレベルはスイッチのオフ状態を示す。

#### 【0085】

50

図 8 に示すように、本発明の第 3 実施形態に係るデータ駆動部 300 は、プリチャージ部 380 b の構造以外は第 2 実施形態と同様の構造を持つ。具体的に、プリチャージ部 380 b は、抵抗 R11、R12 とスイッチ SW13、SW14、SW15 を含む。抵抗 R11、R12 は電源電圧 VDD2 と接地電圧との間に直列に接続されており、2 つの抵抗 R11、R12 の大きさは互いに同一である。スイッチ SW13 は、トランジスタ M1 のゲートとトランジスタ M2 のゲートとの間に接続されており、スイッチ SW14 は、配線 370 の第 2 端とトランジスタ M3 のドレインとの間に接続されている。また、スイッチ SW15 は、2 つの抵抗 R11、R12 の接点と配線 370 の第 1 端との間に接続されている。

【0086】

図 9 を参照すると、プリチャージ期間  $T_p'$  では、スイッチ SW13、SW14 がターンオフされ、スイッチ SW15 がターンオンされる。すると、電源電圧 VDD2 と接地電圧との差に相当する電圧 VDD2 が抵抗 R11、R12 によって分配され、電源電圧 VDD2 の半分に相当する電圧  $VDD2/2$  が配線 370 に印加される。

【0087】

次に、ミラーリング期間  $T_m'$  では、スイッチ SW15 がターンオフされ、スイッチ SW13、SW14 がターンオンされる。ところが、トランジスタ M2、M3 のドレイン電圧は、データ電流  $I_{in}$  に応じて電源電圧 VDD2 と接地電圧との間で決定される。この際、第 3 実施形態のようにトランジスタ M2、M3 のドレイン電圧が  $(VDD2/2)$  電圧にプリチャージされていると、平均的にトランジスタ M2、M3 のドレイン電圧が所望の電圧まで速く充電できる。したがって、トランジスタ M3 のドレインに所望のデータ電流を伝達することが可能な時間が平均的に短くなる。第 3 実施形態では、2 つの抵抗 R11、R12 の大きさを同一にして配線 370 を  $(VDD2/2)$  電圧にプリチャージしたが、2 つの抵抗 R11、R12 の大きさを異にして、 $(VDD2/2)$  電圧ではなく他の電圧に配線 370 をプリチャージすることもできる。なお、本実施形態において、第 2 電源は VSS、第 1 電源は VDD2、第 6 および第 17 トランジスタは M2、第 7 および第 18 トランジスタは M3、第 8 および第 19 トランジスタは M1 に相当する。また、第 3 電圧は VDD2 から VSS の間の電圧、第 1 抵抗は R11、第 2 抵抗は R12、第 3 スイッチは SW13、第 4 スイッチは SW14、第 5 スイッチは SW15 に相当する。

【0088】

図 10 は本発明の第 4 実施形態に係るデータ駆動部 300 における D/A 変換部 340 の R 用 D/A 変換器 341 の出力端 341a、データ出力部 360 の入力端 361、およびプリチャージ部 380 c を示す図である。図 11 は図 10 のプリチャージ部 380 c のスイッチングタイミング図である。図 11 では、図 7 と同様に、1 画素に相当するデータ伝達期間のみを示した。図 11 のタイミング図において、ハイレベルはスイッチのオン状態を示し、ローレベルはスイッチのオフ状態を示す。

【0089】

図 10 に示すように、本発明の第 4 実施形態に係るデータ駆動部 300 は、プリチャージ部 380 c の構造以外は第 2 実施形態と同様の構造を持つ。

【0090】

具体的に、プリチャージ部 380 c は、R 用 D/A 変換器 341 へ伝達される R データを受信して電圧に変換する電圧デジタル/アナログ変換器（以下、「電圧 D/A 変換器」という。）382 およびスイッチ SW16、SW17 を含む。スイッチ SW16 は、電圧 D/A 変換器 382 の出力端と配線 370 の第 1 端との間に接続され、スイッチ SW17 は、配線 370 の第 2 端とデータ出力部 360 の入力部 361 との間に接続される。特定のデータ信号に対応するデータ電流がデータ出力部 360 の入力端 361 に流れるとき、配線 370 にかかる電圧は予め計算することができる。すなわち、配線 370 にかかる電圧は、トランジスタ M3、M2 のドレインを介してデータ電流が流れるときにトランジスタ M3 のドレイン電圧が配線 370 にかかる電圧である。したがって、プリチャージ部 380 c は、R 用 D/A 変換器 341 に伝達される 10 ビットデータ信号を受信し、当該デ

10

20

30

40

50

ータ信号に対応するデータ電流がデータ出力部 360 の入力端 361 に流れるときに配線 370 にかかる電圧をプリチャージ電圧として出力する。

【0091】

図 11 を参照すると、プリチャージ期間  $T_p$  では、スイッチ SW17 がターンオフされ、スイッチ SW16 がターンオンされる。すると、電圧 D/A 変換部 382 は、R 用 D/A 変換器 341 に入力されるデータ信号  $DR_i$  に応じてプリチャージ電圧  $V_{pre}$  を生成してスイッチ SW16 を介して配線 370 に印加する。すなわち、配線 370 がプリチャージ電圧  $V_{pre}$  で充電される。

【0092】

次に、ミラーリング期間  $T_m$  では、スイッチ SW16 がターンオフされ、スイッチ SW17 がターンオンされる。この際、配線 370 がデータ信号  $DR_i$  に対応するプリチャージ電圧  $V_{pre}$  で充電されているので、短時間内に、トランジスタ M1 のドレインに流れるデータ信号電流がトランジスタ M2 のドレインに伝達できる。

【0093】

以上、本発明の第 4 実施形態では、データ信号  $DR_i$  に対応するデータ電流がトランジスタ M3、M2 を介して流れるときのトランジスタ M3 のドレイン電圧をプリチャージ電圧として使用した。なお、本実施形態において、第 9 および第 22 トランジスタは M1、第 10 および第 20 トランジスタは M2、第 11 および第 21 トランジスタは M3、第 6 スイッチは SW16、第 7 スイッチは SW17 に相当する。

【0094】

一般に、電圧 D/A 変換部 382 は、直列に接続される複数の抵抗と各抵抗の接点に接続されるスイッチを用いてデータ信号を電圧に変換する。ところが、上記で仮定した通り、データ信号  $DR_i$  が 10 ビットであれば、 $2^{10}$  種のデータ信号を処理しなければならないので、抵抗とスイッチの個数が増加して電圧 D/A 変換部 382 の大きさが増加する。したがって、データ信号  $DR_i$  の 10 ビットのうち上位一部のビットのみを用いてプリチャージ電圧  $V_{pre}$  を決定することができる。次に、このような電圧 D/A 変換部 382 について図 12 を参照して説明する。

【0095】

図 12 は図 10 の電圧 D/A 変換器 382 の第 1 実施形態を示す図である。図 12 ではデータ信号  $DR_i$  の 10 ビットのうち上位 3 ビット  $D_0$ 、 $D_1$ 、 $D_2$  によってプリチャージ電圧が決定される例を示した。

【0096】

図 12 に示すように、電圧 D/A 変換器 382 は、複数の抵抗  $R_1 \sim R_7$  および複数のスイッチ  $S_{10} \sim S_{17}$ 、 $S_{20} \sim S_{23}$ 、 $S_{30}$ 、 $S_{31}$  を含む。抵抗  $R_1 \sim R_7$  は電源電圧  $V_{DD3}$  と接地電圧との間に直列に接続されている。接地電圧と抵抗  $R_1$  との接点、抵抗  $R_1 \sim R_7$  間の 6 つの接点、および抵抗  $R_7$  と電源電圧  $V_{DD3}$  との接点には、それぞれ 8 つのスイッチ  $S_{10} \sim S_{17}$  が接続されている。スイッチ  $S_{10}$ 、 $S_{11}$  間の接点にスイッチ  $S_{20}$  が接続され、スイッチ  $S_{12}$ 、 $S_{13}$  間の接点にスイッチ  $S_{21}$  が接続され、スイッチ  $S_{14}$ 、 $S_{15}$  間の接点にスイッチ  $S_{22}$  が接続され、スイッチ  $S_{16}$ 、 $S_{17}$  間の接点にスイッチ  $S_{23}$  が接続される。また、スイッチ  $S_{20}$ 、 $S_{21}$  間の接点にスイッチ  $S_{30}$  が接続され、スイッチ  $S_{22}$ 、 $S_{23}$  間の接点にスイッチ  $S_{31}$  が接続される。スイッチ  $S_{30}$ 、 $S_{31}$  の接点を介して出力される電圧がプリチャージ電圧  $V_{pre}$  になる。なお、本実施形態において、第 4 電源は  $V_{DD3}$ 、第 5 電源は  $V_{SS}$  に相当する。

【0097】

ここで、スイッチ  $S_{30}$  は、データ信号  $DR_i$  の最上位ビット  $D_0$  が「1」の場合にオンされ、スイッチ  $S_{31}$  は、最上位ビット  $D_0$  が「0」の場合にオンされる。スイッチ  $S_{20}$ 、 $S_{22}$  は次の上位ビット  $D_1$  が「1」の場合にオンされ、スイッチ  $S_{21}$ 、 $S_{23}$  はビット  $D_1$  が「0」の場合にオンされる。また、スイッチ  $S_{10}$ 、 $S_{12}$ 、 $S_{14}$ 、 $S_{16}$  は、次の上位ビット  $D_2$  が「1」の場合にオンされ、スイッチ  $S_{11}$ 、 $S_{13}$ 、 $S_{15}$

10

20

30

40

50

5, S17はビットD<sub>2</sub>が「0」の場合にオンされる。こうすると、上位3ビットD<sub>0</sub>, D<sub>1</sub>, D<sub>2</sub>の値によってオンされるスイッチが決定されてプリチャージ電圧が決定される。例えば、上位3ビットが「110」の場合には、スイッチS30, S20, S11を介して、電源電圧VDD3が抵抗R7~R2と抵抗R1によって分圧される電圧がプリチャージ電圧Vpreとして出力される。

【0098】

以上、本発明の第1~第4実施形態では、D/A変換部340にR, G, B別にD/A変換器を別途に設けたが、これとは異なり、一つのD/A変換器でR, G, Bデータを処理することもできる。このような場合には、多重化処理部330から1画素に対応するR, G, Bデータを順次出力してD/A変換部340へ伝達すればよい。

10

【0099】

また、本発明の第1~第4実施形態では、R, G, B用D/A変換器341, 342, 343からなるD/A変換部340を一つ設けるものと説明したが、これとは異なり、D/A変換部340を複数設けることもできる。すなわち、複数のデータ線D<sub>1</sub>~D<sub>m</sub>を複数のグループに分割し、グループ毎にD/A変換部を設けることができる。次に、このような実施形態について図13を参照して説明する。

【0100】

図13は本発明の第5実施形態に係るデータ駆動部の概略ブロック図である。図13では、便宜上、図2のデータ駆動部にD/A変換部が2個設けられている場合を示した。

【0101】

20

図13を参照すると、本発明の第5実施形態に係るデータ駆動部300は、D/A変換部340a, 340b, 多重化処理部330a, 330b, およびデータ出力部360a, 360bがそれぞれ2個ずつ設けられた以外は、図2のデータ駆動部と同様の構造を持つ。

【0102】

具体的に、多重化処理部330aのシフトレジスタ(図示せず。)は、50個の多重化信号MSW0~MSW49およびシフト信号SRL0~SRL49を順次出力し、多重化処理部330aのマルチプレクサ(図示せず。)は、多重化信号MSW0, MSW49に回答してラッチ部320からのR, G, BデータDR0~DR99, DG0~DG99, DB0~DB99のうち半分のR, G, BデータDR0~DR49, DG0~DG49, DB0~DB49を順次多重化処理し、D/A変換部340aへ伝達する。同様に、多重化処理部330bのシフトレジスタ(図示せず。)は、50個の多重化信号MSW50~MSW99およびシフト信号SRL50~SRL99を順次出力し、多重化処理部330bのマルチプレクサ(図示せず。)は、多重化信号MSW50~MSW99に回答して、ラッチ部320から出力されるR, G, BデータDR0~DR99, DG0~DG99, DB0~DB99のうち残り半分のR, G, BデータDR50~DR99, DG50~DG99, DB50~DB99を順次多重化処理し、D/A変換部340bに伝達する。

30

【0103】

D/A変換部340aは、多重化処理部330aから順次入力されるR, G, BデータDR0~DR49, DG0~DG49, DB0~DB49をデータ電流に変換して順次データ出力部360aへ出力する。また、D/A変換部340bは、多重化処理部330bから順次入力されるR, G, BデータDR50~DR99, DG50~DG99, DB0~DB99をデータ電流に変換して順次データ出力部360bへ出力する。

40

【0104】

制御信号生成部350は、シフト信号SRL0~SRL49, SRL50~SRL99をそれぞれ受信し、サンプリング信号CSH0~CSH49, CSH50~CSH99を生成してそれぞれデータ出力部360a, 360bへ出力する。データ出力部360aは、D/A変換部360aから順次入力されるR, G, Bデータ電流をサンプリング信号CSH0~CSH49に回答してサンプリングし、同様にデータ出力部360bはD/A変換部360bから順次入力されるR, G, Bデータ電流をサンプリング信号CSH50~

50

C S H 9 9 に応答してサンプリングする。

【 0 1 0 5 】

以上説明した第 5 実施形態によれば、全てのデータが順次処理されず、一部のデータは並列に処理されるので、データ伝達期間を増やすことができる。よって、D / A 変換部からデータ出力部へ所望のデータ電流を伝達することができる。そして、第 5 実施形態でも第 2 ~ 第 4 実施形態で説明したプリチャージを適用することができるので、これについての詳細な説明は省略する。

【 0 1 0 6 】

本発明の実施形態では、300本のデータ線に対応するデータ電流を出力するデータ駆動部を例として説明したが、本発明は、データ線の数に限定されない。また、本発明の実施形態で説明したデータ駆動部は一つのチップの形に製作でき、実際発光表示装置ではこのようなチップが多数存在することもできる。また、本発明の実施形態では、R、G、B色相の副画素が形成されるものと説明したが、これとは異なり、2色相以上の副画素が形成されることもでき、モノーを表現する場合には、1色相の副画素のみが形成されることもできる。

10

【 0 1 0 7 】

以上説明したように、本実施形態によれば、データ信号をデータ電流に変換してデータ線へ伝達ことができ、複数のデータ線が一つのデジタル / アナログ変換部を共有することによりデジタル / アナログ変換部の面積を最小化することができる。

【 0 1 0 8 】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

20

【 産業上の利用可能性 】

【 0 1 0 9 】

本発明は、発光表示装置に適用可能であり、特にデータ信号を電流の形で供給する発光表示装置のデータ駆動装置に適用可能である。

【 符号の説明 】

【 0 1 1 0 】

- 1 0 0 表示部
- 1 1 0 副画素
- 2 0 0 走査駆動部
- 3 0 0 データ駆動部
- 3 1 0 シフトレジスタ部
- 3 2 0 ラッチ部
- 3 2 1 サンプリングラッチ部
- 3 2 2 ホールディングラッチ部
- 3 3 0 多重化処理部
- 3 3 1 シフトレジスタ
- 3 3 2 マルチプレクサ
- 3 4 0 デジタル / アナログ変換部
- 3 4 1 R用デジタル / アナログ変換器
- 3 4 2 G用デジタル / アナログ変換器
- 3 4 3 B用デジタル / アナログ変換器
- 3 5 0 制御信号生成部
- 3 6 0 データ出力部
- 3 7 0 配線
- 3 8 0 a , 3 8 0 b , 3 8 0 c プリチャージ部
- 3 8 1 単位利得増幅器

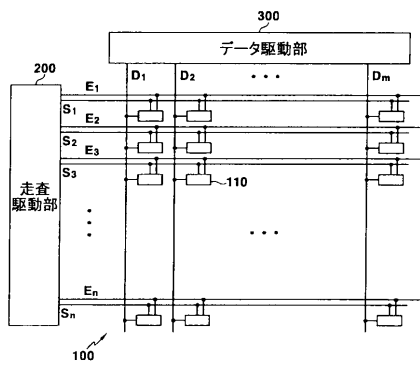
30

40

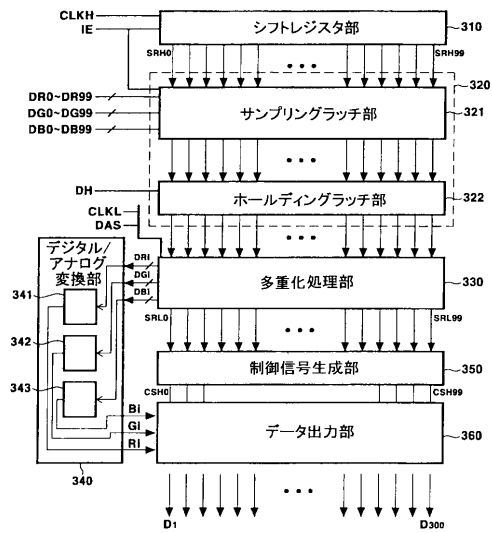
50

3 8 2 電圧デジタル / アナログ変換器

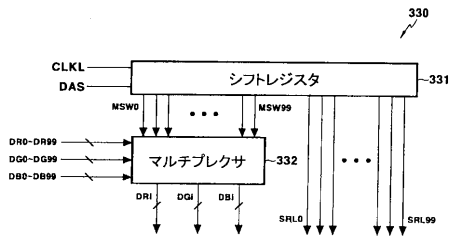
【 図 1 】



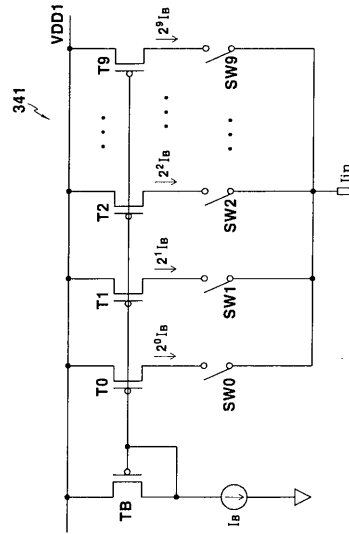
【 図 2 】



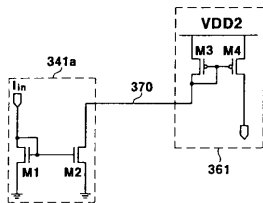
【 図 3 】



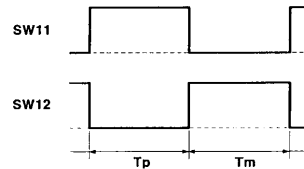
【 図 4 】



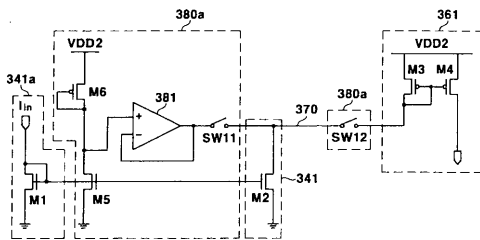
【 図 5 】



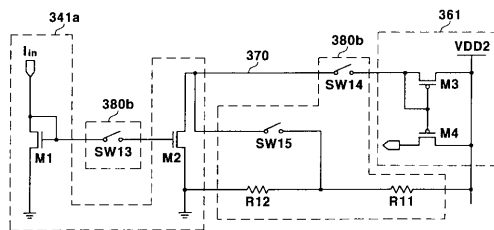
【 図 7 】



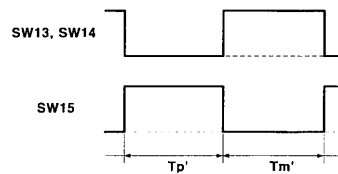
【 図 6 】



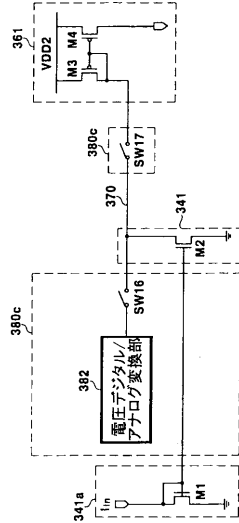
【 図 8 】



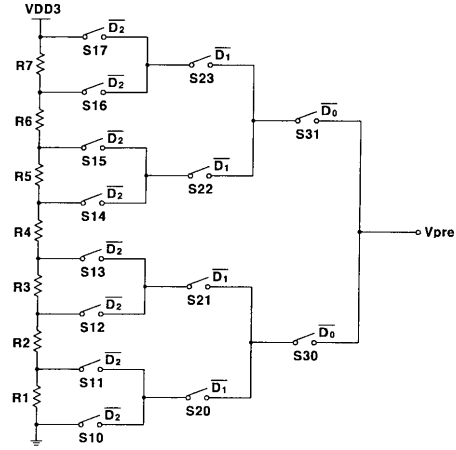
【 図 9 】



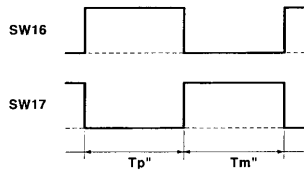
【図10】



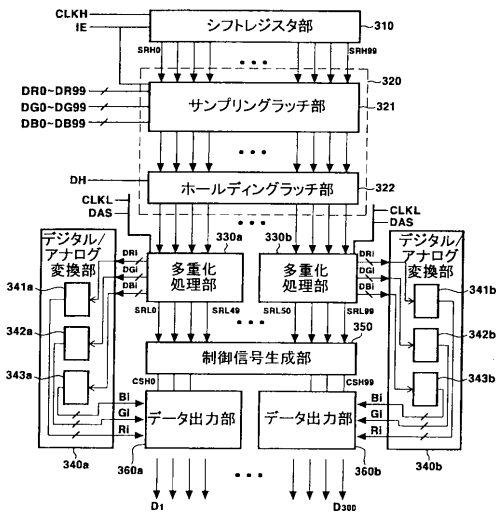
【図12】



【図11】



【図13】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 X

专利名称(译)	数据驱动装置和发光显示装置		
公开(公告)号	<a href="#">JP2009134318A</a>	公开(公告)日	2009-06-18
申请号	JP2009064405	申请日	2009-03-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星移动显示的股票会社		
[标]发明人	權五敬		
发明人	權五敬		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3283 G09G2310/0248 G09G2310/027 G09G2310/0297		
FI分类号	G09G3/30.J G09G3/20.621.F G09G3/20.623.B G09G3/20.623.F G09G3/20.641.D G09G3/20.612.F G09G3/20.623.C G09G3/20.623.D G09G3/20.623.X G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD08 5C080/EE29 5C080/FF01 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB31 5C380/AB33 5C380/AB34 5C380/BA14 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BA46 5C380/BB02 5C380/BC02 5C380/BC07 5C380/BC09 5C380/BC13 5C380/CA04 5C380/CA06 5C380/CA09 5C380/CA13 5C380/CA17 5C380/CA26 5C380/CA27 5C380/CA29 5C380/CA32 5C380/CA34 5C380/CA35 5C380/CA41 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CC11 5C380/CC19 5C380/CC61 5C380/CE04 5C380/CE05 5C380/CE13 5C380/CE20 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF26 5C380/CF27 5C380/CF41 5C380/CF48 5C380/CF52 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA38 5C380/HA07 5C380/HA13		
优先权	1020040080371 2004-10-08 KR 1020040080373 2004-10-08 KR 1020040080374 2004-10-08 KR		
其他公开文献	JP5297847B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种能够正常地将数据电流传输到数据输出部分的数据驱动装置，而不会丢失。解决方案：在电流写入系统的有机发光显示装置中，提供数据驱动部分300，用于将从外部输入的数据信号转换为数据电流并将其传输到数据线。数据驱动部分300的数字 - 模拟转换部分340将顺序输入的数据信号转换为数据电流并将其发送到数据输出部分360。数据输出部分360在对数据电流进行采样之后按顺序传输，同时将其输出到数据线。在数据电流从数字 - 模拟转换部分340传输到数据输出部分360之前，布线370被预充电到规定的电压。 ㄹ

