

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-42486

(P2009-42486A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/30 (2006.01)	G09G 3/30 H	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C080
G09G 3/20 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642A	
	G09G 3/20 631V	

審査請求 未請求 請求項の数 7 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2007-207267 (P2007-207267)
 (22) 出願日 平成19年8月8日(2007.8.8)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (71) 出願人 506227884
 三洋半導体株式会社
 群馬県邑楽郡大泉町坂田一丁目1番1号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 小川 隆司
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC04 CC21 CC33
 CC34 EE03 HH04 HH05
 最終頁に続く

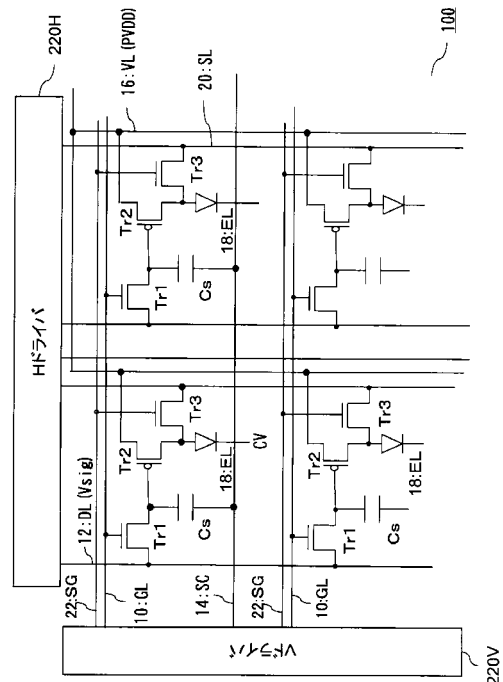
(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

【課題】 EL表示装置の画素毎の発光効率の変化を補正する。

【解決手段】 表示部と、前記表示部に供給するデータ信号を処理するためのデータ処理部と、を備えるエレクトロルミネッセンス表示装置であって、表示部にマトリクス配置された複数の画素のそれぞれが、ダイオード構造のEL素子とEL素子に流れる電流を制御する素子駆動トランジスタTr2と、EL素子のアノード電極に接続され、アノード電圧を検出するための検出用トランジスタTr3と、を備える。データ処理部は、各画素に対して検査用データ信号を供給して前記検出用トランジスタを介して得られるアノード電圧と、対応する画素の初期アノード電圧と、に基づき、対応するエレクトロルミネッセンス素子における発光効率の変化に応じて、対応する画素に供給すべきデータ信号を補正するための発光効率補正值を求める。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表示部と、前記表示部に供給するデータ信号を処理するためのデータ処理部と、を備えるエレクトロルミネッセンス表示装置であって、

前記表示部はマトリクス配置された複数の画素を備え、

前記複数の画素のそれぞれは、

ダイオード構造のエレクトロルミネッセンス素子と、

該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、

前記エレクトロルミネッセンス素子のアノード電極に接続され前記エレクトロルミネッセンス素子のアノード電圧を検出するための検出用トランジスタと、を備え、

10

前記データ処理部は、各画素に対して検査用データ信号を供給して前記検出用トランジスタを介して得られるアノード電圧と、対応する画素の初期アノード電圧と、に基づき、対応するエレクトロルミネッセンス素子における発光効率の変化に応じて、対応する画素に供給すべきデータ信号を補正するための発光効率補正值を求めるとを特徴とするエレクトロルミネッセンス表示装置。

【請求項 2】

請求項 1 に記載のエレクトロルミネッセンス表示装置において、

前記検査用データ信号は、各画素の特性ばらつきに起因した表示ムラを補正するための表示ムラ補正值によって補正されていることを特徴とするエレクトロルミネッセンス表示装置。

20

【請求項 3】

請求項 1 又は請求項 2 に記載のエレクトロルミネッセンス表示装置において、

前記データ処理部は、

通常表示時に、対応する画素に供給するデータ信号に対し、各画素の特性ばらつきに起因した表示ムラを補正するための表示ムラ補正值と、前記発光効率補正值と、によって補正処理を実行し、

前記表示ムラ補正值は、

前記エレクトロルミネッセンス素子の画素毎の発光輝度に基づいて対応する画素の特性ばらつきを検出して求められることを特徴とするエレクトロルミネッセンス表示装置。

30

【請求項 4】

請求項 1 又は請求項 2 に記載のエレクトロルミネッセンス表示装置において、

前記データ処理部は、

通常表示時に、対応する画素に供給するデータ信号に対し、各画素の特性ばらつきに起因した表示ムラを補正するための表示ムラ補正值と、前記発光効率補正值と、によって補正処理を実行し、

前記表示ムラ補正值は、

各画素に前記エレクトロルミネッセンス素子を発光レベルとする検査用オン表示信号を供給し、かつ、前記素子駆動トランジスタを該トランジスタの飽和領域で動作させて、前記エレクトロルミネッセンス素子のカソード電流を検出し、該カソード電流の値に基づいて求められることを特徴とするエレクトロルミネッセンス表示装置。

40

【請求項 5】

請求項 1 又は請求項 2 に記載のエレクトロルミネッセンス表示装置において、

前記データ処理部は、

通常表示時に、対応する画素に供給するデータ信号に対し、各画素の特性ばらつきに起因した表示ムラを補正するための表示ムラ補正值と、前記発光効率補正值と、によって補正処理を実行し、

前記表示ムラ補正值は、

各画素の前記素子駆動トランジスタを該トランジスタの飽和領域で動作させ、かつ、該画素に、発光レベルとする検査用オン表示信号と、前記エレクトロルミネッセンス素子を

50

非発光レベルとする検査用オフ表示信号と、を供給し、

前記検査用オン表示信号に応じた前記エレクトロルミネッセンス素子のカソード電流と、前記検査用オフ表示信号に応じた前記エレクトロルミネッセンス素子のカソード電流と、のオンオフ電流差を検出し、

前記オンオフ電流差を基準値と比較から求められることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 6】

請求項 1 から請求項 5 のいずれか一項に記載のエレクトロルミネッセンス表示装置において、

前記発光効率補正値は、

初期アノード電圧と測定時のアノード電圧とに応じたアノード電圧変化率 a と、初期発光効率と前記アノード電圧測定時の発光効率とに応じた発光効率変化率 b と、の関係に基づいて、前記アノード電圧変化率 a から算出される前記発光効率変化率 b を用い、前記データ信号に対し、初期発光効率に相当する発光輝度を得るために必要な修正量として求められることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 7】

請求項 1 から請求項 6 のいずれか一項に記載のエレクトロルミネッセンス表示装置において、

アノード電圧測定制御部は、前記エレクトロルミネッセンス表示装置の所定電源投入時において、前記検査用データ信号を対応する画素に供給し、前記複数の画素の各検出用トランジスタを制御して、該検査用トランジスタを介して得られるアノード電圧を測定し、

前記発光効率補正値は、得られたアノード電圧と、アノード電圧記憶部に予め保持されている初期アノード電圧とに基づいて算出されて、発光効率補正値用記憶部に記憶され、

通常表示時に、前記データ処理部は、前記発光効率補正値と、表示ムラ補正値とに基づいて前記各画素に供給するデータ信号に対する補正処理を実行することを特徴とするエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

エレクトロルミネッセンス素子を各画素に有する表示装置、特にその特性の時間変化に応じた補正に関する。

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス素子（以下 EL 素子という）を各画素の表示素子に採用した EL 表示装置は、次世代の平面表示装置として期待され、研究開発が行われている。

【0003】

このような EL 表示装置のうち、各画素に、EL 素子と、この EL 素子を画素毎に駆動する薄膜トランジスタ（TFT）などを形成したいわゆるアクティブマトリクス型 EL 表示装置は、画素毎の表示制御を正確に実行することができることから、高精細や、大画面の表示装置への適用が試みられている。

【0004】

しかし、上記 EL 素子は、通電時間の経過によって発光効率が低下し、その結果、発光輝度低下が発生することが知られている。発光効率が低下することで端子間電圧が増大することに着目し、特許文献 1 では、画素が配列された表示部の外側に複数のダミー EL 素子を形成し、この複数のダミー EL 素子の端子間電圧の平均値が上昇すると、表示部の各画素の EL 素子に供給する駆動電流や電源電圧を一律に増大させることが開示されている。

【0005】

また、各画素に TFT、特に低温多結晶シリコン（LTPS）を用いた TFT を採用す

10

20

30

40

50

る場合、このTFTの動作閾値 V_{th} のばらつきなど、TFT特性にばらつきが生ずることがある。TFTのしきい値 V_{th} のばらつきは、対応する画素においてEL素子の輝度ばらつきを発生させる。そこで上記特許文献2では、パネルを発光させてその輝度のばらつきを測定し、画素に供給するデータ信号(映像信号)を補正している。また、他の方法として、各画素に、EL素子に流す電流を制御する素子駆動トランジスタの V_{th} のばらつきを補正する回路を組み込むことが提案されている。

【0006】

【特許文献1】特開2002-351403号公報

【特許文献2】特開2005-316408号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、EL素子の発光効率の低下は、EL素子に用いられる発光材料への依存が大きく、また、同一材料が用いられている場合であっても、表示内容に応じた各画素での駆動条件の違いに応じて異なる。したがって、特許文献1のように複数のダミーEL素子の端子間電圧の平均値に基づいたのでは、個別画素のEL素子の発光効率の低下の程度は知ることができない。また、端子間電圧の平均値に基づいて、全画素に対して一律に駆動電流や電源電圧を調整したのでは却って適切な駆動条件からずれてしまう可能性がある。

【0008】

特許文献2のように発光輝度のばらつきに基づいて表示データの値を補正することで画素毎のTFT特性ばらつきを補正するが、発光効率については一定であるとしてTFT特性ばらつきを補正を行っている。

【0009】

しかし、上述のように発光効率は通電時間の経過につれて変化するため、より長期間、高画質な表示を維持するには、発光効率を考慮する必要がある。また、上記特許文献2では、出荷前に発光輝度を計測して得た補正值を用いるため、後発的な発光効率の低下などに応じた補正をすることはできない。

【0010】

本発明は、EL表示装置における発光効率の変化による焼き付きを抑制することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、表示部と、前記表示部に供給するデータ信号を処理するためのデータ処理部と、を備えるエレクトロルミネッセンス表示装置であって、前記表示部はマトリクス配置された複数の画素を備え、前記複数の画素のそれぞれは、ダイオード構造のエレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、前記エレクトロルミネッセンス素子のアノード電極に接続され前記エレクトロルミネッセンス素子のアノード電圧を検出するための検出用トランジスタと、を備え、前記データ処理部は、各画素に対して検査用データ信号を供給して前記検出用トランジスタを介して得られるアノード電圧と、対応する画素の初期アノード電圧と、に基づき、対応するエレクトロルミネッセンス素子における発光効率の変化に応じて、対応する画素に供給すべきデータ信号を補正するための発光効率補正值を求める。

【0012】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記検査用データ信号は、各画素の特性ばらつきに起因した表示ムラを補正するための表示ムラ補正值によって補正されている。

【0013】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記データ処理部は、通常表示時に、対応する画素に供給するデータ信号に対し、各画素の特性ばら

10

20

30

40

50

つきに起因した表示ムラを補正するための表示ムラ補正值と、前記発光効率補正值と、によって補正処理を実行し、前記表示ムラ補正值は、前記エレクトロルミネッセンス素子の画素毎の発光輝度に基づいて対応する画素の特性ばらつきを検出して求められる。

【0014】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記データ処理部は、通常表示時に、対応する画素に供給するデータ信号に対し、各画素の特性ばらつきに起因した表示ムラを補正するための表示ムラ補正值と、前記発光効率補正值と、によって補正処理を実行し、前記表示ムラ補正值は、各画素に前記エレクトロルミネッセンス素子を発光レベルとする検査用オン表示信号を供給し、かつ、前記素子駆動トランジスタを該トランジスタの飽和領域で動作させて、前記エレクトロルミネッセンス素子のカソード電流を検出し、該カソード電流の値に基づいて求められる。

10

【0015】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記データ処理部は、通常表示時に、対応する画素に供給するデータ信号に対し、各画素の特性ばらつきに起因した表示ムラを補正するための表示ムラ補正值と、前記発光効率補正值と、によって補正処理を実行し、前記表示ムラ補正值は、各画素の前記素子駆動トランジスタを該トランジスタの飽和領域で動作させ、かつ、該画素に、発光レベルとする検査用オン表示信号と、前記エレクトロルミネッセンス素子を非発光レベルとする検査用オフ表示信号と、を供給し、前記検査用オン表示信号に応じた前記エレクトロルミネッセンス素子のカソード電流と、前記検査用オフ表示信号に応じた前記エレクトロルミネッセンス素子のカ

20

【0016】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記発光効率補正值は、初期アノード電圧と測定時のアノード電圧とに応じたアノード電圧変化率 a と、初期発光効率と前記アノード電圧測定時の発光効率とに応じた発光効率変化率 b と、の関係に基づいて、前記アノード電圧変化率 a から算出される前記発光効率変化率 b を用い、前記データ信号に対し、初期発光効率に相当する発光輝度を得るために必要な修正量として求められる。

【0017】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、アノード電圧測定制御部は、前記エレクトロルミネッセンス表示装置の所定電源投入時において、前記検査用データ信号を対応する画素に供給し、前記複数の画素の各検出用トランジスタを制御して、該検査用トランジスタを介して得られるアノード電圧を測定し、前記発光効率補正值は、得られたアノード電圧と、アノード電圧記憶部に予め保持されている初期アノード電圧とに基づいて算出されて、発光効率補正值用記憶部に記憶され、通常表示時に、前記データ処理部は、前記発光効率補正值と、表示ムラ補正值とに基づいて前記各画素に供給するデータ信号に対する補正処理を実行する。

30

【発明の効果】

【0018】

本発明では、画素毎に、検出トランジスタを介してEL素子のアノード電圧を測定し、このアノード電圧に基づいてエレクトロルミネッセンス(EL)素子の発光効率の変化率を求め、発光効率の変化率に応じてデータ信号を補正することができ、画素毎の焼き付き発生を確実に抑制し、表示装置全体として適切な表示を維持する装置寿命を延ばすことができる。

40

【0019】

また、EL素子に流れる電流を制御する素子駆動トランジスタの閾値ずれ等が発生した場合、EL素子に流れる電流量の相違による表示ムラが発生する可能性があるが、この表示ムラの補正と、上記測定したアノード電圧に基づいた上記発光効率に応じた補正の両方を実行することにより、初期だけでなく長期間に渡って画素毎の表示にばらつきがなく、か

50

つ焼き付きのない高品質の表示を実現することができる。

【0020】

さらに、EL素子のカソード電流に基づいて補正する構成を表示装置内に内蔵すれば、例えば素子駆動トランジスタなどの後発的な特性変動に起因した表示ばらつきを、随時補正することが可能となる。

【0021】

アノード電圧測定を表示装置の電源投入時に実行すれば、通常表示時に測定する必要がなく、また、測定時間に余裕を持つことができる。

【発明を実施するための最良の形態】

【0022】

以下、図面を用いてこの発明の最良の実施の形態（以下、実施形態という）について説明する。

【0023】

本実施形態において、表示装置は、具体的にはアクティブマトリクス型の有機EL表示装置であり、複数の画素を備える表示部がELパネル100に形成されている。図1は、この実施形態に係るアクティブマトリクス型EL表示装置の等価回路の一例を示す図である。ELパネル100の表示部には、マトリクス状に複数の画素が配置され、マトリクスの水平（H）走査方向（行方向）には、順次選択信号が出力される選択ライン（ゲートラインGL）10と、保持容量Csの電極の電位を制御するための容量制御ライン14（SC）と、EL素子18のアノード電圧の検出を制御する検出制御ライン22（SG）とが設けられている。垂直（V）走査方向（列方向）には、データ信号（Vsig）が出力されるデータライン12（DL）と、被駆動素子である有機EL素子（以下、単に「EL素子」という）18に、駆動電源PVDを供給するための電源ライン16（VL）、さらにEL素子18のアノード電圧を検出するためのアノード電圧検出ライン20（SL）が形成されている。

【0024】

各画素は、概ねこれらのラインによって区画される領域に設けられており、各画素は、被駆動素子としてEL素子18を備え、また、nチャンネルのTFTより構成された選択トランジスタTr1（以下、「選択Tr1」）、保持容量Cs、pチャンネルのTFTより構成された素子駆動トランジスタTr2（以下、「素子駆動Tr2」）、さらに、アノード電圧検出用トランジスタ（以下、「検出Tr3」）を備える。

【0025】

選択Tr1は、そのドレインが垂直走査方向に並ぶ各画素にデータ電圧（Vsig）を供給するデータライン12（DL）に接続され、ゲートが1水平走査ライン上に並ぶ画素を選択するためのゲートライン10（GL）に接続され、そのソースは素子駆動Tr2のゲートに接続されている。

【0026】

素子駆動Tr2のソースは電源ライン16（VL）に接続され、ドレインはEL素子18のアノードに接続されている。EL素子のカソードは各画素共通で形成され、カソード電源CVに接続されている。

【0027】

EL素子18は、ダイオード構造で下部電極と上部電極の間に発光素子層を備える。発光素子層は、例えば少なくとも有機発光材料を含む発光層を備え、発光素子層に用いる材料特性などにより、単層構造や、2層、3層あるいは4層以上の多層構造を採用することができる。本実施形態では、下部電極が画素毎に個別形状にパターニングされ上記アノードとして機能し、素子駆動Tr2に接続されている。また、上部電極が複数の画素に共通でカソードとして機能する。

【0028】

さらに、EL素子18のアノード電極とアノード電圧検出ライン20との間には、検出Tr3のソース・ドレインが接続され、この検出Tr3のゲートは、検出制御ライン22

10

20

30

40

50

(SG)に接続されている。

【0029】

画素毎に上記のような回路構成を備えるアクティブマトリクス型EL表示装置において、EL素子に採用する有機発光材料などがEL素子の駆動時間の経過に応じて劣化するとEL素子の初期状態では同一であった発光効率の変化率(変化量)が、画素毎に異なってくることもある。例えば、R、G、B毎にEL素子に異なる有機発光材料を用いた場合には、材料に応じて劣化の速度が異なり、発光効率の経時的な変化率に差が生ずる。また、R、G、Bの画素に白色発光材料等共通の材料を用いた場合であっても、例えば静止画表示が続いたり、特定の色の画素のみが集中的に駆動されるなど、表示内容等に応じて画素毎の変化が発生する。発光効率の変化はこれを直接測定することは難しいが、図2に示すように、EL素子のアノード電圧と発光効率とは一定の割合で変化していく。具体的には、初期アノード電圧を V_{ano0} 、初期発光効率を η_0 とすると、EL素子の駆動時間の経過に従って、発光効率は低下し、逆にアノード電圧は上昇していく。この発光効率の低下と、アノード電圧の上昇とは、下記式(i)で示されるような一定の関係がある。

10

【0030】

そこで、本実施形態では、上述のように各画素にアノード電圧を検出するための検出用 $Tr3$ を設け、表示装置の出荷後の所定タイミングにおいて、検出用 $Tr3$ を介して対応するEL素子18のアノード電圧を測定し、EL素子における発光効率の変化に応じて、対応する画素に供給すべきデータ信号を補正するための発光効率補正值を求める。

【0031】

図2に示すように、アノード電圧変化率 a は、 $a = V_{ano1} / V_{ano0}$ で示され、発光効率変化率 b は、 $b = \eta_1 / \eta_0$ で示される。初期アノード電圧 V_{ano0} に対し、所定のアノード電圧測定時(所定の劣化タイミング)におけるアノード電圧は V_{ano1} であり、初期発光効率 η_0 に対し、アノード電圧測定時の発光効率は η_1 である。この a と、 b との関係は、下記式(i)

20

$$b = a * k \quad \dots (i)$$

に満たす比例関係である。なお、式中、 k は、有機EL素子の材料に固有の値である。

【0032】

EL素子の初期輝度を L_0 、上記アノード電圧測定時(所定の劣化タイミング)における輝度 L_1 で表すと、各輝度は式(ii)、式(iii)で表現される。

30

$$L_0 = \eta_0 * I_{oled} \\ = \eta_0 * (V_{g1} - V_{th})^2 \quad \dots (ii)$$

$$L_1 = \eta_1 * I_{oled} \\ = \eta_1 * (V_{g1} - V_{th})^2 \quad \dots (iii)$$

上記式(2)、(3)において、 η は、各画素において、Pch型TFEで構成された素子駆動 $Tr2$ の特性パラメータであり、下式(iv)

$$\eta = (1/2) * \mu * (W/L) * C_{ox} \quad \dots (iv)$$

で示される。なお、 C_{ox} は、この素子駆動 $Tr2$ のゲート容量である。

【0033】

また、式(ii)、(iii)において、 V_{th} は、Pch型TFEで構成された素子駆動 $Tr2$ の動作閾値であり、 V_g は、センシングに用いるデータに相当したゲートソース電圧 V_{gs} である。

40

【0034】

劣化後初期の輝度に戻すために必要な電圧修正量を V_a とすると、

$$L_0 = \eta_1 * ((V_{g1} + V_a) - V_{th})^2 \quad \dots (v)$$

となる。さらに、式(i) = 式(v)であるから、

$$b = \eta_0 / \eta_1 \\ = \{ (V_{g1} + V_a) - V_{th} \}^2 / (V_{g1} - V_{th})^2 \quad \dots (vi)$$

$$(1/b)^{1/2} = (V_a + V_{g1} - V_{th}) / (V_{g1} - V_{th}) \quad \dots (vii)$$

$$V_a = (1 / (b^{1/2}) - 1) (V_{g1} - V_{th}) \quad \dots (viii)$$

50

上記 (v i i i) 式に (i) 式を代入すると、下記式 (i x)

$$V a = (1 / ((a * k) ^ { 1 / 2 }) - 1) (V g 1 - V t h) \quad \cdot \cdot \cdot (i x)$$

が得られ、アノード電圧の測定値 (正確にはアノード電圧変化率 a) から所望の電圧修正量、即ち発光効率補正值を算出することができる。

【 0 0 3 5 】

アノード電圧の測定は、図 3 に示す例では、測定時に全画素をオンさせるため、全てのゲートライン (ここでは、G L 1 ~ G L 4 8 0) に選択 T r 1 をオンさせる選択信号を出力する。このとき全データライン D L には所定の検査用データ信号を出力する。さらに、検査対象となる行の検出制御ライン S G に、検査用 T r 3 を選択するための検査用選択信号を順次出力していく。全画素において、選択 T r 1 がオンして検査用データ信号が保持容量 C s に保持され、素子駆動 T r 2 が、この検査用データ信号に応じて動作し、電源 P V D D から E L 素子 1 8 のアノード電極に検査用データ信号に応じた電流が流れている。この状態で測定対象となる行の検査用 T r 3 がオンすることで、対応するアノード電圧検出ライン 2 0 には、E L 素子 1 8 のアノード電圧信号が出力される。

10

【 0 0 3 6 】

ここで、通常表示時には、パネル 1 0 0 の各データライン D L には、図 4 の表示装置構成図に示すよう、表示装置用の駆動装置 (I C) 2 0 0 から、デジタルアナログ変換部 (D A C) 2 2 2 によってアナログ信号に変換された表示データ信号が出力される。このデータライン D L には、それぞれ、データライン用スイッチ D S W が設けられている。上記通常表示時には、スイッチ D S W は D A C 2 2 2 の出力端に接続されているが、アノード電圧測定時には、アノード電圧の検査用データ信号出力端に接続される。この検査用データ信号出力端は、この例では、全データライン D L に対して共通の電源 4 1 2 (V r e f) が接続されている。即ち、図 4 の例では検査用データ信号として、全画素共通の電源 V r e f を用いている。なお電源 V r e f は、詳しくは後述するが、素子駆動 T r 2 を飽和領域で動作させるために必要な所望の電圧値とする。各データライン D L に対し、以上のように検査用データ信号が出力され、検査用選択信号が出力された行の各画素からは、アノード電圧検出ライン 2 0 を介してアノード電圧信号が出力され、このアノード電圧信号は、順次アナログデジタル変換部 (A D C) 4 2 0 においてデジタル信号に変換され、アノード電圧値が検出される。

20

【 0 0 3 7 】

なお、この検査用の共通電源 4 1 2 を設けない場合には、スイッチ D S W は省略することができ、その代わりに D A C 2 2 2 から各データライン D L に対して検査用データ信号を出力する。後述するように、画素毎に個別の補正が施された検査用データ信号を供給する場合には、D A C 2 2 2 から順次出力する。この場合、図 3 の例では、アノード電圧測定時において、全画素をオンさせた検査対象行のアノード電圧を測定しているが、通常表示時と同様に、行毎に画素をオン動作させ、各データライン D L に検査用データ信号を出力しアノード電圧測定を実行してもよい。

30

【 0 0 3 8 】

各アノード電圧検出ライン 2 0 と A D C 4 2 0 との間には、複数のアノード電圧検出ライン 2 0 からのアノード電圧信号を選択的に A D C 4 2 0 に供給するための切替スイッチ S W が設けられており、1 つのスイッチ S W により、隣接する R , G , B の 3 列が順番に切り替えられて A D C 4 2 0 に接続される。

40

【 0 0 3 9 】

スイッチ S W は、R , G , B 毎に 1 つ設けられており、図 4 に示すように奇数番目の R , G , B の組のアノード電圧検出ライン 2 0 を S L 1 、偶数番目の R , G , B の組のアノード電圧検出ライン 2 0 を S L 2 とすると、スイッチ S W の切替により、図 3 に示すように S L 1 R 、S L 1 G 、S L 1 B 、S L 2 R 、S L 2 G 、S L 2 B が順に選択され、A D C 4 2 0 には、対応するアノード電圧信号が供給される。また、S L 1 R の選択期間については、図 3 において拡大して示すように、さらに、S L 1 R , S L 3 R , S L 5 R \cdot \cdot \cdot S L 6 3 9 R と、6 列おきに選択されていく。

50

【 0 0 4 0 】

スイッチ S W の切替方法は、上記の例には限られないが、以上のようにスイッチ S W を順次切替制御することで、単一の A D C 4 2 0 を用いた場合でも、短時間に確実に全列のアノード電圧信号を得ることができる。A D C の動作周波数が 1 M H z であるとして、V G A のパネルの場合、 $(640 \times 480 \times 3) / 10^6 = 0.46 \text{ sec}$ で全画素についてのアノード電圧信号のデジタル変換処理を実行することができる。よって、例えば表示装置の電源投入時にこのアノード電圧検出を実行すれば、約 0.5 sec 以内で全画素のアノード電圧の読み込み、得られたアノード電圧に基づいて、上述のような演算を実行することで各画素についての発光効率補正值作成を行うことができる。なお、得られた発光効率補正值は、少なくとも装置電源がオフされるまでの期間、メモリに記憶しておき、表示部を通常動作させて表示を実行する際、各画素に供給するデータ信号の補正に用いる。

10

【 0 0 4 1 】

なお、アノード電圧の測定は、電源投入時に実行することには限定されず、例えば通常表示中の垂直、水平走査期間中に、数行ごとに分けて実行しても良い。

【 0 0 4 2 】

次に、表示パネル 1 0 0 と、パネル駆動部 2 0 0 との接続部の構成例を図 5 を参照して説明する。図 5 では、パネル駆動部 2 0 0 において、データライン D L に対し、通常表示時のデータ信号を供給するための出力端子と、アノード電圧検出ライン S L からのアノード検出信号を A D C 4 2 0 に供給するための入力端子パッドとに共通の端子パッド 4 0 2 が用いられている。また、図 4 に示したように、アノード電圧検出時に全データライン D L に共通の検査用データ信号を出力するための端子パッド 4 0 4 は、上記共通の端子パッド 4 0 2 とは別に設けられ、端子パッド 4 0 4 には電源 4 1 2 が接続されている。またパネル 1 0 0 側では、この共通の電源 4 1 2 に対し端子 4 0 4 に対して、データライン用スイッチ D S W が設けられている。

20

【 0 0 4 3 】

端子パッド 4 0 2 をデータ信号の出力端子として用いるか、アノード電圧入力端子として用いるかの切替は、データ信号を出力する D A C 2 2 2 からの出力経路と、A D C 4 2 0 への入力経路とを切り替えるためのスイッチ 4 0 6 によって切り替えられている。このスイッチ 4 0 6 は、各端子パッド 4 0 2 にそれぞれ対応して設けられており、A D C 4 2 0 側に接続されているときは、この端子パッド 4 0 2 にスイッチ S W を介して接続されているアノード電圧検出ライン S L からのアノード電圧信号が A D C 4 2 0 に供給される。スイッチ 4 0 6 が D A C 2 2 2 の出力側に接続されている時は、D A C 2 2 2 の各出力段から対応するデータライン D L に対してデータ信号が供給される。なお、図 5 において、スイッチ 4 0 6 が A D C 4 2 0 側に切り替わり、アノード電圧検出モードの時には、D A C 2 2 2 の出力部は、ハイインピーダンス (H i Z) に設定され、D A C 2 2 2 へのノイズ重畳を防止している。

30

【 0 0 4 4 】

ここで、上記図 3 の駆動波形では、アノード電圧検出時には、全画素をオンさせた状態で実行しており、このような駆動を行う場合には、画素を選択するゲートライン G L と、検出用 T r 3 を選択するための検出制御ライン S G とは、図 1 に示すようにそれぞれ独立して設ける。また、アノード電圧検出時において、行毎に画素を選択する場合には、図 1 のゲートライン G L と検出制御ライン S G とは兼用させることができる。つまり、同一の選択信号によって画素を選択すると共に、検出用 T r 3 を選択してアノード電圧を検出することができる。なお、ゲートライン G L と検出制御ライン S G を共通化する場合には、上記図 5 のように入出力端子 4 0 2 を共用させず、それぞれ専用に形成してもよい。

40

【 0 0 4 5 】

次に、各画素に供給するデータ信号に対する発光効率の補正と、表示ムラの補正との関係について、図 6 及び図 7 を参照して説明する。

【 0 0 4 6 】

50

アクティブマトリクス型 E L 表示装置において、各画素の素子駆動 $T r 2$ の動作しきい値 $V t h$ がばらつくと、同一のデータ信号を各画素に供給しても、E L 素子には駆動電源 $P V D D$ から同一の電流が供給されない。このような画素の特性ばらつきは、輝度ばらつき（表示ばらつき）、即ち表示ムラの原因となる。上述のように長期間にわたって、各画素における表示のばらつきを防止するには、上述のように発光効率に応じた補正だけでなく、この特性ばらつきを補正することが好適である。

【 0 0 4 7 】

特性ばらつきに起因した輝度ばらつきは、上述の特許文献 2 のように全画素の E L 素子を発光させ、これをカメラで撮像して求めることができる。また後述するように、各画素を選択して E L 素子に電流 $I o l e d$ を流し、カソード電流を順次検出することによって

10

【 0 0 4 8 】

上記カメラで撮像することによって特性ばらつきを検出する方法は、表示装置の出荷前に実行する。検出した輝度から求めたばらつきを補正するための二次元補正データは、後述する図 8 の記憶部 5 0 0 に予め記憶しておく。また、カソード電流の検出によって特性ばらつきを検出する方法は、出荷前に実行して、図 8 の記憶部 5 0 0 に記憶しておいても

20

【 0 0 4 9 】

素子駆動 $T r 2$ の動作しきい値 $V t h$ のばらつきが生じた場合、図 6 (a) の等価回路に示す素子駆動 $T r 2$ のゲートソース電圧 $V g s$ に対し、E L 素子に流れる電流 $I o l e d$ と、この電流によって生ずる電圧 $V o l e d$ とは、図 6 (b) のような関係になる。図 6 (b) は、素子駆動 $T r 2$ 及び E L 素子の $V d s - i d s$ ($V o l e d - I o l e d$) 特性を示している (図 6 (c) 、 (d) も同様) 。

【 0 0 5 0 】

素子駆動 $T r 2$ の動作しきい値 $V t h$ がばらついた場合、素子駆動 $T r 2$ のドレイン側に正常よりも大きな抵抗又は小さな抵抗が接続されたことを見なすことができる。E L 素子の電流電圧特性は正常画素と変わらないが、素子駆動 $T r 2$ への印加電圧が $V g s - V t h < V d s$ を満たし、素子駆動 $T r 2$ が飽和領域で動作領域 (通常表示動作における $T r 2$ の動作領域) では、図 6 (b) に示すように、 $V t h$ が標準 ($V t h 0$) より小さい場合、 $I o l e d$ は標準よりも多く、発光輝度は高くなる。逆に、図示しないが、 $V t h$ が標準 $V t h 0$ より高い場合には、 $I o l e d$ は、標準よりも少なくなり、この画素の発光輝度は、標準の発光輝度よりも低くなる。

30

【 0 0 5 1 】

従って、素子駆動 $T r 2$ を飽和領域で動作させて表示ばらつき検査用の信号を供給し、発光輝度を観察するか E L 電流 $I o l e d$ に対応するカソード電流 $I c v$ を測定することで、各画素に供給するデータ信号の表示ムラ補正値を求めることができる。図 6 (b) のように、素子駆動 $T r 2$ の $V t h$ ($| V t h |$) が標準より小さい場合、 $| V t h |$ の基準に対するずれに応じてデータ信号の絶対値 $| V s i g |$ を小さくする。この補正は、図 7 (a) に示すように E L 素子の $V I$ 特性を平行移動 (シフト) させることに相当する。但し、図 7 (b) に示すようにシフトさせただけでは、基準の E L 素子の $V I$ 特性と傾きが異なるため、データ信号 $V s i g$ に応じて傾きを合わせるための演算をすることで、正確な表示ムラ補正が行われる。

40

【 0 0 5 2 】

以上のようにして表示ムラ補正を行った場合にも、駆動時間の経過により E L 素子の発光効率が低下すると、図 6 (c) に示すように、E L 素子の $V I$ 特性が変化して傾きが小

50

さくなり、その結果 V_{oled} 、即ち、アノード電圧が上昇する。そこで、本実施形態では、図 6 (d) のように、発光効率の低下を補うように V_{sig} を調整して電流量を上昇させる。

【0053】

なお、以上の画素回路では、素子駆動トランジスタとして、pチャネルの TFT を採用したが、nチャネルの TFT を用いてもよい。さらに、以上の画素回路では、1画素について、トランジスタとして、選択トランジスタと駆動トランジスタの2つのトランジスタを備える構成を採用した例を説明したが、トランジスタが2つのタイプ及び上記回路構成には限られない。また、以上の説明では、発光効率の変化を測定するために EL 素子のアノード電圧を検出しているが、カソード電圧を測定して発光効率の変化を測定しても良い。カソード電流を測定して特性ばらつき (V_{th} シフト) を検出しているが、アノード電流を測定して検出しても良い。例えば、EL 素子の各画素に個別の電極をアノード電極とし、共通電極をカソード電極とする構成に代えて、個別の電極をカソード電極、共通電極をアノード電極とする場合、上記のように、カソード電圧から発光効率の変化、アノード電流から特性ばらつきを求めることができる。言い換えると、EL 素子の個別電極の電圧から発光効率の変化に応じた補正值を求めてもよく、なお、この場合に、共通電極の電流から素子駆動トランジスタの閾値ばらつきに応じた補正值を求めても良い。

10

【0054】

図 8 は、予め記憶した各画素の特性ばらつきに起因した表示ムラを補正するための表示ムラ補正值と、随時求める発光効率補正值の両方を用いた補正処理を実行する EL 表示装置のデータ処理部の概略構成を示している。EEPROM などが採用可能な記憶部 450 には、予め求めた二次元補正データ (表示ムラ補正值) が格納されており、この表示ムラ補正值は補正演算部 250 に出力される。

20

【0055】

上述のようにアノード電圧検出ラインからスイッチ SW を介して順次 ADC 420 に供給されるアノード電圧信号 V_{ano1} は、ADC 420 でデジタル変換されて発光効率補正值作成部 440 に出力される。発光効率補正值作成部 440 は、このアノード電圧 V_{ano1} と、EEPROM などを採用可能な記憶部 430 に予め (出荷前に) 記憶されている初期アノード電圧 V_{ano0} に基づいて、上述の演算を実行し、発光効率補正值を求め、補正演算部 250 に出力する。なお、初期アノード電圧 V_{ano0} が、全ての画素の EL 素子で同じ場合、上記記憶部 430 には、画素毎ではなく、全画素共通の初期アノード電圧 V_{ano0} のみを記憶しておいても良い。

30

【0056】

信号処理部 230 は、外部からのカラー映像信号を EL パネル 100 での表示に適した表示信号にするための信号処理回路である。そのシリアル・パラレル変換部 232 は、外部から供給される映像信号をパラレルデータに変換し、得られたパラレル映像信号は、マトリクス変換部 236 に供給される。マトリクス変換部 236 において、外部から供給される映像信号が YUV 形式の場合には、EL パネルの表示する色調に応じたオフセット処理が行われる。なお、Y は輝度信号、U は輝度信号と青色成分の差、V は輝度信号と赤色成分の差であり、YUV 形式は、この3つの情報で色を表している。また、マトリクス変換部 236 は、パラレル映像信号をこの EL パネル 100 に適した形式への間引きなどの変換処理を行う。また、併せて、色空間補正、ブライト・コントラスト補正なども実行する。さらにガンマ値設定部 238 が、マトリクス変換部 236 からの映像信号に対し、EL パネル 100 に応じた値の設定 (ガンマ補正) を行い、ガンマ補正後の映像信号が表示データ信号として上記補正演算部 250 に供給される。

40

【0057】

補正演算部 250 は、発光効率補正值と、表示ムラ補正值の両方を用い、各画素に供給するための表示データ信号を補正する。

【0058】

以上のようにして補正が施された映像信号は、デジタルアナログ (DA) 変換部 260

50

に供給され、ここで各画素に供給するためのアナログデータ信号に変換される。このアナログデータ信号は、表示部の対応するデータライン12に出力すべきデータであり、パネル100に設けられたビデオ線に出力され、Vドライバ220Vの制御に従って対応するデータライン12に供給される。なお、補正演算部250は、信号処理部230から供給されるデータ信号から消費電力を推測し、ELパネル100のピーク電流を最適制御するためのACL信号を発生し、DA変換部260に供給している。これにより、パネル100での過大な消費電流の発生が抑制される。

【0059】

なお、図示しないが、上述のように、一例として表示装置の電源投入時に求められる発光効率補正值は、EEPROMなどの記憶部に記憶し、通常表示動作時には、この記憶部から処理対象となる画素アドレスに応じて発光効率補正值を読み出し、補正演算部250に供給することが好適である。

10

【0060】

ここで、発光効率をより正確に測定する観点からは、アノード電圧測定時に、各画素に供給する検査用データ信号について、二次元補正を施しておくことが好適である。検査用データ信号について二次元補正をする場合においても、検査用データ信号に対して、図8に示す記憶部450から対応する画素の二次元補正データを読み出し、補正演算部250が補正し、これをパネルの表示部に出力する。そして、得られるアノード電圧信号に基づいて発光効率補正值を求めればよい。なお、検査用データ信号に二次元補正を実行すると、画素毎に検査用データ信号が異なるため、アノード電圧測定時において、データラインDLに全画素に対して共通の検査用データ信号を供給することはできない。表示ムラの影響が小さく、或いは、装置構成の簡略化が要求される用途(両方の場合も含め)においては、二次元補正を実行せず、上述の図4、図5のように共通の検査用データ信号を各画素に供給してアノード電圧測定を実行する。

20

【0061】

図9は、カソード電流の検出及びアノード電圧の検出をリアルタイムで実行するエレクトロルミネッセンス表示装置の全体的な構成の一例を示している。この表示装置は、上述のような画素を備える表示部が形成されたELパネル100と、表示部での表示及び動作を制御する駆動部200を備え、駆動部200は、概略して、表示制御部210と、ばらつき検出部300、発光効率変化検出部400を備える。なお、カソード電流の検出については、以下の説明と同様の処理を装置出荷前に実行し、図8に示すような記憶部450に記憶しておいても良い。

30

【0062】

表示制御部210は、信号処理部230、ばらつき補正部250、タイミング信号作成(T/C)部240、ドライバ220等を有する。

【0063】

信号処理部230は、上記図8に示すような構成を備え、外部からのカラー映像信号をELパネル100における表示に適した表示データ信号を作成し、タイミング信号作成部240は、外部から供給されるドットクロック(DOTCLK)、同期信号(Hsync、Vsync)などに基づいて、H方向、V方向のクロックCKH、CKV、水平、垂直スタート信号STH、STV等、表示部で必要な各種タイミング信号を作成する。補正演算部250は、ばらつき検出部300から供給される二次元補正データと、発光効率変化検出部400から供給される発光効率補正值とを利用して映像信号を駆動対象であるELパネルの特性に合わせて補正する。

40

【0064】

ドライバ220は、タイミング信号作成部240から得られる各種タイミング信号に基づいてELパネル100をH方向、V方向に駆動する信号を作成して画素に供給するとともに、ばらつき補正部250から供給される補正後の映像信号を対応する各画素にデータ信号(Vsig)として供給する。なお、ドライバ220は、図1に例示するように表示部のH(行)方向の駆動を制御するHドライバ220H及びV(列)方向の駆動を制御する

50

Vドライバ220Vを備える。図1に示すように、このHドライバ220H及びVドライバ220Vは、ELパネル100の表示領域の周辺に、図1の画素回路と同様にパネル基板上に内蔵させることもできるし、ELパネル100とは別に駆動部200と一緒に又は別の集積回路(IC)によって構成することも可能である。

【0065】

ばらつき検出部300は、ELパネル100の通常使用環境下におけるブランキング期間に表示ばらつきを検出して補正值を得るための動作をしており、図9の例では、ばらつき検査を制御する検査制御部310、検査用信号を発生しELパネルの検査行の画素に供給するための検査用信号発生回路320、上記検査用信号を供給した際にカソード電極から得られるカソード電流を検出するカソード電流検出部330、カソード電流検出結果を記憶するメモリ340、検出されたカソード電流に基づいて補正データを作成する補正データ作成部350等を備える。また、検査時において、検査行の画素を選択し、検査するために必要な選択信号の作成や、後述するような所定ラインの電位制御のための制御信号発生回路は、ドライバ220内に組み込んで検査制御部310の制御に応じて実行させることができる。なお、この構成は、専用の検査用の制御信号発生回路によって実行しても良いし、検査制御部310が実行しても良い。

【0066】

発光効率変化検出部400は、アノード電圧検査を実行して発光効率補正值を求めるための動作をしており、アノード電圧検査制御部410、アノード電圧検出部420、初期アノード電圧メモリ430、発光効率補正值作成部440を有する。アノード電圧検査制御部410は、検査時に、例えばドライバ220等に対して、各画素を選択して検査用データ信号を供給し、かつ、アノード電圧を得るために必要な制御信号を発生する。アノード電圧検出部420は、図8に示すようにスイッチSWを介して各アノード電圧検出ライン20に接続されたADCを備え、各ライン20から得られるアノード電圧Vano1をデジタル信号に変換して発光効率補正值作成部440に供給する。発光効率補正值作成部440では、上記図8についての説明と同様に、メモリ430から読み出す初期アノード電圧と、測定したアノード電圧Vano1とに基づいて、補正值を作成し、補正演算部250に供給する。

【0067】

カソード電流の検出部330は、カソード電極端子Tcvから得られるカソード電流Icvを随時デジタル信号に変換するADCを備えている。カソード電流の検出処理は、映像信号の1ブランキング期間中において、表示部の所定の1行を検査行として選択し、対応する画素に検査用信号を供給し、その画素のEL素子のカソード電極からカソード端子に流れ出るカソード電流Icvを検出する。ブランキング期間は、垂直ブランキング期間又は水平ブランキング期間である。カソード電流検出のための駆動方式としては、以下のような方式が採用可能である。

【0068】

(駆動方式1)カソード電極が全画素共通の共通電極で、水平ブランキング期間中にカソード電流検出を実行する場合

y行x列マトリクス of ELパネル100に対し、1水平ブランキング期間に所定の1検査行(n行目)を選択し、かつ所定の1列(k列目)の画素に検査用信号を供給してそのときのカソード電流を検出する。この作業を順次選択行を変更して繰り返すことで1フレーム(1垂直(V)走査)期間でk列目の全画素についてのカソード電流検出を実行することができる。この処理を全列に対して実行することで、ELパネル100の全画素に対する検出処理が完了する。ELパネル100がVGA型のサイズである場合、480行x640列の画素が存在し、上記方式では、1フレーム60Hzで、合計約10.7秒(=1/60秒x640列)で全画素についてのカソード電流検出が実行できる。

【0069】

(駆動方式2)カソード電極が全画素共通で、垂直ブランキング期間中にカソード電流検出を実行した場合

10

20

30

40

50

1 垂直ブランキング期間中、所定の1検査行(n行目)に属する全画素に、順次、検査用信号を供給し、そのときのカソード電流を検出する。この手順を垂直ブランキング期間毎に検査行を変更して実行し全行に対して行うことで、全画素のカソード電流を得る。この方式では、上記同様のVGAパネルの場合、合計約8秒(=1/60秒×480行)で全画素についてのカソード電流検出が実行できる。この駆動方法2を実行するタイミングチャートは、図10に示すとおりであり、垂直スタート信号(STV)の立ち上がりから、次の立ち上がりまでの期間において、n行目についてのカソード電流の検査を実行している。

【0070】

(駆動方式3)カソード電極が列毎に分割され、垂直ブランキング期間中にカソード電流の検出を実行した場合

1 垂直ブランキング期間中に所定の1検査行(n行目)の全画素に、それぞれ検査用信号を供給し、各列におけるカソード電流を検出する。この手順を垂直ブランキング期間毎に検査行を変更して実行し全行に対して行うことで、全画素のカソード電流を得る。この方式では、上記同様のVGAパネルの場合、合計約8秒(=1/60秒×480行)で全画素についてのカソード電流検出が実行できる。

【0071】

カソード電流の検査用信号としては、EL素子の発光を発光レベルとする検査用オン表示信号を供給することで、原理的に素子駆動Tr2のしきい値ばらつきに応じた表示ムラを検出することができる。しかし、検査用信号として、図7(b)及び駆動方式2の動作を示す図10に示すように(ブランキング期間中のVsig参照)、上記検査用オン表示信号と、さらにEL素子を非発光レベルとする検査用オフ表示信号とを検査行の画素に対して供給し、検査用オン表示信号の印加時のオンカソード電流及び前記検査用オフ表示信号印加時のオフカソード電流を検出し、その差Icvを求めることで、検査の高速化及び検査の高精度化を図ることが可能となる。これは、オフカソード電流Icv_{off}を測定し、このIcv_{off}を基準としてオン表示信号の時のオンカソード電流Icv_{on}を相対的に把握できるため、オンカソード電流Icv_{on}の絶対値を正確に判断する必要や、別途基準となるオフカソード電流Icv_{off}を測定する必要がないからである。つまり、オンカソード電流とオフカソード電流との差分(カソード電流差)を用いることで、上記電流検出アンプ332の特性ばらつきなどの影響をこのカソード電流差からキャンセルすることができ、また、オンカソード電流値の絶対値を判定するための基準値を必要としないためである。具体的には、Vref + Icv_{on} * R と、Vref + Icv_{off} * Rをそれぞれ読み取り、カソード電流検出部330のAD変換部でデジタル変換し、メモリ部340に供給する前に、引き算部を設けて両データを引き算することで、最終的に(Icv_{on} - Icv_{off}) * Rを求め、Icv = Icv_{on} - Icv_{off}を得ることができる。

【0072】

メモリ340には、例えば10秒程度で全画素についてのカソード電流検出データが蓄積され、メモリ340はこの全画素についてのカソード電流検出データを少なくとも次に全画素について新しいカソード電流検出データを得るまで格納しておく。

【0073】

このメモリ340は、揮発性の一次メモリと、不揮発性の二次メモリとを備える。また、一次メモリに供給するデータ(Icvデータ)として、電流検出部330からリアルタイムで得られるデータとするか、二次メモリの記憶データとするかを選択するセレクタを備える。

【0074】

一次メモリとしては、高速でのデータ書き込み及び読み出しが可能な揮発性メモリを用いる(例えばSRAM)。一方、二次メモリとしては、装置電源がオフしてもデータ保持が可能であって、かつ書換えの可能なEEPROM等の不揮発性メモリを用いる。これにより、一次メモリに高速メモリを用いると、カソード電流検出データを記憶し、かつ、補正データ作成部350に対し、検出データを高速で供給することが可能である。しかし、

10

20

30

40

50

S R A Mのような高速メモリは、揮発性であり、装置電源がオフされるとデータは消えてしまう。しかし、二次メモリに、不揮発性のE E P R O Mなどを採用することで、電源投入時には、この二次メモリに予め記憶しておいた各画素についてのカソード電流検出データを読み出し、これを一次メモリに供給すれば、電源投入直後から、リアルタイムのカソード電流検出データが揃うまでの間において、二次メモリに記憶されていたカソード電流検出データを利用して補正をすることが可能となる。

【 0 0 7 5 】

補正データ作成部 3 5 0 は、メモリ 3 4 0 内の一次メモリ 3 4 2 に蓄積された画素毎のカソード電流検出データを随時読み出し、このデータに基づいて、映像信号に対し、各画素の素子駆動 T r 2 の特性ばらつきに起因した表示ばらつきを補正するための補正データを以下のようにして作成する。

10

【 0 0 7 6 】

次に、素子駆動 T r 2 のしきい値ずれに応じた補正データの作成についてより具体的に説明する。図 7 (b) に示すように、E L 素子を発光状態とする同一の検査用信号を印加した場合、測定対象の画素の素子駆動 T r 2 のしきい値 V t h が正常の素子駆動 T r 2 のしきい値 V t h よりも高圧側にシフトしている場合(図中の一点鎖線)、得られるカソード電流は、正常画素が I c v a であるのに対し、シフトした画素では I c v b となる。

【 0 0 7 7 】

そこで、補正データ作成部 3 5 0 は、図 7 (b) に示すように、素子駆動 T r 2 の動作しきい値 V t h が正常な T F T よりもずれている場合、カソード電流検出データからその動作しきい値 V t h のずれを補償する補正データを求める。概念的には、この補正データにより、図 6 において点線で示す特性のように動作しきい値 V t h のずれ分に応じて各画素に供給するデータ信号の電圧をシフトさせることとなる。

20

【 0 0 7 8 】

データ信号の電圧をシフトさせるための補正データの作成方法の一例を具体的に説明すると以下の通りである。まず、各画素の動作しきい値の基準からのずれは、下記式 (1) によって求めることができる。

【 0 0 7 9 】

【 数 1 】

$$V(\Delta I_{cv}) = V(\Delta I_{cvref}) \times \left(\frac{V_{sigon} - V_{th}(i)}{V_{sigon}} \right)^{\gamma} \dots (1)$$

30

【 0 0 8 0 】

式 (1) において、V t h (i)、V (I c v)、V s i g o n および γ は、以下のように定義される。

【 0 0 8 1 】

V t h (i) : 検査対象画素の動作しきい値ずれ

40

V (I c v) : 検査対象画素のオンオフカソード電流値 (電圧データ)

V (I c v r e f) : 基準オンオフカソード電流値 (電圧データ)

V s i g o n : 検査用オン表示信号の階調レベル

γ : 表示パネルの発光効率特性 (定数値)

検査用オン表示信号の階調レベル [V s i g o n] を、例えば 2 4 0 (0 ~ 2 5 5) に設定した場合、この階調レベル 2 4 0、検査対象画素のオンオフカソード電流値 [V (I c v)]、基準のオンオフカソード電流値 [V (I c v r e f)]、定数の発光効率特性に基づいて、上記式 (1) から各画素の基準に対する動作しきい値ずれ V t h (i) を求めることができる。例えば、A ~ E の画素について、以下のようにそれぞれ基準からのしきい値ずれ量 V t h (i) が得られたとする。

50

【 0 0 8 2 】

$$V_{th}(A) = 0$$

$$V_{th}(B) = 13.4$$

$$V_{th}(C) = 17.0$$

$$V_{th}(D) = 3.2$$

$$V_{th}(E) = 20.7$$

上記例では、画素Eのしきい値 V_{th} ずれが最大であり、各画素に同一階調レベルのデータ信号を供給すると、画素Eが表示部の中で最も低輝度で発光することとなる。一方で、各画素に供給できるデータ信号の最大値には限度がある。そこで、この $V_{th}(i)_{max}$ の画素Eを基準にデータ信号の最大値 $V_{sig_{max}}$ を決定する。つまり、得られた各画素の $V_{th}(i)$ の中から、最大値 $V_{th}(i)_{max}$ を求め、この $V_{th}(i)_{max}$ に対する他の画素の V_{th} の差 $V_{th}(i)$ をそれぞれ得る。さらに、その画素に供給すべきデータ信号の最大値 $V_{sig_{max}}(i)$ を、 $V_{sig_{max}}$ から、得られた $V_{th}(i)$ を減算して $[V_{sig_{max}} - V_{th}(i)]$ を求め、後述する式(2)の補正値を反映した初期補正データ $RSFT(init)$ として補正演算部250に供給する。

10

【 0 0 8 3 】

なお、以上のようにして補正データ作成部350で作成された各画素の補正データは、例えば図3に示す補正値記憶部280などに記憶しておくことができる。この補正データは、次に全画素分について補正データが揃うまで記憶しておくことが好適である。

【 0 0 8 4 】

20

補正演算部250は、新しい表示ムラ補正データが得られるまでは、この記憶されている補正データを用い、信号処理部230から供給される映像信号に対して、各画素毎にばらつき補正を実行する(2次元表示ムラ補正)。補正演算部250での補正演算に必要なタイミングで(映像信号のタイミングに合わせて)、補正データ作成部350が補正データを作成し、補正演算部250に供給しても良い。

【 0 0 8 5 】

ここで、ばらつき補正部250では、一例として下記式(2)

【 数 2 】

$$R_{SFT}(0) = \frac{\frac{ADJ_SFT}{16} \times (512 - Rin) + Rin}{512} \times RSFT(init) \quad \dots \quad (2)$$

30

【 0 0 8 6 】

を用いて2次元表示ムラ補正を実行する。式(2)において、 $RSFT(init)$ は、補正データ作成部350において求められた補正値を反映した初期補正データである(工場出荷前に各画素についての補正データが存在する場合にはその補正データも反映した値である)。 Rin は、信号処理部230から供給される入力映像信号で、ここでは、9ビットデータであり、0~511のいずれかの値を備える。 ADJ_SFT は、補正値調整(重み付け)パラメータであり、 R_SFT は、2次元表示ムラ補正後の表示データである。

40

【 0 0 8 7 】

図7(b)から理解できるように、素子駆動 $Tr2$ の動作しきい値 V_{th} にずれが生じた場合、この TFT の特性カーブの傾きは、正常な TFT の特性カーブの傾きとは異なる。そこで、補正演算部250では、上記式(2)等を用いて、傾き、つまり、上記式(2)の重み付けパラメータを考慮して実映像信号の値(輝度レベル)に応じて最適な補正を施し、正常の TFT 特性に合ったカソード電流が EL 素子に流れるように調整する。このような補正により、単純な V_{th} のシフト補正だけの場合に TFT 特性の傾きの違いに起因して生ずる低階調側の白うき(高階調側へのずれ)等を、確実に防止できる。

50

【 0 0 8 8 】

以上に説明したカソード電流の検出による表示ムラ補正は、既に説明したように、アノード電圧の測定時に、アノード電圧の検査用データ信号に対して実行することでより正確な発光効率の補正が可能となる。もちろん、上述の図 4, 5 に示すように、アノード電圧測定時に、検査用データ信号に対して上記表示ムラ補正を実行せず、共通の検査用データ信号を出力してもよい。

【 0 0 8 9 】

なお、上述のように発光輝度をカメラで撮像して表示ムラ補正値を算出する場合には、上記(1)式において、 V_{sigon} 、 V_{sigoff} ではなく、一例として、それぞれ求めた輝度レベル L_{on} 、 L_{off} を用いて演算することができる。

10

【 図面の簡単な説明 】

【 0 0 9 0 】

【 図 1 】本発明の実施形態に係る E L 表示装置の概略回路構成の一例を説明する等価回路図である。

【 図 2 】本発明の実施形態に係るアノード電圧と発光効率との関係を説明する図である。

【 図 3 】本発明の実施形態に係るアノード電圧測定時の動作波形を示す図である。

【 図 4 】本発明の実施形態に係る E L 表示パネルと、このパネルを駆動する駆動装置の概略構成を示す図である。

【 図 5 】本発明の実施形態に係る E L 表示パネルとパネルを駆動する駆動装置との接続部の構成例を示す図である。

20

【 図 6 】本発明の実施形態に係る素子駆動トランジスタの特性ばらつきの補正原理と発光効率減少の補正の原理を説明する図である。

【 図 7 】本発明の実施形態に係る素子駆動トランジスタの特性ばらつきの補正原理と発光効率減少の補正の原理を説明する他の図である。

【 図 8 】本発明の実施形態に係る補正機能を備えた E L 表示装置の構成例を示す図である。

【 図 9 】本発明の実施形態に係る E L 表示装置の概略回路構成の図 1 とは別の例を説明する概略回路図である。

【 図 1 0 】本発明の実施形態に係るカソード電流の検出のための駆動方式 2 を説明するタイミングチャートである。

30

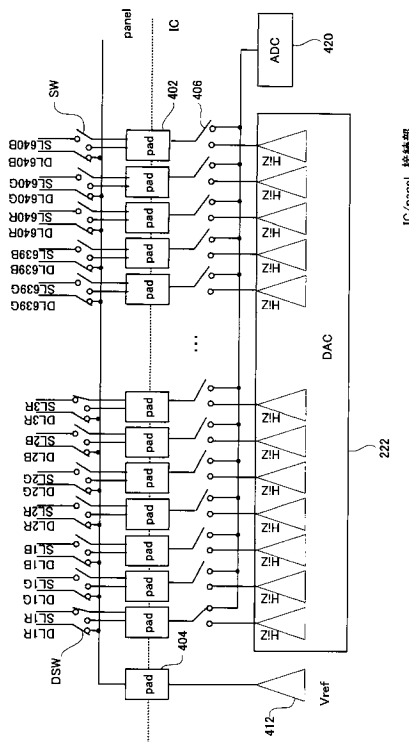
【 符号の説明 】

【 0 0 9 1 】

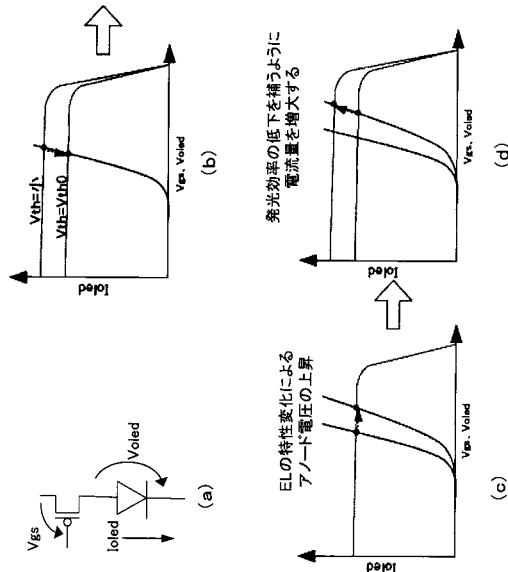
1 0 ゲートライン (G L)、1 2 データライン (D L)、1 4 容量制御ライン (S C)、1 6 電源ライン (V L)、1 8 E L 素子、2 0 アノード電圧検出ライン (S L)、2 2 検出制御ライン (S G)、1 0 0 E L パネル、2 0 0 駆動部 (パネル駆動装置)、2 2 0 ドライバ、2 2 2 検査用制御信号発生回路、2 3 0 信号処理部、2 4 0 タイミング信号作成 (T / C) 部、2 5 0 補正演算部、2 8 0 補正パラメータ設定部 (補正値記憶部)、3 0 0 ばらつき検出部、3 1 0 検査制御部、3 2 0 検査用信号発生回路、3 3 0 カソード電流検出部、3 4 0 メモリ、3 5 0 補正データ作成部、4 0 0 発光効率変化検出部、4 1 0 アノード電圧検出制御部、4 2 0 アノード電圧検査部、4 3 0 メモリ (初期アノード電圧記憶部)、4 4 0 発光効率補正値作成部、4 5 0 二次元補正データ記憶部、5 0 0 記憶部。

40

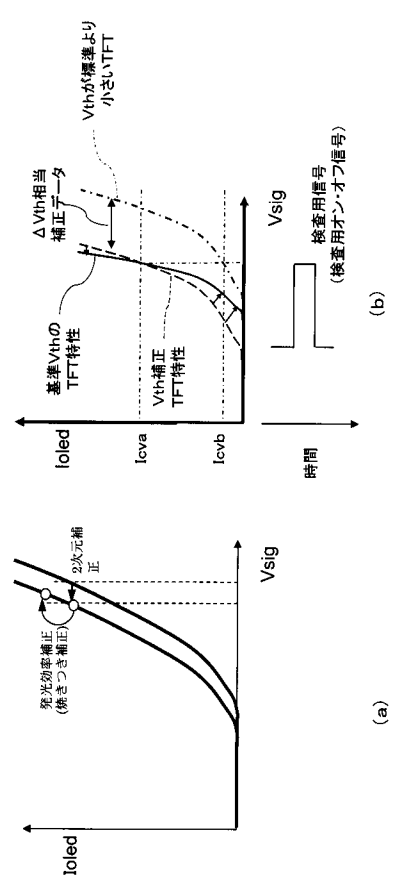
【図5】



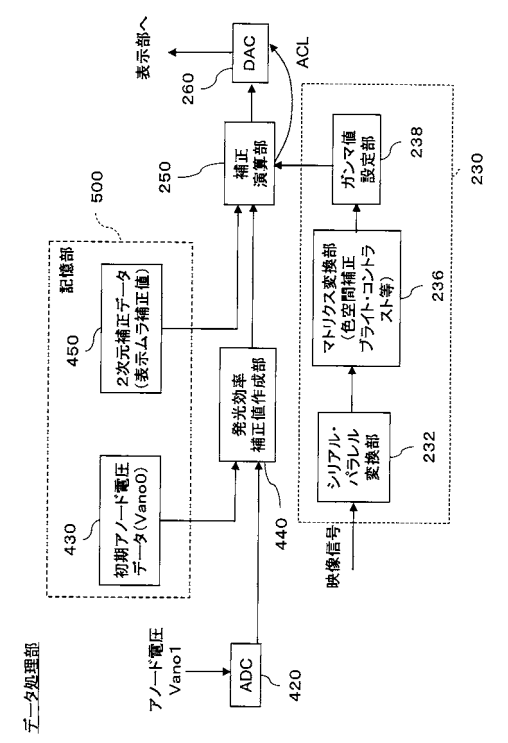
【図6】



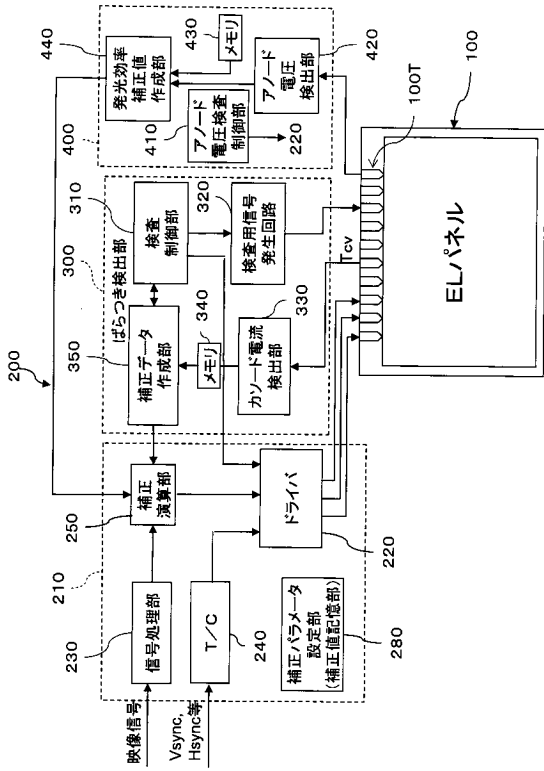
【図7】



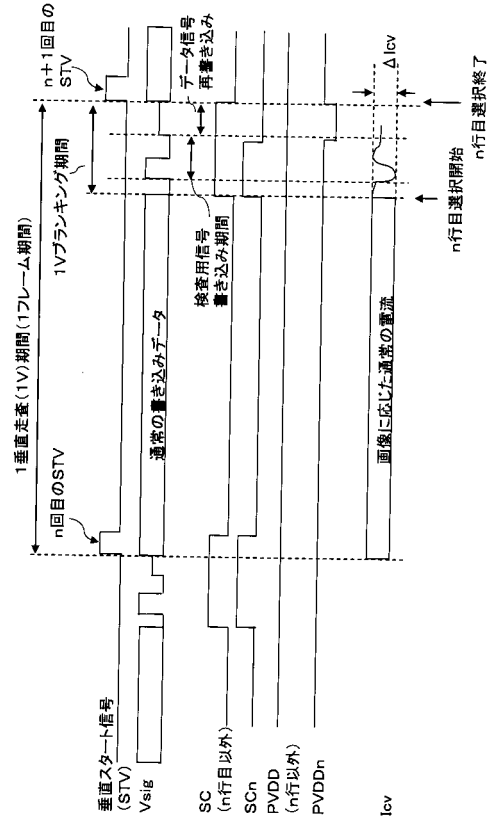
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 J

G 0 9 G 3/20 6 4 2 P

Fターム(参考) 5C080 AA06 BB05 DD05 DD29 EE28 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2009042486A	公开(公告)日	2009-02-26
申请号	JP2007207267	申请日	2007-08-08
[标]申请(专利权)人(译)	三洋电机株式会社 三洋半导体株式会社		
申请(专利权)人(译)	三洋电机株式会社 三洋半导体有限公司		
[标]发明人	小川隆司		
发明人	小川 隆司		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
FI分类号	G09G3/30.H H05B33/14.A G09G3/20.611.H G09G3/20.642.A G09G3/20.631.V G09G3/20.670.J G09G3/20.642.P G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC04 3K107/CC21 3K107/CC33 3K107/CC34 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB34 5C380/BA02 5C380/BA22 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BA45 5C380/BB04 5C380/BB11 5C380/BB23 5C380/BD04 5C380/CA04 5C380/CA12 5C380/CA31 5C380/CB16 5C380/CC03 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC48 5C380/CC63 5C380/CD013 5C380/CE11 5C380/CE19 5C380/CF05 5C380/CF06 5C380/CF48 5C380/CF49 5C380/CF51 5C380/DA02 5C380/DA19 5C380/DA20 5C380/DA23 5C380/DA32 5C380/DA35 5C380/DA39 5C380/DA41 5C380/DA49 5C380/DA50 5C380/FA02 5C380/FA03 5C380/FA05 5C380/FA21 5C380/FA22 5C380/FA24 5C380/FA28 5C380/GA07 5C380/GA12 5C380/GA17 5C380/HA03 5C380/HA05		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

要解决的问题：纠正EL显示器件的每个像素的发光效率的变化。
 SOLUTION：电致发光显示装置配备有显示部分和用于处理提供给显示部分的数据信号的数据处理部分，在电致发光显示装置中，在显示部分中以矩阵排列的多个像素中的每一个包括装置驱动晶体管Tr2用于控制二极管结构的EL器件和流向EL器件的电流，以及用于检测的晶体管Tr3连接到EL器件的阳极以检测阳极电压。数据处理部分根据经由用于检测的晶体管获得的阳极电压，根据相应的电致发光器件中的发光效率的变化，确定用于校正要提供给相应像素的数据信号的发光校正值。向每个像素提供用于检查的数据信号和相应像素的初始阳极电压。Z

