

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-292983

(P2008-292983A)

(43) 公開日 平成20年12月4日(2008.12.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
H01L 27/32 (2006.01)	G09F 9/30 365Z	5C094
G09G 3/20 (2006.01)	G09G 3/20 624B	5F110
H01L 51/50 (2006.01)	G09G 3/20 670K	

審査請求 未請求 請求項の数 10 O L 外国語出願 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2008-66103 (P2008-66103)  
 (22) 出願日 平成20年3月14日 (2008. 3. 14)  
 (31) 優先権主張番号 0701929  
 (32) 優先日 平成19年3月16日 (2007. 3. 16)  
 (33) 優先権主張国 フランス (FR)

(71) 出願人 505157485  
 テールズ  
 フランス 92200 ノイリーシュ  
 ルーセヌ リュー ドゥ ヴィリエール  
 45  
 (74) 代理人 100071054  
 弁理士 木村 高久  
 (72) 発明者 クレッツ、ティエリー  
 フランス、38430 サン ジャン ド  
 モワラン、165 シャン ド ラ ク  
 ール  
 (72) 発明者 ルブラン、ユーグ  
 フランス、38500 クブルヴィ、アン  
 パス ジャック プルヴェール、100

最終頁に続く

(54) 【発明の名称】 有機発光ダイオード表示画面のアクティブマトリックス

(57) 【要約】 (修正有)

【課題】有機発光ダイオード表示画面のアクティブマトリックスを提供する。

【解決手段】各画素が有する2つのドライバは、画素電極E1に対して対称的に配列され、それぞれは、画素電極と、画素の側面に位置する行選択線のうちの1つとの間のスペース内にある。列データ線は、それぞれ、ソース-ドレイン金属レベルとゲート金属レベルとの間の接触ポイントct1、ct2によって2つの画素列の間の隙間に作製され、トランジスタのソース-ドレイン電極およびゲートをそれぞれ作る。制御トランジスタの1つのソース-ドレイン電極が、ソース-ドレイン金属レベルに作製された供給バスVddによって形成され、制御トランジスタのもう一方のソース-ドレイン電極が、同じソース-ドレイン金属レベルにおける画素電極の突出部によって形成された少なくとも1つのフィンガによって形成される。

【選択図】図5

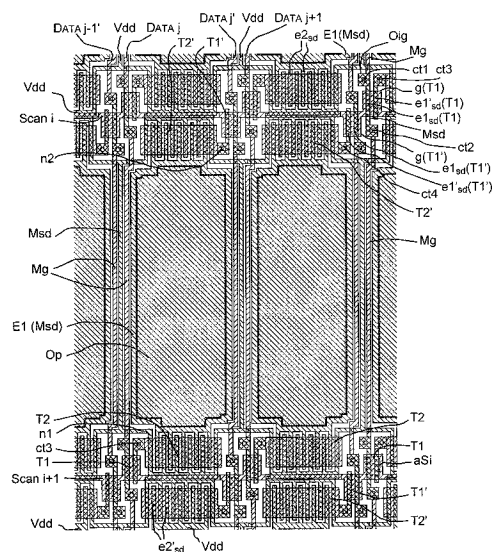


図 5

## 【特許請求の範囲】

## 【請求項 1】

行および列に配列された画素 (  $pixel_{i,j}$  ) を含む、有機発光ダイオード表示画面用のアクティブマトリクスであって、各画素が、有機発光ダイオード ( OLED ) を表面に収容できる画素電極 ( E1 ) と、前記画素電極 ( E1 ) に接続された第 1 および第 2 の電流ドライバ ( COM、COM' ) とを含み、各第 1 のドライバ ( COM ) および各第 2 のドライバ ( COM' ) が、供給電圧  $V_{dd}$  と前記画素電極 ( E1 ) との間に接続された電流制御トランジスタ ( T2、T2' ) と、前記電流制御トランジスタのゲートを制御するための少なくとも第 1 のスイッチングトランジスタ ( T1、T1' ) とを含み、前記第 1 のスイッチングトランジスタが、前記マトリクスの列データ線 ( DATA<sub>j</sub> ) と前記電流制御トランジスタ ( T2 ) のゲートとの間に接続されて、そのゲートを、前記マトリクスの行選択線 ( Scan<sub>i</sub> ) に接続させ、前記スイッチングおよび制御トランジスタのソースまたはドレイン電極、ならびに前記画素電極が、ソース - ドレイン金属レベル ( Msd ) に作製され、これらのトランジスタのゲート電極が、それぞれ、前記マトリクスの行選択線によって、ゲート金属レベル ( Mg ) に作製され、

10

各画素が、前記マトリクスの 2 つの行選択線 ( Scan<sub>i</sub>、Scan<sub>i+1</sub> ) の間に配置され、ドライバ ( COM ) が、これらの 2 つの行選択線の第 1 の行選択線 ( Scan<sub>i</sub> ) と各画素の画素電極 ( E1 ) との間に配置され、前記第 1 の行選択線が、このドライバ ( COM ) の前記第 1 のスイッチングトランジスタ ( T1 ) のゲートを形成し、もう一方のドライバが、これらの 2 つの行選択線の第 2 の行選択線 ( Scan<sub>i+1</sub> ) と前記画素電極との間に配置され、前記第 2 の行選択線が、このドライバ ( COM' ) の前記第 1 のスイッチングトランジスタ ( T1' ) のゲートを形成し、

20

前記制御トランジスタ ( T2、T2' ) のソース - ドレイン電極 (  $e_{2'sd}$  ) が、前記ソース - ドレイン金属レベルに作製された供給バス  $V_{dd}$  によって形成され、前記制御トランジスタのもう一方のソース - ドレイン電極 (  $e_{2sd}$  ) が、少なくとも 1 つのフィンガによって形成され、このフィンガが、同じソース - ドレイン金属レベルにおける前記画素電極 ( E1 ) の突出部であり、

各列データ線が、前記マトリクスの画素の 2 つの列の間に配置されて、前記ソース - ドレイン金属レベル ( Msd ) および前記ゲート金属レベル ( Mg ) を用いて形成され、前記ゲート金属レベルが、前記画素電極 ( E1 ) に沿って用いられ、前記ソース - ドレイン金属レベルが、前記ドライバの前記スイッチングトランジスタが作製される、前記画素電極間のゾーンで用いられるアクティブマトリクス。

30

## 【請求項 2】

前記供給電圧  $V_{dd}$  が、行 / 列マトリクス化配列を備えた供給バスにより前記マトリクスにわたって分配される、請求項 1 に記載のマトリクス。

## 【請求項 3】

画素の 2 つの連続的な列の間の各隙間が、供給バス列導体  $V_{dd}$  および少なくとも 1 つの列データ線導体 ( DATA<sub>j</sub> ) を含む、請求項 2 に記載のマトリクス。

## 【請求項 4】

画素のための前記第 1 のドライバ ( COM ) の前記第 1 のスイッチングトランジスタ ( T1 )、および別の画素の第 2 のドライバ ( COM' ) の前記第 1 のスイッチングトランジスタ ( T1' ) が、行選択線 ( Scan<sub>i</sub> ) の両側に背中合わせで配置される、請求項 2 に記載のマトリクス。

40

## 【請求項 5】

画素の 2 つの連続的な列の間の各隙間が、供給バス列導体  $V_{dd}$  および列データ線導体 ( DATA<sub>j</sub> ) を含む、背中合わせに配置された前記第 1 のスイッチングトランジスタが、同じ列データ線 ( DATA<sub>j+1</sub> ) のソース - ドレイン金属列導体の一部によって形成されたソース - ドレイン電極 (  $e_{1sd}$  ) を有する、請求項 4 に記載のマトリクス。

## 【請求項 6】

列における画素の前記第 1 のドライバ ( COM ) の前記制御トランジスタ ( T2 )、お

50

よび同じ列における前または次の画素の前記第2のドライバ(COM')の前記制御トランジスタ(T2')が、行選択線(Scan<sub>i</sub>)の両側に対称的に配列される、請求項2に記載のマトリックス。

【請求項7】

前記第1および第2のドライバの前記制御トランジスタが、インターデジタル型ソース-ドレイン電極を有し、各ソース-ドレイン電極が2つ以上のフィンガを含む、請求項2に記載のマトリックス。

【請求項8】

各第1のドライバ(COM)および各第2のドライバ(COM')が、前記関連するドライバ(COM)の前記第1のスイッチングトランジスタ(T1)のゲートに接続された前記行選択線(Scan<sub>i</sub>)と、前記制御トランジスタ(T2)のゲートとの間に接続された第2のスイッチングトランジスタ(T3)であって、そのゲートが、別の行選択線(Scan<sub>i+1</sub>)に接続された第2のスイッチングトランジスタ(T3)を含み、各行選択線が、画素(pix<sub>i</sub>, j)の対応する行の両側に配置された第1のブランチ(Scan<sub>b</sub><sub>i</sub>)および第2のブランチ(Scan<sub>b</sub><sub>i</sub>)に、活性ゾーン(AZ)において分割される、請求項1に記載のマトリックス。

10

【請求項9】

前記供給電圧が列導体によって分配され、供給列導体V<sub>dd</sub>が、2つの画素列の間の各隙間にあり、画素の前記第1および第2のドライバの前記制御トランジスタ(T2、T2')が、前記制御トランジスタ(T2、T2')の第1のソース-ドレイン電極(e<sub>2s</sub><sub>d</sub>)および第2のソースドレイン電極(e<sub>2's</sub><sub>d</sub>)をそれぞれ形成する前記画素電極(E1)および前記V<sub>dd</sub>供給列導体間に、前記画素電極に沿って作製される、請求項8に記載のマトリックス。

20

【請求項10】

有機発光ダイオードを有する表示画面であって、請求項1~9のいずれか一項に記載のアクティブマトリックスを含む表示画面。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光ダイオード表示画面用のアクティブマトリックス、またはAMOLED(アクティブマトリックス有機発光ダイオード)マトリックスに関し、特に、かかるマトリックスにおける画素の配列に関する。

30

【背景技術】

【0002】

有機発光ダイオード表示画面において、画素は、有機発光ダイオードに基づいた構造である。かかる表示画面は、LCD(液晶表示)装置などの他の表示装置と異なり、追加的な光源を必要としない。この表示画面には、他の利点として、低電力消費、高輝度および低製造コストがある。OLEDダイオードによるビデオデータ表示の根底にある原理は、ダイオード電流の変調である。これは、表示されるビデオデータに対応する電圧を自身のゲートで受け取り、対応する電流をダイオードに送出する電流制御トランジスタによって達成される。したがって、実際には、表示画面は、2つの基板からなっており、典型的には、一方の基板が、電流ドライバおよび画素電極を備えたアクティブマトリックスを支持するガラスで作製され、有機発光ダイオードが、各画素電極と基準電圧面との間で各画素電極の上に形成され、もう一方の基板がまたガラスで作製されて、発光ダイオードおよびそれらの電極を水および空気から分離することによって、それらを含むゾーンを封止する。

40

【0003】

図1に概略的に示すように、AMOLED表示画面のアクティブマトリックスには、通常、n×mの画素pix<sub>i</sub>, j(ここでi=1~mおよびj=1~n)と、m行選択線Scan<sub>i</sub>と、表示画面のn画素をアドレス指定できるようにするn列DATA<sub>j</sub>と、が含

50

まれる。たとえば、画素  $pix_{i,j}$  は、列 DATA  $j$ （これを介して、表示されるビデオ情報に対応する電圧が印加される）および行選択線 Scan  $i$  によってビデオ情報を表示するように、制御可能である。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、有機発光ダイオードを駆動する電流制御トランジスタの閾値電圧のドリフトによる、AMOLED表示画面における表示劣化の周知の問題を解決することを可能にする、画素のための特定の電流制御構造に関する。

【課題を解決するための手段】

【0005】

これらの構造は、2つの電流ドライバを有する構造により、各画素用の電流制御トランジスタの閾値電圧におけるドリフトを回復するためのフェーズの提供を可能にする。より正確には、図2に示すように、各画素  $pix_{i,j}$  には、画素の有機ダイオードOLEDを駆動するための2つのドライバCOMおよびCOM'を有する構造が含まれる。これらの2つのドライバCOMおよびCOM'が、それぞれ、アクティブマトリクスに作製される画素電極に相当するOLEDダイオードの電極E1を制御する出力を有するのに対して、対向電極に相当するダイオードのもう一方の電極E2（陰極）は、全ての画素に共通な電位Vkに接続される。

【0006】

ドライバCOMおよびCOM'は、同一の構造を有し、少なくとも、スイッチングトランジスタ、電流制御トランジスタおよび保持キャパシタを含む。慣例により、T1、C1およびT2は、最初に言及したドライバCOMのこれらの要素を示し、T1'、C1'、T2'は、次に言及したドライバCOM'のこれらの要素を示す。

【0007】

これらのドライバCOMおよびCOM'は、それらが各ビデオフレームで異なる機能を有するように、マトリクスの行選択線および/または列データ線によって制御され、これらの機能は、周期的に逆にされる。これらの機能は、1)電流制御トランジスタのゲートにビデオ電圧を印加し、対応する電流をOLEDダイオードに送出することによって、ビデオ情報を表示することと、2)電流制御トランジスタのゲートに阻止電圧を印加することによって、第1の機能により引き起こされた歪みを補償することと、である。

【0008】

したがって、所与のビデオフレーム中に、2つのドライバのうちの1つ、たとえばドライバCOMは、その電流制御トランジスタT2のゲートに、対応するビデオ電圧を印加することにより、OLEDダイオードを介してビデオ情報を表示する機能を有し、一方で、もう一方のドライバ、この例ではCOM'は、その電流制御トランジスタT2'のゲートに阻止電圧を印加し、それによって、このトランジスタを、閾値電圧ドリフト回復フェーズに置く機能を有する。

【0009】

2つのドライバの機能は周期的に逆にされ、その結果、各ドライバに対しては平均して2つに1つのフレームが用いられ、そのドライバの電流制御トランジスタの過剰な歪みを取り除く。アクティブマトリクスの各電流制御トランジスタの平均閾値電圧ドリフトは、ゼロまたはほぼゼロである。これは、ビデオ電圧をOLEDダイオードに印加するための負荷サイクルに影響せず達成可能であり、その結果、ダイオードは継続的に制御され続ける（100%の負荷サイクル）。

【0010】

上記で示したように、2つのドライバCOMおよびCOM'を適切に制御するために、マトリクスの行および/または列が用いられ、適切な場合には、ドライバの構造に依存して追加的な行または列が特に設けられる。より正確には、第1の実施形態は、ドライバCOM、COM'当たり2つで4つのトランジスタ（すなわち、スイッチングトランジスタ

10

20

30

40

50

タT1、T1'および電流制御トランジスタT2、T2')に基づいた制御構造を有し、また追加的な行または列がマトリックスに挿入されて、これらのトランジスタを適切に駆動するようにする。別の実施形態は、ドライバCOM、COM'当たり3つのトランジスタ(すなわち、2つのスイッチングトランジスタおよび1つの電流制御トランジスタ)で6つのトランジスタに基づいた制御構造を有し、またドライバCOMおよびCOM'のトランジスタを適切に駆動するために、通常に行選択線および列線に加えて、マトリックスの先行および後続画素のための行選択線が用いられる。

#### 【0011】

本発明に生じる1つの技術的問題は、画素当たりのトランジスタの数および/または各画素を制御するために必要な行もしくは列の数をどのように増加させるかであり、一方ではやはり、所与の画素サイズ(およびしたがってアクティブマトリックスサイズ)のための開口率ならびに最適な製造歩留まりを達成することである。

10

#### 【0012】

この技術的問題に対して本発明が提供する1つの解決法は、画素を制御するための要素の特定の配列と、所望の機能を備えたOLED画素を制御するためのこれらの構造に対応するアクティブマトリックスの最適化されたトポロジーとであり、特に、画素電極当たり4つまたは6つのTFTトランジスタに基づいたAMOLED表示画面用のアクティブマトリックスのトポロジーである。

#### 【0013】

したがって、記載のように、本発明は、行および列に配列された画素を含む、有機発光ダイオード表示画面用のアクティブマトリックスであって、各画素が、有機発光ダイオードを表面に収容できる画素電極と、前記画素電極に接続された第1および第2の電流ドライバとを含み、各第1のドライバおよび各第2のドライバが、供給電圧V<sub>dd</sub>と前記画素電極との間に接続された電流制御トランジスタと、前記電流制御トランジスタのゲートを制御するための少なくとも第1のスイッチングトランジスタとを含み、前記第1のスイッチングトランジスタが、マトリックスの列データ線と前記電流制御トランジスタのゲートとの間に接続されて、そのゲートを、マトリックスの行選択線に接続させ、スイッチングおよび制御トランジスタのソースまたはドレイン電極、ならびに画素電極が、ソース-ドレイン金属レベルに作製され、これらのトランジスタのゲート電極が、それぞれ、マトリックスの行選択線によって、ゲート金属レベルに作製されるアクティブマトリックスであって、

20

30

各画素が、マトリックスの2つの行選択線の間配置され、ドライバが、これらの2つの行選択線の第1の行選択線と各画素の画素電極との間に配置され、前記第1の行選択線が、このドライバの第1のスイッチングトランジスタのゲートを形成し、もう一方のドライバが、これらの2つの行選択線の第2の行選択線と画素電極との間に配置され、前記第2の行選択線が、このドライバの第1のスイッチングトランジスタのゲートを形成することと、

制御トランジスタのソース-ドレイン電極が、ソース-ドレイン金属レベルに作製された供給バスV<sub>dd</sub>によって形成され、制御トランジスタのもう一方のソース-ドレイン電極が、少なくとも1つのフィンガによって形成され、このフィンガが、同じソース-ドレイン金属レベルにおける画素電極の突出部であることと、

40

各列データ線が、マトリックスの画素の2つの列の間に配置されて、前記ソース-ドレイン金属レベルおよび前記ゲート金属レベルを用いて形成され、前記ゲート金属レベルが、画素電極に沿って用いられ、前記ソース-ドレイン金属レベルが、前記ドライバのスイッチングトランジスタが作製される、前記画素電極間のゾーンで用いられることと、を特徴とするアクティブマトリックスに関する。

#### 【0014】

一実施形態において、関連するドライバの第1のスイッチングトランジスタのゲートが接続された行選択線と、前記制御トランジスタのゲートとの間に接続された第2のスイッチングトランジスタであって、そのゲートが別の行選択線に接続された第2のスイッチン

50

グトランジスタをドライバが含むマトリックスのために、各行選択線が、対応する画素行の両側に配置される第1のブランチおよび第2のブランチに、活性ゾーンにおいて分割される。

【0015】

本発明は、本発明によるアクティブマトリックスを含む有機発光ダイオード表示画面に適用される。

【0016】

本発明の他の利点および特徴は、非限定的な例として提示した本発明の実施形態において図示した図面に関連する次の記載において詳細に説明する。

【発明を実施するための最良の形態】

10

【0017】

次の記載において、2つのドライバCOMおよびCOM'を有する3つの電流制御構造を提示し、また各構造に対して、本発明による画素の配列およびアクティブマトリックスの対応するインプリメンテーションを説明する。

【0018】

説明の明瞭性および簡略性のために、様々な図に共通の要素は、同じ参照符号を有する。

【0019】

スイッチングトランジスタのゲートを制御する行選択線は、Scan i またはScan i' と呼ばれる。プライム符号は、その線が、通常に行選択線に加えてマトリックスに設けられることを意味する。

20

【0020】

ビデオまたは阻止電圧がスイッチングトランジスタに伝送される際に経由する列データ線は、DATA j またはDATA j' と呼ばれる。プライム符号は、その線が、通常の列データ線に加えてマトリックスに設けられることを示す。

【0021】

トランジスタTkのチャネルの両側における2つの電極は、両方とも、ソース-ドレイン電極と呼ばれるが、それらの機能は同じである。これらの2つの電極は、ek<sub>s,d</sub> およびek'<sub>s,d</sub> として示される。

【0022】

図3および6は、4つのトランジスタ(すなわち、ドライバCOM、COM' 当たり2つ)に基づいた制御構造の回路図の2つの例である。この場合、各ドライバには、2つのトランジスタ、すなわちスイッチングトランジスタT1、T1' および電流制御トランジスタT2、T2' が含まれる。スイッチングトランジスタ(T1、T1') は、列データ線と制御トランジスタ(T2、T2') のゲートとの間に接続され、そのゲートは行選択線に接続されて、画素が選択されるときに制御(ビデオまたは阻止)電圧を制御トランジスタ(T2、T2') のゲートに印加できるようにする。制御トランジスタ(T2、T2') は、供給電圧V<sub>dd</sub> とOLEDダイオードの制御電極E1との間に電流発生器として接続される。保持キャパシタ(C1、C1') は、制御トランジスタのゲートと供給電圧V<sub>dd</sub> との間に接続される。保持キャパシタを接続する様々な方法が存在することに留意されたい。たとえば、ドライバのうちの1つの保持キャパシタは、もう一方のドライバのスイッチングトランジスタのゲートを制御する行選択線に接続することが可能である(図示せず)。

30

40

【0023】

2つの構造間の差異は、関連するドライバCOMおよびCOM' の表示機能または回復機能を交互に制御するためにスイッチングトランジスタT1およびT1' をアドレス指定する方法から生じる。

【0024】

図3は、このアドレス指定を実行する第1の方法を示す基本回路図である。図4は、本発明に対応する画素のインプリメンテーションに対応する回路図であり、図5は、対応す

50

るアクティブマトリックスのトポロジーインプリメンテーションを示す。

【0025】

この第1の実施形態において、画素当たり2つの列データ線が設けられ、また画素  $pixel_{i,j}$  の2つのスイッチングトランジスタのビデオ表示モードおよび回復フェーズにおける交互制御のために、画素に関連する2つの列データ線  $DAT A_j$  および  $DAT A_j'$  が用いられ、各列データ線が、ビデオ電圧および阻止電圧を交互に受け取り、スイッチングトランジスタ  $T_1$  および  $T_1'$  のゲートが、画素の行選択線  $Scan_i$  によって駆動される。第1の列データ線  $DAT A_j$  は、スイッチングトランジスタ  $T_1$  のドレインまたはソースに接続され、一方で第2の列データ線  $DAT A_j'$  は、スイッチングトランジスタ  $T_1'$  に接続される。したがって、画素の  $n$  列  $\times$   $m$  行の対応するマトリックスは、 $2n$  の列データ線（列当たり2つ）およびそれをアドレス指定するための  $m$  行選択線、すなわち、標準マトリックスと比較して  $n$  の追加的な列を必要とする。さらに、これには、画素当たりそれぞれ、2つの2トランジスタドライバが含まれる。

10

【0026】

本発明による配列において、各画素  $pixel_{i,j}$  は、図4の回路図および図5のトポロジー図に明示されているように、ドライバ  $COM$  および  $COM'$  の対称的な配列を備え、2つの行選択線  $Scan_i$  と  $Scan_{i+1}$  との間に配置されている。この配列は、図3に示す図と比較して、スイッチングトランジスタ  $T_1$  および  $T_1'$  の制御を修正することによって、容易になる。これらのトランジスタは、同じ線によってではなく、表示画面の2つの異なる行選択線、すなわち  $Scan_i$  および  $Scan_{i+1}$  によって制御される。この例において、スイッチングトランジスタ  $T_1'$  のゲートは、行選択線  $Scan_i$  によって駆動され、一方でスイッチングトランジスタ  $T_1$  のゲートは、行選択線  $Scan_{i+1}$  によって駆動される。

20

【0027】

有利なことに、この配列には、次のことが含まれる。

画素電極  $E_1$  を基準にした、画素  $pixel_{i,j}$  内におけるトポロジーの対称性。各ドライバは、それを駆動する行選択線、この例では、ドライバ  $COM'$  の場合の  $Scan_i$  およびドライバ  $COM$  の場合の  $Scan_{i+1}$  に、できるだけ接近して位置している。

2つの行の間の行選択線を基準に、次の（または前の）行の画素のトランジスタ  $T_2'$  に対する、ある行の画素のトランジスタ  $T_2$  の対称的な位置決め（逆の場合も同様である）。この例では、トランジスタ  $T_2$  が、各行選択線の上に位置し、トランジスタ  $T_2'$  が、各行選択線の下に位置する。

30

ある画素のための第1のドライバの第1のスイッチングトランジスタと、別の画素のための第2のドライバの第1のスイッチングトランジスタとの、行選択線の両側における背面配列。したがって、トランジスタ  $T_1$ 、 $T_1'$  のペアが、これらの2つのトランジスタ  $T_1$  および  $T_1'$  を駆動する共通の行選択線行に対して背中合わせに配列されるが、これは、たとえば、画素  $pixel_{i+1,j}$  のトランジスタ  $T_1$  および画素  $pixel_{i,j+1}$  のトランジスタ  $T_1'$  によって形成されたペアなどであり、図4で見ることができ、図5のトポロジー図の右下部分で実証可能である。行選択線を基準にしたこの背面位置決めによって、スペースを最適化し、したがって、開口率を向上させることが可能になる。その理由は、ゲート金属  $Mg$ （典型的には、 $TiMo$  すなわちチタンモリブデン）から通常は作製される行選択線が、スイッチングトランジスタ  $T_1$  および  $T_1'$  のゲート  $g$  を形成するために適した設計（図5）を有するからである。さらに、これらのトランジスタのソース電極が、この線の突出部を設ける必要なく、関連する列データ線によって形成される。スペースは、最もよく最適化される。

40

【0028】

図13に示すように、供給部  $V_{dd}$  は、列だけ（または行だけ）でなく、行導体および列導体  $rc$  および  $cc$  のマトリックス化された配列にわたって、マトリックス全体に電氣的に連続して分配されるのが有利であり、これによって、ノード  $n_1$  および  $n_2$  における電流制御トランジスタ  $T_2$  および  $T_2'$  のソース/ドレイン電極に  $V_{dd}$  を送出すること

50

が可能になるが、これらのノードはまた、それぞれ、対応するドライバの電流制御トランジスタと保持キャパシタとの間の共通ノードに相当する。供給部  $V_{dd}$  のこの分配は、 $OLED$  ダイオードが作製される画素電極  $E_1$  のゾーンを浸食せずに達成される。供給バス  $V_{dd}$  のかかるマトリクス化された分配に関して、アクセス抵抗は低く、全ての画素に対してほぼ同じである。マトリクス化された分配によって、冗長性機能が有利に提供され、その結果、マトリクスの製造歩留まりははるかによい。製造プロセスにおいて供給列または行に生じる可能性がある破損の場合であってさえ、マトリクス化された分配によって、活性ゾーンの全ての画素に対して電流が分配されることが保証される。マトリクス化された分配によって、マトリクスにおける、 $V_{dd}$  への全ての接続ノード ( $n_1$ 、 $n_2$ ) に達することが可能になる一方で、やはり、各画素で利用可能な光領域が最適化される。

10

## 【0029】

供給バス  $V_{dd}$  は、(典型的にはモリブデン ( $Mo$ ) で作製された)、マトリクスのソース-ドレイン金属レベル  $M_{sd}$  に典型的に作製される。したがって、それは、各供給列  $V_{dd}$  の両側における行に沿って横に延びることによって、トランジスタ  $T_2$  および  $T_2'$  のソース-ドレイン電極を自然に作製し、かくしてマトリクス配列を形成する。

## 【0030】

ソース-ドレイン金属レベルはまた、通常、列データ線  $DATA_j$ 、 $DATA_{j'}$  のレベルであり、したがって、これらの列データ線は、もちろん、スイッチングトランジスタ  $T_1$ 、 $T_1'$  のソース-ドレイン電極、たとえばトランジスタ  $T_1$  の電極  $e_{1sd}$  (図 5)

20

## 【0031】

したがって、画素の 2 つの列の間に、3 つの垂直な導体、すなわち 1 つの供給列導体  $V_{dd}$  と、その両側に配置された 2 つの列データ線導体たとえば  $DATA_{j'}$ 、 $DATA_{j+1}$  がある。

## 【0032】

共面列導体間の、ソース-ドレイン金属レベルにおける短絡リスクを制限するため、およびこれらの様々な列導体を共に近くに作製して開口率を増加させるために、列データ線は、マトリクスの 2 つの金属レベル間のニッティング ( $knitting$ ) 法を用いて、すなわち、ソース-ドレイン金属レベルおよびゲート金属レベルを用いること、ならば

にこれらの間に接触ポイントを設けることによって、作製するのが有利である。ソース-ドレイン金属レベル  $M_{sd}$  は、スイッチングトランジスタ  $T_1$  および  $T_1'$  のソース/ドレイン電極  $e_{1sd}$  を作製するための、トランジスタの地理的ゾーンにおいてのみ用いられる。ゲート金属レベル  $M_g$  は、他のどの場所でも、特に画素電極  $E_1$  に沿って用いられ、それによって、供給列  $V_{dd}$  およびその両側の列データ線を共に非常に接近させる。列データ線に関して、2 つの金属レベル  $M_{sd}$  および  $M_g$  間の経路は、典型的には、ゲート絶縁層における開口部  $Oig$  によって得られる接触ポイント  $ct_1$ 、 $ct_2$  によって形成され、これらのポイントにおいてソース-ドレイン金属レベル  $M_{sd}$  は、ゲート金属レベルと接触することが可能になる。

30

## 【0033】

ソース-ドレイン金属で作製された、スイッチングトランジスタ  $T_1$ 、 $T_1'$  のもう一方のソース-ドレイン電極  $e_{1'sd}$  は、接点 ( $ct_3$ ) を作製するためにゲート絶縁層に開口部を設けることによって、関連する電流制御トランジスタ  $T_2$  または  $T_2'$  のゲートに接続される。

40

## 【0034】

供給バス  $V_{dd}$  のマトリクス化された分配によって、2 つの接触ポイント  $ct_1$  と  $ct_2$  との間のゾーンにおけるソース-ドレイン金属導体  $M_{sd}$  の通過が防止される。ソース-ドレイン金属  $M_{sd}$  で作製された列導体  $V_{dd}$  は、両側において、 $ct_1$  の前で供給線導体に分割されて、行選択線を基準に互いに対称的に対面しかつ  $ct_2$  の後のもう一方の側で結合する、トランジスタ  $T_2$  および  $T_2'$  のソース-ドレイン電極  $e_{2sd}$  および

50

$e_{2's_d}$ を形成するようにする。換言すれば、マトリックス化された分配 $V_{dd}$ は、背中合わせのトランジスタ $T_1$ および $T_1'$ のペアのそれぞれを迂回するように作製される。このように、光開口部は、製造プロセスの信頼性および製造歩留まりを決して犠牲にすることなく最適化される。

【0035】

画素電極 $E_1$ は、典型的には、ソース-ドレイン金属レベル $M_{sd}$ (図5)に作製される。開口部 $Op$ は、マトリックスのパッシベーション層に作製されて、この電極 $E_1$ に対する接触ゾーン、すなわち有機発光ダイオードが配置される画素の光ゾーンを露出するようにする。

【0036】

OLEDダイオード用に必要な電流を供給するための十分に大きなサイズのチャンネルの幅 $W$ を有しなければならない電流制御トランジスタが占める領域を最適化するために、これらのトランジスタ $T_2$ 、 $T_2'$ は、図5に示すように、いわゆる、インターデジタル型ソース-ドレイン電極を備えたトポロジーを有するのが有利であり、それによって、最小幅(行選択線の方向に幅を考える)に関して所望の比率を得ることが可能になり、したがって、画素の開口率を低下させることがない。より正確には、これらのトランジスタのソース-ドレイン電極 $e_{2's_d}$ が、画素電極 $E_1$ (ソース-ドレイン金属 $M_{sd}$ )の突出部(フィンガ)によって形成されるのに対して、もう一方のソース-ドレイン電極 $e_{2's_d}$ は、供給バス $V_{dd}$ からの突出部によって形成される。各行選択線に対する、2つのトランジスタ $T_2$ および $T_2'$ の対称的な位置決めによって、供給線導体 $V_{dd}$ の同じ部分から、これらの2つのトランジスタのそれぞれにおける対応する電極 $e_{2's_d}$ を作製することが可能になる。このポイントにおいて、( $M_{sd}$ 金属で作製された)供給導体 $V_{dd}$ が、ゲート金属 $M_g$ で作製された行選択線の上に位置し、その結果、使用スペースが最適に管理されることに留意されたい。さらに、複数の電極フィンガを備えたこのインプリメンテーションによって、単一のフィンガを有するインプリメンテーションと比較して、フィンガの破損の場合には、画素の欠陥問題を制限することが可能になる。

【0037】

したがって、2つの画素列の間では、2つの列データ線導体、たとえば $DATA_j'$ および $DATA_{j+1}$ が、供給線導体 $V_{dd}$ の各側で側面に位置している。

【0038】

本発明による配列によって、特に、有利な開口率を備えた、4トランジスタ画素によって占められた領域を最適化することが可能になる。

【0039】

トランジスタは、典型的には、アモルファスシリコンで作製されたTFT(薄膜トランジスタ)であるのが好ましい。これらのトランジスタのチャンネルは、ソース-ドレイン電極( $M_{sd}$ レベル)間においてアモルファスシリコン $a-Si$ で作製され、特に図5におけるトランジスタの1つで示すように、( $M_g$ レベルにおける)ゲートによって制御される。

【0040】

図6は、関連するドライバCOMおよびCOM'の表示機能または回復機能を交互に制御するために4トランジスタ制御構造のスイッチングトランジスタ $T_1$ および $T_1'$ をアドレス指定する別の方法を示す基本回路図である。図7は、本発明による対応する画素のインプリメンテーションに対応する回路図であり、図8は、対応するアクティブマトリックスのトポロジーインプリメンテーションを示す。

【0041】

図3におけるようにドライバCOMおよびCOM'の表示および回復機能の交替を可能にするために追加的な列データ線を挿入する代わりに、行選択線が用いられる。列データ線の数を2倍にする代わりに、行選択線の数が2倍にされる。したがって、対応するマトリックスには、 $2 \times m$ 行選択線(画素当たり2つ)と、表示画面の $m \times n$ 画素 $pix_{i,j}$ に関連する $n$ 列データ線と、が含まれる。

10

20

30

40

50

## 【 0 0 4 2 】

この実施形態において、スイッチングトランジスタ $T_1$ のゲートは、画素 $p_{i \times j}$ の行選択線 $Scani$ に接続され、デュアルスイッチングトランジスタ $T_1'$ のゲートは、 $Scani'$ で示された別の行選択線に接続される。図8に示すように、同じ列データ線、たとえば $DATA_{j+2}$ は、この線の右の列における画素の全トランジスタ $T_1$ のソース-ドレイン電極 $e_{1sd}$ 、およびこの線の左の列における画素の全トランジスタ $T_1'$ のソース-ドレイン電極 $e_{1'sd}$ に接続される。

## 【 0 0 4 3 】

マトリックスの配列およびトポロジーの観点から見れば、図3~6に関連して上記で説明した全てが、同じように当てはまる。なぜなら、両方の場合において、各画素は、この画素のスイッチングトランジスタ( $T_1$ 、 $T_1'$ )の1つをそれぞれ制御する2つの行選択線が側面に配置されているからであるが、しかし、ここでは、画素を作製するための必要なスペースがより大きい。なぜなら、画素の2つの列の間に、1つの供給導体および1つの列データ線があるだけだからである。

10

## 【 0 0 4 4 】

したがって、さらに、同じ列データ線および同じ行選択線に関連する2つのトランジスタ $T_1$ および $T_1'$ の背面位置決めによって、同じ列データ線導体、すなわち2つの接点 $ct_1$ と $ct_2$ との間のソース-ドレイン金属 $M_{sd}$ の部分(その設計を適合させる必要なしに)を用いて、これらの2つのトランジスタ $T_1$ および $T_1'$ のためのソース-ドレイン電極 $e_{1sd}$ を作製することが可能になる。このように、スペースは、最もよく最適化される。

20

## 【 0 0 4 5 】

図9は、6つのトランジスタ(すなわちドライバCOM当たり3つ)に基づいた制御構造を備えたOLED画素の原理を示すダイアグラムを例示する。かかる構造の利点は、それが、ドライバCOMおよびCOM'の交互の回復およびビデオ表示機能を制御する追加的な行選択または列データ線を必要としないということである。したがって、 $n \times m$ 画素からなる画面に対して、先行技術(図1)におけるように $m$ 行選択線 $Scani$ および $n$ 列データ線 $DATA_j$ がある。

## 【 0 0 4 6 】

これは、回路トポロジー(線の交差、線の制御)および使用スペースの点から見て貴重な利点である。これが達成されるのは、電流制御トランジスタを交互に制御する手段となる追加的なスイッチングトランジスタを設けることによってである。この追加的なドライバスイッチングトランジスタは、ドライバCOMの場合には $T_3$ 、ドライバCOM'の場合には $T_3'$ で示される。以下において、トランジスタ $T_1$ および $T_1'$ は、第1のスイッチングトランジスタと呼ばれ、トランジスタ $T_3$ および $T_3'$ は、第2のスイッチングトランジスタと呼ばれる。

30

## 【 0 0 4 7 】

図8および9に示すように、各画素 $p_{i \times j}$ のために、2つのドライバCOMおよびCOM'の第1のスイッチングトランジスタ $T_1$ および $T_1'$ に接続された単一の列データ線 $DATA_j$ と、ドライバのうち1つの第1のスイッチングトランジスタのゲートが接続された第1の行選択線と、もう一方のドライバの第1のスイッチングトランジスタのゲートが接続された、マトリックスの別の行選択線、好ましくは前の線と、がある。この例において、画素 $p_{i \times j}$ の場合には、行選択線 $Scani$ は、ドライバCOMのスイッチングトランジスタ $T_1$ のゲートに接続され、一方で行選択線 $Scani-1$ は、ドライバCOM'のスイッチングトランジスタ $T_1'$ のゲートに接続される。ドライバCOMの構成要素 $T_1$ 、 $C_1$ および $T_2$ 、ならびにドライバCOM'の $T_1'$ 、 $C_1'$ および $T_2'$ がまた、特に図3に関して前に示したように、OLEDダイオードと一緒に接続される。前述のように、 $n_1$ および $n_2$ はそれぞれ、 $V_{dd}$ への、トランジスタ $T_2$ および $T_2'$ それぞれのソース-ドレイン電極の接続のためのノードを示し、一方で $ct_3$ および $ct_4$ はそれぞれ、制御トランジスタ $T_2$ および $T_2'$ それぞれのゲートへの、第1

40

50

のスイッチングトランジスタ $T_1$ および $T_1'$ それぞれのソース-ドレイン電極の接続のためのノードを示す。

【0048】

各ドライバに設けられた第2のスイッチングトランジスタ $T_3$ 、 $T_3'$ は、電流制御トランジスタのゲートと、これらのトランジスタが属するドライバの第1のスイッチングトランジスタの行選択線 $Scan_i$ 、 $Scan_i - 1$ との間にそれぞれ接続される。ドライバの第2のスイッチングトランジスタのゲートは、もう一方のドライバに関連する行選択線に接続される。したがって、図示の例において、画素 $pix_{i,j}$ のトランジスタ $T_3$ は、スイッチングトランジスタ $T_1$ の行選択線 $Scan_i$ と、電流制御トランジスタ $T_2$ のゲートとの間に接続される。さらに、そのゲートは、行選択線 $Scan_i - 1$ に接続される。トランジスタ $T_3'$ は、スイッチングトランジスタ $T_1'$ の行選択線 $Scan_i - 1$ と、電流制御トランジスタ $T_2'$ のゲートとの間に接続される。さらに、そのゲートは、行選択線 $Scan_i$ に接続される。

10

【0049】

本発明によれば、スペースを最も良く最適化するために、対応する画素配列を提供する一方で、やはり技術的制約を考慮する。特に、既に上記で示したように、目標は、ドライバ $COM$ および $COM'$ を画素内に対称的に配列して最適な開口率を得るようにすることである。スイッチングトランジスタを背中合わせに配列して、必要なスペースを制限し、接続部をより簡単にできることが特に有利である。行選択線に対して、電流制御トランジスタを対称的に配列できることがまた有利である。

20

【0050】

本発明による対応する配列を図10、11および12に示す。図10および11は、画素のための回路図(図10)、および4つの隣接画素のための回路図(図11)である。図12は、対応するマトリックスのトポロジー図である。

【0051】

この配列において、光領域の両側に行選択線 $Scan_i$ の2つのブランチ $Scan_{a,i}$ および $Scan_{b,i}$ があるように、二重の行選択線が設けられる。したがって、各画素は、2つの行選択線が側面に位置するが、これらの行選択線は、同じ行選択線の上部および底部ブランチ $Scan_{a,i}$ および $Scan_{b,i}$ である。この配列によって、画素のスイッチングトランジスタを、画素を横切らずに都合よく実現することが可能になる。それによってまた、画素の2つのドライバ $COM$ および $COM'$ を、画素電極 $E_1$ の両側に対称的に配列することが可能になる。実際には、二重の線は、活性ゾーン $AZ$ の境界に設けられる。

30

【0052】

画素の電流制御トランジスタ $T_2$ および $T_2'$ は、これらのトランジスタのソース-ドレイン電極 $e_{2,s,d}$ を形成する画素電極 $E_1$ と、これらのトランジスタのもう一方の電極 $e_{2',s,d}$ を形成する供給列 $V_{dd}$ との間で、画素電極に沿って配置される。ここで、これらのトランジスタは $L$ であり、単一のソース-ドレイン電極フィンガを備えている。これらのトランジスタのために大きくなければならないチャンネルの幅 $W$ は、ここでは、画素電極 $E_1$ の長さを利用することによって実現される。2つのトランジスタ $T_2$ と $T_2'$ との間の分離は、これらのトランジスタの2つのゲート $g$ 間の分離部 $O_g$ によって達成される。

40

【0053】

図14に示すように、供給バス $V_{dd}$ は、上部メインバス $B_t$ または底部メインバス $B_b$ から来る供給列導体 $c_c$ を介して分配される。したがって、画素の各列に対して1つの供給列導体 $c_c$ があるが、この導体 $c_c$ は、画素の2つの列の各隙間に配置される(図12)。確かに、図13におけるようなマトリックス化された分配は、6トランジスタ制御構造の場合には有利ではない。画素における電流消費による、供給列導体 $c_c$ 間の電圧降下を制限するために、図12で分かるであろうように、幅広の供給列導体を作製して、可能な最低限のアクセス抵抗を達成するようにする。

50

## 【0054】

ドライバ当たり1つの追加的なスイッチングトランジスタの存在に関連するこれらの差異は別として、4トランジスタ制御構造のための前の実施形態に関連して見た、本発明による配列の他の特徴は、同じ効果を伴い同じ方法で当てはまる。繰り返すと、特に、接触ポイントc t 1およびc t 2を用いたニッティングがある。スイッチングトランジスタは、主として、行選択線の底部ブランチたとえばS c a n<sub>b</sub> iと、次の行選択線の上部ブランチすなわちこの例ではS c a n<sub>a</sub> i + 1との間の2つの連続的な行選択線に集中される。この配列によって、作製される様々な接続部、特にドライバのスイッチングトランジスタのソース - ドレイン電極を、電流制御トランジスタのゲートに共通に接続する接続部を最適化することが可能になる。したがって、トランジスタT 1のソース - ドレイン電極e ' 1<sub>s d</sub>およびトランジスタT 3のソース - ドレイン電極e ' 3<sub>s d</sub>を、トランジスタT 2のゲートに接続するための一接触ポイントc t 3と、トランジスタT 1'のソース - ドレイン電極e ' 1<sub>s d</sub>およびトランジスタT 3'のソース - ドレイン電極e ' 3<sub>s d</sub>を、トランジスタT 2'のゲートに接続するための一接触ポイントc t 4と、がある。

10

## 【0055】

接触ポイントc t 1およびc t 2はまた、トランジスタT 1'のソース - ドレイン電極e 1<sub>s d</sub>を、対応する画素に関連する列データ線に接続する役割をするが、この列データ線は、列における前の画素のトランジスタT 1のソース - ドレイン電極e 1<sub>s d</sub>を形成する。

## 【0056】

接触ポイントc t 5、c t 6のそれぞれによって、トランジスタT 3、T 3'のそれぞれの電極e 3<sub>s d</sub>を、対応する行選択線に接続することが可能になる。

20

## 【0057】

本発明を示すためにたった今提示した配列の様々な例は、次のことを示す。すなわち、各画素を、この画素のスイッチングトランジスタを駆動する2つの行選択線（第1の例ではS c a n<sub>i</sub>およびS c a n<sub>i</sub>'、第2の例ではS c a n<sub>a</sub> iおよびS c a n<sub>b</sub> iで）間に配列することによって、画素電極と、問題のドライバのスイッチングトランジスタを駆動する行選択線との間で、画素電極の両側に2つのドライバを対称的に配列することが可能になることと、トランジスタのソース - ドレイン電極の導体レベルと、トランジスタのゲート導体レベルとの間の列データ線のニッティングによって、最大化された光開口部および最適な製造信頼性（共面の導体間の過度の金属による短絡の危険はない）を備えたアクティブマトリックスを作製することが可能になることと、を示す。

30

## 【0058】

同じ行選択線によって駆動されるスイッチングトランジスタの背面配列によって、光開口部が有利に増加される。

## 【0059】

図示の例において、保持キャパシタC 1、C 1'は、典型的には、電流制御トランジスタのゲート - ソース（またはゲート - ドレイン）キャパシタンスによって作製される。

## 【0060】

ドライバが単一のスイッチングトランジスタを含む場合に有利に用いることが可能な供給バスのマトリックス化された分配（図13）によって、アクセス抵抗を改善し、したがってマトリックスにわたるよりよい電力分配を得る一方で、さらに製造プロセスの信頼性（冗長性）を改善することが可能になる。

40

## 【0061】

たった今説明した本発明は、T F T（アモルファスシリコン）トランジスタに基づいたアクティブマトリックスを用いる有機発光ダイオード表示画面に最もよく適用される。本発明は、より一般的には、任意のアクティブマトリックス有機発光ダイオード表示画面に適用される。

## 【図面の簡単な説明】

## 【0062】

50

- 【図 1】 先行技術による O L E D アクティブマトリクス構造を概略的に示す。  
 【図 2】 本発明が適用されるマトリクスにおける O L E D 画素の原理を示す図である。  
 【図 3】 第 1 の O L E D ダイオード画素構造の等価回路図を示す。  
 【図 4】 本発明による対応するインプリメンテーションを示す。  
 【図 5】 本発明による対応するインプリメンテーションを示す。  
 【図 6】 第 2 の O L E D ダイオード画素構造の等価回路図を示す。  
 【図 7】 本発明による対応するインプリメンテーションを示す。  
 【図 8】 本発明による対応するインプリメンテーションを示す。  
 【図 9】 本発明の別の実施形態による第 3 の O L E D ダイオード画素構造を示す。  
 【図 10】 本発明による対応するインプリメンテーションを示す。  
 【図 11】 本発明による対応するインプリメンテーションを示す。  
 【図 12】 本発明による対応するインプリメンテーションを示す。  
 【図 13】 特に図 3 ~ 8 に適用可能な電圧  $V_{dd}$  のマトリクス化された分配を示す。  
 【図 14】 特に図 9 ~ 12 に適用される電圧  $V_{dd}$  の分配を示す。

## 【符号の説明】

## 【0063】

COM ドライバ

COM' ドライバ

 $V_k$  電位DATA $_j$  列データ線DATA $_{j+1}$  列データ線DATA $_{j+2}$  列データ線DATA $_j'$  列データ線T $_k$  トランジスタ $e_{k_{s_d}}$  電極 $e_{k'_{s_d}}$  電極 $V_{dd}$  供給電圧、供給バス

T1 スイッチングトランジスタ

T1' スイッチングトランジスタ

T2 電流制御トランジスタ

T2' 電流制御トランジスタ

T3 スイッチングトランジスタ

T3' スイッチングトランジスタ

C1 保持キャパシタ

C1' 保持キャパシタ

Scan $_i$  行選択線Scan $_{i+1}$  行選択線Scan $_{i-1}$  行選択線Scan $_{a_i}$  行選択線ブランチScan $_{b_i}$  行選択線ブランチpix $_{i,j}$  画素

Mg ゲート金属レベル

M $_{s_d}$  ソース - ドレイン金属レベル

n1 ノード

n2 ノード

E1 画素電極

ct1 ~ ct6 接触ポイント

 $e_{1_{s_d}}$  ソース - ドレイン電極 $e_{1'_{s_d}}$  ソース - ドレイン電極 $e_{2_{s_d}}$  ソース - ドレイン電極

10

20

30

40

50



【 図 3 】

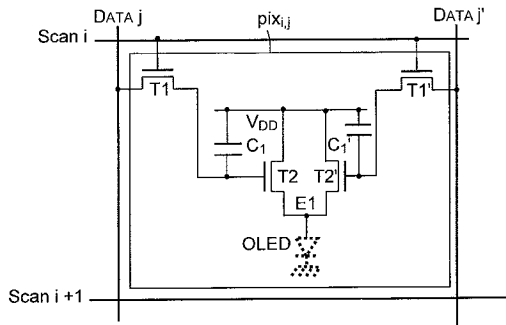


図 3

【 図 4 】

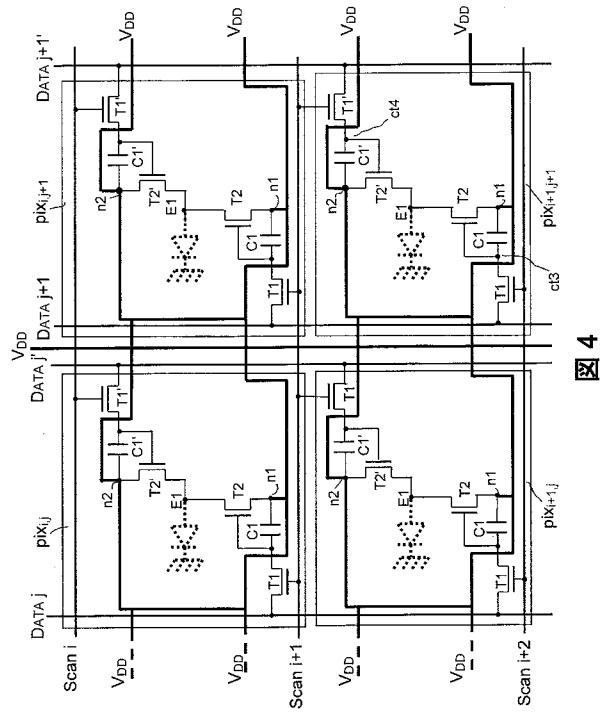


図 4

【 図 5 】

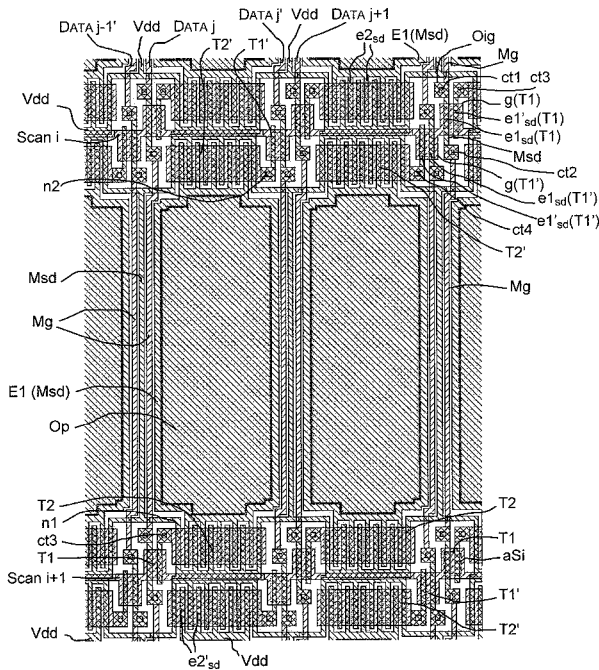


図 5

【 図 6 】

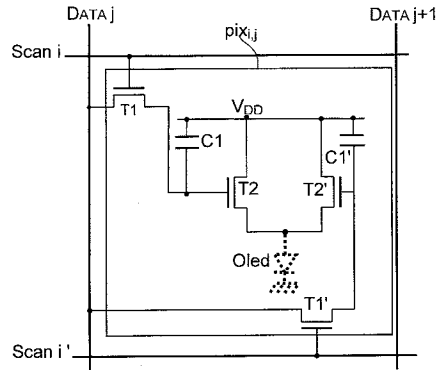


図 6

【 図 7 】

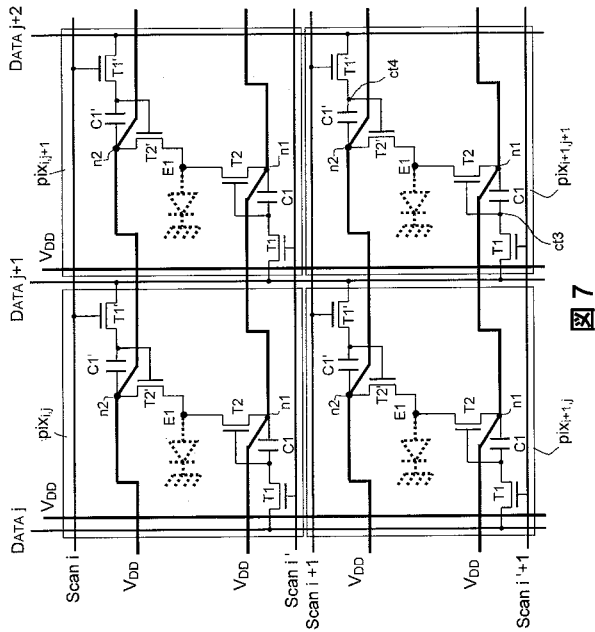


図 7

【 図 8 】

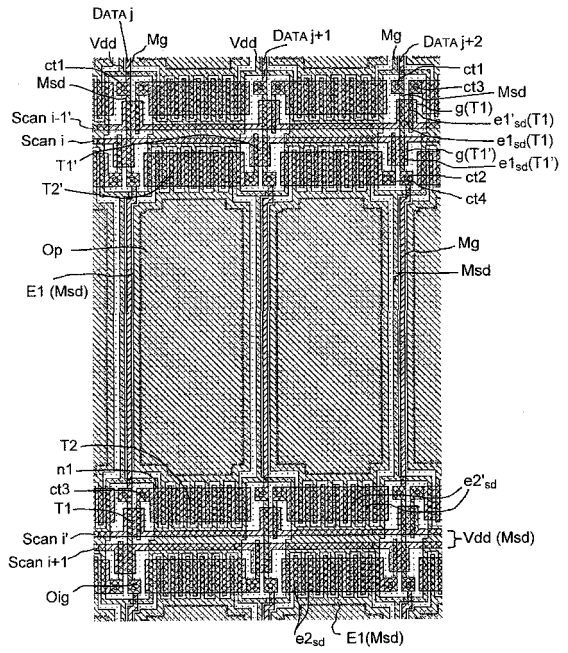


図 8

【 図 9 】

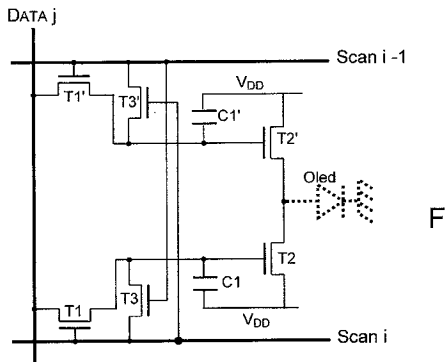


図 9

【 図 10 】

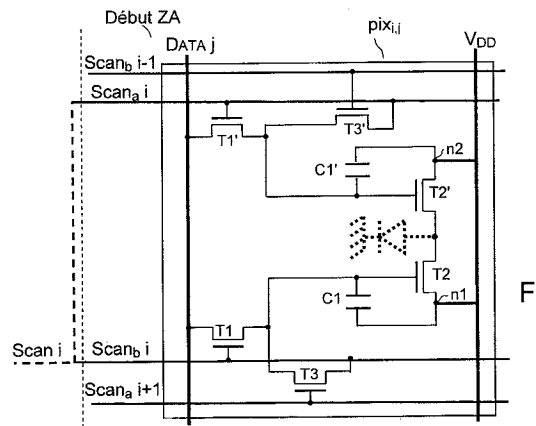


図 10



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L</i>	<i>21/336</i>	<i>(2006.01)</i>	H 0 5 B 33/14	A
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>	H 0 1 L 29/78	6 1 2 Z
			G 0 9 G 3/20	6 4 2 A
			G 0 9 G 3/20	6 1 1 H

(72)発明者 チュイトン、エリザベス

フランス、3 8 4 2 0 ルベル、ラ サラツィーネ

Fターム(参考) 3K107 AA01 BB01 CC33 EE04 HH04 HH05  
 5C080 AA06 BB05 DD05 DD29 EE29 FF07 FF11 HH09 JJ02 JJ03  
 JJ06  
 5C094 AA53 BA03 BA27 CA20 DB01 EA04  
 5F110 AA08 AA14 BB01 EE06 GG02 GG15 HK04 HM04 NN71 NN73

【外国語明細書】

2008292983000001.pdf

专利名称(译)	有机发光二极管显示屏的有源矩阵		
公开(公告)号	<a href="#">JP2008292983A</a>	公开(公告)日	2008-12-04
申请号	JP2008066103	申请日	2008-03-14
[标]申请(专利权)人(译)	汤姆森 - 无线电报总公司		
申请(专利权)人(译)	故事		
[标]发明人	クレツティエリー ルブランユーグ チュイトンエリザベス		
发明人	クレツ、ティエリー ルブラン、ユーグ チュイトン、エリザベス		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H01L51/50 H01L21/336 H01L29/786		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0465 G09G2300/0852 G09G2310/0254 G09G2320/043 H01L27/3276		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.670.K H05B33/14.A H01L29/78.612.Z G09G3/20.642.A G09G3/20.611.H G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA20 5C094/DB01 5C094/EA04 5F110/AA08 5F110/AA14 5F110/BB01 5F110/EE06 5F110/GG02 5F110/GG15 5F110/HK04 5F110/HM04 5F110/NN71 5F110/NN73 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB09 5C380/AB22 5C380/AB45 5C380/AB46 5C380/BA19 5C380/BA27 5C380/BA29 5C380/BD08 5C380/BD10 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB37 5C380/CC01 5C380/CC28 5C380/CC34 5C380/CC46 5C380/CC52 5C380/CC55 5C380/CC62 5C380/CC63 5C380/CC65 5C380/CC77 5C380/CD024 5C380/CD026 5C380/DA02 5C380/DA06 5C380/DA35 5C380/DA58 5C380/HA13		
代理人(译)	高久木村		
优先权	2007001929 2007-03-16 FR		
其他公开文献	JP5560487B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供了一种有机发光二极管显示屏的有源矩阵。每个像素中包括的两个驱动器相对于像素电极E1对称地布置，并且每个驱动器在像素电极与位于像素的侧面上的行选择线之一之间具有空间。在里面通过分别在源极-漏极金属级和栅极金属级之间的接触点ct1，ct2在两个像素列之间的间隙中产生列数据线，以分别形成晶体管的源极-漏极和栅极。控制晶体管的一个源-漏电极由在源-漏金属水平处形成的电源总线Vdd形成，并且控制晶体管的另一源-漏电极在相同源-漏金属水平处投射在像素电极处。由至少一个由各部分组成的手指形成。[选择图]图5

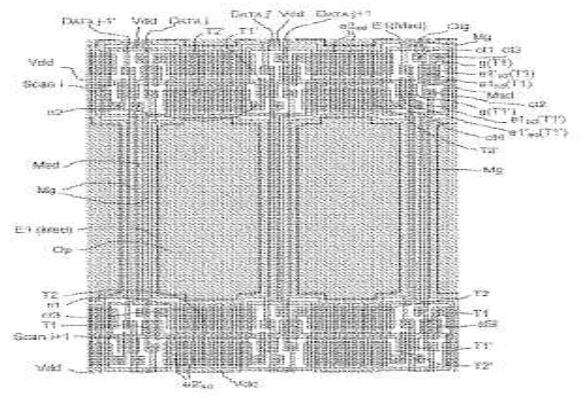


图 5