

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-519956

(P2007-519956A)

(43) 公表日 平成19年7月19日(2007.7.19)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611H	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 642A	
	G09G 3/20 641D	
	G09G 3/20 624B	

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

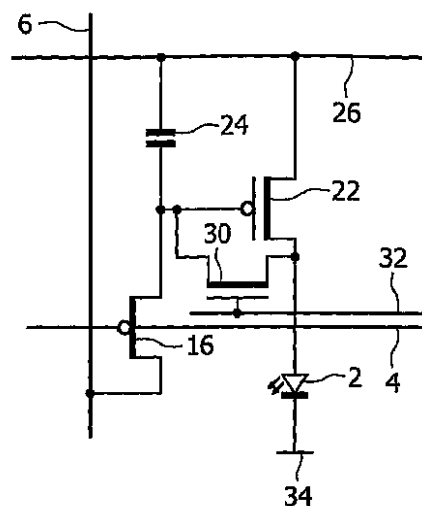
(21) 出願番号	特願2006-548495 (P2006-548495)	(71) 出願人	590000248
(86) (22) 出願日	平成17年1月4日 (2005.1.4)		コーニンクレッカ フィリップス エレク
(85) 翻訳文提出日	平成18年7月6日 (2006.7.6)		トロニクス エヌ ヴィ
(86) 国際出願番号	PCT/IB2005/050029		オランダ国 5621 ベーアー アイン
(87) 国際公開番号	W02005/069267		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開日	平成17年7月28日 (2005.7.28)		1
(31) 優先権主張番号	0400216.8	(74) 代理人	100070150
(32) 優先日	平成16年1月7日 (2004.1.7)		弁理士 伊東 忠彦
(33) 優先権主張国	英国 (GB)	(74) 代理人	100091214
			弁理士 大貫 進介
		(74) 代理人	100107766
			弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 電界発光表示装置のための閾値電圧補償方法

## (57) 【要約】

アクティブマトリクス電界発光表示装置は、駆動トランジスタ(22)のゲートとドレインとの間に接続された短絡トランジスタ(30)を有する。データライン(6)の電圧を測定するための手段(42)が設けられる。短絡トランジスタ(30)は、それがオフに切り替わるまで、駆動トランジスタ(22)のゲートの電圧を放電するために使用されうる。結果として得られる電圧をアドレスタランジスタ(16)を介してデータライン(6)に蓄えることによって、データラインは、閾値測定のための制御/測定ラインの1つとして使用される。



**【特許請求の範囲】****【請求項 1】**

表示画素の配列を有するアクティブマトリクス電界発光表示装置であって、  
夫々の画素は：  
電界発光（E L）表示素子；  
該表示素子に電流を流す駆動トランジスタ；  
データラインから前記駆動トランジスタのゲートへ画素駆動信号を供給するアドレスト  
ランジスタ；及び  
前記駆動トランジスタのゲートとドレインとの間に接続された短絡トランジスタ，  
を有し、  
当該表示装置は、前記データラインの電圧を測定する手段を更に有することを特徴とす  
る装置。

10

**【請求項 2】**

前記 E L 表示素子及び前記駆動トランジスタは、第 1 及び第 2 の電源ラインの間に直列  
に接続されることを特徴とする請求項 1 記載の装置。

**【請求項 3】**

前記第 2 の電源ラインの電圧は、2 つの値の間で切替え可能であり、  
前記 2 つの値のうちの 1 つは、前記 E L 表示素子をオフとすることを特徴とする請求項  
2 記載の装置。

**【請求項 4】**

前記データラインは、該データラインへ接続された画素へ電圧を供給する電圧駆動モー  
ドと、アドレス指定された画素の前記駆動トランジスタのゲートの電圧へと浮くことがで  
きる浮動モードとの間で切替え可能であることを特徴とする請求項 1 乃至 3 のうちいづれ  
か一項記載の装置。

20

**【請求項 5】**

夫々の画素は：  
前記表示素子が無効にされ、前記アドレストランジスタがオンとされ、前記短絡ラン  
ジスタがオンとされるところの第 1 の閾値電圧測定モード；及び  
前記表示素子が有効にされ、前記アドレストランジスタがオンとされ、前記短絡ラン  
ジスタがオフとされるところの第 2 の画素駆動モード；  
から成る 2 つモードで動作可能であることを特徴とする請求項 1 乃至 4 のうちいづれか  
一項記載の装置。

30

**【請求項 6】**

前記第 1 の閾値電圧測定モードの期間において、第 1 の期間の間に、所定の電圧は、電  
流が前記駆動トランジスタに流されるように前記データラインへ印加され、第 2 の期間の  
間に、前記データラインは、該データラインの電圧が前記駆動トランジスタのゲート電圧  
に実質的に追従するように浮くことができることを特徴とする請求項 5 記載の装置。

**【請求項 7】**

前記駆動トランジスタは、ポリシリコン T F T であることを特徴とする請求項 1 乃至 6  
のうちいづれか一項記載。

40

**【請求項 8】**

前記駆動トランジスタは、低温ポリシリコン T F T であることを特徴とする請求項 7 記  
載の装置。

**【請求項 9】**

前記駆動トランジスタのゲートとソースとの間に蓄積キャパシタを更に有する請求項 1  
乃至 8 のうちいづれか一項記載の装置。

**【請求項 10】**

電界発光（E L）表示素子と、該表示素子に電流を流す駆動トランジスタとを有する、  
アクティブマトリクス電界発光表示装置の画素をアドレス指定する方法であって：  
前記表示素子が無効にするステップ；

50

第 1 の電圧をデータラインへ印加するステップ；

前記駆動トランジスタのゲートとドレインとの間に接続された短絡トランジスタと、前記駆動トランジスタのゲートと前記データラインとの間に接続されたアドレストランジスタとにより、前記駆動トランジスタに電流を流すステップ；

前記データラインを電氣的に浮かせるステップ；

前記データライン上の電圧を測定するステップ；及び

前記データライン上で測定された電圧を用いて、前記駆動トランジスタへ印加されるべきデータ電圧を変更するステップ；

を有する方法。

【請求項 11】

10

前記表示素子を無効にするステップは、前記表示素子の端子へ無効電圧を印加するステップを有することを特徴とする請求項 10 記載の方法。

【請求項 12】

前記表示素子を無効にするステップは、前記表示素子の端子へ無効電圧を印加するステップを有し、該ステップは全ての表示素子に共通することを特徴とする請求項 11 記載の方法。

【請求項 13】

前記短絡トランジスタがオフとされた状態で、前記表示素子を有効にし、前記データライン上の前記変更されたデータ電圧により前記画素をアドレス指定するステップを更に有する請求項 10 乃至 12 のうちいずれか一項記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界発光表示装置、具体的には、夫々の画素に結合された薄膜スイッチングトランジスタを有するアクティブマトリクス表示装置に関する。

【背景技術】

【0002】

電界発光や光放射型の表示素子を用いるマトリクス表示装置が良く知られる。前記表示素子は、例えばポリマー材料を用いる有機薄膜電界発光素子、又は従来の III - V 族半導体化合物を用いる発光ダイオード (LED) を有しても良い。有機電界発光物質、特にポリマー材料における最近の発展は、特に映像表示装置に使用されるべきそれらの能力を実証している。一般的に、これらの物質は、一対の電極間に挟まれた半導体共役高分子の 1 又はそれ以上の層を有する。一対の電極の 1 つは透明であり、他は空孔又は電子を高分子層に入れるのに適した物質から成る。

30

【0003】

ポリマー材料は、CVD 処理、又は、簡単に、水溶性共役高分子の溶液を用いるスピニング技術によって作られ得る。また、インクジェット印刷が使用されても良い。有機電界発光物質は、それらが表示機能及びスイッチング機能の両方を提供する能力を有するように、ダイオードのような I - V 特性を示し、従って、パッシブ型表示装置において使用可能である。代替的には、これらの物質は、表示素子と、表示素子を流れる電流を制御するスイッチングデバイスとを夫々が有する画素を有するアクティブマトリクス表示装置に用いられても良い。

40

【0004】

この形式の表示装置は電流駆動式表示素子を有するので、従来のアナログ駆動方式は、表示素子へ制御可能な電流を供給する。画素構造の一部として電流源トランジスタを設けることが知られる。この電流源トランジスタへ供給されるゲート電圧は、表示素子を流れる電流を決める。蓄積キャパシタは、アドレス指定相の後にゲート電圧を保持する。

【0005】

図 1 は、アクティブマトリクスアドレス指定型電界発光表示装置用の既知の画素回路を示す。表示装置は、規則正しく間隔を空けられた画素の行及び列のマトリクス配列を有す

50

るパネルを有する。該画素は、ブロック 1 によって表わされ、結合される切替え手段と共に電界発光表示素子 2 を有し、行（選択）及び列（データ）のアドレス導電体 4 及び 6 の交差する組の間の共通部分に置かれている。簡単のため、数個の画素しか図には示されていない。実際には、画素の数百の行及び列が存在しうる。画素 1 は、行走査ドライバ回路 8 及び列データドライバ回路 9 を含む周辺の駆動回路によって、行及び列のアドレス導電体の組を介してアドレス指定される。これらのドライバ回路は、導電体の夫々の組の終端に接続されている。

#### 【 0 0 0 6 】

電界発光表示素子 2 は、ここではダイオード素子（LED）として表わされ、有機電界発光物質の 1 又はそれ以上のアクティブ層が挟まれた一対の電極を有する有機発光ダイオードを有する。前記配列の表示素子は、結合されるアクティブマトリクス回路と共に絶縁支持材の一方の側に載せられている。表示素子の陰極又は陽極のいずれか一方は、透明な導電物質で形成されている。支持材は、例えばガラスのような透明な物質から作られ、基板に最も近い表示素子 2 の電極は、例えばITOのような透明な導電物質から成っても良い。従って、電界発光層より発せられる光は、支持材の他の側において観測者に対して可視的であるようにこれらの電極及び支持材を介して伝達される。一般的に、有機電界発光物質層の厚さは、100nmから200nmの間である。素子 2 に使用可能な適切な有機電界発光物質の代表実施例は、EP-A-0717446において知られ、記述されている。WO96/36959に記述されるような共役高分子材も使用可能である。

#### 【 0 0 0 7 】

図 2 は、電圧プログラム式動作を提供する既知の画素及び駆動回路配置を簡単な回路図形式で示す。夫々の画素 1 は、EL 表示素子 2 と、結合されるドライバ回路とを有する。ドライバ回路は、行導電体 4 の行アドレスパルスによりオンとされるアドレストランジスタ 16 を有する。アドレストランジスタ 16 がオンとされると、列導電体 6 の電圧は、残りの画素へ伝わるができる。具体的には、アドレストランジスタ 16 は、列導電体電圧を電流源 20 へ供給する。電流源 20 は、駆動トランジスタ 22 と、蓄積キャパシタ 24 とを有する。列電圧は、駆動トランジスタ 22 のゲートへ供給され、ゲートは、行アドレスパルスが終了した後でさえ、蓄積キャパシタ 24 によってこの電圧に保たれる。駆動トランジスタ 22 は、電源ライン 26 から電流を引き込む。

#### 【 0 0 0 8 】

この回路内の駆動トランジスタ 22 は、PMOS TFT として実施されているので、蓄積キャパシタ 24 は、ゲート-ソース間電圧を一定に保つ。これにより、トランジスタ 22 を流れる一定のソース-ドレイン間電流が得られる。従って、トランジスタ 22 は、画素の所望の電流源動作を提供する。

【特許文献 1】EP-A-0717446

【特許文献 2】WO96/36959

【発明の開示】

【発明が解決しようとする課題】

#### 【 0 0 0 9 】

特にポリシリコン薄膜トランジスタを用いる電圧プログラム式画素に伴う 1 つの問題は、基板全体に亘って異なるトランジスタ特性（具体的には閾値電圧）が、ゲート電圧とソース-ドレイン間電流との間の異なった関係と、表示された画像結果におけるアーティファクトとを引き起こすことである。

#### 【 0 0 1 0 】

様々な技術が、このような閾値電圧のばらつきを補償するために提案されてきた。幾つかの技術は、駆動トランジスタ閾値電圧の画素内での測定を実行し、この閾値電圧を画素駆動信号に加える。従って、結合された駆動電圧は、閾値電圧を考慮する。これを実行する画素回路は、2 つの蓄積キャパシタを必要とする。蓄積キャパシタのうちの 1 つは、閾値電圧用であり、他は、画素駆動電圧用である。更なるスイッチングトランジスタは、また、閾値電圧が、例えば、駆動トランジスタがオフとなるまで駆動トランジスタのゲート

10

20

30

40

50

- ソース間の静電容量を放電することによって測定されることを可能にするために、必要とされる。

【0011】

他の提案されている技術は、画素配列の外部から閾値電圧を測定し、画素駆動信号を調整することにより閾値電圧を補償する。このような画素回路は、やはり、閾値電圧が決定されることを可能にするよう信号が外部回路へ供給されることを可能にするために、更なる構成要素を必要とする。例えば、2つの駆動電圧（駆動トランジスタの飽和領域内外）において画素電流を測定し、それらから閾値電圧（及び移動度）を推定することが提案されてきた。これは、より複雑な画素回路はもちろん、より複雑な画素駆動方式をもたらす。

10

【0012】

これは、画素内部での補償を提供する回路素子の必要性を回避するが、閾値電圧情報が簡単な駆動方式により外部測定回路へ供給されることを可能にする簡単な画素回路を依然として必要とする。画素回路の如何なる単純化も、大型の表示装置の製造に関する問題を低減し、生産を改善する。更に、画素回路の構成要素の数の低減は、（画素回路の構造に依存して）画素の開口が増大することを可能にし、画素回路に必要される空間の縮小は、解像度が増大することを可能にする。

【課題を解決するための手段】

【0013】

本発明に従って、表示画素の配列を有するアクティブマトリクス電界発光表示装置であって、夫々の画素は：

20

電界発光（EL）表示素子；

該表示素子に電流を流す駆動トランジスタ；

データラインから前記駆動トランジスタのゲートへ画素駆動信号を供給するアドレストランジスタ；及び

前記駆動トランジスタのゲートとドレインとの間に接続された短絡トランジスタを有し、

当該表示装置は、前記データラインの電圧を測定する手段を更に有することを特徴とする装置が提供される。

【0014】

30

この画素配置は、1つの更なるトランジスタ（前記短絡トランジスタ）が、駆動トランジスタがオフとなるまで駆動トランジスタのゲートの電圧を放電するために使用されることを可能にする。結果として生じる電圧を（前記アドレストランジスタを介して）データラインに蓄えることによって、データラインは、閾値測定のための制御／測定ラインの1つとして使用される。これは、画素の複雑性を低減する。

【0015】

望ましくは、前記EL表示素子及び前記駆動トランジスタは、第1及び第2の電源ラインの間に直列に接続され、前記第2の電源ラインの電圧は、2つの値の間で切替え可能である。前記2つの値のうちの1つは、前記EL表示素子をオフとする。先と同じく、これは、（特に）共通の陰極ラインが閾値測定動作のための制御ラインの1つとして使用されることを可能にし、やはり、画素回路の如何なる更なる複雑性も制限する。

40

【0016】

望ましくは、前記データラインは、該データラインへ接続された画素へ電圧を供給する電圧駆動モード（通常画素駆動モード）と、浮動モードとの間で切替え可能である。前記浮動モードにおいて、前記データラインは、アドレス指定された画素の前記駆動トランジスタのゲートの電圧へと浮くことができる。従って、結果として生じるゲート電圧は、データライン、具体的には、既存の列静電容量に蓄えられる。

【0017】

従って、夫々の画素は、2つのモードで動作可能である。第1の閾値電圧測定モードでは、前記表示素子が無効にされ、前記アドレストランジスタがオンとされ、前記短絡トラ

50

ンジスタがオンとされる。前記駆動トランジスタの電流は、ゲートへ短絡され、従って、ゲート電圧は、前記駆動トランジスタがオフに切り替わる（p形デバイスである場合）まで上昇する。第2の画素駆動モードでは、前記表示素子が有効にされ、前記アドレストランジスタがオンとされ、前記短絡トランジスタがオフとされる。これは、通常駆動モードである。

【0018】

前記第1の閾値電圧測定モードの期間において、第1の期間の間に、所定の電圧は、電流が前記駆動トランジスタに流されるように前記データラインへ印加され、第2の期間の間に、前記データラインは、該データラインの電圧が前記駆動トランジスタのゲート電圧に実質的に追従するように浮くことができる。このように、前記第1の期間は、電流が前記駆動トランジスタを介して供給されることを可能にする。前記第2の期間は、結果として生じるゲート電圧が前記データラインに蓄えられた状態で、前記駆動トランジスタが上述したようにオフとされることを可能にする。

10

【0019】

望ましくは、前記駆動トランジスタは、例えばp形低温ポリシリコンTFTのような、ポリシリコンTFTである。

【0020】

望ましくは、蓄積キャパシタは、前記駆動トランジスタのゲートとソースとの間にある。

【0021】

本発明は、また、電界発光（EL）表示素子と、該表示素子に電流を流す駆動トランジスタとを有する、アクティブマトリクス電界発光表示装置の画素をアドレス指定する方法を提供する。当該方法は：

20

前記表示素子が無効にするステップ；

第1の電圧をデータラインへ印加するステップ；

前記駆動トランジスタのゲートとドレインとの間に接続された短絡トランジスタと、前記駆動トランジスタのゲートと前記データラインとの間に接続されたアドレストランジスタとにより、前記駆動トランジスタに電流を流すステップ；

前記データラインを電氣的に浮かせるステップ；

前記データライン上の電圧を測定するステップ；及び

30

前記データライン上で測定された電圧を用いて、前記駆動トランジスタへ印加されるべきデータ電圧を変更するステップ；

【0022】

この方法は、本発明の装置の動作を提供する。

【0023】

望ましくは、前記表示素子が無効にするステップは、例えば共通の陰極端子のような、前記表示素子の端子へ無効電圧を印加するステップを有する。

【0024】

望ましくは、当該方法は、前記短絡トランジスタがオフとされた状態で、前記表示素子に電流を流すように、前記データライン上の前記変更されたデータ電圧により前記画素をアドレス指定するステップを更に有する。

40

【発明を実施するための最良の形態】

【0025】

本発明を、一例として添付の図面を参照して説明する。

【0026】

同じ参照番号が、異なる図において同じ構成要素に対して使用されており、このような構成要素の説明は繰り返さないこととする。

【0027】

本発明は、1つの更なるトランジスタが、画素配列の外部から閾値電圧測定機能を提供

50

するために、駆動トランジスタのゲートとドレインとの間に接続されるところの表示画素回路を提供する。

【0028】

図3は、本発明に従う画素配置を示す。図2の従来の画素の場合と同じく、画素は電圧によりアドレス指定され、蓄積キャパシタ24は、画素アドレス指定相の後、駆動トランジスタ22のゲートの電圧を保持する。

【0029】

図2の標準的な画素配置と比べて、本発明は、駆動トランジスタ22のゲートとドレインとの間に接続された1つの更なる短絡トランジスタ30を設ける。これは、更なる制御ライン32によって制御される。本発明は、また、以下の回路の動作に関する記述から明らかとなるように、2つの電圧の間で切替え可能であるよう共通の陰極端子34を必要とする。

10

【0030】

短絡トランジスタ30は、それがオフに切り替わるまで、駆動トランジスタ22のゲートの電圧を放電するために使用される。この放電動作は、蓄積キャパシタ24の両端の電圧が閾値電圧に達するまで、蓄積キャパシタ24からの充電の除去を行う。データラインにおいて結果として生じる電圧は、オフとされたアドレストランジスタを介して測定される。

【0031】

図3の回路の動作について、図4のタイミング図を参照して説明する。図4は、駆動トランジスタの閾値電圧が測定されるアドレス指定周期の一部のみを示す。

20

【0032】

プロット4は、アドレストランジスタ16の動作を示す。アドレスパルスの前に（又は同時に）、陰極ライン34は、表示素子に逆バイアスがかけられることを確実にすることによって、表示素子を無効にするよう高電位にされる。

【0033】

短絡トランジスタ30がオンとされると、第1の電圧が、期間40の間、データライン6へ印加される。この電圧は、電流が駆動トランジスタ22に流され得ることを確実にする。プロット32に示されるように短絡トランジスタ30がオンとされている場合に、それは、電源ライン26から、駆動トランジスタ22とアドレストランジスタ16とを介して、データライン6へと続く経路を提供する。明らかであるように、データライン6の電圧は、接地でありうる。

30

【0034】

電流フローが駆動トランジスタ22を介して確立されると、データラインは、データラインを高インピーダンス状態に置くことによって浮かされる。データラインは、画素の列の列導電体であり、列容量に結合されている。

【0035】

駆動トランジスタ22のゲート電圧は、キャパシタ24によって保持されているので、駆動トランジスタ22は導通状態のままであり、ドレイン-ソース間電流の経路は、短絡トランジスタ30及びキャパシタ24を通る。これは、キャパシタの両端の（以前は、第1の電圧、例えば接地と、電源ライン電圧との間の差であった）電圧降下を低減する効果を有する。キャパシタの両端の電圧が閾値電圧まで放電すると、（ゲートの電圧が上昇しているとしても、）駆動トランジスタ22はオフに切り替わり、これ以上電流は流れない。従って、キャパシタ24は、閾値電圧を蓄え、この電圧は列容量へと伝送される。

40

【0036】

駆動トランジスタ22は、大きな閾値以下の電流を有しうるので、実際には、列容量は、比較的ゆっくりと充電し、電源ライン電圧に達するまで充電し続ける。

【0037】

データラインの電圧は、閾値電圧が決定されることを可能にするよう測定される。上述した閾値以下の電流を考慮して、データライン電圧は、電圧が駆動トランジスタのスイッ

50

チオフに対応するゲート電圧で安定する時間を有すると直ぐに測定される。この時間は、データラインが浮くことができるようになった後約 1 m s であっても良く、42 に示される期間の範囲内にある。

【0038】

閾値電圧が決定されると、画素へ印加されるべき画素データ電圧は変更される。これは、列ドライバ回路において実行され得、デジタル又はアナログ領域で実行され得る。如何に画素データ信号が表示装置への印加の前に変更され得るかは、当業者には直ぐに理解されるであろう。幾つかの場合において、フィールド記憶が、全ての閾値が補償前に得られるように必要とされても良く、あるいは、測定の直後に印加されるべきデータ電圧を補正することが可能であっても良い。

10

【0039】

ここで明らかであるように、本発明は、図2の標準的な画素回路に対して僅かな変更しか必要としない。1つの特別な短絡トランジスタに加えて、切替え可能な共通の陰極端子が必要とされる。

【0040】

データ入力ラインの高インピーダンス状態は、電圧測定回路のみならず、画素配列の外側、具体的には列ドライバ回路において実施される。この回路は、別の基板上にあってても良い。一方、液晶シリコンでは、LPTS処理を用いて、列ドライバ機能の幾つか又は全てが、また、画素配列と同じ基板上で実施されうる。

【0041】

本発明は、ポリシリコン駆動トランジスタ（例えば、低温ポリシリコンTFET）の閾値電圧変動を補償することができる。

20

【0042】

当該回路は、上記において、p形駆動トランジスタを使用する。当然、等価なn形の実施がある。

【0043】

本発明の画素回路からの閾値電圧測定の処理は、様々な方法で実行可能である。測定された閾値電圧は、D/A変換又はアナログ領域の前で、画素データ信号にデジタル式に結合される。この結合は、表示装置へ画像データを供給する際の遅延が最小限に保たれるように、閾値電圧測定の直後に起こることができる。

30

【0044】

図5は、列ドライバ回路の可能な構造の一例を示す。回路は、夫々の列に対して出力スイッチ40によって決定される2つのモードで動作可能である。

【0045】

検知モードの間に、スイッチ40は、電圧検知回路42を有する検知回路へ列6を接続する。検知回路42は、検知期間の終了時に列の電圧を測定する。次に、検知回路42は、このデータをフレーム記憶44へ送る。フレーム記憶44は、表示装置内の全ての駆動TFETの閾値電圧を記憶する。

【0046】

画素駆動モードの間に、スイッチ40は、列駆動回路46へ列6を接続する。次に、画素に対するデータは、列ドライバ46へ供給され、フレーム記憶44は、対応する閾値電圧を供給する。これらは、データと閾値電圧オフセットとの和を得るために、加算器48によって合計される。この結合信号は、列ドライバ46へ送られる。これは、アナログ実施であるが、測定された閾値電圧は、デジタル領域での画素データによる処理のために等しくデジタル化されうる。

40

【0047】

閾値測定は、画像データのフレーム毎に一度実行されうるもので、閾値測定周期は、全てのアドレス指定相の一部である。この場合に、閾値測定動作は、画素駆動動作の前にある。

【0048】

50

しかし、閾値測定は、必要とされる補償が、差分エージングよりも、基板全体に亘るばらつきにより由来するので、しばしばこれを実行される必要がない。従って、閾値測定は、表示周期の開始時に、例えば表示がオンとされる度に実行され得る。

【 0 0 4 9 】

本発明の画素回路へ印加される特定の電圧については、詳細に説明していない。また、詳細なタイミング条件についても説明していない。これらは、全て、当業者にとってのルーチン設計パラメータである。

【 0 0 5 0 】

列ドライバの例は、列電圧検知回路を、列電圧を測定するための手段として示す。この回路は、様々な形をとることができ、この目的のための多数の特定の回路が、当業者には理解されるであろう。 10

【 0 0 5 1 】

様々な他の変形は、当業者には明らかであろう。

【 図面の簡単な説明 】

【 0 0 5 2 】

【 図 1 】 既知の E L 表示装置を示す。

【 図 2 】 入力駆動電圧を用いて E L 表示画素を電流アドレス指定するための既知の画素回路の回路図である。

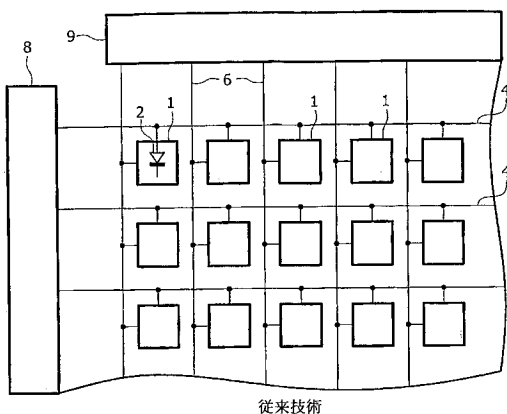
【 図 3 】 本発明の表示装置用の画素配置の回路図を示す。

【 図 4 】 図 3 の回路の動作に関するタイミング図を示す。

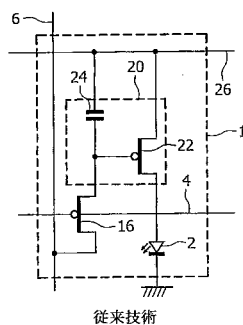
【 図 5 】 本発明の表示装置内で使用される列ドライバ回路の 1 つの可能な設計を示す。

20

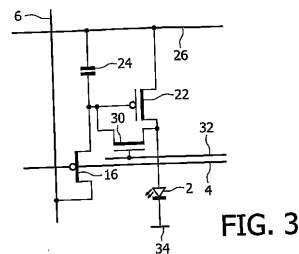
【 図 1 】



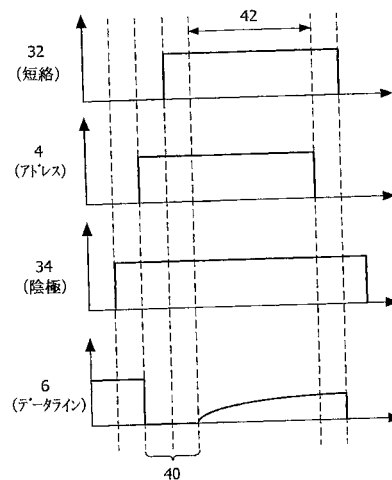
【 図 2 】



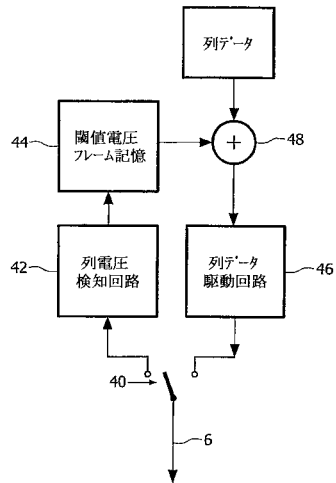
【 図 3 】



【 図 4 】



【図 5】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/IB2005/050029

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 609G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 609G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	US 2004/017161 A1 (CHOI JEUNG-HIE) 29 January 2004 (2004-01-29) the whole document	1, 2, 4, 5, 7-9
X	WO 98/48403 A (SARNOFF CORPORATION) 29 October 1998 (1998-10-29) page 3, lines 19-34 page 6, line 20 - page 8, line 2 figure 3	1-3, 5, 7-9
A	US 5 751 279 A (OKUMURA ET AL) 12 May 1998 (1998-05-12) abstract	1-13

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier document but published on or after the International filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the International filing date but later than the priority date claimed

\*T\* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*Z\* document member of the same patent family

Date of the actual completion of the International search

13 April 2005

Date of mailing of the International search report

20/04/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

van Wesenbeeck, R

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/IB2005/050029

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 03/038798 A (CAMBRIDGE DISPLAY TECHNOLOGY LIMITED; SMITH, EVAN, CHRISTOPHER; ROUTLE) 8 May 2003 (2003-05-08) page 11, lines 21-23 page 15, line 27 - page 16, line 3 -----	1-13

## INTERNATIONAL SEARCH REPORT

Information on patent family members

Intern	l Application No
PCT/IB2005/050029	

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2004017161	A1	29-01-2004	NONE	
WO 9848403	A	29-10-1998	US 6229506 B1 EP 0978114 A1 JP 2002514320 T WO 9848403 A1	08-05-2001 09-02-2000 14-05-2002 29-10-1998
US 5751279	A	12-05-1998	JP 2848139 B2 JP 6035414 A	20-01-1999 10-02-1994
WO 03038798	A	08-05-2003	GB 2381644 A EP 1444683 A2 WO 03038798 A2 US 2005007353 A1	07-05-2003 11-08-2004 08-05-2003 13-01-2005

## フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 1 K
	G 0 9 G 3/20	6 4 2 P
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 7 0 Q
	H 0 5 B 33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 チャイルズ, マーク ジェイ  
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内 (番地なし)

F ターム(参考) 3K107 AA01 BB01 CC33 CC36 CC42 CC45 EE04 HH02 HH05  
5C080 AA06 BB05 DD04 DD05 DD15 EE29 FF03 FF11 GG12 GG15  
GG17 HH09 JJ02 JJ03 JJ04

专利名称(译)	用于电致发光显示装置的阈值电压补偿方法		
公开(公告)号	<a href="#">JP2007519956A</a>	公开(公告)日	2007-07-19
申请号	JP2006548495	申请日	2005-01-04
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	チャイルズマークジェイ		
发明人	チャイルズ,マーク ジェイ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0809 G09G2300/0842 G09G2300/0866 G09G2320/0233 G09G2320/0295 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.642.A G09G3/20.641.D G09G3/20.624.B G09G3/20.624.D G09G3/20.623.C G09G3/20.623.D G09G3/20.621.K G09G3/20.642.P G09G3/20.641.P G09G3/20.650.M G09G3/20.670.Q H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/CC42 3K107/CC45 3K107/EE04 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD04 5C080/DD05 5C080/DD15 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG12 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	伊藤忠彦		
优先权	2004000216 2004-01-07 GB		
外部链接	<a href="#">Espacenet</a>		

# 摘要(译)

有源矩阵电致发光显示装置具有连接在驱动晶体管(22)的栅极和漏极之间的短路晶体管(30)。提供了用于测量数据线(6)的电压的装置(42)。短路晶体管(30)可用于放电驱动晶体管(22)的栅极电压,直到它被关断。通过经由地址晶体管(16)将所得电压存储在数据线(6)中,数据线用作阈值测量的控制/测量线之一。

