

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-215213

(P2006-215213A)

(43) 公開日 平成18年8月17日(2006.8.17)

|                                       |                |             |
|---------------------------------------|----------------|-------------|
| (51) Int.Cl.                          | F I            | テーマコード (参考) |
| <b>G09G 3/30 (2006.01)</b>            | G09G 3/30 J    | 3K007       |
| <b>G09G 3/20 (2006.01)</b>            | G09G 3/20 611H | 5C080       |
| <b>H01L 51/50 (2006.01)</b>           | G09G 3/20 622G |             |
|                                       | G09G 3/20 624B |             |
|                                       | G09G 3/20 641D |             |
| 審査請求 未請求 請求項の数 15 O L (全 28 頁) 最終頁に続く |                |             |

(21) 出願番号 特願2005-27028 (P2005-27028)  
 (22) 出願日 平成17年2月2日 (2005.2.2)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (74) 代理人 100092336  
 弁理士 鈴木 晴敏  
 (72) 発明者 山下 淳一  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 (72) 発明者 内野 勝秀  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 Fターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04  
 5C080 AA06 BB05 CC03 DD04 DD05  
 DD28 EE28 FF11 JJ02 JJ03  
 JJ04 JJ05

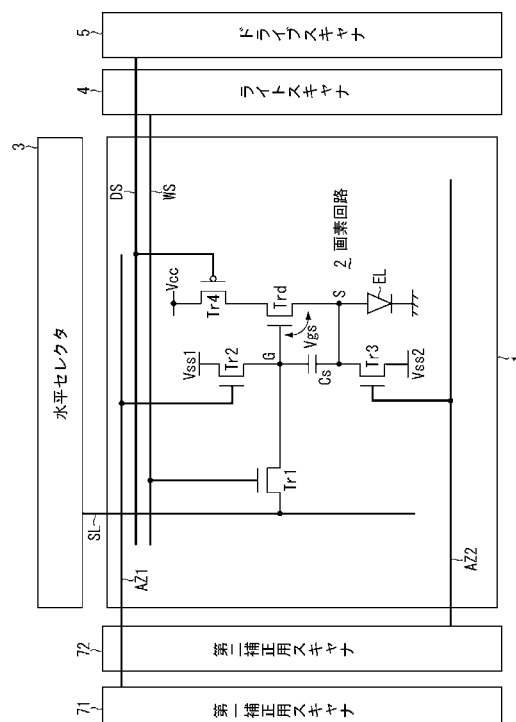
(54) 【発明の名称】 画素回路及び表示装置とその駆動方法

## (57) 【要約】

【課題】 ドライブトランジスタの移動度の影響をキャンセル可能な画素回路を提供する。

【解決手段】 ドライブトランジスタ  $T_{rd}$  は、所定の発光期間中入力電圧  $V_{gs}$  に応じた出力電流を発光素子  $EL$  に供給する。発光素子  $EL$  は、ドライブトランジスタ  $T_{rd}$  から供給された出力電流により映像信号に応じた輝度で発光する。出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ発光期間の前又は先頭で容量部  $C_s$  に保持された入力電圧  $V_{gs}$  を補正する補正手段を備えている。この補正手段は走査線  $DS$ 、 $WS$ 、 $AZ1$ 、 $AZ2$  から供給される制御信号に応じてサンプリング期間の一部で動作し、映像信号がサンプリングされている状態でドライブトランジスタ  $T_{rd}$  から出力電流を取り出し、これを容量部  $C_s$  に負帰還して入力電圧  $V_{gs}$  を補正する。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、

前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該容量部にサンプリングし、

前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、

前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、

該出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、

前記補正手段は走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする画素回路。

## 【請求項 2】

前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、

前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を該入力電圧に足し込む様にしたことを特徴とする請求項 1 記載の画素回路。

## 【請求項 3】

前記ドライブトランジスタは、Nチャネル型トランジスタでドレインが電源側に接続する一方ソースが発光素子側に接続し、

前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還することを特徴とする請求項 1 記載の画素回路。

## 【請求項 4】

前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にしたことを特徴とする請求項 3 記載の画素回路。

## 【請求項 5】

前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、

前記補正手段は、あらかじめ該発光素子のアノード/カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御することを特徴とする請求項 4 記載の画素回路。

## 【請求項 6】

前記ドライブトランジスタは、Pチャネル型トランジスタでソースが電源側に接続する一方ドレインが発光素子側に接続し、

前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還することを特徴とする請求項 1 記載の画素回路。

## 【請求項 7】

10

20

30

40

50

前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより該容量部に対する出力電流の負帰還量を最適化することを特徴とする請求項 1 記載の画素回路。

【請求項 8】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、該走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、 10

前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該容量部にサンプリングし、

前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、

前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する表示装置において、 20

各画素は、該ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、

前記補正手段は走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする表示装置。

【請求項 9】

前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、 30

前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を該入力電圧に足し込む様にしたことを特徴とする請求項 8 記載の表示装置。

【請求項 10】

前記ドライブトランジスタは、Nチャネル型トランジスタでドレインが電源側に接続する一方ソースが発光素子側に接続し、

前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還することを特徴とする請求項 8 記載の表示装置。

【請求項 11】

前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にしたことを特徴とする請求項 10 記載の表示装置。 40

【請求項 12】

前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、

前記補正手段は、あらかじめ該発光素子のアノード/カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御することを特徴とする請求項 11 記載の表示装置。 50

**【請求項 13】**

前記ドライブトランジスタは、Pチャネル型トランジスタでソースが電源側に接続する一方ドレインが発光素子側に接続し、

前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還することを特徴とする請求項 8 記載の表示装置。

**【請求項 14】**

前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより該容量部に対する出力電流の負帰還量を最適化することを特徴とする請求項 8 記載の表示装置。

**【請求項 15】**

画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は該信号線に映像信号を供給し、前記スキャナ部は該走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含む表示装置の駆動方法であって、

前記スキャナ部は所定のサンプリング期間に走査線から該サンプリングトランジスタに制御信号を供給し導通させて、信号線から供給された映像信号を該容量部にサンプリングし、

前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、

前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光し、

更に前記スキャナ部は、該ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手順を該画素に行わせ、

前記補正手順は、該サンプリング期間内で該映像信号がサンプリングされている間に該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする表示装置の駆動方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、画素毎に配した発光素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状（行列状）に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

**【背景技術】****【0002】**

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

## 【 0 0 0 3 】

有機 E L ディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、T F T）によって制御するものであり、以下の特許文献に記載がある。

【特許文献 1】特開 2 0 0 3 - 2 5 5 8 5 6

【特許文献 2】特開 2 0 0 3 - 2 7 1 0 9 5

【特許文献 3】特開 2 0 0 4 - 1 3 3 2 4 0

【特許文献 4】特開 2 0 0 4 - 0 2 9 7 9 1

【特許文献 5】特開 2 0 0 4 - 0 9 3 6 8 2

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 4 】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

## 【 0 0 0 5 】

ドライブトランジスタは、容量部に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

## 【 0 0 0 6 】

ここでドライブトランジスタの動作特性は以下の式 1 で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式 1 において、 $I_{ds}$  はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 $V_{gs}$  はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 $V_{th}$  はトランジスタの閾電圧である。又  $\mu$  はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他  $W$  はチャネル幅を表わし、 $L$  はチャネル長を表わし、 $C_{ox}$  はゲート容量を表わしている。このトランジスタ特性式 1 から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧  $V_{gs}$  が閾電圧  $V_{th}$  を超えて大きくなると、オン状態となってドレイン電流  $I_{ds}$  が流れる。原理的に見ると上記のトランジスタ特性式 1 が示す様に、ゲート電圧  $V_{gs}$  が一定であれば常に同じ量のドレイン電流  $I_{ds}$  が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

## 【 0 0 0 7 】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（T F T）は、個々のデバイス特性にばらつきがある。特に、閾電圧  $V_{th}$  は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式 1 から明らかな様に、各ドラ

10

20

30

40

50

イブトランジスタの閾電圧 $V_{th}$ がばらつくと、ゲート電圧 $V_{gs}$ が一定であっても、ドレイン電流 $I_{ds}$ にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0008】

閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路は、ある程度画面のユニフォーミティを改善することが可能である。しかしながら、ポリシリコン薄膜トランジスタの特性は、閾電圧ばかりでなく移動度 $\mu$ も素子毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、移動度 $\mu$ がばらつくと、ゲート電圧 $V_{gs}$ が一定であってもドレイン電流 $I_{ds}$ にばらつきが出てしまう。この結果発光輝度が画素毎に変化する為、画面のユニフォーミティを損なうという課題がある。

【課題を解決するための手段】

【0009】

上述した従来の技術の課題に鑑み、本発明は移動度の影響をキャンセルし、以ってドライブトランジスタが供給するドレイン電流（出力電流）のばらつきを補償可能な画素回路及び表示装置とその駆動方法を提供することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち本発明は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、該出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、前記補正手段は走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする。

【0010】

好ましくは、前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を該入力電圧に足し込む様にすることを特徴とする。一態様では、前記ドライブトランジスタは、Nチャネル型トランジスタでドレインが電源側に接続する一方ソースが発光素子側に接続し、前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する。この場合、前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にする。更に、前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、前記補正手段は、あらかじめ該発光素子のアノード/カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御する。他の態様では、前記ドライブトランジスタは、Pチャネル型トランジスタでソースが電源側に接続する一方ドレインが発光素子側に接続し、前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還する。好ましくは、前記

補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより該容量部に対する出力電流の負帰還量を最適化する。

【0011】

又本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、該走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する表示装置において、各画素は、該ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、前記補正手段は走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする。

【0012】

好ましくは、前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を該入力電圧に足し込む様にしたことを特徴とする。一態様では、前記ドライブトランジスタは、Nチャネル型トランジスタでドレインが電源側に接続する一方ソースが発光素子側に接続し、前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する。この場合、前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にする。更に、前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、前記補正手段は、あらかじめ該発光素子のアノード/カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御する。他の態様では、前記ドライブトランジスタは、Pチャネル型トランジスタでソースが電源側に接続する一方ドレインが発光素子側に接続し、前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還する。好ましくは、前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより該容量部に対する出力電流の負帰還量を最適化する。

【0013】

更に本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は該信号線に映像信号を供給し、前記スキャナ部は該走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含む表示装置の駆動方法であって、前記スキャナ部は所定のサンプリング期間に走査線から該サンプリングトランジスタに制御信号を供給し導通させて、信号線

から供給された映像信号を該容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光し、更に前記スキヤナ部は、該該ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手順を該画素に行わせ、前記補正手順は、該サンプリング期間内で該映像信号がサンプリングされている間に該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正する。 10

#### 【発明の効果】

#### 【0014】

本発明によれば、ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消す為、画素回路は発光期間の前または先頭でドライブトランジスタに対する入力電圧（ゲート電圧）を補正する補正手段を備えている。この補正手段はサンプリング期間の一部で動作し、映像信号の電位（信号電位）がサンプリングされている状態でドライブトランジスタから出力電流（ドレイン電流）を取り出し、これを容量部に負帰還して入力電圧（ゲート電圧）を補正している。前述のトランジスタ特性式1から明らかな様に、出力電流（ドレイン電流）は移動度に比例している。したがって、ある画素のドライブトランジスタの移動度が高いと、出力電流は相対的に大きくなる。これを容量部に負帰還して入力電圧（ゲート電圧）を補正する。移動度が大きいと結果的に負帰還量が大きくなるので、入力電圧（ゲート電圧）はその分大きく下方修正される。ゲート電圧が下がるので、結果的にドレイン電流は抑制される事になる。一方、別の画素のドライブトランジスタの移動度が相対的に小さい場合、ドレイン電流も少なくなる。したがって容量部に対する負帰還量も小さいので、ゲート電圧の下方修正分が小さい。結果的に、ドライブトランジスタの移動度が小さいと出力電流はさほど低く補正されない。この様に、本発明の補正手段は、移動度のばらつきをキャンセルする様に、入力電圧をフィードバック補正するので、画面のユニフォームティが改善される。特に、信号電位をサンプリングしている状態で移動度補正をかけている。映像信号電位は黒レベルから白レベルまで振幅が変化するが、どのレベルにおいても適切に移動度補正を行う事が可能である。また、入力電圧にかかる負帰還量は、出力電流の取り出し時間に依存している。取り出し時間を長く取るほど、負帰還量が大きくなる。本発明では、サンプリング期間中における出力電流の取り出し時間を可変調整して、負帰還量の最適化を測る事ができる。なお本発明では、映像信号電位をサンプリングして発光素子を電流駆動している。映像信号電位をサンプリングする点では、従来の液晶ディスプレイと同じである。したがって、アクティブマトリクス型の液晶ディスプレイで従来から広く用いられている電圧シグナルドライバを本発明の信号部に用いる事ができる。さらには、従来のポリシリコントランジスタを集積形成したアクティブマトリクス型の液晶パネルと同じ様に、本発明の表示装置でも、周辺のスキヤナ部や信号部を画素アレイ部と一体的に形成した周辺回路内蔵型のパネルにまとめる事も可能である。 20 30 40

#### 【発明を実施するための最良の形態】

#### 【0015】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照してV<sub>t</sub>h補正機能を備えたアクティブマトリクス表示装置の参考例を説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セレクト3、ライトスキヤナ4、ドライブスキヤナ5、補正用スキヤナ7などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R、G、Bとで構成されている。カラー表示を可能とする為、RGBの三原色画素を用意しているが、本発明はこれに限られるものではない。各画素R、G、Bは夫々画素回路2 50

で構成されている。信号線  $S_L$  は水平セクタ 3 によって駆動される。水平セクタ 3 は信号部を構成し、信号線  $S_L$  に映像信号を供給する。走査線  $W_S$  はライトスキャナ 4 によって走査される。尚、走査線  $W_S$  と平行に別の走査線  $D_S$  及び  $A_Z$  も配線されている。走査線  $D_S$  はドライブスキャナ 5 によって走査される。走査線  $A_Z$  は補正用スキャナ 7 によって走査される。ライトスキャナ 4、ドライブスキャナ 5 及び補正用スキャナ 7 はスキャナ部を構成しており、1 水平期間毎画素の行を順次走査する。各画素回路 2 は走査線  $W_S$  によって選択された時信号線  $S_L$  から映像信号をサンプリングする。更に走査線  $D_S$  によって選択された時、サンプリングされた映像信号に応じて画素回路 2 内に含まれている発光素子を駆動する。加えて画素回路 2 は走査線  $A_Z$  によって走査された時、あらかじめ決められた補正動作を行なう。

10

#### 【0016】

上述した画素アレイ 1 は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路 2 はアモルファスシリコン薄膜トランジスタ (TFT) 又は低温ポリシリコン TFT で形成されている。アモルファスシリコン TFT の場合、スキャナ部はパネルとは別の TAB など構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコン TFT の場合、信号部及びスキャナ部も同じ低温ポリシリコン TFT で形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。

#### 【0017】

図 2 は、図 1 に示した画素アレイに含まれる画素回路の構成を示す回路図である。図示する様に、画素回路 2 は 5 個の薄膜トランジスタ  $Tr_1 \sim Tr_4$ 、 $Tr_d$  と 2 個の容量素子  $Cs_1$ 、 $Cs_2$  と 1 個の発光素子  $EL$  とで構成されている。トランジスタ  $Tr_1 \sim Tr_4$ 、 $Tr_d$  は全て P チャネル型のポリシリコン TFT である。但し本発明はこれに限られるものではなく、N チャネル型のポリシリコン TFT を混在させてもよい。あるいは、N チャネル型のアモルファスシリコン TFT で画素回路を構成してもよい。2 個の容量素子  $Cs_1$  と  $Cs_2$  は両者合わせて画素回路 2 の容量部を構成している。発光素子  $EL$  は例えばアノード及びカソードを備えたダイオード型の有機  $EL$  素子からなる。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

20

#### 【0018】

画素回路 2 の中心となるドライブトランジスタ  $Tr_d$  はゲート (G) が G 点に接続され、ソース (S) が S 点に接続され、ドレイン (D) が D 点に接続されている。発光素子  $EL$  はアノードが D 点に接続され、カソードが接地されている。スイッチングトランジスタ  $Tr_4$  は電源電位  $V_{cc}$  と S 点との間に接続されており、発光素子  $EL$  のオン/オフを制御する。トランジスタ  $Tr_4$  のゲートは走査線  $D_S$  に接続されている。

30

#### 【0019】

一方サンプリングトランジスタ  $Tr_1$  は信号線  $S_L$  と A 点との間に接続されている。サンプリングトランジスタ  $Tr_1$  のゲートは走査線  $W_S$  に接続している。A 点と S 点との間に検出トランジスタ  $Tr_5$  が接続されている。そのゲートは走査線  $A_Z$  に接続している。又スイッチングトランジスタ  $Tr_3$  は G 点と所定のオフセット電位  $V_{ofs}$  との間に接続されている。そのゲートは走査線  $A_Z$  に接続されている。尚、検出トランジスタ  $Tr_5$  とスイッチングトランジスタ  $Tr_3$  は  $V_{th}$  キャンセル用の補正手段を構成している。一方の容量素子  $Cs_1$  は A 点と G 点との間に接続され、他方の容量素子  $Cs_2$  は電源電位  $V_{cc}$  と A 点との間に接続されている。

40

#### 【0020】

ドライブトランジスタ  $Tr_d$  はソース/ゲート間に印加されるゲート電圧  $V_{gs}$  に応じてソース/ドレイン間にドレイン電流  $I_{ds}$  を流し、これで発光素子  $EL$  を駆動する。本明細書ではゲート電圧  $V_{gs}$  を入力電圧とし、ドレイン電流  $I_{ds}$  を出力電流と定義している。信号線  $S_L$  から供給される映像信号  $V_{sig}$  に応じてゲート電圧  $V_{gs}$  を設定し、これによりドレイン電流  $I_{ds}$  を流すことで、映像信号の階調に従って発光素子  $EL$  の発

50

光輝度を制御できる。

【0021】

ドライブトランジスタ $T_{rd}$ の閾電圧 $V_{th}$ は画素毎に変動する。これをキャンセルする為あらかじめドライブトランジスタ $T_{rd}$ の閾電圧 $V_{th}$ を検出し、容量素子 $C_{s1}$ に保持しておく。この後サンプリングトランジスタ $T_{r1}$ をオンして容量素子 $C_{s2}$ に信号電位 $V_{sig}$ を書き込む。この様にして設定されたゲート電圧 $V_{gs}$ により、ドライブトランジスタ $T_{rd}$ を駆動する。

【0022】

図3は、図2に示した画素回路の動作説明に供するタイミングチャートである。時間軸 $T$ に沿って各走査線 $WS$ 、 $AZ$ 及び $DS$ に印加される制御信号の波形を表わしてある。表記を簡略化する為、以下本明細書では制御信号も対応する走査線の符号と同じ符号で表わす。トランジスタは全てPチャネル型なので、走査線がハイレベルの時オフし、ローレベルの時オンする。そこで表記を簡略化する為、本参考例では制御信号がハイレベルからローレベルに立ち下がる場合を「オン」と表わし、ローレベルからハイレベルに立ち上がる場合を「オフ」と呼ぶ。各制御信号 $WS$ 、 $AZ$ 、 $DS$ の波形とともに、A点及びG点の電位変化も表わしてある。なおNチャネル型の場合は、逆に制御信号がハイレベルからローレベルに立ち下がる場合を「オフ」と表わし、ローレベルからハイレベルに立ち上がる場合を「オン」と呼ぶ。

10

【0023】

図示のタイミングチャートではタイミング $T_1 \sim T_7$ までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が1回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 $WS$ 、 $AZ$ 、 $DS$ の波形を表わしてある。

20

【0024】

当該フィールドが始まる前のタイミング $T_0$ で、制御信号 $WS$ 及び $AZ$ はオフであるのに対し、制御信号 $DS$ がオンしている。従ってサンプリングトランジスタ $T_{r1}$ 、検出トランジスタ $T_{r5}$ 及びスイッチングトランジスタ $T_{r3}$ がオフ状態であるのに対し、スイッチングトランジスタ $T_{r4}$ のみがオン状態にある。この状態で、A点電位は信号電位 $V_{sig}$ にあり、G点電位は $V_{sig}$ から $V_{th}$ だけ下がった電位にある。この時S点はトランジスタ $T_{r4}$ がオンしているので $V_{cc}$ となっている。従ってトランジスタ $T_{rd}$ のソースとゲートとの間には $V_{th}$ を超える十分な電圧が印加されており、出力電流 $I_{ds}$ が発光素子 $EL$ に供給されている。従ってタイミング $T_0$ では発光素子 $EL$ は発光状態にある。

30

【0025】

この後当該フィールドに入りタイミング $T_1$ で制御信号 $AZ$ がオンし、トランジスタ $T_{r5}$ 及び $T_{r3}$ が導通する。この結果A点とS点が直接つながるので、A点電位は電源電位 $V_{cc}$ に急激に立ち上がる。一方トランジスタ $T_{r3}$ がオンする為、G点電位は所定のオフセット電位 $V_{ofs}$ まで急激に立ち下がる。

【0026】

この直後タイミング $T_2$ で制御信号 $DS$ がオフになり、スイッチングトランジスタ $T_{r4}$ が非導通状態となる。これによりS点が電源電位 $V_{cc}$ から切り離され、非発光状態に変わる。タイミング $T_1$ からタイミング $T_2$ までの期間 $T_1 - T_2$ で、A点電位が $V_{cc}$ となりG点電位が $V_{ofs}$ となって各容量素子 $C_{s1}$ 、 $C_{s2}$ の電位がリセットされる。このリセット動作は、次に続く検出動作を安定化する為の準備であって、期間 $T_1 - T_2$ をリセット期間と呼ぶ。

40

【0027】

タイミング $T_2$ で制御信号 $DS$ がオフするとS点が $V_{cc}$ から切り離されるので、電源からの給電が遮断される一方容量素子 $C_{s1}$ の放電が始まり過剰電流がトランジスタ $T_{r5}$ を通して流れ、A点電位が $V_{cc}$ から低下していく。G点電位に対してA点電位が $V_{th}$ まで低下した時、過剰電流が流れなくなる。この結果A点とG点の電位差が $V_{th}$ となり、これが容量素子 $C_{s1}$ に保持される。

50

## 【 0 0 2 8 】

タイミング T 3 で制御信号 A Z がオフし、トランジスタ T r 5 及び T r 3 がオフして、容量素子 C s 1 の G 点側が V o f s から切り離されるとともに、A 点側が S 点から切り離される。タイミング T 2 ~ T 3 までの期間で V t h を検出し且つ C s 1 に保持するので、期間 T 2 - T 3 を特に検出期間と呼ぶ。この検出期間 T 2 - T 3 はドライブトランジスタに流れる過剰電流が 0 になる様十分な時間幅を取ってある。

## 【 0 0 2 9 】

以上説明した様に、リセット期間 T 1 - T 2 におけるリセット動作と検出期間 T 2 - T 3 における検出動作とで閾電圧 V t h の補正動作が行なわれる。そこでリセット期間と検出期間を合わせた期間 T 1 - T 3 を V t h 補正期間と呼ぶ。場合によっては、期間 T 2 - T 3 を V t h 補正期間と呼ぶこともある。図 3 のタイミングチャートから明らかな様に、V t h 補正期間 T 1 - T 3 は制御信号 A Z によって規定される。一方、V t h 補正期間 T 1 - T 3 内でリセット期間 T 1 - T 2 と検出期間 T 2 - T 3 を区分するのが制御信号 D S である。制御信号 D S は基本的にスイッチングトランジスタ T r 4 のオン / オフを制御するパルスであり、従って非発光期間と発光期間を規定している。

10

## 【 0 0 3 0 】

V t h 補正期間 T 1 - T 3 が経過した後、タイミング T 4 で制御信号 W S がオンし、サンプリングトランジスタ T r 1 が導通する。この結果、信号線 S L から供給された映像信号 V s i g が容量素子 C s 2 にサンプリングされる。これにより A 点電位は V t h から信号電位 V s i g に上昇する。この上昇に連動して G 点電位も差分 V t h を維持したまま上昇する。タイミングチャートから明らかな様に、サンプリング後でも A 点電位と G 点電位の電位差は V t h に維持されている。この後 1 水平期間が経過するタイミング T 5 で制御信号 W S はオフし、サンプリングトランジスタ T r 1 が非導通状態となる。V s i g をサンプリングして C s 2 に保持するサンプリング動作は期間 T 4 - T 5 で行なわれる為、これをサンプリング期間と呼ぶ。サンプリング期間 T 4 - T 5 は 1 水平期間 1 H に等しい。

20

## 【 0 0 3 1 】

この後タイミング T 6 で制御信号 D S が再びオンし、スイッチングトランジスタ T r 4 が導通する。この結果ドライブトランジスタ T r d は S 点電位と G 点電位との差 V g s に応じてドレイン電流 I d s を発光素子 E L に供給する。発光素子 E L はこれにより V g s に応じた輝度で発光する。

30

## 【 0 0 3 2 】

この後タイミング T 7 に至り当該フィールドが終了するとともに、次のフィールドに移行する。次のフィールドでは最初にリセット期間に入る。

## 【 0 0 3 3 】

図 3 のタイミングチャートに基づいて、サンプリング期間 T 4 - T 5 及びその後の発光期間における入力電圧 V g s を求める。入力電圧 V g s は S 点を基準にした G 点の電位である。サンプリング期間 T 4 - T 5 の後の発光期間ではトランジスタ T r 4 がオンしている為、S 点電位は電源に接続され V c c となっている。一方 A 点電位は前述した様に V c c よりも V s i g だけ低い。更に G 点電位は A 点電位から V t h だけ低い。従って S 点電位を基準にした G 点電位を表わす V g s は  $V c c - (V s i g - V t h)$  となる。前述のトランジスタ特性式 1 の V g s にここで求めた  $V c c - (V s i g - V t h)$  を代入すると、以下の式が得られる。

40

$$I d s = (1 / 2) \mu (W / L) C o x (V c c - V s i g)^2$$

上記特性式では先の基本特性式 1 に含まれていた V t h の項がキャンセルされ、V c c - V s i g で置き換えられている。従って図 2 に示した画素回路 2 は、ドライブトランジスタ T r d の V t h に依存することなく、V s i g の値に応じた出力電流 I d s を発光素子 E L に供給することができる。従ってドライブトランジスタ T r d の V t h が画素毎にばらついていても、画素アレイとしてはそのばらつきを取り除いた出力電流を各画素の発光素子 E L に供給することができる。

## 【 0 0 3 4 】

50

図4は、上記特性式をグラフ化したものであり、縦軸に出力電流  $I_{ds}$  を取り、横軸に入力電圧  $V_{cc} - V_{sig}$  を取っている。合わせてグラフの傍に上記特性式を再掲してある。上記特性式から明らかな様に、ドライブトランジスタの  $V_{th}$  の項は消えている。しかしながら移動度  $\mu$  が残されている。この移動度  $\mu$  は  $V_{th}$  と同じくデバイス依存性があり、各画素毎にばらついている。従って、 $V_{th}$  をキャンセルしたのみでは出力電流  $I_{ds}$  のばらつきは完全に抑えることはできない。グラフでは  $\mu$  の大きいトランジスタ特性を実線で表わし、 $\mu$  の小さなトランジスタ特性を点線で表わしている。グラフから明らかな様に、特性式の係数  $\mu$  が大きくなる程、特性カーブは急峻になっている。従って入力電圧  $V_{cc} - V_{sig} = V_0$  で一定であっても、移動度  $\mu$  のばらつきが画素間で生じる為、出力電流  $I_{ds}$  は  $\mu$  に依存して変動し、画素間で輝度のばらつきが生じてしまう。特に  $V_{cc} - V_{sig}$  がグレーから白表示の階調にある時移動度  $\mu$  に依存する輝度ばらつきが顕著となり、表示ムラが生じて解決すべき課題である。

10

#### 【0035】

図5は、本発明にかかる表示装置の第1実施形態を示す回路図である。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セクタ3、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71、第二補正用スキャナ72などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。図では理解を容易にする為、1個の画素回路2のみを拡大表示してある。信号線SLは水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DS、AZ1及びAZ2も配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZ1は第一補正用スキャナ71によって走査される。走査線AZ2は第二補正用スキャナ72によって走査される。ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72はスキャナ部を構成しており、1水平期間ごと画素の行を順次走査する。各画素回路2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリングする。さらに走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子ELを駆動する。加えて画素回路2は走査線AZ1、AZ2によって走査された時、予め決められた補正動作を行う。

20

30

#### 【0036】

画素回路2は、5個の薄膜トランジスタTr1~Tr4及びTrdと1個の容量素子(画素容量)Csと1個の発光素子ELとで構成されている。トランジスタTr1~Tr3とTrdはNチャネル型のポリシリコンTFTである。トランジスタTr4のみPチャネル型のポリシリコンTFTである。1個の容量素子Csは本画素回路2の容量部を構成している。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機EL素子である。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

#### 【0037】

画素回路2の中心となるドライブトランジスタTrdはそのゲートGが画素容量Csの一端に接続され、そのソースSが同じく画素容量Csの他端に接続されている。またドライブトランジスタTrdのゲートGはスイッチングトランジスタTr2を介して別の基準電位Vss1に接続されている。ドライブトランジスタTrdのドレインはスイッチングトランジスタTr4を介して電源Vccに接続されている。このスイッチングトランジスタTr2のゲートは走査線AZ1に接続されている。スイッチングトランジスタTr4のゲートは走査線DSに接続している。発光素子ELのアノードはドライブトランジスタTrdのソースSに接続し、カソードは接地されている。この接地電位はVcathで表される場合がある。また、ドライブトランジスタTrdのソースSと所定の基準電位Vss2との間にスイッチングトランジスタTr3が介在している。このトランジスタTr3のゲートは走査線AZ2に接続している。一方サンプリングトランジスタTr1は信号線S

40

50

Lとドライブトランジスタ $T_{rd}$ のゲートGとの間に接続されている。サンプリングトランジスタ $T_{r1}$ のゲートは走査線WSに接続している。

#### 【0038】

かかる構成において、サンプリングトランジスタ $T_{r1}$ は、所定のサンプリング期間に走査線WSから供給される制御信号WSに応じ導通して信号線SLから供給された映像信号Vsigを容量部Csにサンプリングする。容量部Csは、サンプリングされた映像信号Vsigに応じてドライブトランジスタのゲートGとソースS間に入力電圧Vgsを印加する。ドライブトランジスタ $T_{rd}$ は、所定の発光期間中入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。なおこの出力電流（ドレイン電流）Idsはドライブトランジスタ $T_{rd}$ のチャネル領域のキャリア移動度 $\mu$ 及び閾電圧Vthに対して依存性を有する。発光素子ELは、ドライブトランジスタ $T_{rd}$ から供給された出力電流Idsにより映像信号Vsigに応じた輝度で発光する。

#### 【0039】

本発明の特徴事項として、画素回路2はスイッチングトランジスタ $T_{r2} \sim T_{r4}$ で構成される補正手段を備えており、出力電流Idsのキャリア移動度 $\mu$ に対する依存性を打ち消す為に、予め発光期間の先頭で容量部Csに保持された入力電圧Vgsを補正する。具体的には、この補正手段（ $T_{r2} \sim T_{r4}$ ）は、走査線WS及びDSから供給される制御信号WS、DSに応じてサンプリング期間の一部で動作し、映像信号Vsigがサンプリングされている状態でドライブトランジスタ $T_{rd}$ から出力電流Idsを取り出し、これを容量部Csに負帰還して入力電圧Vgsを補正する。さらにこの補正手段（ $T_{r2} \sim T_{r4}$ ）は、出力電流Idsの閾電圧Vthに対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ $T_{rd}$ の閾電圧Vthを検出し、且つ検出された閾電圧Vthを入力電圧Vgsに足し込む様にしている。

#### 【0040】

本実施形態の場合、ドライブトランジスタ $T_{rd}$ はNチャネル型トランジスタでドレインが電源Vcc側に接続する一方、ソースSが発光素子EL側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ $T_{rd}$ から出力電流Idsを取り出して、容量部Cs側に負帰還する。その際本補正手段は、発光期間の先頭部分でドライブトランジスタ $T_{rd}$ のソースS側から取り出した出力電流Idsが、発光素子ELの有する容量に流れ込むようにしている。具体的には、発光素子ELはアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ $T_{rd}$ のソースSに接続する一方カソード側が接地されている。この構成で、本補正手段（ $T_{r2} \sim T_{r4}$ ）は、予め発光素子ELのアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ $T_{rd}$ のソースS側から取り出した出力電流Idsが発光素子ELに流れ込む時、このダイオード型の発光素子ELを容量性素子として機能させている。なお本補正手段は、サンプリング期間内でドライブトランジスタ $T_{rd}$ から出力電流Idsを取り出す時間幅tを調整可能であり、これにより容量部Csに対する出力電流Idsの負帰還量を最適化している。

#### 【0041】

図6は、図5に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にする為、サンプリングトランジスタ $T_{r1}$ によってサンプリングされる映像信号Vsigや、ドライブトランジスタ $T_{rd}$ の入力電圧Vgs及び出力電流Ids、さらには発光素子ELが有する容量成分C<sub>oled</sub>などを書き加えてある。以下図6に基づいて、本画素回路2の基本的な動作を説明する。

#### 【0042】

図7は、図6に示した画素回路のタイミングチャートである。図7を参照して、図6に示した画素回路の動作をより具体的且つ詳細に説明する。図7は、時間軸Tに沿って各走査線WS、AZ1、AZ2及びDSに印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ $T_{r1}$ 、 $T_{r2}$ 、 $T_{r3}$ はNチャネル型なので、走査線WS、AZ1、AZ2がそれぞれハ

イレベルの時オンし、ローレベルの時オフする。一方トランジスタ  $T_{r4}$  は P チャンネル型なので、走査線  $D_S$  がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号  $W_S$ ,  $A_{Z1}$ ,  $A_{Z2}$ ,  $D_S$  の波形と共に、ドライブトランジスタ  $T_{rd}$  のゲート  $G$  の電位変化及びソース  $S$  の電位変化も表してある。

#### 【0043】

図7のタイミングチャートではタイミング  $T_1 \sim T_8$  までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号  $W_S$ ,  $A_{Z1}$ ,  $A_{Z2}$ ,  $D_S$  の波形を表してある。

#### 【0044】

当該フィールドが始まる前のタイミング  $T_0$  で、全ての制御線号  $W_S$ ,  $A_{Z1}$ ,  $A_{Z2}$ ,  $D_S$  がローレベルにある。したがってNチャンネル型のトランジスタ  $T_{r1}$ ,  $T_{r2}$ ,  $T_{r3}$  はオフ状態にある一方、Pチャンネル型のトランジスタ  $T_{r4}$  のみオン状態である。したがってドライブトランジスタ  $T_{rd}$  はオン状態のトランジスタ  $T_{r4}$  を介して電源  $V_{cc}$  に接続しているので、所定の入力電圧  $V_{gs}$  に応じて出力電流  $I_{ds}$  を発光素子  $E_L$  に供給している。したがってタイミング  $T_0$  で発光素子  $E_L$  は発光している。この時ドライブトランジスタ  $T_{rd}$  に印加される入力電圧  $V_{gs}$  は、ゲート電位( $G$ )とソース電位( $S$ )の差で表される。

#### 【0045】

当該フィールドが始まるタイミング  $T_1$  で、制御信号  $D_S$  がローレベルからハイレベルに切り替わる。これによりトランジスタ  $T_{r4}$  がオフし、ドライブトランジスタ  $T_{rd}$  は電源  $V_{cc}$  から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング  $T_1$  に入ると、全てのトランジスタ  $T_{r1} \sim T_{r4}$  がオフ状態になる。

#### 【0046】

続いてタイミング  $T_2$  に進むと、制御信号  $A_{Z1}$  及び  $A_{Z2}$  がハイレベルになるので、スイッチングトランジスタ  $T_{r2}$  及び  $T_{r3}$  がオンする。この結果、ドライブトランジスタ  $T_{rd}$  のゲート  $G$  が基準電位  $V_{ss1}$  に接続し、ソース  $S$  が基準電位  $V_{ss2}$  に接続される。ここで  $V_{ss1} - V_{ss2} > V_{th}$  を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$  とする事で、その後タイミング  $T_3$  で行われる  $V_{th}$  補正の準備を行う。換言すると期間  $T_2 - T_3$  は、ドライブトランジスタ  $T_{rd}$  のリセット期間に相当する。また、発光素子  $E_L$  の閾電圧を  $V_{thEL}$  とすると、 $V_{thEL} > V_{ss2}$  に設定されている。これにより、発光素子  $E_L$  にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う  $V_{th}$  補正動作及び移動度補正動作を正常に行うために必要である。

#### 【0047】

タイミング  $T_3$  では制御信号  $A_{Z2}$  をローレベルにし且つ直後制御信号  $D_S$  もローレベルにしている。これによりトランジスタ  $T_{r3}$  がオフする一方トランジスタ  $T_{r4}$  がオンする。この結果ドレイン電流  $I_{ds}$  が画素容量  $C_s$  に流れ込み、 $V_{th}$  補正動作を開始する。この時ドライブトランジスタ  $T_{rd}$  のゲート  $G$  は  $V_{ss1}$  に保持されており、ドライブトランジスタ  $T_{rd}$  がカットオフするまで電流  $I_{ds}$  が流れる。カットオフするとドライブトランジスタ  $T_{rd}$  のソース電位( $S$ )は  $V_{ss1} - V_{th}$  となる。ドレイン電流がカットオフした後のタイミング  $T_4$  で制御信号  $D_S$  を再びハイレベルに戻し、スイッチングトランジスタ  $T_{r4}$  をオフする。さらに制御信号  $A_{Z1}$  もローレベルに戻し、スイッチングトランジスタ  $T_{r2}$  もオフする。この結果、画素容量  $C_s$  に  $V_{th}$  が保持固定される。この様にタイミング  $T_3 - T_4$  はドライブトランジスタ  $T_{rd}$  の閾電圧  $V_{th}$  を検出する期間である。ここでは、この検出期間  $T_3 - T_4$  を  $V_{th}$  補正期間と呼んでいる。

#### 【0048】

この様に  $V_{th}$  補正を行った後タイミング  $T_5$  で制御信号  $W_S$  をハイレベルに切り替え、サンプリングトランジスタ  $T_{r1}$  をオンして映像信号  $V_{sig}$  を画素容量  $C_s$  に書き込む。発光素子  $E_L$  の等価容量  $C_{oled}$  に比べて画素容量  $C_s$  は十分に小さい。この結果

10

20

30

40

50

、映像信号  $V_{sig}$  のほとんど大部分が画素容量  $C_s$  に書き込まれる。正確には、 $V_{ss1}$  に対する。  $V_{sig}$  の差分  $V_{sig} - V_{ss1}$  が画素容量  $C_s$  に書き込まれる。したがってドライブトランジスタ  $T_{rd}$  のゲート  $G$  とソース  $S$  間の電圧  $V_{gs}$  は、先に検出保持された  $V_{th}$  と今回サンプリングされた  $V_{sig} - V_{ss1}$  を加えたレベル ( $V_{sig} - V_{ss1} + V_{th}$ ) となる。以降説明簡易化の為  $V_{ss1} = 0V$  とすると、ゲート/ソース間電圧  $V_{gs}$  は図7のタイミングチャートに示すように  $V_{sig} + V_{th}$  となる。かかる映像信号  $V_{sig}$  のサンプリングは制御信号  $WS$  がローレベルに戻るタイミング  $T_7$  まで行われる。すなわちタイミング  $T_5 - T_7$  がサンプリング期間に相当する。

#### 【0049】

サンプリング期間の終了するタイミング  $T_7$  より前のタイミング  $T_6$  で制御信号  $DS$  がローレベルとなりスイッチングトランジスタ  $T_{r4}$  がオンする。これによりドライブトランジスタ  $T_{rd}$  が電源  $V_{cc}$  に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ  $T_{r1}$  がまだオン状態で且つスイッチングトランジスタ  $T_{r4}$  がオン状態に入った期間  $T_6 - T_7$  で、ドライブトランジスタ  $T_{rd}$  の移動度補正を行う。即ち本実施形態では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間  $T_6 - T_7$  で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子  $EL$  は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間  $T_6 - T_7$  では、ドライブトランジスタ  $T_{rd}$  のゲート  $G$  が映像信号  $V_{sig}$  のレベルに固定された状態で、ドライブトランジスタ  $T_{rd}$  にドレイン電流  $I_{ds}$  が流れる。ここで  $V_{ss1} - V_{th} < V_{thEL}$  と設定しておく事で、発光素子  $EL$  は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ  $T_{rd}$  に流れる電流  $I_{ds}$  は画素容量  $C_s$  と発光素子  $EL$  の等価容量  $C_{oled}$  の両者を結合した容量  $C = C_s + C_{oled}$  に書き込まれていく。これによりドライブトランジスタ  $T_{rd}$  のソース電位 ( $S$ ) は上昇していく。図7のタイミングチャートではこの上昇分を  $\Delta V$  で表してある。この上昇分  $\Delta V$  は結局画素容量  $C_s$  に保持されたゲート/ソース間電圧  $V_{gs}$  から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ  $T_{rd}$  の出力電流  $I_{ds}$  を同じくドライブトランジスタ  $T_{rd}$  の入力電圧  $V_{gs}$  に負帰還する事で、移動度  $\mu$  を補正する事が可能である。なお負帰還量  $\Delta V$  は移動度補正期間  $T_6 - T_7$  の時間幅  $t$  を調整する事で最適化可能である。

#### 【0050】

タイミング  $T_7$  では制御信号  $WS$  がローレベルとなりサンプリングトランジスタ  $T_{r1}$  がオフする。この結果ドライブトランジスタ  $T_{rd}$  のゲート  $G$  は信号線  $SL$  から切り離される。映像信号  $V_{sig}$  の印加が解除されるので、ドライブトランジスタ  $T_{rd}$  のゲート電位 ( $G$ ) は上昇可能となり、ソース電位 ( $S$ ) と共に上昇していく。その間画素容量  $C_s$  に保持されたゲート/ソース間電圧  $V_{gs}$  は ( $V_{sig} - \Delta V + V_{th}$ ) の値を維持する。ソース電位 ( $S$ ) の上昇に伴い、発光素子  $EL$  の逆バイアス状態は解消されるので、出力電流  $I_{ds}$  の流入により発光素子  $EL$  は実際に発光を開始する。この時のドレイン電流  $I_{ds}$  対ゲート電圧  $V_{gs}$  の関係は、先のトランジスタ特性式1の  $V_{gs}$  に  $V_{sig} - \Delta V + V_{th}$  を代入する事で、以下の式2のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2 \quad \dots \text{式2}$$

上記式2において、 $k = (1/2)(W/L)C_{ox}$  である。この特性式2から  $V_{th}$  の項がキャンセルされており、発光素子  $EL$  に供給される出力電流  $I_{ds}$  はドライブトランジスタ  $T_{rd}$  の閾電圧  $V_{th}$  に依存しない事が分かる。基本的にドレイン電流  $I_{ds}$  は映像信号の信号電圧  $V_{sig}$  によって決まる。換言すると、発光素子  $EL$  は映像信号  $V_{sig}$  に応じた輝度で発光する事になる。その際  $V_{sig}$  は帰還量  $\Delta V$  で補正されている。この補正量  $\Delta V$  は丁度特性式2の係数部に位置する移動度  $\mu$  の効果を打ち消すように働く。したがって、ドレイン電流  $I_{ds}$  は実質的に映像信号  $V_{sig}$  のみに依存する事になる。

#### 【0051】

10

20

30

40

50

最後にタイミング  $T_8$  に至ると制御信号  $DS$  がハイレベルとなってスイッチングトランジスタ  $Tr_4$  がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び  $V_{th}$  補正動作、移動度補正動作及び発光動作が繰り返される事になる。

#### 【0052】

図8は、移動度補正期間  $T_6 - T_7$  における画素回路2の状態を示す回路図である。図示するように、移動度補正期間  $T_6 - T_7$  では、サンプリングトランジスタ  $Tr_1$  及びスイッチングトランジスタ  $Tr_4$  がオンしている一方、残りのスイッチングトランジスタ  $Tr_2$  及び  $Tr_3$  がオフしている。この状態でドライブトランジスタ  $Tr_4$  のソース電位 ( $S$ ) は  $V_{ss1} - V_{th}$  である。このソース電位  $S$  は発光素子  $EL$  のアノード電位でもある。前述したように  $V_{ss1} - V_{th} < V_{thEL}$  と設定しておく事で、発光素子  $EL$  は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ  $Tr_d$  に流れる電流  $I_{ds}$  は画素容量  $C_s$  と発光素子  $EL$  の等価容量  $C_{oled}$  との合成容量  $C = C_s + C_{oled}$  に流れ込む事になる。換言すると、ドレイン電流  $I_{ds}$  の一部が画素容量  $C_s$  に負帰還され、移動度の補正が行われる。

10

#### 【0053】

図9は上述したトランジスタ特性式2をグラフ化したものであり、縦軸に  $I_{ds}$  を取り横軸に  $V_{sig}$  を取ってある。このグラフの下方に特性式2も合わせて示してある。図9のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタの移動度  $\mu$  は相対的に大きい。逆に画素2に含まれるドライブトランジスタの移動度  $\mu$  は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度  $\mu$  がばらつく事は避けられない。例えば両画素1, 2に同レベルの映像信号  $V_{sig}$  を書き込んだ場合、何ら移動度の補正を行わないと、移動度  $\mu$  の大きい画素1に流れる出力電流  $I_{ds1}'$  は、移動度  $\mu$  の小さい画素2に流れる出力電流  $I_{ds2}'$  に比べて大きな差が生じてしまう。この様に移動度  $\mu$  のばらつきに起因して出力電流  $I_{ds}$  の間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

20

#### 【0054】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流  $I_{ds}$  が大きくなる。したがって負帰還量  $\Delta V$  は移動度が大きいほど大きくなる。図9のグラフに示すように、移動度  $\mu$  の大きな画素1の負帰還量  $\Delta V_1$  は移動度の小さな画素2の負帰還量  $\Delta V_2$  に比べて大きい。したがって、移動度  $\mu$  が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度  $\mu$  の大きな画素1で  $\Delta V_1$  の補正をかけると、出力電流は  $I_{ds1}'$  から  $I_{ds1}$  まで大きく下降する。一方移動度  $\mu$  の小さな画素2の補正量  $\Delta V_2$  は小さいので、出力電流  $I_{ds2}'$  は  $I_{ds2}$  までそれ程大きく下降しない。結果的に、 $I_{ds1}$  と  $I_{ds2}$  は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで  $V_{sig}$  の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素1と2があった場合、移動度の大きい画素1の補正量  $\Delta V_1$  は移動度の小さい画素2の補正量  $\Delta V_2$  に対して小さくなる。つまり移動度が大きいほど  $\Delta V$  が大きく  $I_{ds}$  の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

30

40

#### 【0055】

以下参考の為図10を参照して、上述した移動度補正の数値解析を行う。図10に示すように、トランジスタ  $Tr_1$  及び  $Tr_4$  がオンした状態で、ドライブトランジスタ  $Tr_d$  のソース電位を変数  $V$  に取って解析を行う。ドライブトランジスタ  $Tr_d$  のソース電位 ( $S$ ) を  $V$  とすると、ドライブトランジスタ  $Tr_d$  を流れるドレイン電流  $I_{ds}$  は以下の式3に示す通りである。

【数 1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【0056】

またドレイン電流  $I_{ds}$  と容量  $C (= C_s + C_{oled})$  の関係により、以下の式 4 に示す様に  $I_{ds} = dQ / dt = C dV / dt$  が成り立つ。

【数 2】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

10

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[ \frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

20

【0057】

式 4 に式 3 を代入して両辺積分する。ここで、ソース電圧  $V$  初期状態は  $-V_{th}$  であり、移動度ばらつき補正時間 ( $T_6 - T_7$ ) を  $t$  とする。この微分方程式を解くと、移動度補正時間  $t$  に対する画素電流が以下の数式 5 のように与えられる。

【数 3】

$$I_{ds} = k\mu \left( \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

30

【0058】

移動度の異なる画素において、式 5 を用いて  $t = 0 \mu s$  と  $2.5 \mu s$  時の電流値のグラフを図 11 に示す。なおこのグラフの下部に合わせて式 5 も載せておく。 $t = 0 \mu s$  の移動度補正をかけない状態に比べ、 $t = 2.5 \mu s$  では移動度ばらつきに対する補正が充分にかかっている事が分かる。移動度補正無しでは 40 % のばらつきがあったものが、移動度補正をかけると 10 % 以下に抑えられている。移動度補正動作時は、常に  $V < V_{th} + E_L$  を満たしている必要がある。上述した第 1 実施形態の画素回路では移動度補正時に画素容量  $C_s$  と発光素子  $E_L$  の等価容量  $C_{oled}$  を使用している。 $C_{oled}$  は  $C_s$  に対して大きいので合成容量  $C$  も大きくなり、移動度補正時間マージンを稼ぐ事ができる。

40

【0059】

以上の動作を行うことで、映像信号電位サンプリング方式の画素回路においても移動度ばらつきの補正を行う事ができる事が分かる。既に実用化されている液晶ディスプレイの駆動方式は基本的に映像信号電位をサンプリングする電圧駆動である。よって有機 EL パネルにおいても電圧駆動にて移動度ばらつき補正が可能となる事で、従来液晶ディスプレイで用いていた外付けソースドライバや低温ポリシリコン TFT などを用いたパネル内蔵型ソースドライバなどを利用する事が可能となり、低コストにて有機 EL パネルモジュールを作成する事ができる。また第 1 実施形態の画素回路ではドライブトランジスタ以外のスイッチングトランジスタは N チャンネル型と P チャンネル型を混在して用いているが、各トラン

50

ジスタの特性はNチャネルでもPチャネルでも構わない。

【0060】

図12は、本発明にかかる表示装置の第2実施形態を示すブロック図である。理解を容易にする為図5に示した第1実施形態と対応する部分には対応する参照番号を用いてある。本表示措置は、画素アレイ1とこれを囲む周辺の回路とで構成されている。周辺回路は、水平セクタ3とライトスキャナ4とドライブスキャナ5と第一補正用スキャナ71と第二補正用スキャナ72とを含む。画素アレイ1はマトリクス状に配列した画素回路2で構成されている。図では理解を容易にする為1個の画素回路2のみを示してある。画素回路2は6個のトランジスタ $T_{r1}$ ,  $T_{rd}$ ,  $T_{r3} \sim T_{r6}$ と、2個の容量素子 $C_{s1}$ ,  $C_{s2}$ と1個の発光素子 $E_L$ とで構成されている。トランジスタは全てNチャネル型である。本画素回路2の主要部となるドライブトランジスタ $T_{rd}$ は、そのゲート $G$ が各容量素子 $C_{s1}$ ,  $C_{s2}$ の一端に接続されている。一方の容量素子 $C_{s1}$ は本画素回路2の出力側と入力側を結ぶ結合容量である。他方の容量素子 $C_{s2}$ は結合容量 $C_{s1}$ を介して映像信号が書き込まれる画素容量である。ドライブトランジスタ $T_{rd}$ のソース $S$ は画素容量 $C_{s2}$ の他端に接続すると共に、発光素子 $E_L$ に接続している。発光素子 $E_L$ はダイオード型のデバイスであり、そのアノードがドライブトランジスタ $T_{rd}$ のソース $S$ に接続する一方、カソード $K$ が接地電位 $V_{cat h}$ に接続されている。またドライブトランジスタ $T_{rd}$ のソース $S$ と所定の基準電位 $V_{ss2}$ との間にスイッチングトランジスタ $T_{r3}$ が介在している。このトランジスタ $T_{r3}$ のゲートは走査線 $AZ2$ に接続している。ドライブトランジスタ $T_{rd}$ のドレインはスイッチングトランジスタ $T_{r4}$ を介して電源 $V_{cc}$ に接続されている。スイッチングトランジスタ $T_{r4}$ のゲートは走査線 $DS$ に接続している。加えてドライブトランジスタ $T_{rd}$ のゲート $G$ とドレインとの間にスイッチングトランジスタ $T_{r5}$ が介在している。このトランジスタ $T_{r5}$ のゲートは走査線 $AZ1$ に接続している。一方入力側のサンプリングトランジスタ $T_{r1}$ は信号線 $SL$ と結合容量 $C_{s1}$ の他端との間に接続されている。サンプリングトランジスタ $T_{r1}$ のゲートは走査線 $WS$ に接続されている。結合容量 $C_{s1}$ の他端と所定の基準電位 $V_{ss1}$ との間にトランジスタ $T_{r6}$ が介在している。このトランジスタ $T_{r6}$ のゲートは走査線 $AZ1$ に接続している。

【0061】

図13は、図12に示した画素回路の動作説明に供するタイミングチャートである。時間軸 $T$ に沿って制御信号 $WS$ ,  $DS$ ,  $AZ1$ ,  $AZ2$ の波形を表すと共に、ドライブトランジスタ $T_{rd}$ のゲート電位( $G$ )及びソース電位( $S$ )の変化も表してある。当該フィールドが開始するタイミング $T1$ では、制御信号 $WS$ ,  $AZ1$ ,  $AZ2$ がローレベルで、制御信号 $DS$ のみがハイレベルである。したがって、タイミング $T1$ ではスイッチングトランジスタ $T_{r4}$ のみがオン状態にあり、残りのトランジスタ $T_{r1}$ ,  $T_{r3}$ ,  $T_{r5}$ ,  $T_{r6}$ はオフ状態にある。この時ドライブトランジスタ $T_{rd}$ はオン状態にあるスイッチングトランジスタ $T_{r4}$ を介して電源 $V_{cc}$ に接続されているので、所定のドレイン電流 $I_{ds}$ が発光素子 $E_L$ に流れる為、発光状態となっている。

【0062】

タイミング $T2$ になると制御信号 $AZ1$ と $AZ2$ とがハイレベルとなり、スイッチングトランジスタ $T_{r5}$ ,  $T_{r6}$ がオンする。ドライブトランジスタ $T_{rd}$ のゲート $G$ はトランジスタ $T_{r5}$ を通して電源 $V_{cc}$ 側に接続するので、ゲート電位( $G$ )は急激に上昇する。

【0063】

この後タイミング $T3$ で制御信号 $DS$ がローレベルとなり、トランジスタ $T_{r4}$ がオフする。ドライブトランジスタ $T_{rd}$ に対する電源供給が遮断されるので、ドレイン電流 $I_{ds}$ は減衰していく。これによりソース電位( $S$ )及びゲート電位( $G$ )は共に下降するが、丁度両者の電位差が $V_{th}$ となったところで電流が流れなくなる。この時の $V_{th}$ が画素容量 $C_{s2}$ に保持される。画素容量 $C_{s2}$ に保持された $V_{th}$ はドライブトランジスタ $T_{rd}$ の閾電圧のキャンセルに用いられる。また、スイッチングトランジスタ $T_{r3}$ は

オンしており、ドライブトランジスタ  $T_{r2}$  のソース  $S$  はトランジスタ  $T_{r3}$  を介して基準電位  $V_{ss2}$  に接続される。この  $V_{ss2}$  は発光素子  $E_L$  の閾電圧よりも低く設定されており、発光素子  $E_L$  は逆バイアス状態におかれる。

#### 【0064】

この後タイミング  $T_4$  になったとき制御信号  $AZ_1$  がローレベルとなり、トランジスタ  $T_{r5}$  ,  $T_{r6}$  がオフして、 $Cs_2$  に書き込まれた  $V_{th}$  が固定される。タイミング  $T_2$  から  $T_4$  まで  $V_{th}$  補正期間 ( $T_2 - T_4$ ) と呼ぶ。なお  $V_{th}$  補正期間では  $T_{r6}$  がオンしている為、結合容量  $Cs_1$  の他端は所定の基準電位  $V_{ss1}$  に保持される。

#### 【0065】

タイミング  $T_5$  になると制御信号  $WS$  及び  $AZ_2$  がハイレベルになり、サンプリングトランジスタ  $T_{r1}$  がオンする。この結果、ドライブトランジスタ  $T_{rd}$  のゲート  $G$  は結合容量  $Cs_1$  及びオンしたサンプリングトランジスタ  $T_{r1}$  を介して信号線  $SL$  に接続される。この結果映像信号が結合容量  $Cs_1$  を介してドライブトランジスタ  $T_{rd}$  のゲート  $G$  にカップリングされ、その電位が上昇する。図13のタイミングチャートでは映像信号のカップリング分と  $V_{th}$  を合わせた電圧を  $V_{in}$  で表してある。画素容量  $Cs_2$  にこの  $V_{in}$  が保持された事になる。この後タイミング  $T_7$  で制御信号  $WS$  がローレベルに戻り、画素容量  $Cs_2$  に書き込まれた電位が保持固定される。この様にして映像信号が結合容量  $Cs_1$  を介して画素容量  $Cs_2$  に書き込まれる期間をサンプリング期間  $T_5 - T_7$  と呼ぶ。このサンプリング期間  $T_5 - T_7$  は通常1水平期間 ( $1H$ ) に相当する。

#### 【0066】

本実施形態では、サンプリング期間が終了するタイミング  $T_7$  の前のタイミング  $T_6$  で、制御信号  $DS$  がハイレベルになる一方制御信号  $AZ_2$  がローレベルになる。この結果ドライブトランジスタ  $T_{rd}$  のソース  $S$  が  $V_{ss2}$  から切り離される一方ドレイン側からソース  $S$  側に向かって電流が流れる。一方サンプリングトランジスタ  $T_{r1}$  は引き続きオン状態なのでドライブトランジスタ  $T_{rd}$  のゲート電位 ( $G$ ) は映像信号側に保持されている。この様な状態でドライブトランジスタ  $T_{rd}$  に出力電流が流れるので、画素容量  $Cs_2$  及び逆バイアス状態にある発光素子  $E_L$  の等価容量を充電する事になる。これによりドライブトランジスタ  $T_{rd}$  のソース電位 ( $S$ ) は  $\Delta V$  だけ上昇し、その分だけ  $Cs_2$  に保持されていた電圧  $V_{in}$  が減少する。換言すると、期間  $T_6 - T_7$  の間でソース  $S$  側の出力電流がゲート  $G$  側の入力電圧に負帰還される。この負帰還量が  $\Delta V$  で表される。この負

#### 【0067】

この後タイミング  $T_7$  で制御信号  $WS$  がローレベルとなり、映像信号の印加が解除されると、いわゆるブートストラップ動作が行われゲート電位 ( $G$ ) 及びソース電位 ( $S$ ) は両者の差 ( $V_{in} - \Delta V$ ) を維持したまま上昇する。ソース電位 ( $S$ ) の上昇に伴い発光素子  $E_L$  の逆バイアス状態は解消されるので、出力電流  $I_{ds}$  が発光素子  $E_L$  に流れ込み、映像信号に応じた輝度で発光が行われる。この後タイミング  $T_8$  で当該フィールド  $1f$  が終わると次のフィールドに進む。次のフィールドでも、 $V_{th}$  補正、信号書き込み、移動度補正の各動作を行う。

#### 【0068】

図14は、図13に示した移動度補正期間  $T_6 - T_7$  における画素回路2の状態を表している。この画素回路2もスイッチングトランジスタ  $T_{r3}$  ,  $T_{r4}$  ,  $T_{r5}$  などで構成される補正手段を備えている。この補正手段は出力電流  $I_{ds}$  のキャリア移動度  $\mu$  に対する依存性を打ち消す為、予め発光期間  $T_6 - T_8$  の前または先頭で画素容量  $Cs_2$  に保持された入力電圧  $V_{in}$  ( $V_{gs}$ ) を補正する。この補正手段は走査線  $WS$  及び  $DS$  から供給される制御信号  $WS$  ,  $DS$  に応じてサンプリング期間  $T_5 - T_7$  の一部で動作し、映像信号  $V_{sig}$  がサンプリングされている状態でドライブトランジスタ  $T_{rd}$  から出力電流  $I_{ds}$  を取り出し、これを画素容量  $Cs_2$  に負帰還して入力電圧  $V_{gs}$  を補正する。加えてこの補正手段 ( $T_{r3}$  ,  $T_{r4}$  ,  $T_{r5}$ ) は、出力電流  $I_{ds}$  の閾電圧  $V_{th}$  に対する依存性を打ち消す為に、予めサンプリング期間  $T_5 - T_7$  に先立つ期間  $T_2 - T_4$  でドラ

10

20

30

40

50

イブトランジスタ $T_{rd}$ の閾電圧 $V_{th}$ を検出し、且つ検出された閾電圧 $V_{th}$ を入力電圧 $V_{gs}$ に足し込む様にしてある。

#### 【0069】

本実施形態においても、ドライブトランジスタ $T_{rd}$ はNチャンネル型トランジスタでドレインが電源 $V_{cc}$ 側に接続する一方ソース $S$ が発光素子 $E_L$ 側に接続している。この構成において本補正手段は、サンプリング期間 $T_5 - T_7$ の後部分に重なる発光期間 $T_6 - T_8$ の先頭部分( $T_6 - T_7$ )でドライブトランジスタ $T_{rd}$ から出力電流 $I_{ds}$ を取り出して、画素容量 $C_{s2}$ 側に負帰還する。その際本補正手段は、発光期間の先頭部分( $T_6 - T_7$ )でドライブトランジスタ $T_{rd}$ のソース $S$ 側から取り出した出力電流 $I_{ds}$ が、発光素子 $E_L$ の有する等価容量 $C_{oled}$ に流れ込むようにしている。発光素子 $E_L$ はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ $T_{rd}$ のソース $S$ に接続する一方カソード側が $V_{cat h}$ に接地されている。本補正手段は前述したように予め発光素子 $E_L$ のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ $T_{rd}$ のソース $S$ 側から取り出した出力電流 $I_{ds}$ が発光素子 $E_L$ に流れ込む時、ダイオード型の発光素子 $E_L$ を容量性素子 $C_{oled}$ として機能させている。

10

#### 【0070】

図15は、本発明にかかる表示装置の第3実施形態を示すブロック図である。理解を容易にする為、図5に示した第1実施形態と対応する部分には対応する参照番号を付してある。本表示装置も中央の画素アレイ1とこれを囲む周辺回路とで構成されている。周辺回路は水平セクタ3、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71、第二補正用スキャナ72を含んでいる。画素アレイ1はマトリクス状に配列された画素回路から構成されている。図では理解を容易にする為1個の画素回路2のみを拡大表示してある。

20

#### 【0071】

画素回路2は5個のトランジスタ $T_{r1}$ ,  $T_{r2}$ ,  $T_{r4}$ ,  $T_{r5}$ ,  $T_{rd}$ と2個の容量素子 $C_{s1}$ ,  $C_{s2}$ と1個の発光素子 $E_L$ とで構成されている。第1実施形態及び第2実施形態と異なり、ドライブトランジスタ $T_{rd}$ はPチャンネル型である。残りのトランジスタ $T_{r1}$ ,  $T_{r2}$ ,  $T_{r4}$ ,  $T_{r5}$ は全てNチャンネル型である。なお画素サイズや発光素子 $E_L$ の特性にもよるが、一般的にドライブトランジスタはNチャンネル型の方が移動度補正値の容量を大きく取る事ができ、移動度補正のマージンがある。

30

#### 【0072】

ドライブトランジスタ $T_{rd}$ のソースは電源 $V_{cc}$ に接続している。ゲートは画素容量 $C_{s1}$ の一端に接続している。ドライブトランジスタ $T_{rd}$ がPチャンネル型の場合、ゲート電圧 $V_{gs}$ はソース側となる電源 $V_{cc}$ を基準にして定義される。ドライブトランジスタ $T_{rd}$ のドレインはスイッチングトランジスタ $T_{r4}$ を介して発光素子 $E_L$ に接続している。発光素子 $E_L$ はダイオード型であり、アノードがスイッチングトランジスタ $T_{r4}$ を介してドライブトランジスタ $T_{rd}$ のドレインに接続する一方、カソードが接地されている。なおスイッチングトランジスタ $T_{r4}$ のゲートは走査線 $D_S$ に接続している。ドライブトランジスタ $T_{rd}$ のゲートとドレインとの間にスイッチングトランジスタ $T_{r5}$ が介在している。そのゲートは走査線 $A_Z1$ に接続している。

40

#### 【0073】

一方画素回路2の入力側となるサンプリングトランジスタ $T_{r1}$ は信号線 $S_L$ と画素容量 $C_{s1}$ の他端との間に接続されている。サンプリングトランジスタ $T_{r1}$ のゲートは走査線 $W_S$ に接続されている。画素容量 $C_{s1}$ の他端と電源 $V_{cc}$ との間に別の画素容量 $C_{s2}$ が接続している。また画素容量 $C_{s1}$ の他端と所定のオフセット電位 $V_{ofs}$ との間にスイッチングトランジスタ $T_{r2}$ が接続している。このトランジスタ $T_{r2}$ のゲートは走査線 $A_Z2$ に接続している。

#### 【0074】

図16は、図15に示した画素回路の各トランジスタとこれらに対応する制御信号との

50

関係を明示した回路図である。合わせてドライブトランジスタ  $T_{rd}$  のゲートを記号  $G$  で明示し、発光素子  $E_L$  のアノードを記号  $X$  で明示してある。各トランジスタ  $T_{r1}$ ,  $T_{r2}$ ,  $T_{r4}$ ,  $T_{r5}$  のゲートに印加される制御信号を対応する走査線と同じ記号で表してある。

#### 【0075】

図17は、図16に示した画素回路の動作説明に供するタイミングチャートである。時間軸  $T$  に沿って制御信号  $WS$ ,  $AZ1$ ,  $AZ2$ ,  $DS$  の波形を表すと共に、ドライブトランジスタ  $T_{rd}$  のゲート電位 ( $G$ ) と発光素子  $E_L$  のアノード電位 ( $X$ ) の変化も表してある。

#### 【0076】

当該フィールドに入る前のタイミング  $T_0$  で、制御信号  $WS$ ,  $AZ1$ ,  $AZ2$  はローレベルにある一方、制御信号  $DS$  はハイレベルにある。したがってタイミング  $T_0$  ではトランジスタ  $T_{r4}$  がオン状態にある一方、残りのトランジスタ  $T_{r1}$ ,  $T_{r2}$ ,  $T_{r5}$  はオフ状態にある。ドライブトランジスタ  $T_{rd}$  はオン状態のトランジスタ  $T_{r4}$  を介して発光素子  $E_L$  に接続している。したがって発光素子  $E_L$  にはゲート電圧  $V_{gs}$  に応じた出力電流が流れて発光している。なお、図17のタイミングチャートではゲート電圧  $V_{gs}$  は電源電位  $V_{cc}$  とゲート電位 ( $G$ ) との間の差で表される。

#### 【0077】

当該フィールドに入るタイミング  $T_1$  で、制御信号  $AZ1$  及び  $AZ2$  がハイレベルになり、トランジスタ  $T_{r2}$ ,  $T_{r5}$  がオンする。これにより画素容量  $C_{s1}$  の他端は所定のオフセット電位  $V_{ofs}$  に固定される。またドライブトランジスタ  $T_{rd}$  のドレインとゲートが直結する。この為ゲート電位 ( $G$ ) はドレイン電位に引かれて急激に下降する一方、アノード電位 ( $X$ ) は発光素子  $E_L$  内に生じた電圧降下で急激に上昇する。この動作でドライブトランジスタ  $T_{rd}$  は閾電圧検出の準備状態となる。

#### 【0078】

続いてタイミング  $T_2$  で制御信号  $DS$  がローレベルとなり、スイッチングトランジスタ  $T_{r4}$  がオフする。ここまでの期間  $T_1 - T_2$  はリセット期間もしくはオーバーラップ期間と呼ばれる。スイッチングトランジスタ  $T_{r4}$  がオフするとドライブトランジスタの電流路が遮断され、ゲート容量  $C_{gs}$  及び画素容量  $C_{s1}$  を充電していく。この結果ゲート電位 ( $G$ ) が上昇する。丁度電源電位  $V_{cc}$  とゲート電位 ( $G$ ) の差が  $V_{th}$  となった所でドライブトランジスタ  $T_{rd}$  がカットオフする。カットオフした後のタイミング  $T_3$  で制御信号  $AZ1$ ,  $AZ2$  がローレベルに戻り、トランジスタ  $T_{r2}$ ,  $T_{r5}$  がオフする。この結果画素容量  $C_{s1}$  に書き込まれた閾電圧  $V_{th}$  が保持される。この期間  $T_2 - T_3$  を  $V_{th}$  補正期間もしくは  $V_{th}$  検出期間と呼ぶ。なお発光素子  $E_L$  に対する通電が遮断されるので、アノード電位 ( $X$ ) は接地電位  $GND$  まで下がる。

#### 【0079】

この後タイミング  $T_4$  に進むと制御信号  $WS$  がハイレベルになりサンプリングトランジスタ  $T_{r1}$  がオンする。この結果映像信号  $V_{sig}$  がサンプリングされ、画素容量  $C_{s2}$  に  $V_{ofs} - V_{sig}$  が書き込まれる。この電圧  $V_{ofs} - V_{sig}$  は画素容量  $C_{s1}$  を介してドライブトランジスタ  $T_{rd}$  のゲート  $G$  側にカップリングされる。その量は  $C_{s1} (V_{ofs} - V_{sig}) / (C_{s1} + C_{gs})$  で与えられる。なお  $C_{gs}$  はドライブトランジスタのソース/ゲート間容量である。このカップリング電圧分だけさらにゲート電位 ( $G$ ) が下がるので、結局ゲート電圧  $V_{gs}$  は  $V_{th} + C_{s1} (V_{ofs} - V_{sig}) / (C_{s1} + C_{gs})$  となる。この後1水平期間 ( $1H$ ) 経過後のタイミング  $T_7$  で制御信号  $WS$  はローレベルに戻り、サンプリングトランジスタ  $T_{r1}$  がオフする。この  $1H$  に相当する期間  $T_4 - T_7$  で映像信号  $V_{sig}$  のサンプリングが行われる。

#### 【0080】

このサンプリング期間  $T_4 - T_7$  の一部の期間  $T_5 - T_6$  で制御信号  $AZ1$  がハイレベルになり、トランジスタ  $T_{r5}$  が導通する。この結果電源  $V_{cc}$  側 (ドライブトランジスタ  $T_{rd}$  のソース側) からドレイン側を通してゲート  $G$  側にドレイン電流が流れ込む。こ

10

20

30

40

50

のドレイン電流の流れ込みによりゲート電位（ $G$ ）は $\Delta V$ 分だけ上昇する。 $\Delta V$ はドライブトランジスタの移動度に比例している。ドライブトランジスタの移動度が大きいほど $\Delta V$ は大きくなりゲート電位（ $G$ ）が上昇するので、ゲート電圧 $V_{gs}$ はその分圧縮され出力電流が抑制される。この様にドライブトランジスタ $T_{rd}$ のドレイン側からゲート側に向かって負のフォードバックをかける事で、移動度のばらつきを抑制可能である。サンプリング期間 $T_4 - T_7$ の中に設定された期間 $T_5 - T_6$ を移動度補正期間と呼ぶ。この移動度補正を行うことで、ドライブトランジスタ $T_{rd}$ のゲート電圧 $V_{gs}$ は結局 $V_{th} + C_{s1}(V_{ofs} - V_{sig}) / (C_{s1} + C_{gs}) - \Delta V$ で与えられる。このゲート電圧 $V_{gs}$ には正味の信号成分に加え、ドライブトランジスタの閾電圧をキャンセルするための成分 $V_{th}$ と移動度を補正する為の成分 $\Delta V$ が含まれている。

10

#### 【0081】

タイミング $T_8$ になると制御信号 $DS$ がハイレベルとなりスイッチングトランジスタ $T_{r4}$ がオンする。これによりドライブトランジスタ $T_{rd}$ は発光素子 $EL$ に直結し、閾電圧 $V_{th}$ 及び移動度 $\mu$ のばらつきが補正された出力電流が発光素子 $EL$ に流れる。この後タイミング $T_9$ で当該フィールドが終了すると、次のフィールドに移って再び $V_{th}$ 補正、映像信号サンプリング、移動度補正の各動作が行われる。

#### 【0082】

図18は、移動度補正期間 $T_5 - T_6$ における画素回路の状態を示す回路図である。前述したように移動度補正期間 $T_5 - T_6$ ではサンプリングトランジスタ $T_{r1}$ とスイッチングトランジスタ $T_{r5}$ がオンしている為、ドレイン電流 $I_{ds}$ は画素容量 $C_{s1}$ に書き込まれる。これによりドライブトランジスタ $T_{rd}$ のゲート電位（ $G$ ）は $\Delta V$ 上昇する。この時に流れるドレイン電流 $I_{ds}$ は以下の式6により表される。なお、式6ではカップリング係数 $C_{s1} / (C_{s1} + C_{gs})$ を1として省略してある。実際 $C_{gs}$ に比べて $C_{s1}$ はかなり大きい。

20

#### 【数4】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{ofs} - V_{sig} - \Delta V)^2 \quad \text{式6}$$

#### 【0083】

前述したように $\Delta V = I_{ds} \cdot t / C_{s1}$ より、移動度の異なる画素では $\Delta V$ も異なる。移動度が大きい画素ほど $\Delta V$ は大きくなり、 $I_{ds}$ の補正量も大きくなる。これらの動作により、移動度ばらつきがある画素においても、 $I_{ds}$ を均一化する事ができ、移動度ばらつき補正を行う事ができる。

30

#### 【0084】

詳細な計算式は先の実施形態1と同様な解析によって、以下の式7に示すように与えられる。

#### 【数5】

$$I_{ds} = k\mu \left( \frac{V_{ofs} - V_{sig}}{1 + (V_{ofs} - V_{sig}) \frac{k\mu}{C_{s1}} t} \right)^2 \quad \text{式7}$$

40

#### 【0085】

上記式7の右辺は移動度 $\mu$ を2つ含む。係数部の $\mu$ と左辺の分母に位置する $\mu$ は互いにキャンセルしあうので、結果的にドレイン電流 $I_{ds}$ から移動度 $\mu$ の影響を除く事ができる。式7の分母にある $\mu$ の効果は移動度補正期間 $T_5 - T_6$ の時間幅 $t$ によって調整できる。これにより本発明の移動度補正を最適化可能である。

#### 【図面の簡単な説明】

#### 【0086】

50

【図 1】表示装置の参考例を示すブロック図である。

【図 2】図 1 に示した表示装置に含まれる画素回路の構成を示す回路図である。

【図 3】図 2 に示した画素回路の動作説明に供する参考タイミングチャートである。

【図 4】ドライブトランジスタの入力電圧 / 出力電流特性を示すグラフである。

【図 5】本発明にかかる表示装置の第 1 実施形態を示すブロック図である。

【図 6】図 5 に示した表示装置に含まれる画素回路を取り出した模式図である。

【図 7】図 6 に示した画素回路の動作説明に供するタイミングチャートである。

【図 8】図 6 に示した画素回路の動作説明に供する模式図である。

【図 9】同じく動作説明に供するグラフである。

【図 10】同じく動作説明に供する模式図である。

10

【図 11】図 6 に示した画素回路に含まれるドライブトランジスタの動作特性を示すグラフである。

【図 12】本発明にかかる表示装置の第 2 実施形態を示すブロック図である。

【図 13】図 12 に示した表示装置に含まれる画素回路の動作説明に供するタイミングチャートである。

【図 14】同じく動作説明に供する画素回路図である。

【図 15】本発明にかかる表示装置の第 3 実施形態を示すブロック図である。

【図 16】図 15 に示した表示装置に含まれる画素回路の動作説明に供する模式図である。

【図 17】同じく動作説明に供するタイミングチャートである。

20

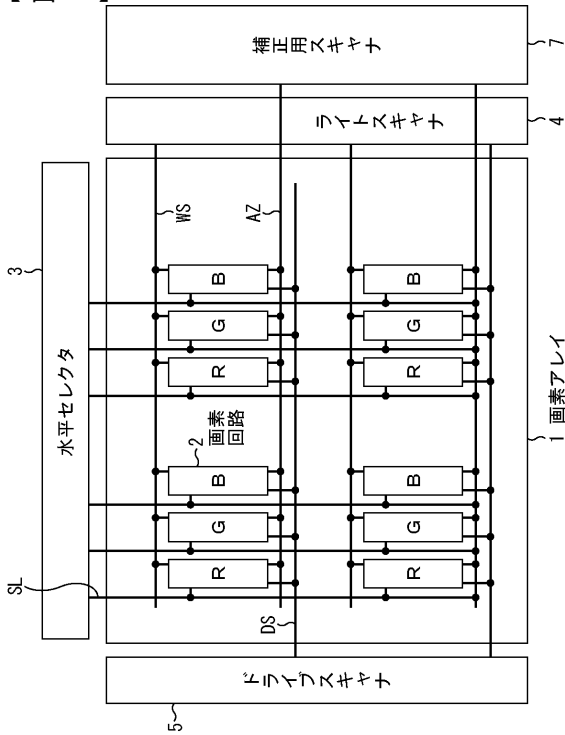
【図 18】同じく動作説明に供する模式図である。

【符号の説明】

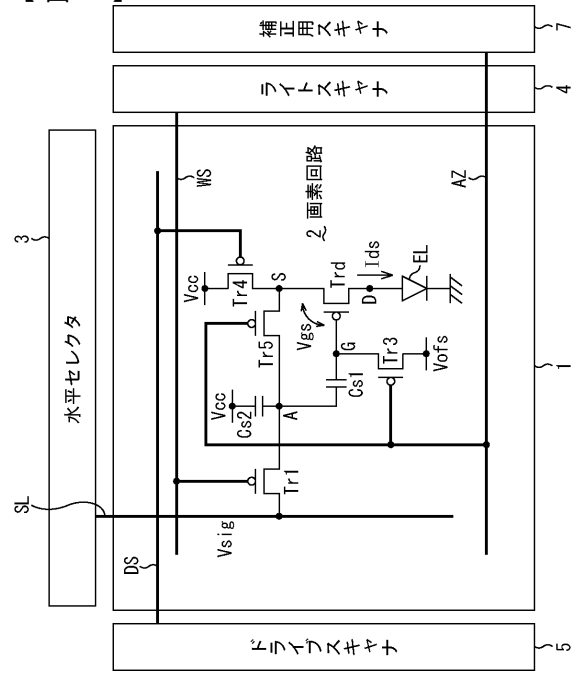
【0087】

1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ、4・・・ライトスキヤナ、5・・・ドライブスキヤナ、7・・・補正用スキヤナ、Tr1・・・サンプリングトランジスタ、Trd・・・ドライブトランジスタ、EL・・・発光素子、Cs・・・容量素子

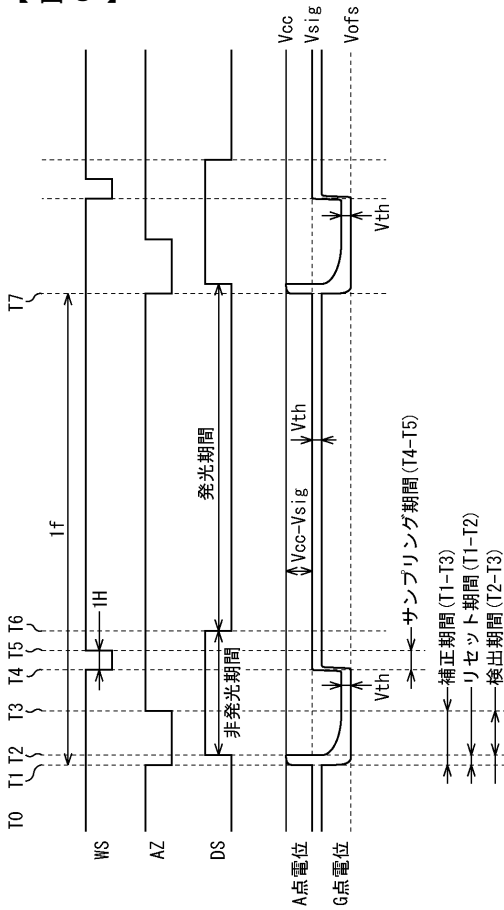
【図 1】



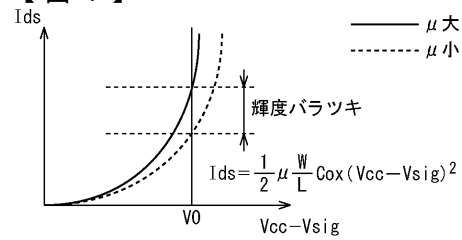
【図 2】



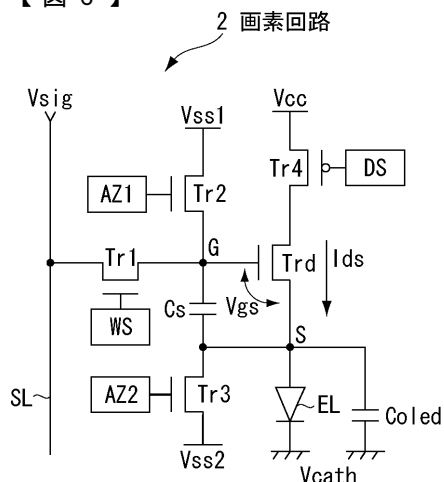
【図 3】



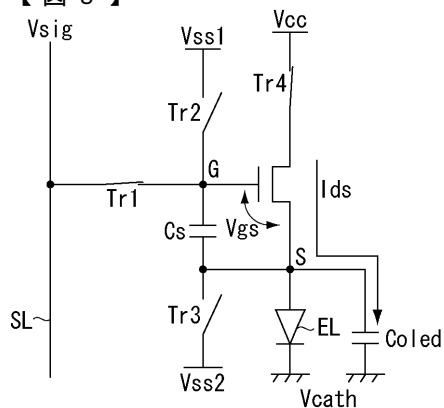
【図 4】



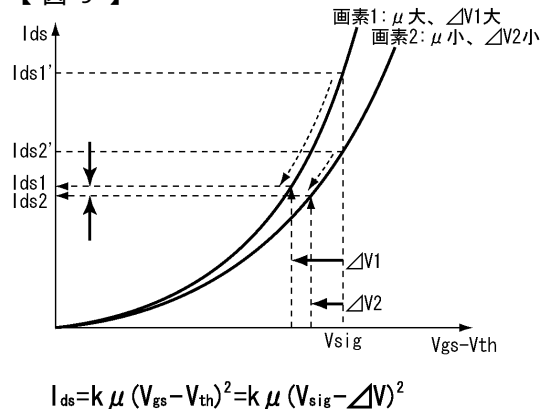
【 图 6 】



【圖 8】

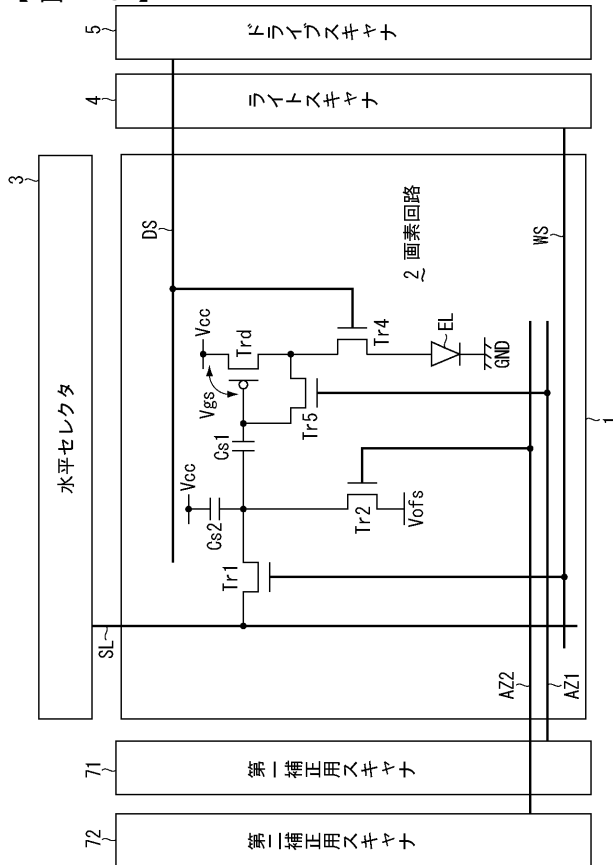


【 図 9 】

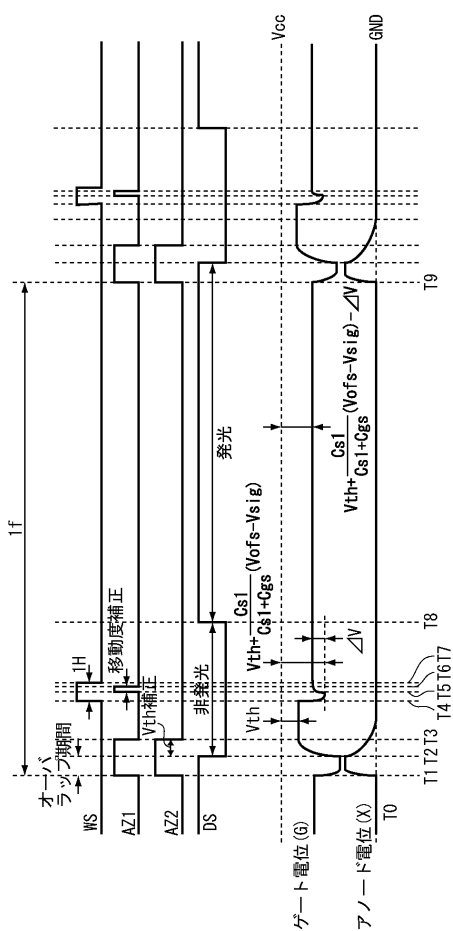




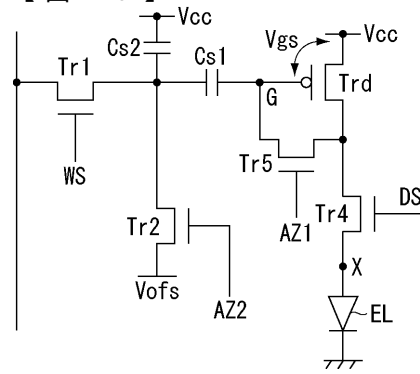
【図 15】



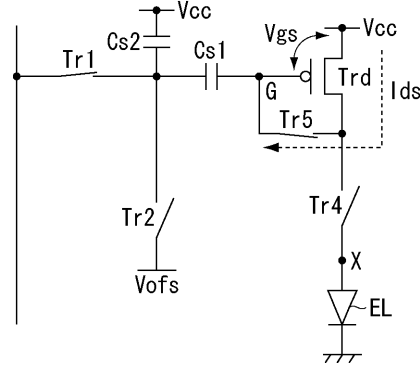
【図 17】



【図 16】



【図 18】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

H 0 5 B 33/14

A

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 像素电路和显示装置及其驱动方法                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 公开(公告)号        | <a href="#">JP2006215213A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 公开(公告)日 | 2006-08-17 |
| 申请号            | JP2005027028                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | 申请日     | 2005-02-02 |
| [标]申请(专利权)人(译) | 索尼公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| 申请(专利权)人(译)    | 索尼公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| [标]发明人         | 山下 淳一<br>内野 勝秀                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 发明人            | 山下 淳一<br>内野 勝秀                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| IPC分类号         | G09G3/30 G09G3/20 H01L51/50                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| CPC分类号         | G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/061<br>G09G2320/043 G09G2320/045 H05B3/08 H05B3/347 G09G3/3266 G09G5/10 G09G5/18                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| FI分类号          | G09G3/30.J G09G3/20.611.H G09G3/20.622.G G09G3/20.624.B G09G3/20.641.D H05B33/14.A<br>G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| F-TERM分类号      | 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080<br>/CC03 5C080/DD04 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03<br>5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107<br>/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/BA38 5C380/BA39<br>5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB18 5C380<br>/CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30<br>5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC64 5C380/CC65 5C380/CC71 5C380/CD015 5C380<br>/CD025 5C380/CD026 5C380/DA02 5C380/DA06 5C380/DA47 |         |            |
| 其他公开文献         | JP4923410B2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |

## 摘要(译)

提供了一种能够抵消驱动晶体管的迁移率的影响的像素电路。驱动晶体管Trd在预定的发光时段期间将对应于输入电压Vgs的输出电流提供给发光元件EL。发光元件EL通过从驱动晶体管Trd提供的输出电流发射具有与图像信号对应的亮度的光。为了抵消输出电流对载流子迁移率的依赖性，提供了校正装置，用于预先校正保持在电容器部分Cs中的输入电压Vgs或者预先在发光时段的开头。该校正装置根据从扫描线DS，WS，AZ 1，AZ 2提供的控制信号在采样周期的一部分中工作，在视频信号被采样的状态下从驱动晶体管Trd提取输出电流，被负反馈到电容部分Cs以校正输入电压Vgs。 点域5

