

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-534990

(P2005-534990A)

(43) 公表日 平成17年11月17日(2005.11.17)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611H	5C080
H01L 29/786	G09G 3/20 624B	5F110
H05B 33/14	G09G 3/20 641R	
	H05B 33/14 A	
審査請求 未請求 予備審査請求 未請求 (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2004-527148 (P2004-527148)
 (86) (22) 出願日 平成15年7月22日 (2003.7.22)
 (85) 翻訳文提出日 平成16年12月28日 (2004.12.28)
 (86) 国際出願番号 PCT/IB2003/003202
 (87) 国際公開番号 W02004/015667
 (87) 国際公開日 平成16年2月19日 (2004.2.19)
 (31) 優先権主張番号 0218170.9
 (32) 優先日 平成14年8月6日 (2002.8.6)
 (33) 優先権主張国 英国 (GB)

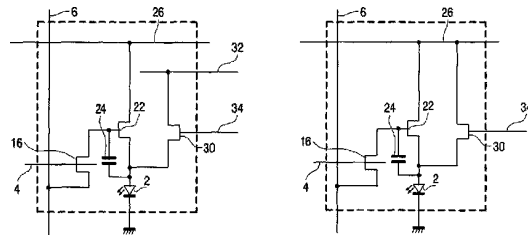
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100087789
 弁理士 津軽 進
 (74) 代理人 100114753
 弁理士 宮崎 昭彦

最終頁に続く

(54) 【発明の名称】 NMOSトランジスタを備えたピクセルを持つエレクトロルミネセントディスプレイ装置

(57) 【要約】

アクティブマトリクスエレクトロルミネセントディスプレイ装置は、ディスプレイ素子(2)のアノードと電源線(26)との間に接続されたアモルファスシリコン又は微結晶シリコンドライブNMOSトランジスタ(22)を用いるピクセルを有する。蓄積キャパシタ(24)が、ディスプレイ素子のアノードとドライブトランジスタ(22)のゲートとの間に接続される。アモルファスシリコン又は微結晶シリコンの第2のドライブNMOSトランジスタ(30)は、ディスプレイ素子(2)のアノードに、保持電圧を供給する。この構成は、トランジスタゲート駆動電圧が蓄積キャパシタに蓄積される間、ディスプレイ素子にかかる電圧が保持されることを可能にする。これは、NMOSトランジスタを用いて正確な電流源ピクセル回路が実現されることを可能にする。



【特許請求の範囲】

【請求項 1】

ディスプレイピクセルのアレイを有するアクティブマトリクスエレクトロルミネセントディスプレイ装置において、前記ピクセルのそれぞれは、

エレクトロルミネセントディスプレイ素子と、

前記ディスプレイ素子のアノードと電源線との間に接続された、アモルファスシリコン又は微結晶シリコンの第 1 のドライブ NMOS トランジスタと、

前記ディスプレイ素子の前記アノードと前記第 1 のドライブトランジスタのゲートとの間の蓄積キャパシタと、

前記ディスプレイ素子の前記アノードに保持電圧を供給するための、アモルファスシリコン又は微結晶シリコンの第 2 のドライブ NMOS トランジスタと、
を有する、ディスプレイ装置。

10

【請求項 2】

請求項 1 に記載の装置において、前記第 2 のドライブトランジスタは、前記電源線と前記ディスプレイ素子の前記アノードとの間に接続される、装置。

【請求項 3】

請求項 1 に記載の装置において、前記第 2 のドライブトランジスタは、第 2 の電源線と前記ディスプレイ素子の前記アノードとの間に接続される、装置。

【請求項 4】

請求項 3 に記載の装置において、前記第 2 の電源線は、前記アレイの行のピクセル間で共有される、装置。

20

【請求項 5】

請求項 1 乃至 4 の何れか 1 項に記載の装置において、前記第 1 のドライブトランジスタの前記ゲートは、アドレストランジスタを通じてデータ信号線に結合される、装置。

【請求項 6】

請求項 5 に記載の装置において、前記データ信号線は、前記アレイの列のピクセル間で共有される列導体を有する、装置。

【請求項 7】

請求項 5 又は 6 に記載の装置において、前記アドレストランジスタのゲートは、前記アレイの行のピクセル間で共有される行導体に結合される、装置。

30

【請求項 8】

請求項 1 乃至 7 の何れか 1 項に記載の装置において、前記第 1 の及び第 2 のドライブトランジスタは、アモルファスシリコンマトリクス中に 40 nm ~ 140 nm の大きさのシリコン結晶子を有する微結晶シリコン TFT を有する、装置。

【請求項 9】

それぞれがエレクトロルミネセントディスプレイ素子を持つディスプレイピクセルのアレイを有するアクティブマトリクスエレクトロルミネセントディスプレイ装置の前記ピクセルを駆動する方法において、

第 1 のアモルファスシリコン又は微結晶シリコン NMOS トランジスタを通じて保持電圧を印加することによって前記ディスプレイ素子にかかる電圧を保持するステップであって、前記保持電圧は第 2 のアモルファスシリコン又は微結晶シリコン NMOS トランジスタのソース電圧を保持する、ステップと、

40

前記ディスプレイ素子にかかる前記電圧を保持する間、前記第 2 のトランジスタのゲートとソースとの間に接続された蓄積キャパシタに所望のゲート - ソース電圧を蓄積するステップであって、前記ゲート - ソース電圧は、前記ディスプレイ素子を駆動するための所望のソース - ドレイン電流に対応する、ステップと、

前記ディスプレイ素子から前記保持電圧を除去するステップと、

前記所望のソース - ドレイン電流を前記エレクトロルミネセントディスプレイ素子に通じさせるステップと、
を有する方法。

50

【請求項 10】

請求項 9 に記載の方法において、前記所望のソース - ドレイン電流は、第 1 の電源電圧を前記第 2 のトランジスタに印加することによって前記第 2 のトランジスタに通じさせられる、方法。

【請求項 11】

請求項 10 に記載の方法において、前記ディスプレイ素子にかかる前記電圧が保持される間、前記第 1 の電源電圧は前記第 2 のトランジスタに印加されない、方法。

【請求項 12】

請求項 11 に記載の方法において、前記第 1 の電源電圧及び前記保持電圧は、共有される電源線によって供給される、方法。

10

【請求項 13】

請求項 9 乃至 12 の何れか 1 項に記載の方法において、蓄積キャパシタに所望のゲート - ソース電圧を蓄積する前記ステップは、データ信号線からのデータを、アドレストランジスタを通じて前記蓄積キャパシタに結合するステップを有する、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネセントディスプレイ装置に関し、特に、各ピクセルに関連した薄膜スイッチングトランジスタを持つアクティブマトリクスディスプレイ装置に関する。

20

【背景技術】

【0002】

エレクトロルミネセント発光ディスプレイ素子を使用するマトリクスディスプレイ装置はよく知られている。これらのディスプレイ素子は、例えばポリマー材料を用いる有機薄膜エレクトロルミネセント素子を有してもよく、さもなければ、従来の I I I - V 半導体化合物を用いる発光ダイオード (LED) を有してもよい。有機エレクトロルミネセント材料、特にポリマー材料の最近の発達は、それらがビデオディスプレイ装置のために実用的に用いられることができることを示した。これらの材料は、一般的に、一对の電極間に挟まれた半伝導性共役ポリマーの 1 つ又は複数の層を有し、前記電極の一方は透明であって、他方はポリマー層にホール又は電子を注入するのに適切な材料からなる。ポリマー材料は、CVD プロセスを用いて製造されることができ、又は、単に、可溶性共役ポリマーの溶液を用いてスピンコーティング技術によって製造されることができ、インクジェットプリンティングが用いられてもよい。有機エレクトロルミネセント材料は、ダイオードに似た I - V 特性を呈するので、表示機能及びスイッチング機能の両方を提供することが可能であり、従って、パッシブタイプディスプレイにおいて使用されることができ、代わりに、これらの材料は、アクティブマトリクスディスプレイ装置用に用いられることができ、ここで、各ピクセルは、ディスプレイ素子と、該ディスプレイ素子を通じる電流を制御するためのスイッチング装置とを有する。

30

【0003】

この種類のディスプレイ装置は、電流によりアドレスされるディスプレイ素子を持ち、このため、従来型のアナログ駆動方式は、制御可能な電流をディスプレイ素子に供給することを伴う。電流源トランジスタを、当該電流源トランジスタに供給されるゲート電圧がディスプレイ素子を通じる電流を決定するようなピクセル構成の一部として設けることが知られている。蓄積キャパシタが、アドレスフェーズの後にゲート電圧を保持する。しかし、基板にわたって異なるトランジスタ特性は、ゲート電圧とソース - ドレイン電流との間の異なった関係を生じさせ、表示される画像にアーチファクトが生じる。

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

電子の非常に低い移動度及び時間に対する閾値電圧の変化が、アモルファスシリコン T

50

F Tのアクティブマトリクスピクセル用の使用を妨げていた。この低い移動度の結果、アモルファスシリコンは、PMOSTFTを実現するのに用いられることができない。従って、ピクセル回路内でのNMOSのみの(NMOS only)トランジスタの使用は、アモルファスシリコンの使用を制限する。

【0005】

TFTアレイ技術の開発は、このようなアレイの液晶ディスプレイにおける広範囲な使用によって駆り立てられていた。実際、フラットパネル液晶ディスプレイのためのスイッチング素子を形成するのに用いられる薄膜トランジスタ(TFT)のアレイを改善することに多大な関心があった。

【0006】

水素化アモルファスシリコンは、現在、アクティブマトリクス液晶ディスプレイのための薄膜トランジスタ(TFT)におけるアクティブ層として用いられている。これは、水素化アモルファスシリコンが、プラズマエンハンスト化学蒸着(PECVD)によって広い領域にわたって薄い均一な層として堆積されることができるところからである。しかし、上述の非常に低いキャリア移動度は、装置のスイッチング速度を低下させ、これらのトランジスタのディスプレイドライバ回路における使用を妨げる。アモルファスシリコンTFTは、比較的不安定でもあり、ディスプレイアプリケーションに有用である理由は、デュテサイクルが比較的低いということのみである。

【0007】

より高速のドライバ回路には結晶シリコンが必要であり、このことにより、ディスプレイ装置内で、駆動回路パネル及びディスプレイパネルの両方が、これらの回路タイプ間の相互接続を伴って必要になる。

【0008】

微結晶シリコンTFTが液晶ドライバ回路及びピクセルトランジスタの両方のための適切な技術として提案されている。この提案は、ドライバ回路を液晶ディスプレイのアクティブプレートと同じ基板上に統合したいという要求によって駆り立てられる。しかし、微結晶シリコンから適切なPMOSTFTを形成することも不可能なので、ピクセル回路の設計には同じ制限が当てはまる。

【0009】

図1は、アクティブマトリクスによりアドレスされるエレクトロルミネセントディスプレイ装置のための既知のピクセル回路を示す。ディスプレイ装置は、ブロック1で示され、エレクトロルミネセントディスプレイ素子2と、行(選択)及び列(データ)アドレス導体4及び6の交差組間の交点に位置する関連するスイッチング手段とを有する、規則的な間隔のピクセルの行列マトリクスアレイを持つパネルを有する。簡単のため、図にはほんの少数のピクセルしか示さない。実際には数百のピクセルの行列があってもよい。ピクセル1は、導体のそれぞれの組の端に接続された、行のスキャン用ドライバ回路8と、列のデータ用ドライバ回路9とを有する周囲の駆動回路によって、行列アドレス導体の組を介してアドレスされる。

【0010】

エレクトロルミネセントディスプレイ素子2は、有機発光ダイオードを有し、これはここではダイオード素子(LED)として表され、電極対を有し、この電極対の間には有機エレクトロルミネセント材料の1つ又は複数のアクティブ層が挟まれる。アレイのディスプレイ素子は、絶縁支持体の一方の側に、関連したアクティブマトリクス回路と共に保持される。ディスプレイ素子のカソード又はアノードは、透明伝導材料により形成される。エレクトロルミネセント層によって生成される光が支持体の反対側のビューアに見えるようにこれらの電極及び支持体を透過するように、支持体はガラス等の透明材料からなり、基板に最も近いディスプレイ素子2の電極は、ITO等の透明導電材料から構成されてもよい。一般的に、有機エレクトロルミネセント材料層の厚さは、100nm~200nmである。素子2用に用いられることができる適切な有機エレクトロルミネセント材料の典型例は、ヨーロッパ特許公開公報第0717446号から知られ説明されている。国際特

10

20

30

40

50

許公開公報第96/36959号において説明されたような共役ポリマー材料も用いられることができる。

【0011】

図2は、既知のピクセル及び駆動回路装置を簡略図で示す。各ピクセル1は、ELディスプレイ素子2及び関連したドライバ回路を有する。ドライバ回路は、行導体4への行アドレスパルスによってオンにされるアドレストランジスタ16を有する。アドレストランジスタ16がオンにされると、列導体6上の電圧はピクセルの残りに移ることができる。特に、アドレストランジスタ16は、ドライブトランジスタ22及び蓄積キャパシタ24を有する電流源20に列導体電圧を供給する。列電圧は、ドライブトランジスタ22のゲートに供給され、ゲートは行アドレスパルスが終了した後でさえ蓄積キャパシタ24によってこの電圧で保持される。

10

【0012】

この回路のドライブトランジスタ22はPMOS TFTとして実現されるので、蓄積キャパシタ24が、ゲート-ソース電圧を固定する。これは、トランジスタを通じる固定されたソース-ドレイン電流を生じ、これは、従って、ピクセルの所望の電流源動作を提供する。

【0013】

ドライブトランジスタ22をNMOS装置で置換すること(アモルファスシリコン又は微結晶シリコンの実装を可能にするのに必要とされる)は、ピクセル回路の正しい動作を提供しない。なぜならこのとき、ゲート-ソース電圧は、ディスプレイ素子2(NMOS TFTソースに接続されている)のアノード電圧に依存するからである。従って、キャパシタは、必要であるように、ゲート-ソース電圧を一定に保持しない。更に、カソード金属をパターン形成することは困難であるので、回路をLEDのアノード側に維持することが望ましい。従って、ドライブトランジスタがNMOS装置として実現されることを可能にするために単に回路を反転させることは、適当でない。

20

【課題を解決するための手段】

【0014】

本発明によれば、ディスプレイピクセルのアレイを有するアクティブマトリクスエレクトロルミネセントディスプレイ装置において、前記ピクセルのそれぞれが、エレクトロルミネセントディスプレイ素子と、前記ディスプレイ素子のアノードと電源線との間に接続された、アモルファスシリコン又は微結晶シリコンの第1のドライブNMOSトランジスタと、前記ディスプレイ素子の前記アノードと前記ドライブトランジスタのゲートとの間の蓄積キャパシタと、前記ディスプレイ素子の前記アノードに保持電圧を供給するための、アモルファスシリコン又は微結晶シリコンの第2のドライブNMOSトランジスタとを有する、ディスプレイ装置が提供される。

30

【0015】

この構成は、トランジスタゲート駆動電圧が蓄積キャパシタに記憶される間、ディスプレイ素子にかかる電圧が保持されることを可能にする。ドライブトランジスタがNMOS装置であるので、ソースはディスプレイ素子のアノードに接続される。これにより、この装置は、駆動電圧が蓄積キャパシタに記憶される間、トランジスタ電源電圧を既知のレベルに保持するという効果を有する。これは、正確な電流源ピクセル回路がNMOSトランジスタを用いて実現されることを可能にする。

40

【0016】

好適には、第2のドライブトランジスタは、電源線とディスプレイ素子のアノードとの間に接続されている。このようにして、電源線は、保持電圧及びディスプレイ素子を駆動するための駆動電圧を供給することができる。

【0017】

代替的に、第2のドライブトランジスタは、第2の電源線とディスプレイ素子のアノードとの間に接続される。この第2の電源線は、アレイの行のピクセル間で共有される。この第2の電源線は、アレイの行のピクセル間で共有される。

50

【0018】

第1のドライブトランジスタのゲートは、行導体によって駆動されるアドレストランジスタを通じてデータ信号線（例えば列導体）に結合されてもよい。ピクセル駆動信号は、このように既知の態様でピクセルに結合される。

【0019】

第1の及び第2のドライブトランジスタ（並びに回路の他の全てのトランジスタ）は、好適には、アモルファスシリコンマトリクス中に40nm～140nmの大きさのシリコン結晶子を有する微結晶シリコンTFTである。これらのトランジスタは、改善されたキャリア移動度を有するが、依然としてPECVDプロセスを用いて堆積されることができ、結晶子が十分に大きければ、アモルファスシリコン層と比較して約10倍、拡張状態伝導（extended state conduction）は高められ、移動度は向上される。

10

【0020】

本発明は、更に、それぞれがエレクトロルミネセントディスプレイ素子を持つディスプレイピクセルのアレイを有するアクティブマトリクスエレクトロルミネセントディスプレイ装置のピクセルを駆動する方法において、第1のアモルファスシリコン又は微結晶シリコンNMOSTランジスタを通じて保持電圧を印加することによって前記ディスプレイ素子にかかる前記電圧を保持するステップであって、前記保持電圧は第2のアモルファスシリコン又は微結晶シリコンNMOSTランジスタの前記電源電圧を保持する、ステップと、前記ディスプレイ素子にかかる前記電圧を保持する間、前記第2のトランジスタのゲートとソースとの間に接続された蓄積キャパシタに所望のゲート-ソース電圧を蓄積するステップであって、前記ゲート-ソース電圧は、前記ディスプレイ素子を駆動するための所望のソース-ドレイン電流に対応する、ステップと、前記ディスプレイ素子から前記保持電圧を除去するステップと、前記所望のソース-ドレイン電流を前記エレクトロルミネセントディスプレイ素子に通じさせるステップとを有する方法を提供する。

20

【0021】

この方法では、所望のゲート-ソース電圧が蓄積キャパシタに正確に蓄積されることができるよう、保持電圧は、ドライブトランジスタのソースが固定された電位で保持されるように印加される。所望のソース-ドレイン電流が、第1の電源電圧を第2のトランジスタに印加することによって第2のトランジスタを通じさせられる。

【発明を実施するための最良の形態】

30

【0022】

ここで本発明は、添付の図面を参照して例示により説明される。

【0023】

これらの図が概略であり、比率どおりに描かれていないことに注意されたい。これらの図の部分の相対寸法及び比率は、図面の明快さ及び便宜のために、大きさを誇張して又は低減して示されている。

【0024】

本発明によって、アモルファス又は微結晶シリコントランジスタが、ピクセル構造内で用いられる。これは、前述したようにTFTがNMOS装置であることを必要とする。

【0025】

図3は、本発明のピクセルレイアウトの第1の例を示す。図2に記載の構成要素と同じ構成要素を示すために同じ参照番号が用いられ、このピクセル回路は例えば図1に示されるようなディスプレイにおいて用いられるためのものである。

40

【0026】

本発明のピクセル構成において、ドライブトランジスタ22はアモルファスシリコン又は微結晶シリコンNMOSTFTとして実現される。ピクセル回路はELディスプレイ素子2のアノード側の基板に設けられ、従って、NMOSドライブトランジスタのソースはELディスプレイ素子のアノードと電氣的に接触する。

【0027】

蓄積キャパシタ24は、ディスプレイ素子2のアノードとドライブトランジスタ22の

50

ゲートとの間に設けられ、これにより、これがアドレスされるとドライブトランジスタ 22 のゲート - ソース電圧まで充電される。ソースは E L ディスプレイ素子に接続されており、該 E L ディスプレイ素子は、該 E L ディスプレイ素子にわたって一定の電圧降下を有しないので、ソースの電位は変化することができ、このため、列導体 6 からの所与の電圧は、必ずしも蓄積キャパシタ 24 に蓄積される同じゲート - ソース電圧を生じるわけではない。列導体の電圧が、生じるゲート - ソース電圧との既知の 1 対 1 の関係を有することを保証するために、E L ディスプレイ素子アノードの電圧を保持することが必要である。

【0028】

これを達成するために、本発明のピクセル回路は、ディスプレイ素子 2 のアノードに保持電圧を供給するための第 2 のドライブ N M O S トランジスタ 30 を含む。この保持電圧は、ゲート - ソース電圧が蓄積キャパシタ 24 へ転送されているときに供給される。

10

【0029】

図 3 の例において、第 2 のドライブトランジスタ 30 は、第 2 の電源線 32 とディスプレイ素子 2 のアノードとの間に接続される。第 2 の電源線 32 は、アレイの行のピクセル間で共有され、第 2 のドライブトランジスタは、行のピクセル間でも共有されるゲートライン 34 によって制御される。この装置は、このように、行導体 4 に加えて 2 つの追加の行導体を必要とする。

【0030】

アドレスフェーズの間、第 2 のドライブトランジスタ 30 は、E L ディスプレイ素子のアノードを第 2 の電源線上の電圧（マイナスあらゆるソース - ドレイン電圧降下）に保持するためにオンにされる。次に列導体 6 上の信号データ電圧は、蓄積キャパシタ 24 を、第 1 のドライブトランジスタ 22 の所望のソース - ドレイン電流に対応する既知のゲート - ソース電圧まで充電し、これは、E L ディスプレイ素子 2 の所望の照光レベルに対応する。アドレスフェーズ終了後、アドレストランジスタ 16 がオフにされるよう行導体 4 はローにされ、続いて、ゲートライン 34 はローにされ、これにより E L ディスプレイ素子アノード上の電位が変化することを許可する。ゲート - ソース電圧が蓄積キャパシタ 24 によって保存されるので、この電位が変化するとともにゲート電圧は変化する。

20

【0031】

この回路は、ドライブトランジスタ 22 からの全ての電流がいかなる電圧降下もなく第 2 の電源線 32 に誘導されることができるよう大きいトランジスタ 30 を必要とする。大きい追加のトランジスタは、ピクセルアパーチャを用いることができ、図 4 は、第 2 のドライブトランジスタ 30 が大きい電流を転送する必要性を回避する代替ピクセル構成を示す。

30

【0032】

図 4 において、第 2 のドライブトランジスタ 30 が、（唯一の）電源線 26 とディスプレイ素子 2 のアノードとの間に接続される。これは、第 2 のドライブトランジスタ 30 の電流の要件を緩和する。

【0033】

このピクセル回路のアドレスフェーズにおいて、電源線 26 は、第 1 のドライブトランジスタ 22 が伝導しないように低い電位で保持される。このように、第 2 のドライブトランジスタ 30 は、E L ディスプレイ素子 2 上の残留電荷を放電して、充電経路を蓄積キャパシタ 24 に提供することしか必要とされない。電源線 26 は、全てのピクセルがアドレスされる間、ローに保持される。アドレッシングが終わると、全てのアドレスライン（行導体 4 及びゲートライン 34）がローにされ、電源線 26 は、L E D が光るようにハイにされる。電源線 26 のフラッシングは、モーションブラー低減のための低減されたサンプルアンドホールドの利点がある。

40

【0034】

この回路では、行導体の数の増加が必要とされないように、行導体 4 及びゲートライン 34 は接続されていてもよい。電源線 26 は、行ごとに又は画像ごとに変調されることができる。

50

【 0 0 3 5 】

上記の2つの回路において、全てのトランジスタは、NMOSトランジスタであり、これは、アモルファスシリコンから形成されてもよい。しかし、好適な技術は、微結晶シリコン TFT である。これらは、アモルファスシリコンマトリクス中に大きさ 40 nm ~ 140 nm のシリコン結晶子を有する。ELディスプレイ素子は、ポリマーELディスプレイ素子を含むいかなる既知の有機ELディスプレイ素子であってもよい。

【 0 0 3 6 】

これらのピクセルレイアウトは、ディスプレイ素子にかかる電圧がアドレスフェーズの間保持され、これによりドライブトランジスタの電源電圧が保持される方法を用いてアドレスされる。この電源電圧が保持される間、所望のゲート-ソース電圧は、ディスプレイ素子を駆動するための所望のソース-ドレイン電流に対応する蓄積キャパシタに蓄積される。保持電圧は次にディスプレイ素子から除去され、所望のソース-ドレイン電流はエレクトロルミネセントディスプレイ素子を通じて駆動される。

10

【 0 0 3 7 】

本発明がいかに実現されることができを示す2つの回路の例が示されたが、他の種々の可能性があり、これらは請求の範囲内に含まれることを意図される。種々の修正は、当業者にとって明らかである。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 既知のELディスプレイ装置を示す。

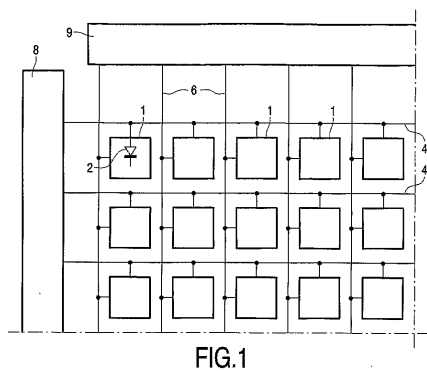
20

【 図 2 】 ELディスプレイピクセルを電流によりアドレスするための既知のピクセル回路の概略図である。

【 図 3 】 本発明によるピクセル回路の第1の例を示す。

【 図 4 】 本発明によるピクセル回路の第2の例を示す。

【 図 1 】



【 図 2 】

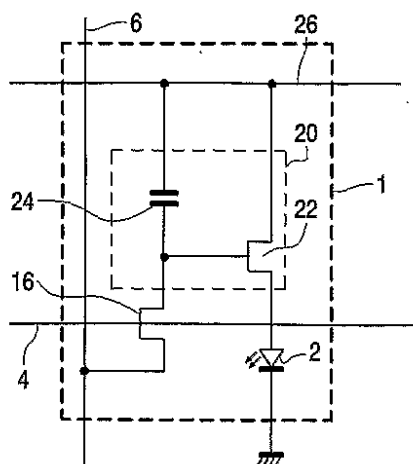


FIG.2

【 図 3 】

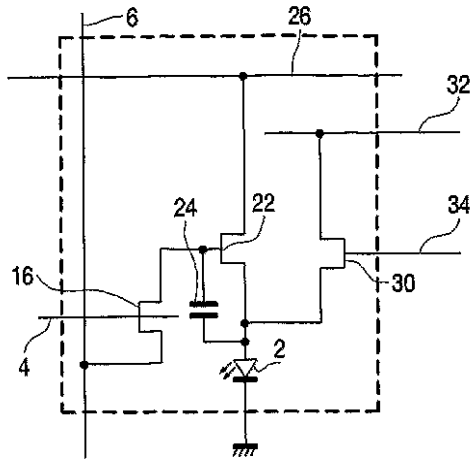


FIG.3

【 図 4 】

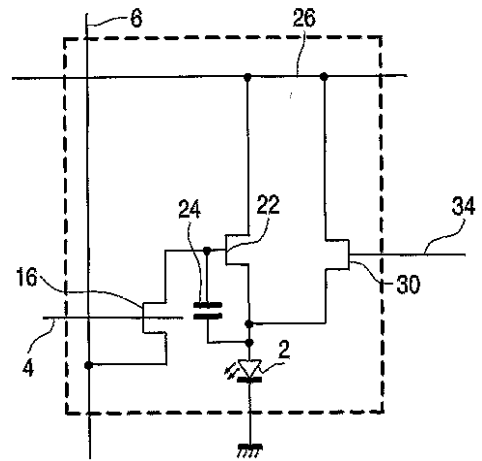


FIG.4

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/IB 03/03202
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	WO 03 001496 A (IBM) 3 January 2003 (2003-01-03) page 10, line 24 -page 12, line 14; figure 3	1,9
A	EP 1 220 191 A (SAMSUNG SDI CO LTD) 3 July 2002 (2002-07-03) paragraph '0044!; figure 10	1,9
A	EP 1 130 565 A (SONY CORP) 5 September 2001 (2001-09-05) figure 5	1,9
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 24 October 2003		Date of mailing of the international search report 04/11/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo.nl, Fax: (+31-70) 340-3016		Authorized officer Gundlach, H

INTERNATIONAL SEARCH REPORT
Information on patent family members

International Application No
PCT/IB 03/03202

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 03001496	A	03-01-2003	WO 03001496 A1	03-01-2003
			US 2002195968 A1	26-12-2002
EP 1220191	A	03-07-2002	KR 2002056353 A	10-07-2002
			CN 1361510 A	31-07-2002
			EP 1220191 A2	03-07-2002
			JP 2002215096 A	31-07-2002
			US 2002118150 A1	29-08-2002
EP 1130565	A	05-09-2001	EP 1130565 A1	05-09-2001
			WO 0106484 A1	25-01-2001
			TW 526455 B	01-04-2003

フロントページの続き

(51) Int. Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 4

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100122769

弁理士 笹田 秀仙

(72)発明者 チャイルズ マーク ジェイ

イギリス国 シュレイ アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン
フィリップス インテレクチュアル プロパティ アンド スタンダーズ

(72)発明者 フィッシュ デイヴィド エイ

イギリス国 シュレイ アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン
フィリップス インテレクチュアル プロパティ アンド スタンダーズ

(72)発明者 ヘクター ジェイソン アール

イギリス国 シュレイ アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン
フィリップス インテレクチュアル プロパティ アンド スタンダーズ

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 EE19 FF07 FF11 HH09 JJ02 JJ03

5F110 AA01 BB01 GG02 GG14 GG15 GG16 GG45 NN71 NN73

专利名称(译)	具有NMOS晶体管的像素的电致发光显示装置		
公开(公告)号	JP2005534990A	公开(公告)日	2005-11-17
申请号	JP2004527148	申请日	2003-07-22
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	チャイルズマークジェイ フィッシュデイヴィドエイ ヘクタージェイソンアール		
发明人	チャイルズ マーク ジェイ フィッシュ デイヴィド エイ ヘクター ジェイソン アール		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H01L29/786 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0842 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.R H05B33/14.A H01L29/78.614		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/EE19 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5F110/AA01 5F110/BB01 5F110/GG02 5F110/GG14 5F110/GG15 5F110/GG16 5F110/GG45 5F110/NN71 5F110/NN73		
代理人(译)	宫崎明彦		
优先权	2002018170 2002-08-06 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵电致发光显示装置包括使用连接在显示元件(2)的阳极和电源线(26)之间的非晶硅或微晶硅驱动NMOS晶体管(22)的像素。存储电容器(24)连接在显示元件的阳极和驱动晶体管(22)的栅极之间。非晶硅或微晶硅的第二驱动NMOS晶体管(30)将保持电压提供给显示元件(2)的阳极。该配置允许保持显示元件两端的电压,同时晶体管栅极驱动电压存储在存储电容器上。这使得能够使用NMOS晶体管实现精确的电流源像素电路。

