

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2003 - 29708

( P2003 - 29708A )

(43)公開日 平成15年1月31日 (2003.1.31)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-ド* ( 参考 )
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	338	G 0 9 F 9/30	338 5 C 0 8 0
	365		365 Z 5 C 0 9 4
G 0 9 G 3/20	612	G 0 9 G 3/20	612 T
	622		622 D

審査請求 未請求 請求項の数 21 O L ( 全 24数 ) 最終頁に続く

(21)出願番号 特願2001 - 375724(P2001 - 375724)

(22)出願日 平成13年12月10日 (2001.12.10)

(31)優先権主張番号 特願2000 - 373704(P2000 - 373704)

(32)優先日 平成12年12月8日 (2000.12.8)

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願2001 - 138139(P2001 - 138139)

(32)優先日 平成13年5月9日 (2001.5.9)

(33)優先権主張国 日本 (JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 南野 裕

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 千田 耕司

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 100101823

弁理士 大前 要

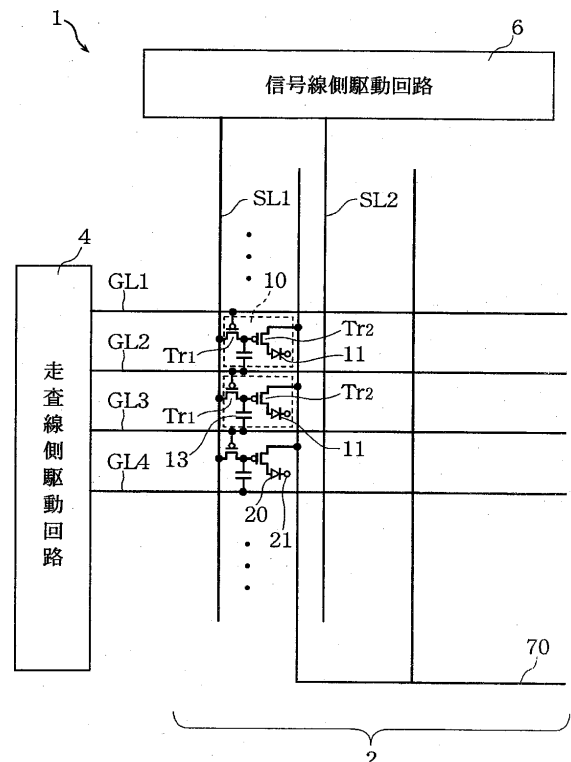
最終頁に続く

(54)【発明の名称】 E L 表示装置

(57)【要約】

【課題】 画素の開口率の低下を招くことなく、残像を抑制して鮮明な画像を認識できるようにした E L 表示装置を提供する。

【解決手段】 E L 表示装置 1 は、単位画素 1 0 がマトリクス状に配列された表示部 2 と、信号線側駆動回路 6 と、走査線側駆動回路 4 とを有する。各单位画素 1 0 は、E L 素子 1 1 と、スイッチング用トランジスタ T r 1 と、駆動用トランジスタ T r 2 と、補助容量 1 3 とを有する。補助容量 1 3 は、一方の電極がトランジスタ T r 2 のゲート電極に接続され、他方の電極が後段走査線 G L に接続されている。走査線側駆動回路 4 は、トランジスタ T r 2 のゲート電極に書き込まれた電圧を保持する保持期間内に、後段走査線 G L を介して E L 素子 1 1 の発光状態を強制的に停止するためのブランキング信号を出力する。これにより、1 フレーム内に E L 素子 1 1 が発光されないブランキング期間が挿入される。



## 【特許請求の範囲】

【請求項 1】走査信号が供給される複数の走査線と画像信号が供給される複数の信号線を備えるとともに、単位画素がマトリクス状に配列され、各単位画素は、E L 素子と、電流供給線を介して前記 E L 素子に供給される電流量を制御する駆動用トランジスタと、走査信号によりスイッチング動作が変化するとともにスイッチング動作の変化により前記信号線と前記駆動用トランジスタのゲート電極との導通・遮断を切替えるスイッチング用トランジスタとを有してなる表示部と、

前記信号線に画像信号を供給する信号線側駆動回路と、前記走査線に走査信号を供給するとともに、前記駆動用トランジスタのゲート電極に書き込まれた電圧を保持する保持期間内に走査線を介して、前記 E L 素子の発光状態を強制的に停止するためのブランキング信号を出力する走査線側駆動回路と、を備えたことを特徴とする E L 表示装置。

【請求項 2】前記ブランキング信号は、前記駆動用トランジスタを OFF 状態に強制的に設定する信号である請求項 1 記載の E L 表示装置。

【請求項 3】前記単位画素は、一方の電極が前記駆動用トランジスタのゲート電極に接続され、他方の電極が前記複数の走査線のうちの何れか 1 つの特定走査線に接続された補助容量を備え、

前記ブランキング信号は前記特定走査線から前記補助容量を介して駆動用トランジスタのゲート電極に与えられる請求項 2 記載の E L 表示装置。

【請求項 4】前記特定走査線が、選択されている画素に接続されている走査線に対して、後段の走査線である請求項 3 記載の E L 表示装置。

【請求項 5】前記スイッチング用トランジスタ及び前記駆動用トランジスタはともに P チャネル型トランジスタであり、前記 E L 素子のアノード電極が画素電極として構成され、前記 E L 素子のカソード電極が対向電極として構成された請求項 4 記載の E L 表示装置。

【請求項 6】前記スイッチング用トランジスタ及び前記駆動用トランジスタはともに N チャネル型トランジスタであり、前記 E L 素子のカソード電極が画素電極として構成され、前記 E L 素子のアノード電極が対向電極として構成された請求項 4 記載の E L 表示装置。

【請求項 7】前記スイッチング用トランジスタは、複数のトランジスタが直列に接続されたマルチゲート構造を有するトランジスタである請求項 4 記載の E L 表示装置。

【請求項 8】前記スイッチング用トランジスタは、L D D (Lightly doped drain) 構造を有するトランジスタである請求項 4 記載の E L 表示装置。

【請求項 9】前記各単位画素は複数の副画素に分割され、

前記副画素は、それぞれ個別に副画素電極、スイッチン

グ用トランジスタ、制御用トランジスタ、補助容量及び走査線を備え、

前記各副画素のオン/オフを組み合わせることにより階調が表示されるとともに、各副画素毎に走査線を介してブランキング信号が与えられ請求項 4 記載の E L 表示装置。

【請求項 10】前記副画素における E L 素子の発光部分の面積が、表示する階調に応じて入力されるビット数に対応して重み付けされている請求項 9 記載の E L 表示装置。

【請求項 11】前記スイッチング用トランジスタ及び前記駆動用トランジスタが、ポリシリコンで形成されている請求項 4 記載の E L 表示装置。

【請求項 12】前記駆動用トランジスタの動作領域がリニア領域である請求項 4 記載の E L 表示装置。

【請求項 13】前記複数の走査線のうちの何れか 1 つの特定走査線が前記制御用トランジスタを介して前記 E L 素子のアノード電極と接続され、前記 E L 素子のカソード電極は対向電極として構成され、

前記特定走査線が前記電流供給線を兼ねており、前記特定走査線から前記 E L 素子に向けて流れる電流によって前記 E L 素子が発光駆動され、

前記ブランキング信号は前記特定走査線より供給されるとともに、このブランキング信号は E L 素子のカソード電極の電位よりも低い電圧レベルに設定された信号である請求項 1 記載の E L 表示装置。

【請求項 14】前記複数の走査線のうちの何れか 1 つの特定走査線が前記制御用トランジスタを介して前記 E L 素子のカソード電極と接続され、前記 E L 素子のアノード電極は対向電極として構成され、

前記特定走査線が前記電流供給線を兼ねており、前記 E L 素子から前記特定走査線に向けて流れる電流によって前記 E L 素子が発光駆動され、

前記ブランキング信号は前記特定走査線より供給されるとともに、このブランキング信号は E L 素子のアノード電極の電位よりも高い電圧レベルに設定された信号である請求項 1 記載の E L 表示装置。

【請求項 15】前記特定走査線が、前段走査線である請求項 13 記載の E L 表示装置。

【請求項 16】前記特定走査線のインピーダンスと前記特定走査線に接続される走査線側駆動回路における最終段バッファの出力インピーダンスの和が、前記特定走査線に接続される E L 素子のインピーダンスに対して 20% 以下である請求項 13 記載の E L 表示装置。

【請求項 17】前記各単位画素は複数の副画素に分割され、

前記副画素は、それぞれ個別に副画素電極、スイッチング用トランジスタ、制御用トランジスタ、補助容量及び走査線を備え、

前記各副画素のオン/オフを組み合わせることにより階

調が表示されるとともに、各副画素毎に走査線を介してブランキング信号が与えられ請求項 13 記載の E L 表示装置。

【請求項 18】前記副画素における E L 素子の発光部分の面積が、表示する階調に応じて入力されるビット数に対応して重み付けされている請求項 17 記載の E L 表示装置。

【請求項 19】走査信号が供給される複数の走査線と画像信号が供給される複数の信号線を備えるとともに、単位画素がマトリクス状に配列され、各単位画素は、E L 素子と、E L 素子に流れる電流量を制御する駆動用トランジスタと、走査信号によりスイッチング動作が変化するとともにスイッチング動作の変化により前記信号線と前記駆動用トランジスタのゲート電極との導通・遮断を切替えるスイッチング用トランジスタとを有してなる E L 表示装置において、前記マトリクス状に配列された単位画素の各行毎に設けられ、前記駆動用トランジスタのゲート電極に書き込まれた電圧を保持する保持期間内に前記駆動用トランジスタを OFF 状態に強制的に設定するためのブランキング信号が供給されるブランキング信号用配線と、前記ブランキング信号用配線よりブランキング信号を供給するブランキング信号駆動回路と、前記単位画素毎に設けられ、一方の電極が前記駆動用トランジスタのゲート電極に接続され、他方の電極が前記ブランキング信号用配線に接続された補助容量と、を備え、前記ブランキング信号は、ブランキング信号用配線から前記補助容量を介して駆動用トランジスタのゲート電極に与えられることを特徴とする E L 表示装置。

【請求項 20】前記ブランキング信号用配線は、前記ブランキング信号駆動回路に個別に接続されている請求項 19 記載の E L 表示装置。

【請求項 21】前記ブランキング信号用配線は、1本の共通ラインを介して前記ブランキング信号駆動回路に接続されている請求項 19 記載の E L 表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、E L (エレクトロルミネッセンス) 表示装置に関する。

【0002】

【従来の技術】従来の E L 表示装置の単位画素の構成は、図 32 と図 33 に示されている。図 32 及び図 33 において、G L は走査線、13 は補助容量、S L は信号線、11 は E L 素子、Tr 1 はスイッチングトランジスタ、Tr 2 は駆動用トランジスタ、70 は E L 素子 11 に電流を供給するための電流供給線である。E L 素子 11 の発光に際しては、まず、走査線 G L 及び信号線 S L が両方ともオンになると、スイッチング用トランジスタ Tr 1 を通して補助容量 13 に電荷が蓄積される。そし

て、この補助容量 13 が駆動用トランジスタ Tr 2 のゲートに電圧を加え続けるため、スイッチング用トランジスタ Tr 1 が OFF になっても、電流供給線 70 から E L 素子 11 に電流が流れつづけ、次のフレームで画像信号が書き込まれるまで、現在の画像信号に応じた電流により発光駆動される。ところで、上記従来例では、E L 素子は 1 フレーム期間中発光し続けている。そのため、動画表示を行うと、残像現象のため、前回フレームの画像が次のフレームの画像に重なり、画像観察者は、画像がボケたように認識してしまう。(2001 FPD テクノロジー大全 p 122)。このような場合の改善策としては、1 フレームの画像表示期間中に、ブランキング期間 (E L 素子の発光を停止して画面全体が黒表示状態となる期間を意味する。) を挿入すると、残像が抑制され、画像が鮮明になることが知られている。このような考え方に基づき、特開 2000 - 221942 号公報には、ブランキング信号を与えるための専用トランジスタを設けて、次の 1 フレーム期間が始まる直前の所定期間にブランキング信号をオンとする構成が開示されている。

【0003】

【発明が解決しようとする課題】しかし、上記構成では 1 画素毎に専用トランジスタと、ブランキング信号を与える制御線を設ける必要がある。従って、専用トランジスタ及び制御線の占有面積分だけ画素の開口率の低下を招く。また、専用トランジスタ及び制御線を別途設けることから、パネルの歩留まりの低下を招く。

【0004】本発明の目的は、上記課題を解決し、画素の開口率の低下を招くことなく、残像を抑制して鮮明な画像を認識できるようにした E L 表示装置及を提供することである。

【0005】

【課題を解決するための手段】上記課題を解決するため、本発明のうち請求項 1 記載の発明は、走査信号が供給される複数の走査線と画像信号が供給される複数の信号線を備えるとともに、単位画素がマトリクス状に配列され、各単位画素は、E L 素子と、電流供給線を介して前記 E L 素子に供給される電流量を制御する駆動用トランジスタと、走査信号によりスイッチング動作が変化するとともにスイッチング動作の変化により前記信号線と前記駆動用トランジスタのゲート電極との導通・遮断を切替えるスイッチング用トランジスタとを有してなる表示部と、前記信号線に画像信号を供給する信号線側駆動回路と、前記走査線に走査信号を供給するとともに、前記駆動用トランジスタのゲート電極に書き込まれた電圧を保持する保持期間内に走査線を介して、前記 E L 素子の発光状態を強制的に停止するためのブランキング信号を出力する走査線側駆動回路と、を備えたことを特徴とする。

【0006】上記構成により、各画素の E L 素子が画像

信号に応じて発光され、希望する画像が表示されるとともに、1フレーム内にEL素子が発光されないブランキング期間が挿入されることになる。従って、動画表示において、前回フレームの画像と、次回フレームの画像との間に、黒表示が挿入される。この結果、残像現象が抑制され、鮮明な画像を認識することができるようになる。

【0007】また、走査線を介してブランキング信号を供給することにより、ブランキングのための専用のトランジスタや、ブランキング信号用の配線が不要となる。従って、その分だけ開口率が向上する。

【0008】なお、用語「停止」とは、発光状態が完全に停止する場合の他に、完全停止に近い状態をも含む。

【0009】また、請求項2記載の発明は、請求項1記載のEL表示装置であって、前記ブランキング信号は、前記駆動用トランジスタをOFF状態に強制的に設定する信号であることを特徴とする。ここで、用語「OFF状態」とは、完全なOFF状態の場合の他に、完全なOFF状態に近い状態（極めて弱いON状態）をも含む。

【0010】また、請求項3記載の発明は、請求項2記載のEL表示装置であって、前記単位画素は、一方の電極が前記駆動用トランジスタのゲート電極に接続され、他方の電極が前記複数の走査線のうちの何れか1つの特定走査線に接続された補助容量を備え、前記ブランキング信号は前記特定走査線から前記補助容量を介して駆動用トランジスタのゲート電極に与えられることを特徴とする。

【0011】また、請求項4記載の発明は、請求項3記載のEL表示装置であって、前記特定走査線が、選択されている画素に接続されている走査線に対して、後段の走査線であることを特徴とする。

【0012】例えば、選択画素自身の走査線を特定走査線用いることも可能である。但し、この場合は、選択パルスのオンからオフへの遷移に伴って、画素自身の走査線に接続された駆動用トランジスタの寄生容量の影響で、画素電極の電位が変化することが予想され、これを防止するためには大きな蓄積容量を付加する必要がある。この点に関し、特定走査線を後段の走査線とすることにより、かかる問題を解決することができる。また、特定走査線を後段の走査線とすることにより、配線の引き回しを最小とすることができる。

【0013】また、請求項5記載の発明は、請求項4記載のEL表示装置であって、前記スイッチング用トランジスタ及び前記駆動用トランジスタはともにPチャンネル型トランジスタであり、前記EL素子のアノード電極が画素電極として構成され、前記EL素子のカソード電極が対向電極として構成されたことを特徴とする。

【0014】上記構成により、極性の異なるトランジスタを用いる場合に比べて、表示装置全体の駆動電圧を小さくすることができる。

【0015】また、請求項6記載の発明は、請求項4記載のEL表示装置であって、前記スイッチング用トランジスタ及び前記駆動用トランジスタはともにNチャンネル型トランジスタであり、前記EL素子のカソード電極が画素電極として構成され、前記EL素子のアノード電極が対向電極として構成されたことを特徴とする。

【0016】上記構成によっても、極性の異なるトランジスタを用いる場合に比べて、表示装置全体の駆動電圧を小さくすることができる。

【0017】また、請求項7記載の発明は、請求項4記載のEL表示装置であって、前記スイッチング用トランジスタは、複数のトランジスタが直列に接続されたマルチゲート構造を有するトランジスタであることを特徴とする。

【0018】スイッチング用トランジスタに関しては、その要求される特性としてはリーク電流が少ない、言い換えればデータの保持特性が良好なものが望まれる。そこで、上記の如く、スイッチング用トランジスタをマルチゲート構造とすることにより、良好なオフ特性を得ることができる。

【0019】また、請求項8記載の発明は、請求項4記載のEL表示装置であって、前記スイッチング用トランジスタは、LDD(Lightly doped drain)構造を有するトランジスタであることを特徴とする。

【0020】上記構成により、上記請求項7記載の発明と同様に、良好なオフ特性を得ることができる。

【0021】また、請求項9記載の発明は、請求項4記載のEL表示装置であって、前記各単位画素は複数の副画素に分割され、前記副画素は、それぞれ個別に副画素電極、スイッチング用トランジスタ、制御用トランジスタ、補助容量及び走査線を備え、前記各副画素のオン/オフを組み合わせることにより階調が表示されるとともに、各副画素毎に走査線を介してブランキング信号が与えられることを特徴とする。

【0022】上記構成により、階調性に優れたEL表示装置が構成される。

【0023】また、請求項10記載の発明は、請求項9記載のEL表示装置であって、前記副画素におけるEL素子の発光部分の面積が、表示する階調に応じて入力されるビット数に対応して重み付けされていることを特徴とする。

【0024】1つの単位画素を構成する各副画素の発光部分の面積比を、ビットに対応して1:2:4:...:2<sup>(n-1)</sup>と重み付けすることにより、2<sup>n</sup>階調を表示させることが可能となる。

【0025】また、請求項11記載の発明は、請求項4記載のEL表示装置であって、前記スイッチング用トランジスタ及び前記駆動用トランジスタが、ポリシリコンで形成されていることを特徴とする。

【0026】ポリシリコンはアモルファスシリコンに比

較して移動度が大きく、素子の微細化が容易である。従って、本発明のように 1 画素中に複数のトランジスタを用いる場合は、特に効果的である。

【0027】また、請求項 12 記載の発明は、請求項 4 記載の E L 表示装置であって、前記駆動用トランジスタの動作領域がリニア領域であることを特徴とする。

【0028】上記の如く、駆動用トランジスタをリニア領域で動作させることにより、駆動用トランジスタのしきい値あるいは駆動用トランジスタのゲートに印加される電圧がばらついたとしてもほとんど電流値に影響を与えないようにすることができる。よって、従来では使用に耐えられないと考えられてきたような特性の悪いトランジスタでも使用できる。

【0029】また、請求項 13 記載の発明は、請求項 1 記載の E L 表示装置であって、前記複数の走査線のうちの何れか 1 つの特定走査線が前記制御用トランジスタを介して前記 E L 素子のアノード電極と接続され、前記 E L 素子のカソード電極は対向電極として構成され、前記特定走査線が前記電流供給線を兼ねており、前記特定走査線から前記 E L 素子に向けて流れる電流によって前記 E L 素子が発光駆動され、前記ブランキング信号は前記特定走査線より供給されるとともに、このブランキング信号は E L 素子のカソード電極の電位よりも低い電圧レベルに設定された信号であることを特徴とする。

【0030】上記の如く、特定走査線から E L 素子に電流を供給することにより、E L 素子に電流を供給するための専用の電流供給線が不要となる。この結果、従来例よりも開口率を大きくすることができると共に、電流供給線に起因した層間ショート、層内ショートによる線欠陥の発生を防止し、歩留まりの向上した E L 表示装置を構成することができる。

【0031】また、請求項 14 記載の発明は、請求項 1 記載の E L 表示装置であって、前記複数の走査線のうちの何れか 1 つの特定走査線が前記制御用トランジスタを介して前記 E L 素子のカソード電極と接続され、前記 E L 素子のアノード電極は対向電極として構成され、前記特定走査線が前記電流供給線を兼ねており、前記前記 E L 素子から前記特定走査線に向けて流れる電流によって前記 E L 素子が発光駆動され、前記ブランキング信号は前記特定走査線より供給されるとともに、このブランキング信号は E L 素子のアノード電極の電位よりも高い電圧レベルに設定された信号であることを特徴とする。

【0032】上記構成によってもまた、請求項 13 記載の発明と同様な作用を奏する。

【0033】また、請求項 15 記載の発明は、請求項 13 記載の E L 表示装置であって、前記特定走査線が、前段走査線であることを特徴とする。

【0034】上記請求項 4 記載の発明における作用と同様に、大きな蓄積容量を付加することなく、トランジスタの寄生容量に起因した画素電極電位の変化を抑制でき

る。

【0035】また、請求項 16 記載の発明は、請求項 13 記載の E L 表示装置であって、前記特定走査線のインピーダンスと前記特定走査線に接続される走査線側駆動回路における最終段バッファの出力インピーダンスの和が、前記特定走査線に接続される E L 素子のインピーダンスに対して 20% 以下であることを特徴とする。インピーダンスを規制するのは、20% を超えると、走査線の終電端の電位が低下し、E L 素子に十分な電圧が印加されなくなり、均一な表示が得られないからである。

【0036】また、請求項 17 記載の発明は、請求項 13 記載の E L 表示装置であって、前記各単位画素は複数の副画素に分割され、前記副画素は、それぞれ個別に副画素電極、スイッチング用トランジスタ、制御用トランジスタ、補助容量及び走査線を備え、前記各副画素のオン/オフを組み合わせることにより階調が表示されるとともに、各副画素毎に走査線を介してブランキング信号が与えられことを特徴とする。

【0037】上記構成により、階調性に優れた E L 表示装置が構成される。

【0038】また、請求項 18 記載の発明は、請求項 17 記載の E L 表示装置であって、前記副画素における E L 素子の発光部分の面積が、表示する階調に応じて入力されるビット数に対応して重み付けされていることを特徴とする。

【0039】1 つの単位画素を構成する各副画素の発光部分の面積比を、ビットに対応して  $1 : 2 : 4 : \dots : 2^{(n-1)}$  と重み付けすることにより、 $2^n$  階調を表示させることが可能となる。

【0040】また、請求項 19 記載の発明は、走査信号が供給される複数の走査線と画像信号が供給される複数の信号線を備えるとともに、単位画素がマトリクス状に配列され、各単位画素は、E L 素子と、E L 素子に流れる電流量を制御する駆動用トランジスタと、走査信号によりスイッチング動作が変化するとともにスイッチング動作の変化により前記信号線と前記駆動用トランジスタのゲート電極との導通・遮断を切替えるスイッチング用トランジスタとを有してなる E L 表示装置において、前記マトリクス状に配列された単位画素の各行毎に設けられ、前記駆動用トランジスタのゲート電極に書き込まれた電圧を保持する保持期間内に前記駆動用トランジスタを OFF 状態に強制的に設定するためのブランキング信号が供給されるブランキング信号用配線と、前記ブランキング信号用配線よりブランキング信号を供給するブランキング信号駆動回路と、前記単位画素毎に設けられ、一方の電極が前記駆動用トランジスタのゲート電極に接続され、他方の電極が前記ブランキング信号用配線に接続された補助容量と、を備え、前記ブランキング信号は、ブランキング信号用配線から前記補助容量を介して駆動用トランジスタのゲート電極に与えられることを特

徴とする。

【0041】上記構成により、ブランキングのための専用のトランジスタを設ける必要がなく、従って、その分だけ開口率が向上する。

【0042】また、請求項20記載の発明は、請求項19記載のEL表示装置であって、前記ブランキング信号用配線は、前記ブランキング信号駆動回路に個別に接続されていることを特徴とする。

【0043】上記構成により、ブランキング信号は、各ブランキング信号用配線毎に異なるタイミングで供給される。

【0044】また、請求項21記載の発明は、請求項19記載のEL表示装置であって、前記ブランキング信号用配線は、1本の共通ラインを介して前記ブランキング信号駆動回路に接続されていることを特徴とする。

【0045】上記構成により、ブランキング信号は各ブランキング信号用配線から同一のタイミングで供給される。

【0046】

【発明の実施の形態】（実施の形態1）図1は実施の形態1に係るアクティブマトリクス型EL表示装置の構成を示す回路図である。アクティブマトリクス型EL表示装置1は、単位画素10がマトリクス状に配置された表示部2と、各単位画素10に走査線GL1, GL2, ...（走査線を総称するときは参照符号GLで示す）を介して走査信号を出力する走査線側駆動回路4と、各単位画素10に信号線SL1, SL2, ...（信号線を総称するときは参照符号SLで示す）を介して画像信号を出力する信号線側駆動回路6と、各EL素子11に電流を供給するための電流供給線70とを有する。

【0047】単位画素10は、単位画素の発光体として機能するEL素子11と、スイッチング用トランジスタTr1と、EL素子11への駆動電流量を制御する駆動用トランジスタTr2と、補助容量13とを有する。補助容量13の一方の電極は特定走査線としての後段走査線GLに接続され、補助容量13の他方の電極は駆動用トランジスタTr2のゲート及びスイッチングトランジスタTr1のドレインに共通に接続されている。トランジスタTr1, Tr2は、いずれも同極性の薄膜トランジスタ(TFT)であり、本実施の形態1ではPチャンネル型トランジスタで構成されている。

【0048】図2は走査線側駆動回路の構成を示すブロック図であり、図3は走査線側駆動回路の一部の構成を示す回路図である。走査線側駆動回路4は、走査線GL1, GL2, ...に対応したセレクト回路A1, A2, ...（セレクト回路を総称するときは参照符号Aで示す）を有する。このセレクト回路Aには、電圧レベルの異なる3つの入力信号V1, V2, V3がそれぞれ入力されている。また、セレクト回路Aには、2つのセレクト信号Sa, Sb（セレクト信号を総称するときは参照符号S

a, Sbで示し、セレクト信号を個別に示すときは参照符号Sa, Sbに添字を付す。例えば、セレクト回路A1に関連するセレクト信号の場合は参照符号Sa1, Sb1で示す。)が入力されている。そして、このセレクト信号Sa, Sbの論理値の組み合わせにより、3つの入力信号V1, V2, V3の何れかが選択され、走査線GLに出力されるように構成されている。

【0049】なお、セレクト信号Sa, Sbは、外部のコントローラ（図示せず）により生成されて走査線側駆動回路4に供給されている。

【0050】セレクト回路A1の具体的な構成は、図3に示されている。即ち、セレクト回路A1は、4つのインバータ3a, 3b, 3c, 3dと、5つのトランスファークゲート5a, 5b, 5c, 5d, 5eとから構成されている。

【0051】次いで、セレクト回路A1の動作について説明する。例えば、セレクト信号Sa1, Sb1が共に論理「0」であるときは、V1が選択され走査線GL1に出力される。回路動作を簡単に説明すると、Sa1が論理「0」であると、トランスファークゲート5a, 5cはON状態で、トランスファークゲート5bはOFF状態となる。従って、トランスファークゲート5dにはV1が入力され、トランスファークゲート5eにはV3が入力される。一方、Sb1が論理「0」であるので、トランスファークゲート5dはON状態で、トランスファークゲート5eはOFF状態となる。従って、V1とV3のうちV1が選択されて走査線GL1に出力されることになる。

【0052】上記と同様な動作に基づき、セレクト信号Sa1が論理「0」、セレクト信号Sb1が論理「1」のときは、V2が選択され走査線GL1に出力される。セレクト信号Sa1が論理「1」、セレクト信号Sb1が論理「0」のときは、V3が選択され走査線GL1に出力される。

【0053】このようにして、セレクト回路A1は、セレクト信号Sa1, Sb1の論理値に応じてV1~V3の何れかを選択して走査線GLに出力する。

【0054】セレクト回路A1以外の残余のセレクト回路A2, ...は、セレクト回路A1と同様な構成を有しており、セレクト回路A1と同様にセレクト信号Sa2, Sb2; Sa3, Sb3; ...の論理値の組み合わせに応じてV1~V3の何れかを選択して走査線GL2, GL3, ...に出力する。

【0055】こうして、走査線側駆動回路4は、V1~V3の何れかを選択して走査線GLに出力するように構成されている。

【0056】なお、本実施の形態1では、V1はスイッチング用トランジスタTr1をONにする電圧レベルに設定されており、V2はスイッチング用トランジスタTr1をOFFにする電圧レベルに設定されている。即ち、V1とV2とが通常の走査信号に相当するものであ

る。また、V3はブランキング信号電圧レベルに設定されている。

【0057】図4は一画素の構成を示す断面図であり、図5は一画素の構成を示す平面図である。EL素子11は、図4に示すようにアノード電極31（本実施の形態では画素電極20に相当する）と、カソード電極32（本実施の形態では対向電極21に相当する）と、アノード電極31とカソード電極32間に配置されたEL発光層22とから構成されている。なお、図4において、35はガラス基板、37はゲート絶縁膜、38は平坦化膜、39は層間絶縁膜である。

【0058】また、図4において、前記アノード電極31はインジウムティンオキサイド（ITO）等の透明電極であり、カソード電極32は不透明電極（Mg、Al等又は、これらの金属とAg、Li等との合金からなる金属電極）である。従って、EL発光層22からの光は、ガラス基板35側から照射される。なお、EL素子11は、有機EL素子でも、無機EL素子であってもよく、また、電荷注入層や電荷輸送層を有する構成であってもよい。すなわち、図4に示す構成のものに限定されるものではなく、公知のEL素子を使用することができる。なお、基板35は、EL素子を担持できるものであればよく、ガラスに限らず、ポリカーボネート、ポリメチルメタクリレート、ポリエチレンテレフタレートなどの樹脂フィルムなどの透明基板を用いてもよい。

【0059】次いで、上記構成のEL表示装置の表示動作について説明する。図6はEL素子の発光動作のタイミングチャートである。図6(a)は画像信号電圧の波形図であり、図6(b)は走査線GLaの電圧の波形図であり、図6(c)は走査線GLbの電圧の波形図である。ここで、説明の便宜上、図7に示す上下に隣接する2つの画素10a、10bを例にして説明することにす。なお、図7において、画素10aに関連する構成要素については添字aを付し（例えば、走査線は参照符号GLaで、スイッチング用トランジスタはTr1a等で示す）、画素10bに関連する構成要素については添字bを付す（例えば、走査線は参照符号GLbで、スイッチング用トランジスタはTr1b等で示す）。なお、本実施の形態1では対向電極電位は7.4Vに設定されており、電流供給線70の電位は12.4Vに設定されているものとする。また、画像信号は5Vと12.4Vの2値の電圧レベルを有し、5Vの場合は発光状態を、12.4Vの場合は非発光状態を示すものとする。

【0060】まず、図6(b)に示すように、時刻T1において、当段の走査線GLaはV2レベル（本実施の形態1では12.4V）からV1レベル（本実施の形態1では0V）に切り替えられ、画素10aが選択される。これにより、Pチャンネル型トランジスタであるスイッチング用トランジスタTr1aがON状態となる。このトランジスタTr1aのON状態により、信号線SL

を介して画像信号電圧（7.4V）が駆動用トランジスタTr2aのゲート及び補助容量13aに印加される。即ち、時刻T1からT2の期間が、画像信号の書込み期間に相当する。ここで、電流供給線70の電位は12.4Vに設定されているため、駆動用トランジスタTr2aのゲート・ソース間には7.4-12.4=-5Vが印加される。これにより、駆動用トランジスタTr2aはONとなり、電流供給線70、駆動用トランジスタTr2aを介して、EL素子11aのアノード電極（画素電極）からカソード電極（対向電極）に向けて電流が流れ、EL素子11aが発光する。

【0061】そして、駆動用トランジスタTr2aのゲート電極に書き込まれた電圧が保持され、所定の駆動電流によってEL素子11aは発光し続ける。この駆動用トランジスタTr2aのゲート電極に書き込まれた電圧が保持される保持期間内の時刻T3において、後段走査線GLbを介して補助容量13aにブランキング信号が与えられる。即ち、時刻T3で、後段の走査線GLbがブランキング信号電圧V3（本実施の形態では17.5V）となる。これにより、駆動用トランジスタTr2aのゲート電極は後段の走査線GLbと容量結合されているため、駆動用トランジスタTr2aのゲート電位は5V程度電位が増加する。このため、駆動用トランジスタTr2aのゲート・ソース間の電位はほぼ0となり、駆動用トランジスタTr2aはOFFし、EL素子11aの発光は停止する。なお、補助容量13は駆動用トランジスタTr2のゲート容量に対して十分大きな容量値に設定されているものとする。もし、逆に設定されていれば、ブランキング信号が供給されても、駆動用トランジスタTr2aのゲート電位が殆ど変化せず、駆動用トランジスタTr2aをOFFできないからである。

【0062】このようにして、駆動用トランジスタTr2aのゲート電極に書き込まれた電圧が保持される保持期間内の時刻T3において、走査線GLbを介してブランキング信号が出力され、これによりEL素子11aの発光が強制的に停止する。

【0063】上記の例では、トランジスタTr2aのゲートに与えるブランキング信号電圧によって、EL素子の発光が完全に停止するようにしたけれども、発光が止まった消光ではなく減光（例えば輝度レベルが1%程度以内の明るさ）となるようにしてもよい。また、EL素子はμsオーダーの高速応答性を有するため、msオーダーのパルス幅（T3~T4）であるブランキング信号であっても、EL素子のブランキングを行うことができる。

【0064】次いで、時刻T4で走査線GLaが選択されると、上記と同様に画像信号電圧が書き込まれる。このとき、画像信号電圧は12.4V（非発光状態を示す信号電圧）が書き込まれるため、駆動用トランジスタTr2aはOFF状態となり、EL素子は発光を停止し、

次のフレーム期間まで非発光状態が保持される。このときの非発光状態は、画像データに基づくものであり、ブランキング信号によるものではない。こうして、画素10aが画像信号に対応して発光駆動されるとともに、1フレーム期間内にブランキング状態が得られる。

【0065】上記の例では画素10aに関する発光動作について説明したが、その他の画素についても同様な動作が行われ、各画素のEL素子が画像信号に応じて発光され、希望する画像が表示されるとともに、1フレーム内にEL素子が発光されないブランキング期間が挿入されることになる。従って、動画表示において、前回フレームの画像と、次回フレームの画像との間に、黒表示が挿入され、これにより、残像現象が抑制され、画像を鮮明に認識することができるようになる。

【0066】なお、駆動用トランジスタTr2はNチャンネル型トランジスタを使用することも可能であるが、本実施の形態のようなPチャンネル型トランジスタを使用するのが望ましい。なぜなら、駆動用トランジスタTr2をNチャンネル型トランジスタで形成すれば、駆動用トランジスタTr2をON状態とするためのゲート電圧がEL素子のアノードより高い電圧が必要となり、アクティブマトリクス型EL素子を駆動するのに必要な電圧が増加するからである。

【0067】(実施の形態2) 図8は実施の形態2に係るアクティブマトリクス型EL表示装置の一画素の構成を示す断面図である。本実施の形態2は、トランジスタTr1, Tr2をいずれもNチャンネル型トランジスタとし、且つ、EL素子のカソード電極を画素電極とし、アノード電極を対向電極として構成することを特徴とするものであり、その他の構成は上記実施の形態1と同様である。本実施の形態2では、カソード電極は不透明電極とし、アノード電極をITO電極とするものである。このような構成であれば、発光層からの光は基板35とは反対側から照射されることになる。従って、この実施の形態2では、基板35は必ずしも実施の形態1のように透明基板を使用する必要はなく、シリコン等の不透明基板を使用してもよい。

【0068】また、EL素子のカソード電極を画素電極とし、アノード電極を対向電極として構成する場合に、駆動用トランジスタTr2はPチャンネル型トランジスタであってもよいが、低電圧化の観点からはNチャンネル型トランジスタを用いる方が望ましい。なお、本実施の形態2に係るアクティブマトリクス型EL表示装置の表示動作は、上記実施の形態1と同様であり、画像信号に応じてEL素子を発光させ、希望する画像を表示するとともに、ブランキング期間が挿入される。

【0069】図9は実施の形態2に係るEL表示装置の発光動作のタイミングチャートである。図9(a)は画像信号電圧の波形図であり、図9(b)は走査線GLcの電圧の波形図であり、図9(c)は走査線GLdの電

圧の波形図である。ここで、図10に示す上下に隣接する2つの画素10c, 10dを例にして説明することにする。なお、図10において、画素10cに関連する構成要素については添字cを付し(例えば、走査線は参照符号GLcで、スイッチング用トランジスタはTr1c等で示す)、画素10dに関連する構成要素については添字dを付す(例えば、走査線は参照符号GLdで、スイッチング用トランジスタはTr1d等で示す)。

【0070】先ず、図9(b)に示すように、時刻T1において、当段の走査線GLcはV2レベル(本実施の形態2では0V)からV1レベル(本実施の形態2では12.5V)に切り替えられ、画素10cが選択される。これにより、Nチャンネル型トランジスタであるスイッチング用トランジスタTr1cがON状態となる。このNチャンネル型トランジスタTr1cのON状態により、信号線SLを介して画像信号電圧(5.0V)がNチャンネル型駆動用トランジスタTr2cのゲート及び補助容量13cに印加される。なお、本実施の形態2では、電流供給線70の電位は-5.0Vであり、また、対向電極電位は0Vに設定されている。従って、駆動用トランジスタTr2cのゲート・ソース間にはほぼ5Vが印加されるため、駆動用トランジスタTr2cがONとなる。これにより、アノード電極(対向電極)からカソード電極(画素電極)に向けて電流が流れ、EL素子11cが発光する。そして、この発光状態は後段の走査線GLdがブランキング信号電圧V3(本実施の形態2では-5.0V)となるタイミング(時刻T3)まで保持される。そして、駆動用トランジスタTr2cのゲート電極は補助容量13cを介して後段の走査線GLdと接続されているため、時刻T3で、駆動用トランジスタTr2cのゲート電位は5V程度電位が減少する。このため、駆動用トランジスタTr2cのゲート・ソース間の電位は0となり、EL素子11cの発光は停止する。なお、補助容量13は駆動用トランジスタTr2のゲート容量に対して十分大きな容量値に設定されているものとする。もし、逆に設定されていれば、ブランキング信号が供給されても、駆動用トランジスタTr2cのゲート電位が殆ど変化せず、駆動用トランジスタTr2cをOFFできないからである。

【0071】上記の例では、EL素子11cに関する発光及びブランキングについて説明したけれども、EL素子11c以外のその他のEL素子も、同様な動作によって発光及びブランキングが得られる。

【0072】このように、本実施の形態2においても、実施の形態1と同様に1フレーム内にブランキング期間を挿入することができ、残像の影響を無くし、鮮明な画像を認識できるようになる。

【0073】なお、本発明においては、システム全体の耐圧が許される場合はトランジスタTr1とトランジスタTr2は極性の異なるトランジスタで構成するように

してもよい。

【0074】(実施の形態3)図11は実施の形態3に係る表示装置の表示部の平面図であり、図12はその回路図である。なお、図11及び図12は1画素に関する構成のみ示している。本実施の形態3は、1つの単位画素を複数の領域に分割し、面積階調方式により階調表示することを特徴とするものである。以下、図11及び図12を参照して、具体的な構成について説明する。

【0075】単位画素10は、複数の領域(本実施の形態3では4つ)に分割された構造を有する。この分割領域である副画素50の構成は、上記実施の形態1における単位画素10の構成と同様である。即ち、副画素50はそれぞれ走査線GLを有するとともに、スイッチング用トランジスタTr1、駆動用トランジスタTr2、補助容量13を有する。

【0076】階調の表示方法としては、分割された副画素領域の発光/非発光を組み合わせることで実現される。なお、信号線SLには、デジタル画像信号が供給される。階調表示の具体的な方法としては、複数の領域に分割された副画素50におけるEL素子11の発光部分の面積がビットに対応して重み付けされている。このように、等分に分割するのではなく、発光部分の面積比をビットに対応して1:2:4:...:2<sup>(n-1)</sup>と重み付けすることにより、2<sup>n</sup>階調を表示させることが可能となる。

【0077】なお、図11の例では、4ビットのデータにより16階調の表示が可能である。また、図13に示すように6つの副画素50を備える構成では、6ビットのデータにより64階調の表示が可能となる。勿論、副画素の電極レイアウトは、図11及び図13に限られるものではない。

【0078】また、従来例のように、ブランキング信号を供給する専用線やブランキングのための専用のトランジスタを設ける必要がないため、本発明は、画素の開口率を大きくとることができる。そして、このような構成に係る本発明は、特に面積階調方式を採用することにより、表示の均一性、階調性に優れたアクティブマトリクス型EL表示装置を実現するのにきわめて有効である。

【0079】(実施の形態4)本実施の形態4は、上記実施の形態の表示装置を駆動するに当たって、駆動用トランジスタTr2の動作領域がリニア領域で動作する動作条件により駆動することを特徴とするものである。

【0080】EL素子は、素子を流れる電流に応じて輝度が異なる電流制御型発光素子であるため、表示ムラをなくすためには定電流駆動する必要がある。かかる定電流駆動を行う方法としては、画素内に定電流回路を設ける方法がある。しかし、定電流回路を設ける構成では、トランジスタの個数が多くなり、歩留まりの低下を招く。そこで、本実施の形態4では、駆動用トランジスタをリニア領域で動作させることにより、駆動用トランジ

スタのしきい値あるいは駆動用トランジスタのゲートに印加される電圧がばらついたとしてもほとんど電流値に影響を与えないようにすることができる。

【0081】図14にEL素子11と駆動用トランジスタTr2(Pチャネル型トランジスタを用いた)の動作点解析を行った結果を示す。図14において、ラインL5はEL素子11の電圧/電流特性を示し、ラインL6~L10は駆動用トランジスタTr2のドレイン電圧/ドレイン電流特性を示す。なお、ラインL6はゲート電圧を-1Vとした場合、ラインL7はゲート電圧を-3Vとした場合、ラインL8はゲート電圧を-4Vとした場合、ラインL9はゲート電圧を-5Vとした場合、ラインL10はゲート電圧を-6Vとした場合のドレイン電圧/ドレイン電流特性である。図14から明らかのように、トランジスタのゲート電圧が変化した場合でも、駆動用トランジスタTr2のドレイン電圧/ドレイン電流特性とEL素子11の電圧/電流特性との交点の電流値はほとんど影響を受けないことが理解される。従って、従来では使用に耐えられないと考えられてきたような特性の悪いトランジスタでも使用できる。これは、とくにトランジスタとしてポリシリコンを用いる場合に有利な条件である。

【0082】(実施の形態5)図15は実施の形態5に係るEL表示装置の回路図であり、図16は実施の形態5に係るEL表示装置の発光動作を示すタイミングチャートである。本実施の形態5は、実施の形態1に類似し、対応する部分には同一の参照符号を付す。上記実施の形態1では走査線GLからブランキング信号を供給するようにしたけれども、本実施の形態5ではブランキング信号を供給する専用配線(ブランキング信号用配線)を設け、このブランキング信号用配線からブランキング信号を供給するように構成されている。

【0083】なお、図15では、第n-1行目の走査線GLn-1、第n行目の走査線GLn、及び第m列の信号線SLm、第m+1列の信号線SLm+1に関する4つの画素のみ描いているが、その他の画素も同様な構成を有している。

【0084】図15を参照して、本実施の形態の構成について説明する。ブランキング信号用配線は各行毎に個別に設けられている。図15において、BLn-1は第n-1行目のブランキング信号用配線であり、BLnは第n行目のブランキング信号用配線である。ブランキング信号用配線BLn-1は、第n-1行目に属する各画素の補助容量13の一方の電極に接続されている。また、ブランキング信号用配線BLnは、第n行目に属する各画素の補助容量13の一方の電極に接続されている。これらのブランキング信号用配線BLn-1、BLnはブランキング信号駆動回路80に共通に接続されており、ブランキング信号駆動回路80はブランキング信号用配線BLn-1、BLnを介して所定のタイミングで所定電圧のブラ

ンキング信号を供給するように構成されている。

【0085】なお、本実施の形態では、走査線GLからブランキング信号が供給されないため、走査線側駆動回路4に代えて、シフトレジスタと出力バッファとから構成される走査線側駆動回路(例えば、後述する実施の形態7の走査線側駆動回路4A)が用いられる。

【0086】次いで、図16を参照して、上記構成のEL表示装置の発光動作について説明する。なお、信号線SL<sub>m</sub>、SL<sub>m+1</sub>に供給される画像信号電圧V<sub>s</sub>は、図16(a)に示すように、7.4Vと12.4Vの2つの電圧レベルを有し、7.4Vは発光状態、12.4Vは非発光状態を示すものとする。また、電流供給線70の電位は12.4Vに設定されており、EL素子11のカソード電極の電位は0Vに設定されているものとする。

【0087】まず、第n-1行に属する画素の発光動作について説明する。時刻T<sub>1</sub>で走査線GL<sub>n-1</sub>の電位が、図16(c)に示すように、ハイレベル(V<sub>2</sub>レベルに相当し、本実施の形態では12.5V)からローレベル(V<sub>1</sub>レベルに相当し、本実施の形態では0V)に変化する。これにより、走査線GL<sub>n-1</sub>に接続されているスイッチングトランジスタTr<sub>1</sub>は、この時刻T<sub>1</sub>のタイミングでONし、信号線SL<sub>m</sub>、SL<sub>m+1</sub>を介して駆動用トランジスタTr<sub>2</sub>のゲート電極に画像信号電圧(7.4V)が印加される。ここで、電流供給線70の電位は12.4Vであり、EL素子11のカソード電極の電位は0Vであるため、駆動用トランジスタTr<sub>2</sub>のゲート・ソース間には-5Vが印加される。従って、駆動用トランジスタTr<sub>2</sub>がONとなり、電流が電流供給線70からEL素子11を通じて流れ、EL素子11が発光する。駆動用トランジスタTr<sub>2</sub>のゲート電極には、補助容量13が接続されており、これによりゲート電圧は7.4Vに保持されている。

【0088】次いで時刻T<sub>3</sub>のタイミングでブランキング信号配線BL<sub>n-1</sub>の電位が5V(ブランキング信号電圧V<sub>3</sub>に相当する)引き上げられる(図16(b)のA点からB点まで引き上げられる)。一方、補助容量13は、駆動用トランジスタTr<sub>2</sub>のゲート容量に対して十分大きな容量値に設定されている。従って、ブランキング信号配線BL<sub>n-1</sub>の5Vの電位上昇により、駆動用トランジスタTr<sub>2</sub>のゲート電極の電位は5V近く上昇する。このため、駆動用トランジスタTr<sub>2</sub>はOFFとなり、発光は停止する。この状態は、次の書きこみタイミング(時刻T<sub>5</sub>)まで続く。従って時刻T<sub>3</sub>から時刻T<sub>5</sub>までの期間が第n-1行目の画素に対してのブランキング期間となる。

【0089】同様に第n行目の画素に関しては、時刻T<sub>4</sub>から時刻T<sub>6</sub>までがブランキング期間となる。

【0090】もちろん、ブランキングを与えるタイミングならびにその時間幅は必要に応じてそれぞれの行に対応するブランキング信号の出力タイミングを調整するこ

とにより同一期間あるいは異なる期間など効果が最大になるように任意に与えることができる。

【0091】このように、同一行に属するすべての画素に対して同一期間にブランキング信号を印加し、かつ、各行では順次一定期間ずれてブランキング信号を印加することができる。より効果的なブランキング動作を行わせることができる。

【0092】(実施の形態6)図17は実施の形態6の回路図であり、図18は発光動作のタイミングチャートである。本実施の形態6は、上記実施の形態5と同様にブランキング信号配線BLを備えており、EL素子11を発光させる基本的な動作は実施の形態5と同等である。但し、実施の形態5ではブランキング信号配線がそれぞれの行に対して独立に駆動するように構成されていたけれども、本実施の形態6では各行毎に配線されたブランキング信号配線BLは共通ライン60を介してブランキング信号駆動回路80に接続された構成となっている。従って、ブランキング信号を与えるタイミングはすべての行の画素に対して同一期間、換言すれば、表示面の全ての画素に対して同一期間となる。

【0093】以下に、図18を参照して発光動作について説明する。時刻T<sub>1</sub>から時刻T<sub>2</sub>に至る期間において、走査線GL<sub>1</sub>、GL<sub>2</sub>、...、GL<sub>n</sub>、...、GL<sub>last</sub>(最終行の走査線を意味する)が、順次選択され、各行毎の画素が順次発光していく。そして、走査線GL<sub>last</sub>に属する画素の選択が行われた後の時刻3で、ブランキング信号配線BLの電位が5V上昇する。これにより、すべての行に属する画素がこの時刻T<sub>3</sub>で発光を停止する。即ち、時刻T<sub>3</sub>で、表示面全体が黒表示となる。そして、時刻T<sub>4</sub>で、ブランキング信号配線の電位が5V減少して、元のローレベルの状態となる。従って、ブランキング状態が解除される。即ち、時刻T<sub>3</sub>~時刻4までの期間が、ブランキング期間に相当する。一方、この時刻T<sub>4</sub>から、再び、走査線GL<sub>1</sub>、GL<sub>2</sub>、...、GL<sub>n</sub>、...、GL<sub>last</sub>が、順次選択されて、次フレームの画像が表示される。

【0094】このようにして、最終走査線の選択期間後に、全ての画素が同一タイミングでブランキング状態となり、かつ、ブランキング期間も同一となる。従って、本実施の形態6は、実施の形態5と比べるとブランキング信号駆動回路80の構成を簡略化できるという長所を有する。

【0095】但し、本実施の形態では、最終走査線の選択期間後、第1行の走査線が選択されるまでの期間において、ブランキング期間が挿入されるため、実施の形態5と比較すると、ブランキング期間は短い。しかし、このような短い期間においても、ブランキング期間の挿入により、画像の鮮明化が得られることが本願発明者等の実験により確認されている。

【0096】(実施の形態7)図19は実施の形態7に

係るアクティブマトリクス型EL表示装置の構成を示す回路図である。本実施の形態7は、上記実施の形態1に類似し、対応する部分には同一の参照符号を付し、詳細な説明は省略する。上記実施の形態1では電流供給線70が設けられていたけれども、本実施の形態7では電流供給線70は省略されており、走査線GLからEL素子11に駆動電流を供給するように構成されている。また、ブランキング信号は、走査線GLより直接EL素子に与えられるように構成されている。

【0097】以下に、図19を参照して実施の形態7に係るEL表示装置の構成を説明する。本実施の形態7においては、スイッチング用トランジスタTr1のゲート電極は走査線GLに接続され、スイッチング用トランジスタTr1のソース電極が信号線SLに接続され、スイッチング用トランジスタTr1のドレイン電極は駆動用トランジスタTr2のゲート及び補助容量13の一方の電極に共通に接続されて構成されている。また、前記駆動用トランジスタTr2は、ソース電極が特定走査線である前段走査線3及び補助容量13の他方の電極に共通に接続され、ドレイン電極がEL素子11のアノード電極（画素電極20に相当する）に接続されて構成されている。

【0098】このように前段走査線（特定走査線に相当）によりEL素子11に駆動電流を供給する構成とすることにより、電流供給線を省略することができ、開口率の向上を図ることができるとともに、従来において問題とされていた信号線と電流供給線との間あるいは走査線と電流供給線との間のショートの発生を防止することができる。なお、前段走査線とEL素子11間の接続線は、前段走査線からの引き出し線に相当するものであり、電流供給線のようなバス配線ではない。従って、上記接続線は、電流供給線に比べて、線幅が極めて小さく、そのため、接続線の画素に対して占める面積は極めて小さく、開口率の低下に支障を来すものではない。

【0099】また、本実施の形態7では、実施の形態1の走査線側駆動回路4に代えて走査線側駆動回路4Aが用いられている。この走査線側駆動回路4Aは、図20に示すように、シフトレジスタ65と、出力バッファ40とから構成され、ハイレベルとローレベルの2値の信号レベルを選択的に出力するように構成されている。

【0100】次いで、上記構成の表示装置の表示動作について説明する。図21はEL素子の発光動作のタイミングチャートである。図21(a)は画像信号電圧の波形図であり、図21(b)は走査線GLaの電圧の波形図であり、図21(c)は走査線GLbの電圧の波形図である。なお、説明の便宜上、図22に示す上下に隣接する2つの画素10a、10bを例にして説明することにする。

【0101】なお、図22において、画素10aに関連する構成要素については添字aを付し（例えば、走査線

は参照符号GLaで、スイッチング用トランジスタはTr1a等で示す）、画素10bに関連する構成要素については添字bを付す（例えば、走査線は参照符号GLbで、スイッチング用トランジスタはTr1b等で示す）。また、本実施の形態7ではEL素子のカソード電極電位（対向電極電位）は7.4Vに設定されているものとする。

【0102】先ず、図21(c)に示すように、書き込み期間W1（時刻T1～時刻T2）において、走査線GLbの電圧レベルがローレベル（V1レベルに相当し、本実施の形態7では0V）であるため、画素10bが選択される。そして、この書き込み期間W1において、Pチャネル型トランジスタであるスイッチング用トランジスタTr1bがON状態となっているため、信号線SLを介して画像信号電圧（例えば7.4V）が駆動用トランジスタTr2bのゲート及び補助容量13bに印加される。一方、時刻T1～T2の間では、図21(b)に示すように、前段画素10aは非選択期間であるため、前段走査線GLaはハイレベル（V1レベルに相当し、本実施の形態7では12.4V）であり、そのため、駆動用トランジスタTr2bのゲート・ソース間には7.4-12.4=-5Vが印加され、駆動用トランジスタTr2bがONとなる。これにより、前段走査線GLa、駆動用トランジスタTr2bを介して、EL素子11bのアノード電極（画素電極）からカソード電極（対向電極）に向けて電流が流れ、EL素子11bが発光する。なお、EL素子11aは、EL素子11bの上記発光動作と同様な動作により、発光している。

【0103】ここで、一般的なEL素子の駆動であれば、図21(b)の仮想線Mで示すように、前段走査線GLaは次フレームの書き込みタイミング（時刻T4）までハイレベルを維持する。しかしながら、本実施の形態7においては、図21(b)に示すように、時刻T4より以前の時刻T3で前段走査線GLaはハイレベルからローレベルに変化する。これにより、EL素子11bのカソード電極電位（7.4V）よりも、前段走査線GLaの電位（0V）が低くなる。そのため、EL素子11bへの電流供給が停止し、EL素子11bは発光を停止する。即ち、時刻T3で画素10bがブランキング状態となる。そして、前段画素10aの書き込み期間W1（時刻T4～T5）が完了するまで前段走査線GLaはローレベルのままである。従って、EL素子11bは、ブランキング状態のままである。

【0104】なお、前段走査線GLaにおいて、時刻T3～T4までのローレベルの期間は、画素10bをブランキングするためのブランキング信号V3が出力されている期間であり、時刻T4～T5までのローレベルの期間は、画素10aに画像信号を書込むための書き込み期間W1である。但し、本実施の形態においては、ブランキング信号電圧が走査信号のローレベル（0V）と一致し

た値に設定されているため、図21(b)に示すように、時刻T3～T5までの期間が全てローレベルの期間となっている。

【0105】次いで、時刻T5で前段走査線GLaの電位は、ローレベルからハイレベルに変化する。従って、書き込み期間において駆動用トランジスタTr2aのゲート電極に書き込まれた電位に応じて、前段走査線GLaの更に前段走査線(図示せず)から供給される電流が制御され、EL素子11aに流れて、発光する。ここでは、書き込み期間(時刻T4～T5の期間)の画像信号電圧が12.4Vであるため、EL素子11aは発光を停止したままである。勿論、画像信号電圧が7.4Vであれば、EL素子11aは発光する。

【0106】また、EL素子11bも上記のEL素子11aと同様な動作により、駆動用トランジスタTr2aのゲート電極に書き込まれる画像信号電圧に応じて、発光状態又は発光停止状態となる。

【0107】上記の例では、ブランキング信号電圧V3は、走査信号のローレベル(0V)と同一に設定されていたけれども、これに限定されるものではない。即ち、ブランキング信号電圧V3は、EL素子のカソード電極(対向電極)の電位よりも小さければ十分であり、これによりEL素子への電流を停止することができる。但し、この場合は、走査線GLの電位は、3つの電圧レベル信号V1～V3を必要とするため、走査線側駆動回路としては、走査線側駆動回路4Aに代えて、実施の形態1の走査線側駆動回路4を用いればよい。

【0108】また、EL素子11bのブランキング期間では、前段走査線GLaはローレベルであるため、スイッチング用トランジスタTr1aはON状態となっており、その期間において仮に駆動用トランジスタTr2aに7.4Vが書き込まれたとしても、EL素子11aのブランキング状態に変化はない。なぜなら、EL素子11bのブランキング状態となる以前において、EL素子11aはブランキング状態となっている。従って、仮に駆動用トランジスタTr2aに7.4Vが書き込まれたとしても、EL素子11aに電流を供給する走査線(前段走査線GLaの更に前段の走査線)の電位はローレベルとなっているため、駆動用トランジスタTr2aのゲート電極の電位に影響なく、EL素子11aに電流は供給されず、発光は停止したままだからである。

【0109】上記の例は、上下に隣接する画素10a, 10bについての発光及びブランキング動作について説明したけれども、その他の画素も同様な動作により、発光及びブランキング動作が行われる。

【0110】このようにして、本実施の形態7では、走査線が電流供給線を兼ねるとともに、走査線よりブランキング信号を出力することができる。

【0111】なお、参考まで述べると、駆動用トランジスタTr2はNチャンネル型トランジスタを使用すること

も可能であるが、本実施の形態のようなPチャンネル型トランジスタを使用するのが望ましい。なぜなら、駆動用トランジスタTr2をNチャンネル型トランジスタで形成すれば、駆動用トランジスタTr2をON状態とするためのゲート電圧がEL素子のアノードより高い電圧が必要となり、アクティブマトリクス型EL素子を駆動するのに必要な電圧が増加するからである。

【0112】(実施の形態8)図23は実施の形態8に係るEL表示装置の回路図であり、図24は実施の形態8に係るEL表示装置の発光動作のタイミングチャートである。なお、図24(a)は画像信号電圧の波形図であり、図24(b)は走査線GLcの電圧の波形図であり、図24(c)は走査線GLdの電圧の波形図である。本実施の形態8は、実施の形態7に類似し対応する部分には同一の参照符号を付す。実施の形態8では、スイッチング用トランジスタ及び制御用トランジスタがNチャンネル型トランジスタである。また、EL素子のアノード電極が対向電極とされ、カソード電極が画素電極とされ、EL素子から走査線に向けて流れる電流によって、EL素子が発光するように構成されている。

【0113】以下に、図23に示す上下に隣接する2つの画素10c, 10dを例にして、本実施の形態の発光及びブランキング動作について説明することにする。なお、本実施の形態8ではアノード電極電位(対向電極電位)は3.0Vに設定されているものとする。

【0114】先ず、図24(c)に示すように、画素10dの書き込み期間W1(時刻T1から時刻T2)において、走査線GLdの電圧レベルがハイレベル(V1レベルに相当し、本実施の形態8では12.4V)であるため、画素10dが選択される。そして、この書き込み期間W1において、Nチャンネル型トランジスタであるスイッチング用トランジスタTr1dはON状態であるため、信号線SLを介して画像信号電圧(例えば5.0V)が駆動用トランジスタTr2dのゲート及び補助容量13dに印加される。一方、この時刻T1～T2の間では、図24(b)に示すように、前段画素10cは非選択期間であるため、前段走査線GLcはローレベル(V2レベルに相当し、本実施の形態8では0V)であり、また、アノード電極電位(対向電極電位)は3.0Vに設定されているため、駆動用トランジスタTr2dのゲート・ソース間には $5.0 - 3.0 = 2V$ が印加され、駆動用トランジスタTr2dがONとなる。これにより、EL素子11dから前段走査線GLcに向けて電流が流れ、EL素子11dが発光する。

【0115】ここで、一般的なEL素子の駆動であれば、図24(b)の仮想線Mで示すように、前段走査線GLcは次フレームの書き込みタイミング(時刻T4)までローレベルを維持する。しかしながら、本実施の形態7においては、図24(b)に示すように、時刻T4より以前の時刻T3で前段走査線GLcはローレベル

(本実施の形態では、0 V) からハイレベルに変化する。これにより、EL 素子 11 d のアノード電極電位 (3.0 V) よりも、前段走査線 GL c の電位 (12.4 V) が高くなる。そのため、EL 素子 11 d の電流供給が停止し、EL 素子 11 d は発光を停止する。即ち、時刻 T3 で画素 10 d がブランキング状態となる。そして、前段画素 10 c の書き込み期間 W1 (時刻 T4 ~ T5) が完了するまで前段走査線 GL c はハイレベルのままである。従って、EL 素子 11 d は、ブランキング状態のままである。このようにして、EL 素子 11 d は、1 フレーム期間において、画像信号に応じて発光するとともに、発光が停止するブランキン状態が得られることになる。EL 素子 11 d 以外の残余の EL 素子も EL 素子 11 d と同様な発光及びブランキング動作が行われる。

【0116】このようにして、本実施の形態においても、1 フレーム内にブランキング期間を挿入することができる。

【0117】なお、前段走査線 GL c において、時刻 T3 ~ T4 までのハイレベルの期間は、画素 10 d をブランキングするためのブランキング信号 V3 が出力されている期間であり、時刻 T4 ~ T5 までのハイレベルの期間は、画素 10 c に画像信号を書込むため書き込み期間 W1 である。但し、本実施の形態においては、ブランキング信号電圧が走査信号のハイレベル (12.4 V) と一致した値に設定されているため、図 24 (b) に示すように、時刻 T1 ~ T5 までの期間が全てローレベルの期間となっている。

【0118】上記の例では、ブランキング信号電圧 V3 は、走査信号のハイレベル (12.4 V) と同一に設定されていたけれども、これに限定されるものではない。即ち、ブランキング信号電圧 V3 は、EL 素子のアノード電極 (対向電極) の電位よりも高ければ十分であり、これにより EL 素子への電流を停止することができる。

【0119】(実施の形態 9) 実施の形態 9 は、実施の形態 7 の構成において、特定走査線 GL のインピーダンスと該特定走査線 GL に接続される走査線側駆動回路 4 A における最終段バッファの出力インピーダンスの和が、該特定走査線 GL に並列接続される EL 素子のインピーダンスに対して 20% 以下とすることを特徴とするものである。そして、このようなインピーダンスの規制により、EL 素子に十分な電圧を印加することができ、均一な表示を実現できる。以下、図 25 及び図 26 を参照して、インピーダンスの規制により均一な表示を実現できる理由について説明する。

【0120】図 25 は駆動用トランジスタに接続された画素電極がアノード電極となる場合における、走査線及び該走査線を通る電流により駆動される EL 素子等を含めた等価回路であり、図 26 は駆動用トランジスタに接続された画素電極がカソード電極となる場合にお

る、走査線及び該走査線を通る電流により駆動される EL 素子等を含めた等価回路を示す。図 25 及び図 26 において、40 は走査線側駆動回路 4 A の最終段のバッファを示し、41 は走査線 GL の抵抗を示し、42 は走査線 GL の容量を示す。図 25 に示すように、EL 素子 11 のアノード電極が画素電極となる場合は、バッファ 40 の出力インピーダンスならびに走査線 GL のインピーダンスを通して EL 素子 11 に電流が流れる。図 26 に示すように、EL 素子 11 のカソード電極が画素電極となる場合は、EL 素子 11 から走査線 GL に向けて電流が流れる。図 25 及び図 26 の何れのタイプであっても、バッファ 40 の出力インピーダンスならびに走査線 GL のインピーダンスが EL 素子 11 のインピーダンスに比較して高ければ、電流が流れたときに走査線等で電圧降下が生じ、十分な電圧が EL 素子 11 に印加されない。

【0121】本等価回路に対して回路シミュレーションを行った結果を図 27 に示す。図 27 において、ライン L1 はバッファ 40 の入力を示し、ライン L2 はバッファ 40 の出力を示し、ライン L3 は走査線 GL のインピーダンスとバッファ 40 の出力インピーダンスの和が走査線のインピーダンスの 2% 程度の場合の終電端 K (図 25 及び図 26 参照) の電位を示し、ライン L4 は走査線 GL のインピーダンスとバッファ 40 の出力インピーダンスの和が走査線 GL のインピーダンスの 20% の場合の終電端 K の電位を示す。図 27 より明らかなように、出力インピーダンスと走査線 GL のインピーダンスの和が、各画素の EL 素子 11 のインピーダンスに対し 20% を超えると、走査線 GL の終電端 K の電位が大きく低下することが認められる。よって、EL 素子 11 に十分な電圧が印加されなくなり、均一な表示が得られない。

【0122】なお、走査線側駆動回路 4 A の出力インピーダンスを低減させるためには、例えば、走査線側駆動回路の最終段にボルテージホロアを設けるようにしてもよい。

【0123】(実施の形態 10) 図 28 は実施の形態 10 に係る表示装置の表示部の平面図であり、図 29 はその回路図である。なお、図 28 及び図 29 は 1 画素に関する構成のみ示している。本実施の形態 10 は、実施の形態 7 における 1 つの単位画素を複数の領域に分割し、面積調方式により階調表示することを特徴とするものである。以下、図 28 及び図 29 を参照して、具体的な構成について説明する。単位画素 10 は、複数の領域 (本実施の形態 4 では 4 つ) に分割された構造を有する。この分割領域である副画素 50 の構成は、上記実施の形態 1 における単位画素 10 の構成と同様である。即ち、副画素 50 はそれぞれ走査線 GL を有するとともに、スイッチング用トランジスタ Tr1、駆動用トランジスタ Tr2、補助容量 13 を有する。駆動用トランジ

スタTr1のソースは、隣接する副画素の走査線に接続される構成とするのが望ましい。階調の表示方法としては、分割された副画素領域の発光/非発光を組み合わせることにより実現される。なお、信号線SLには、デジタル画像信号が供給される。

【0124】階調表示の具体的な方法としては、複数の領域に分割された副画素50におけるEL素子11の発光部分の面積がビットに対応して重み付けされている。このように、等分に分割するのではなく、発光部分の面積比をビットに対応して1:2:4:...:2<sup>(n-1)</sup>と重み付けすることにより、2<sup>n</sup>階調を表示させることが可能となる。

【0125】なお、図28の例では、4ビットのデータにより16階調の表示が可能である。また、図30に示すように6つの副画素50を備える構成では、6ビットのデータにより64階調の表示が可能となる。勿論、副画素の電極レイアウトは、図28及び図30に限られたものでない。

【0126】このように、専用の電流供給線がなく、画素の開口率を大きくとることが可能な構成である本発明においては、特に面積階調方式を採用することにより、表示の均一性、階調性に優れたアクティブマトリクス型EL表示装置を実現するのにきわめて有効である。

【0127】(実施の形態11)図31は実施の形態11に係るアクティブマトリクス型EL表示装置の回路図である。本実施の形態11は実施の形態7に類似し、対応する部分には同一の参照符号を付す。なお、図31は単位画素に関する構成のみを示している。本実施の形態11ではオフセットキャンセラー機能を有する回路構成とすることを特徴とするものであり、スイッチング用トランジスタTr1及び駆動用トランジスタTr2の他に、電流スイッチ信号によりON/OFF制御されるスイッチング用トランジスタTr3及びトランジスタリセット信号によりON/OFF制御されるスイッチング用トランジスタTr4が備えられている。

【0128】次いで、上記回路におけるオフセットキャンセラー機能について説明すると、まず、トランジスタTr2のしきい値電圧VtをコンデンサC1にメモリする。具体的には、トランジスタTr1がOFFである期間において、トランジスタTr3がOFFで、かつ、トランジスタTr4がONとされる。これにより、コンデンサC1の端子間電圧がVtまで上昇する。即ち、コンデンサC1にVtがメモリされたことになる。このとき、走査線GLの電位をVddとすると、接続点71の電位はVdd - Vtとなる。

【0129】次いで、トランジスタTr3がONで、かつ、トランジスタTr4がOFFとされ、EL素子と走査線GL(電流供給線に相当)とが接続状態となる。

【0130】次いで、トランジスタTr3がONで、かつ、トランジスタTr4がOFFの状態、トランジス

タTr1がONとなり、画像信号電圧VonがコンデンサC2を介してトランジスタTr2のゲートに印加される。このとき、予めコンデンサC1にVtがメモリされているため、接続点71の電位(トランジスタTr2のゲート電位に相当)はVon + Vdd + Vtとなる。従って、トランジスタTr2の電流値はf(Von + Vdd + Vt - Vt)となり、Vtが相殺された値についての関数となるため、トランジスタTr2のしきい値Vtにバラツキがあっても、それに影響されることなくEL素子を駆動することができる。

【0131】そして、本実施の形態においては、上記のオフセットキャンセラー機能を有する構成において、駆動用トランジスタTr2のソースに走査線GLを接続することにより、上記実施の形態と同様に走査線GLからEL素子11に電流を供給することができ、また、走査線GLよりブランキング信号を与えることができる。

【0132】(その他の事項)

(1)上記実施の形態1~4では、駆動用トランジスタのゲートは補助容量を介して後段走査線と接続され、後段走査線よりブランキング信号を与えるようにしたけれども、本発明はこれに限定されるものではない。即ち、後段走査線に代えて何れかの走査線を補助容量と接続し、その走査線からブランキング信号を与えるようにしてもよい。従って、例えば、選択画素自身の走査線を用いることも可能である。但し、この場合は、選択パルスのオンからオフへの変化に伴って、画素自身の走査線に接続された駆動用トランジスタの寄生容量の影響で、画素電極の電位が変化することが予想され、これを防止するためには大きな蓄積容量を付加する必要がある。この点に関し、ブランキング信号を与える走査線を後段走査線とすることにより、かかる問題を解決することが可能である。なぜならブランキング信号を与える走査線を後段走査線とすることにより、配線の引き回しも必要最小限でよく、トランジスタの寄生容量による電位変動も最小限に抑えることが可能となる等のメリットを有する。従って、特定走査線は画素の後段走査線とするのが、望ましい。

【0133】(2)上記実施の形態1~11におけるスイッチング用トランジスタTr1は、その要求される特性としてはリーク電流が少ない、言い換えればデータの保持特性が良好なものが望まれる。従って、スイッチング用トランジスタTr1は、複数のトランジスタが直列に接続されたマルチゲート構造あるいはLDD(Lightly doped drain)構造のものを使用するのが望ましく、このようにすれば、良好なオフ特性を得ることができる。

【0134】(3)上記実施の形態1~11におけるトランジスタTr1, Tr2は、アモルファスシリコンで形成してもよく、また、ポリシリコンで形成するようにしてもよい。但し、ポリシリコンで形成する場合は、ポ

リシリコンはアモルファスシリコンに比較して移動度が大きく、素子の微細化が容易であるため、本発明のように 1 画素中に複数のトランジスタを用いる場合に特に有利である。

【0135】(4) 上記実施の形態 1 ~ 11 において、トランジスタを低温ポリシリコンで作製する場合、走査線側駆動回路及び信号線側駆動回路の少なくとも一方を画素部のトランジスタを作製すると同時にガラス基板上に一体形成するようにしてもよい。このように周辺駆動回路を内蔵駆動回路とすることにより、消費電力を大幅に削減することができ、また、表示装置全体の軽量・薄型化を図ることができる。

【0136】(5) 実施の形態 7 ~ 11 の表示装置を駆動するに当たって、実施の形態 4 と同様に、駆動用トランジスタ Tr 2 の動作領域がリニア領域で動作する動作条件により駆動するようにしてもよい。

【0137】(6) 実施の形態 7 ~ 11 では、特定走査線は選択画素に接続される走査線に対して前段走査線としたけれども、本発明はこれに限定されるものではなく、何れかの走査線であればよく、例えば、選択画素自身の走査線を用いることも可能である。但し、この場合は、選択パルスのオンからオフへの変化に伴って、画素自身の走査線に接続された駆動用トランジスタの寄生容量の影響で、画素電極の電位が変化することが予想され、これを防止するためには大きな蓄積容量を付加する必要がある。この点に関し、特定走査線を前段の走査線とすることにより、かかる問題を解決することが可能である。なぜなら、書き込み終了時より次のフレームにおける前段の画素の書き込み開始まで、駆動用トランジスタのゲート電極の電位は一定に保持されるからである。しかも、特定走査線を前段の走査線とすることにより、配線の引き回しも必要最小限でよく、トランジスタの寄生容量による電位変動も最小限に抑えることが可能となる等のメリットを有する。従って、特定走査線は画素の前段走査線とするのが、望ましい。

【0138】(7) 本発明は、実施の形態 1 ~ 11 に限定されるものではなく、実施の形態 1 ~ 11 を適宜選択して組み合わせた構成であってもよい。

【0139】

【発明の効果】以上のように本発明の構成によれば、以下の効果を奏する。

(1) 各画素の E L 素子が画像信号に応じて発光され、希望する画像が表示されるとともに、1 フレーム内に E L 素子が発光されないブランキング期間が挿入されることになる。従って、動画表示において、前回フレームの画像と、次回フレームの画像との間に、黒表示が挿入される。この結果、残像現象が抑制され、鮮明な画像を認識することができるようになる。

【0140】(2) また、走査線を介してブランキング信号を供給することにより、ブランキングのための専用

のトランジスタや、ブランキング信号用の配線が不要となる。従って、その分だけ開口率が向上する。

【0141】(3) また、特定走査線から E L 素子に電流を供給することにより、E L 素子に電流を供給するための専用の電流供給線が不要となる。この結果、従来例よりも開口率を大きくすることができると共に、電流供給線に起因した層間ショート、層内ショートによる線欠陥の発生を防止し、歩留まりの向上した E L 表示装置を構成することができる。

【図面の簡単な説明】

【図 1】実施の形態 1 に係る E L 表示装置の構成を示す回路図である。

【図 2】実施の形態 1 に係る E L 表示装置に用いられる走査線側駆動回路の構成を示す回路図である。

【図 3】セレクト回路 A 1 の構成を示す回路図である。

【図 4】実施の形態 1 に係る E L 表示装置の一画素の構成を示す断面図である。

【図 5】実施の形態 1 に係る E L 表示装置の一画素の構成を示す平面図である。

【図 6】実施の形態 1 に係る E L 表示装置の発光動作のタイミングチャートであって、図 6 ( a ) は画像信号電圧の波形図であり、図 6 ( b ) は走査線 G L a の電圧の波形図であり、図 6 ( c ) は走査線 G L b の電圧の波形図である。

【図 7】実施の形態 1 における E L 素子の発光動作を説明するための上下に隣接する画素 10 a , 10 b の構成図である。

【図 8】実施の形態 2 に係る E L 表示装置の一画素の構成を示す断面図である。

【図 9】実施の形態 2 に係る E L 表示装置の発光動作のタイミングチャートであって、図 9 ( a ) は画像信号電圧の波形図であり、図 9 ( b ) は走査線 G L c の電圧の波形図であり、図 9 ( c ) は走査線 G L d の電圧の波形図である。

【図 10】実施の形態 2 における E L 素子の発光動作を説明するための上下に隣接する画素 10 c , 10 d の構成図である。

【図 11】実施の形態 3 に係る E L 表示装置の表示部の平面図である。

【図 12】実施の形態 3 に係る E L 表示装置の表示部の回路図である。

【図 13】実施の形態 3 に係る E L 表示装置の表示部の変形例を示す平面図である。

【図 14】実施の形態 4 に係る E L 表示装置における E L 素子と駆動用トランジスタの動作点解析を行った結果を示すシミュレーション図である。

【図 15】実施の形態 5 に係る E L 表示装置の表示部の回路図である。

【図 16】実施の形態 5 に係る E L 表示装置の発光動作のタイミングチャートである。

【図17】実施の形態6に係るEL表示装置の表示部の回路図である。

【図18】実施の形態6に係るEL表示装置の発光動作のタイミングチャートである。

【図19】実施の形態7に係るアクティブマトリクス型EL表示装置の構成を示す回路図である。

【図20】実施の形態7に係るアクティブマトリクス型EL表示装置に用いられる走査線側駆動回路4Aの構成を示す回路図である。

【図21】実施の形態7のEL素子の発光動作のタイミングチャートであって、図21(a)は画像信号電圧の波形図であり、図21(b)は走査線GLaの電圧の波形図であり、図21(c)は走査線GLbの電圧の波形図である。

【図22】実施の形態7におけるEL素子の発光動を説明するための上下に隣接する画素10a, 10bの構成図である。

【図23】実施の形態8に係るEL表示装置の回路図である。

【図24】実施の形態8に係るEL表示装置の発光動作のタイミングチャートであって、図24(a)は画像信号電圧の波形図であり、図24(b)は走査線GLaの電圧の波形図であり、図24(c)は走査線GLbの電圧の波形図である。

【図25】駆動用トランジスタに接続された画素電極がアノード電極となる場合における、走査線及び該走査線を通る電流により駆動されるEL素子等を含めた等価回路である。

【図26】駆動用トランジスタに接続された画素電極がカソード電極となる場合における、走査線及び該走査線を通る電流により駆動されるEL素子等を含めた等価回路である。

【図27】図25及び図26の等価回路に対して回路シ\*

\*ミュレーションを行った結果を示すグラフである。

【図28】実施の形態10に係る表示装置の表示部の平面図である。

【図29】実施の形態10に係る表示装置の回路図である。

【図30】実施の形態10に係るEL表示装置の表示部の変形例を示す平面図である。

【図31】実施の形態11に係るアクティブマトリクス型EL表示装置の回路図である。

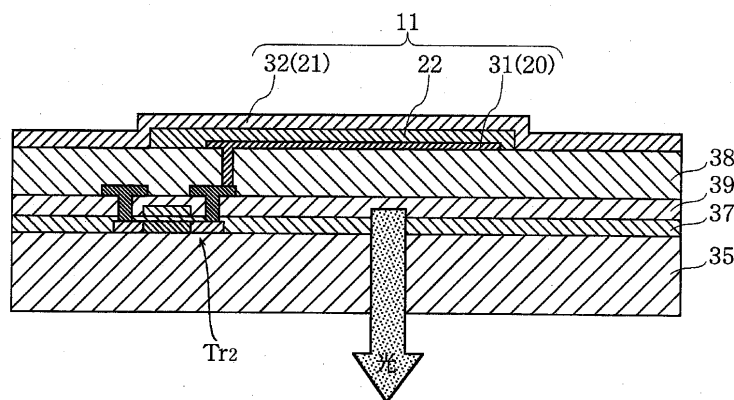
【図32】従来例の構成を示す回路図である。

【図33】従来例の構成を示す平面図である。

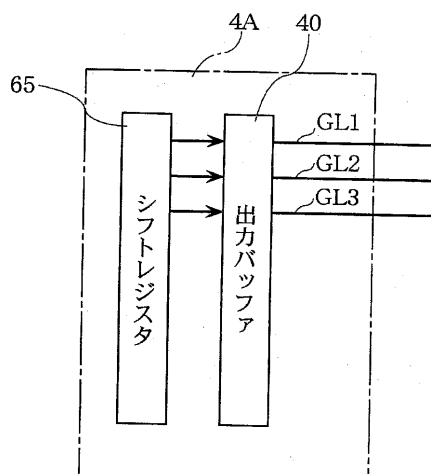
【符号の説明】

- 1 : 液晶表示装置
- 2 : 表示部
- 4, 4A : 走査線側駆動回路
- 6 : 信号線側駆動回路
- 10, 10a, 10b, 10c, 10d : 単位画素
- 11, 11a, 11b, 11c, 11d : EL素子
- 13, 13a, 13b, 13c, 13d : 補助容量
- 40 : バッファ
- 60 : 共通ライン
- 70 : 電流供給線
- 80 : ブランキング信号駆動回路
- Tr1, Tr1a, Tr1b, Tr1c, Tr1d : スwitching用トランジスタ
- Tr2, Tr2a, Tr2b, Tr2c, Tr2d : 制御用トランジスタ
- GL1, GL2, ..., GLa, GLb, GLc, GLd : 走査線
- SL1, SL2, ..., SLa, SLb, SLc, SLd : 信号線
- BL, BLn-1, BLn : ブランキング信号用配線

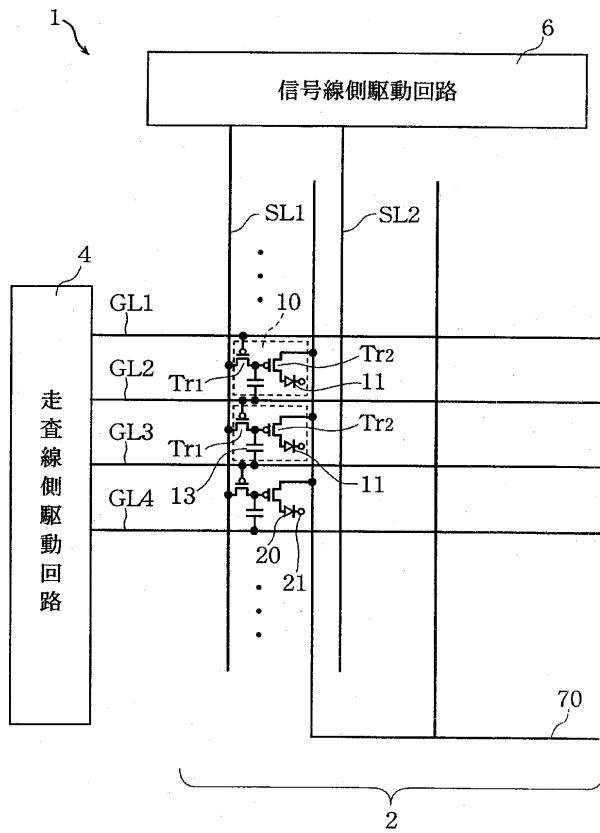
【図4】



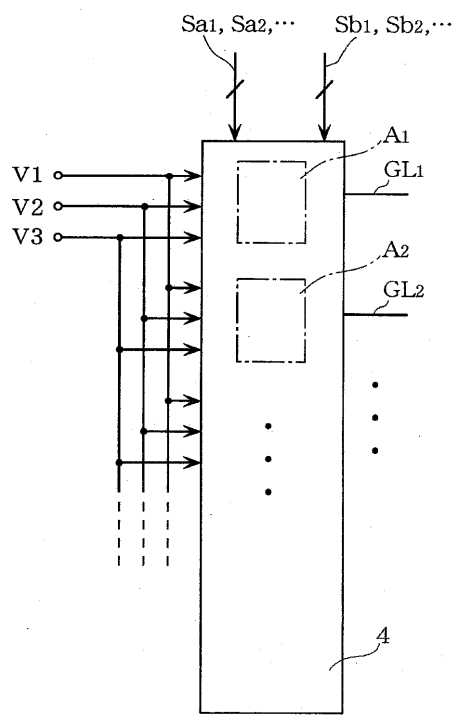
【図20】



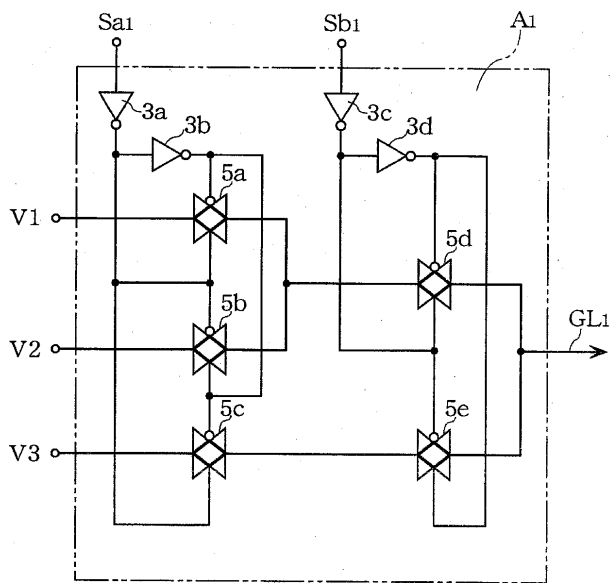
【図1】



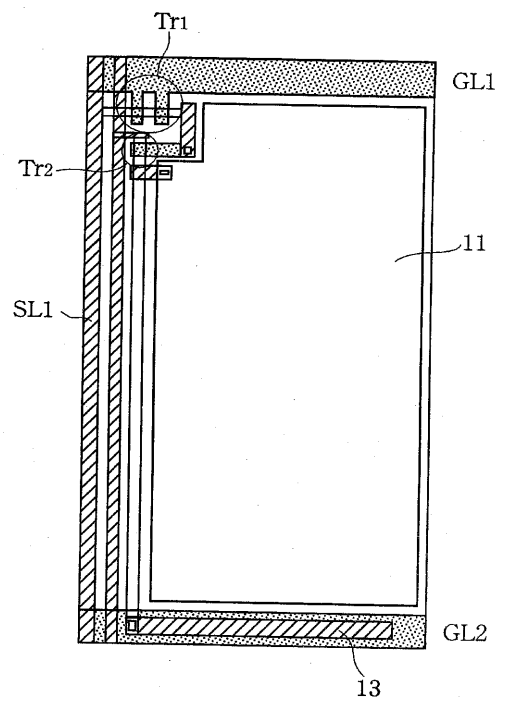
【図2】



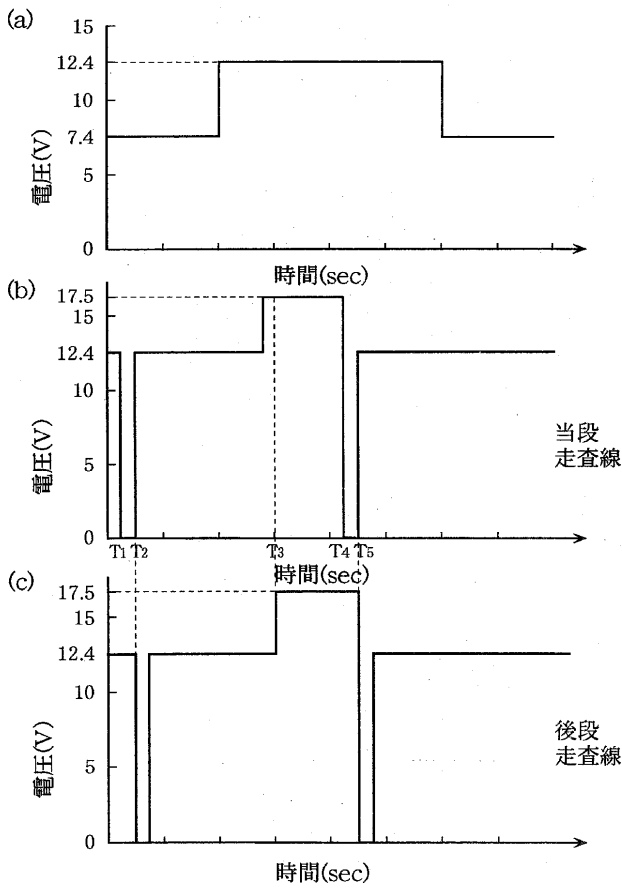
【図3】



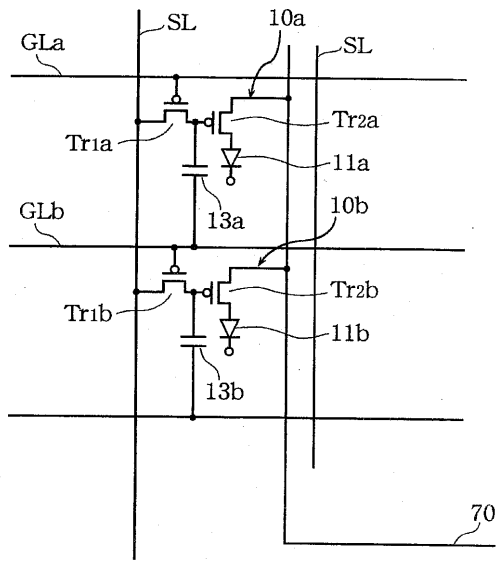
【図5】



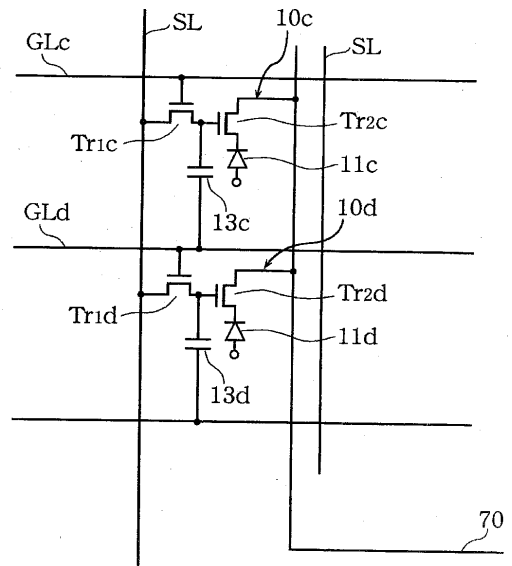
【図6】



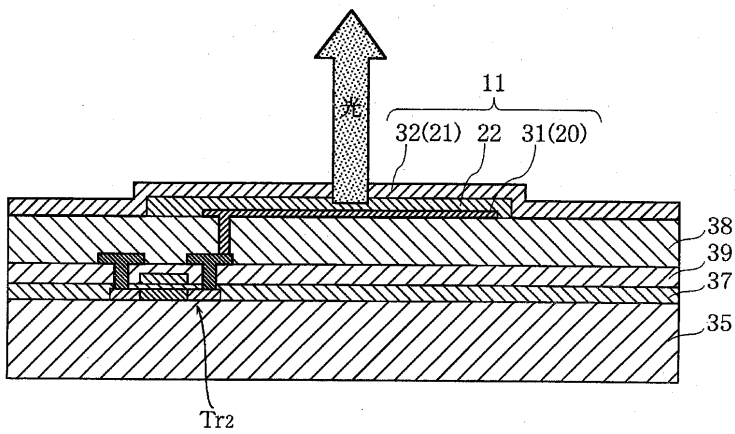
【図7】



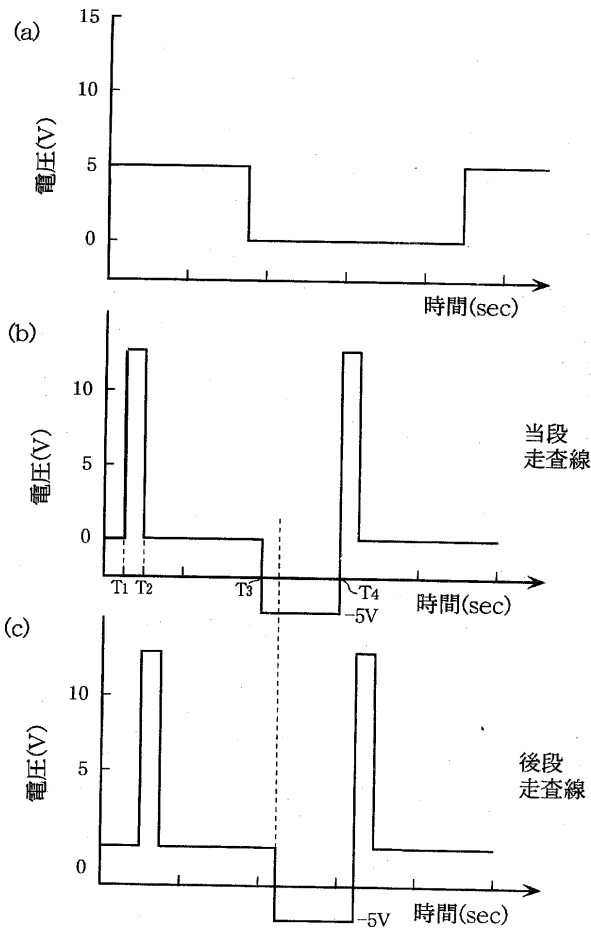
【図10】



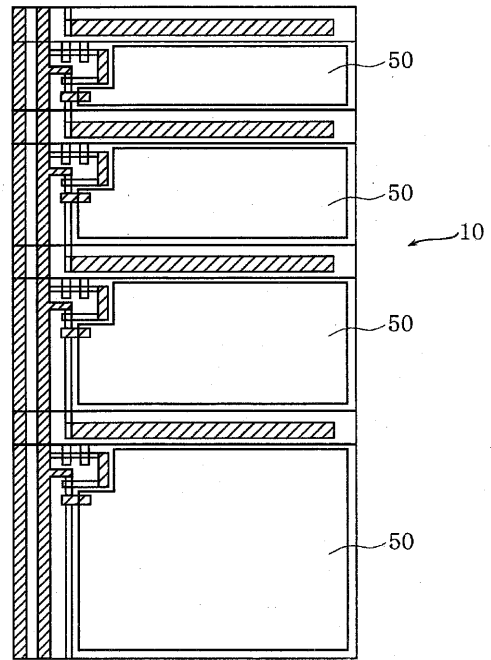
【図8】



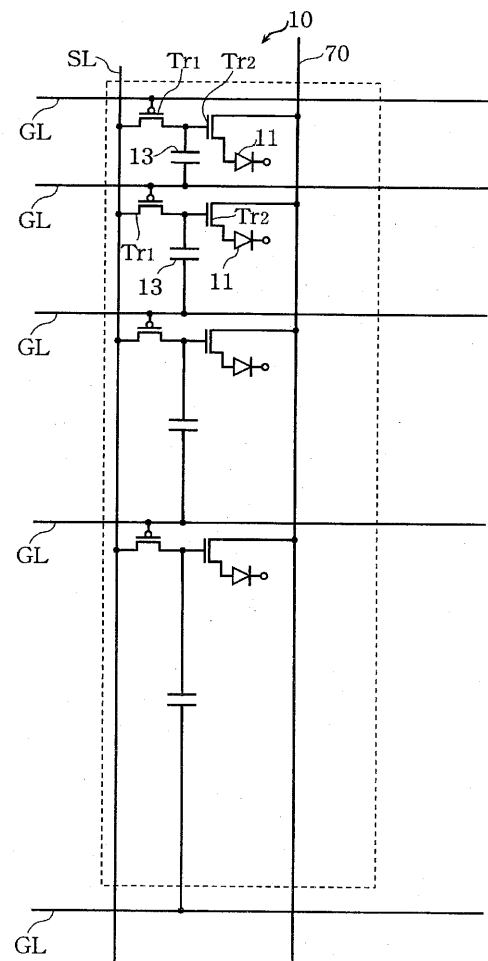
【図9】



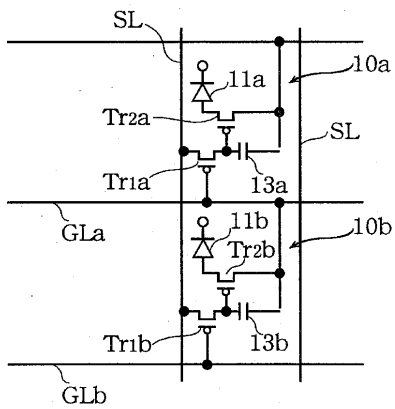
【図11】



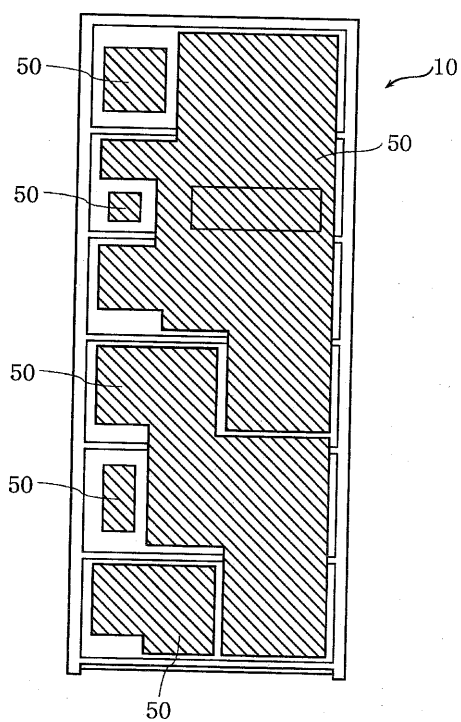
【図12】



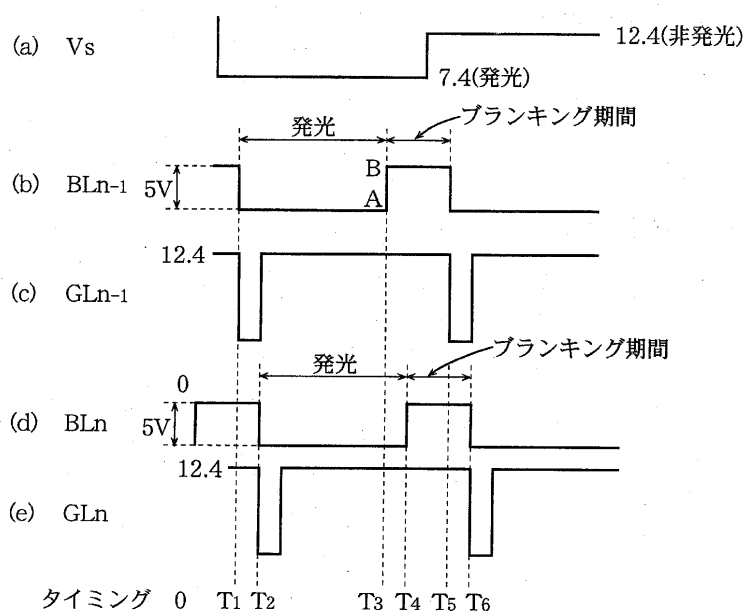
【図22】



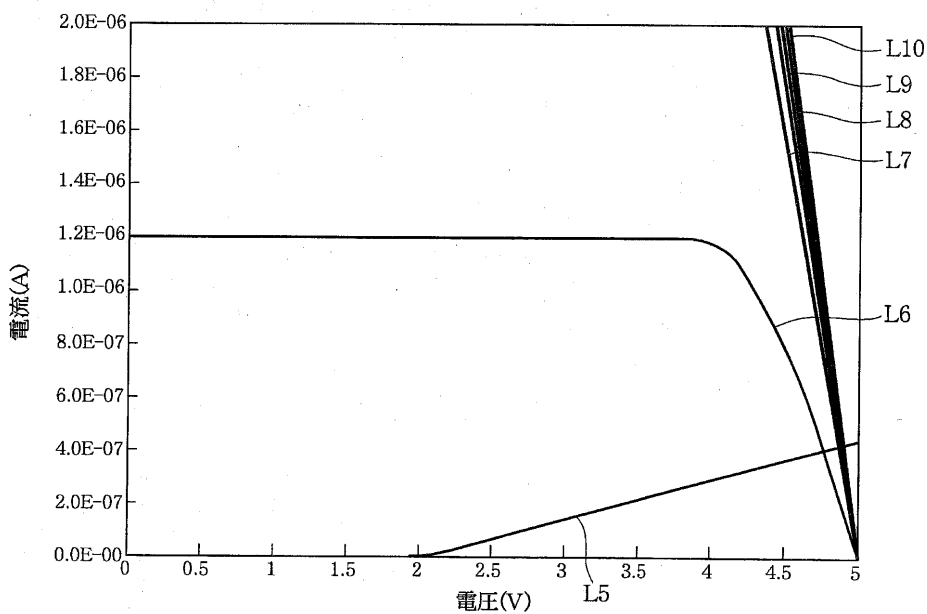
【図13】



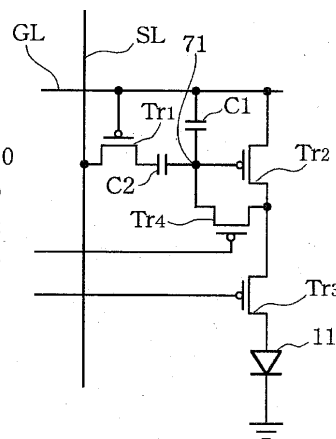
【図16】



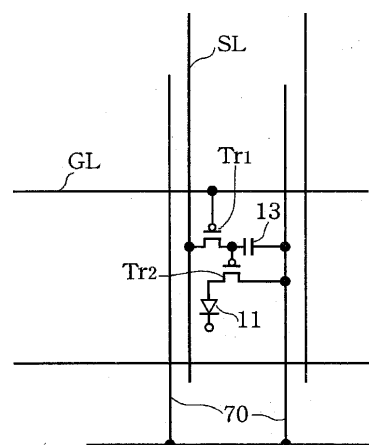
【図14】



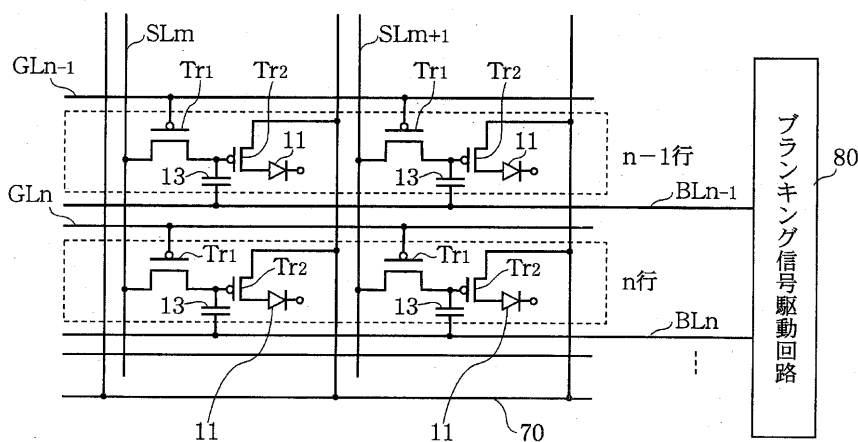
【図31】



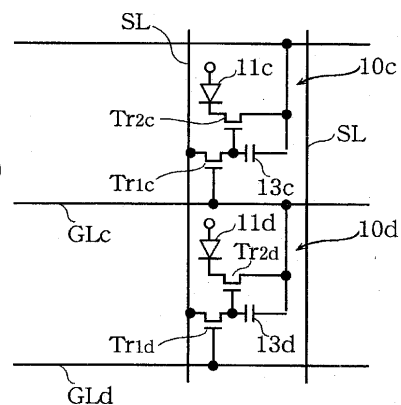
【図32】



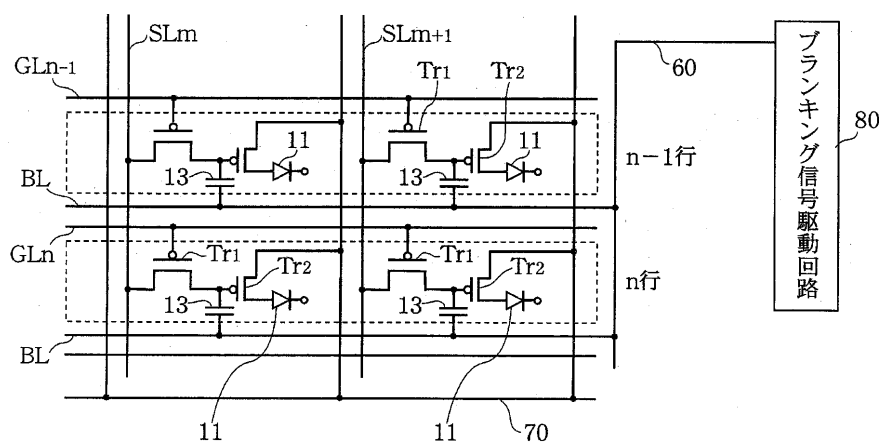
【図15】



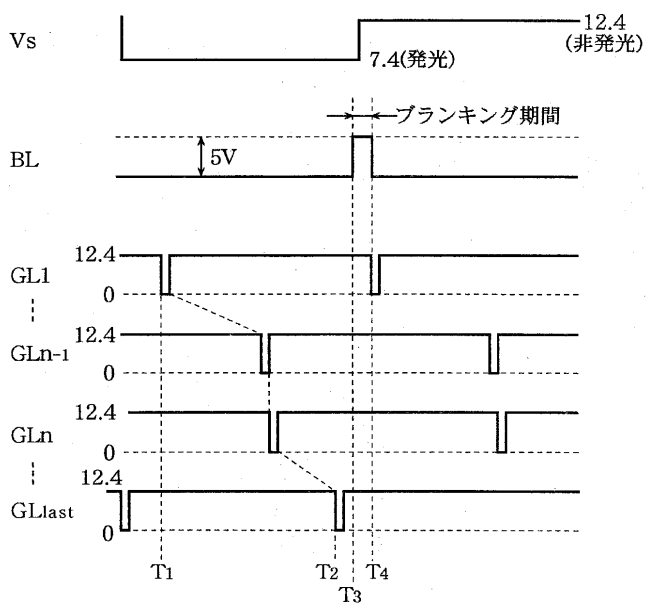
【図23】



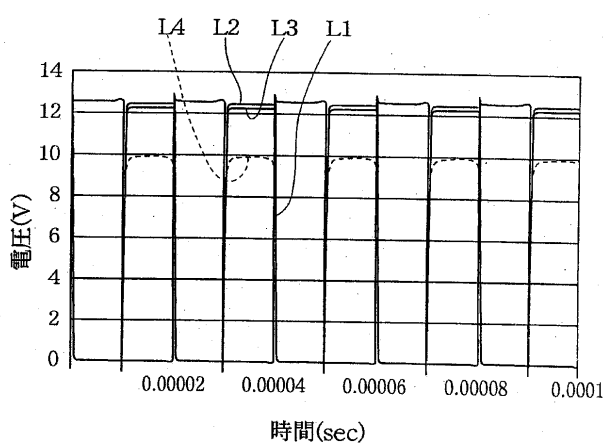
【図17】



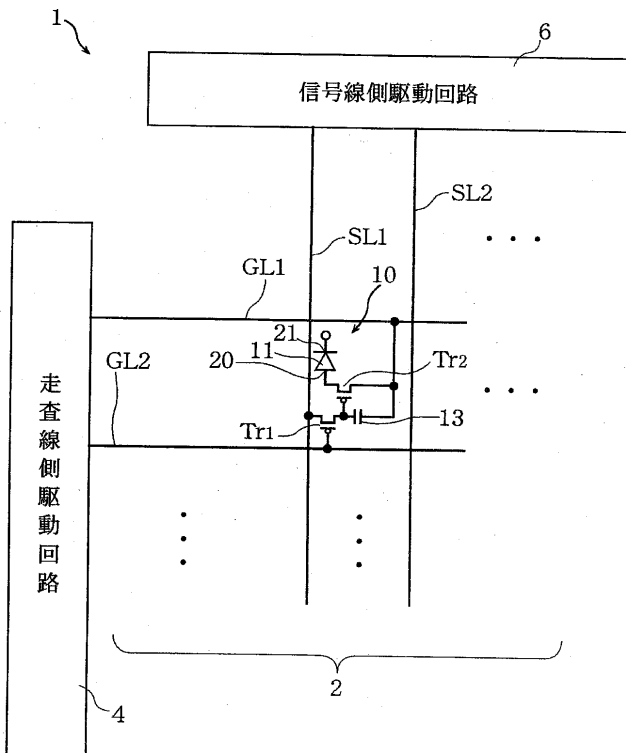
【図18】



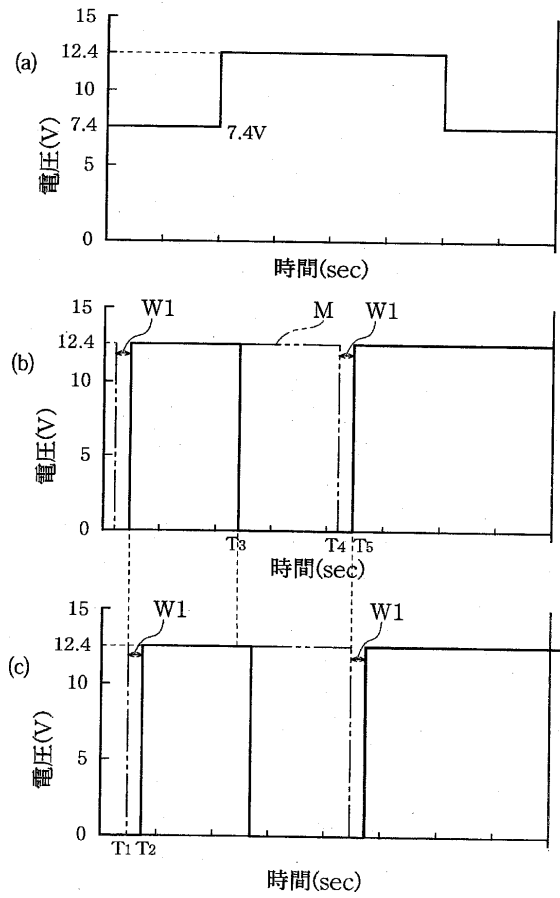
【図27】



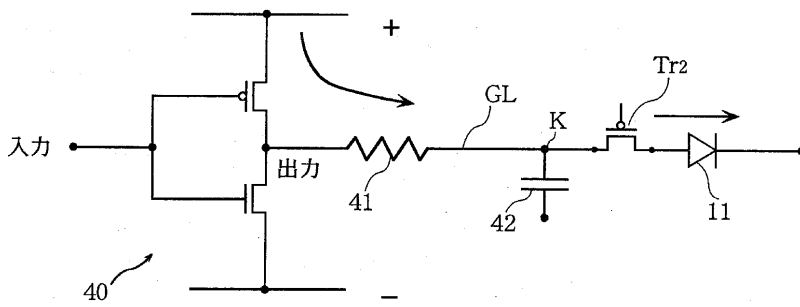
【図19】



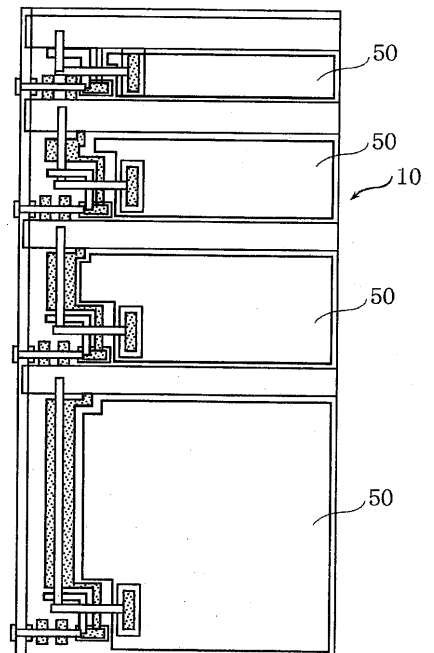
【図21】



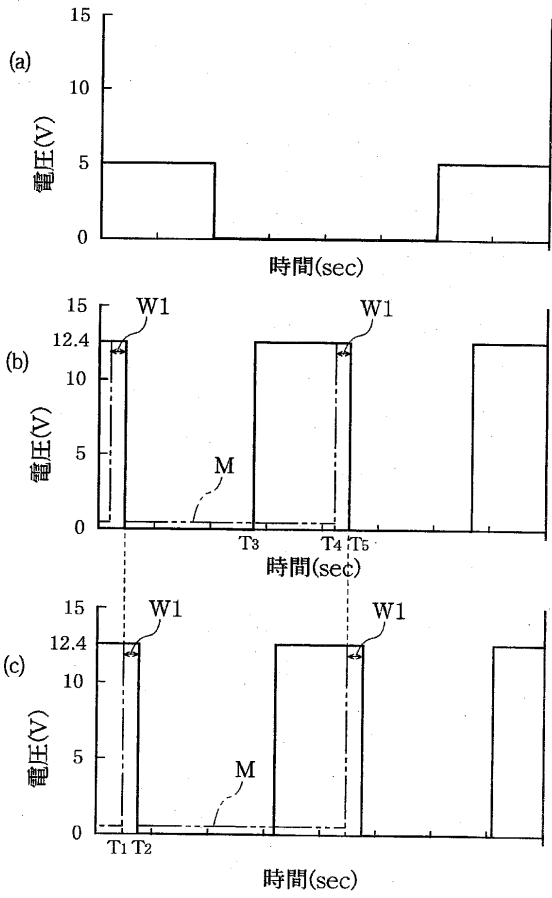
【図25】



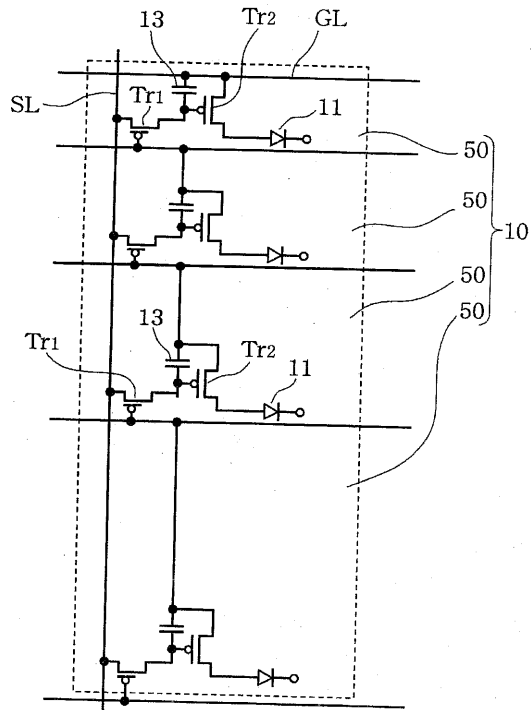
【図28】



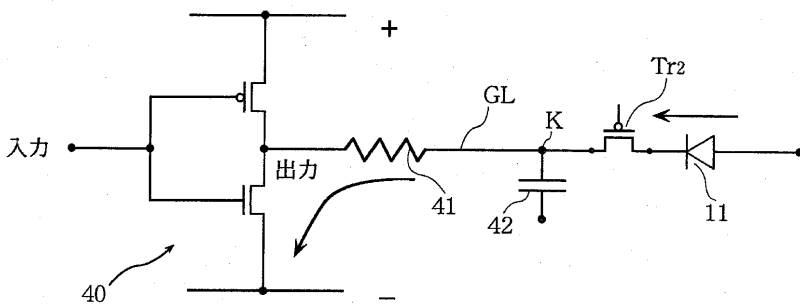
【図24】



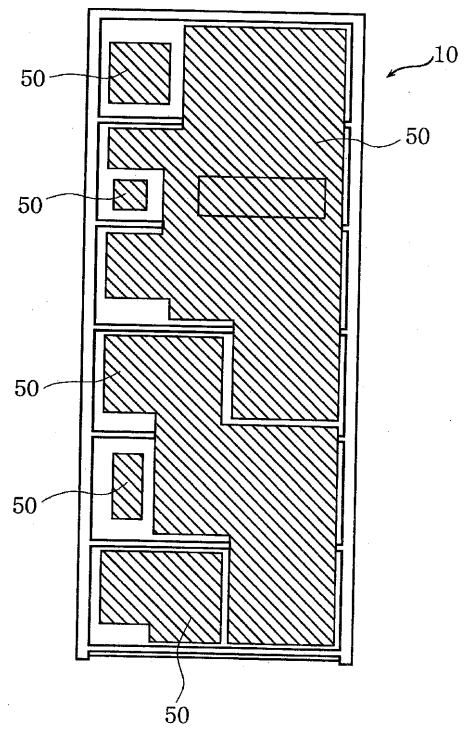
【図29】



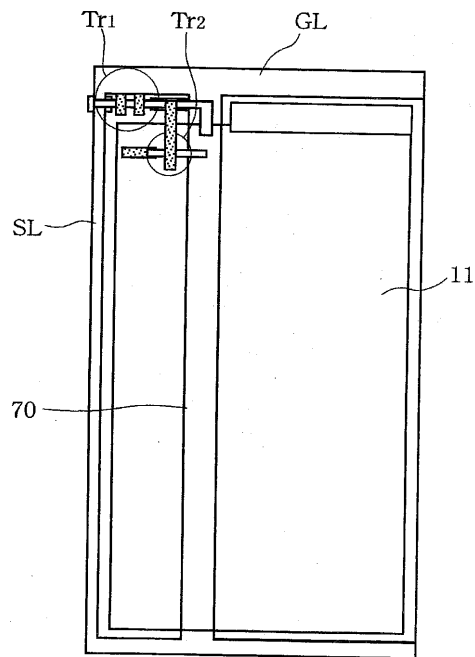
【図26】



【図30】



【図33】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/20  
H 0 5 B 33/14

識別記号

6 4 1

F I

G 0 9 G 3/20  
H 0 5 B 33/14

テ-マコ-ド (参考)

6 4 1 G  
A

Fターム(参考) 3K007 AB02 AB17 AB18 BA06 CB01  
DA01 DB03 EB00 GA02 GA04  
5C080 AA06 BB05 DD02 DD23 EE29  
FF11 JJ02 JJ03 JJ04 JJ05  
JJ06  
5C094 AA07 AA10 AA13 AA42 AA43  
BA03 BA27 CA19 CA25 DA09  
DA13 DB01 DB04 EA04 EA05  
EA07 FA01 FB01 FB12 FB14  
FB15 FB20 GA10

专利名称(译)	EL表示装置		
公开(公告)号	<a href="#">JP2003029708A</a>	公开(公告)日	2003-01-31
申请号	JP2001375724	申请日	2001-12-10
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	南野裕 千田耕司		
发明人	南野 裕 千田 耕司		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L27/32 H05B33/14		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.612.T G09G3/20.622.D G09G3/20.641.G H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/AB18 3K007/BA06 3K007/CB01 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA02 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD02 5C080/DD23 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA07 5C094/AA10 5C094/AA13 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA07 5C094/FA01 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB20 5C094/GA10 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC36 3K107/CC45 3K107/DD39 3K107/EE04 3K107/EE07 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB23 5C380/BA05 5C380/BA10 5C380/BA12 5C380/BA13 5C380/BA39 5C380/BE03 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CB01 5C380/CB14 5C380/CB19 5C380/CB31 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC29 5C380/CC33 5C380/CC34 5C380/CC41 5C380/CC42 5C380/CC51 5C380/CC62 5C380/CD012 5C380/CF23 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA11 5C380/HA02		
代理人(译)	大前 要		
优先权	2000373704 2000-12-08 JP 2001138139 2001-05-09 JP		
其他公开文献	JP3863418B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

解决的问题：提供一种能够在不引起像素开口率降低的情况下抑制残留图像并识别清晰图像的EL显示装置。EL显示装置1包括显示单元2，信号线侧驱动电路6和扫描线侧驱动电路4，在显示单元2中，单位像素10以矩阵状排列。每个单位像素10包括EL元件11，开关晶体管Tr1，驱动晶体管Tr2和辅助电容13。辅助电容器13具有连接到晶体管Tr2的栅极的一个电极和连接到随后的扫描线GL的另一个电极。扫描线侧驱动电路4具有消隐信号，该消隐信号用于在用于保持写入晶体管Tr2的栅电极中的电压的保持周期内经由随后的扫描线GL强制停止EL元件11的发光状态。输出。结果，在一帧中插入了EL元件11不发光的消隐期。

