

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5217500号  
(P5217500)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)  
G09G 3/20 (2006.01)

G09G 3/30 J  
G09G 3/20 642A  
G09G 3/20 624B  
G09G 3/20 670J  
G09G 3/20 642C

請求項の数 7 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2008-47079 (P2008-47079)  
(22) 出願日 平成20年2月28日(2008.2.28)  
(65) 公開番号 特開2009-204881 (P2009-204881A)  
(43) 公開日 平成21年9月10日(2009.9.10)  
審査請求日 平成23年2月3日(2011.2.3)

(73) 特許権者 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100118290  
弁理士 吉井 正明  
(74) 代理人 100094363  
弁理士 山本 孝久  
(72) 発明者 山本 哲郎  
東京都港区港南1丁目7番1号ソニー株式  
会社内  
(72) 発明者 内野 勝秀  
東京都港区港南1丁目7番1号ソニー株式  
会社内

審査官 鳥居 祐樹

最終頁に続く

(54) 【発明の名称】 E L表示パネルモジュール、E L表示パネル、集積回路装置、電子機器及び駆動制御方法

(57) 【特許請求の範囲】

【請求項1】

画素回路と発光素子とで構成される画素をマトリクス状に形成した画素アレイ部と、画素回路を駆動する駆動回路とが同一基体上に実装されており、

画素回路は、少なくとも、ゲートに走査線が接続されたサンプリングトランジスタ、駆動トランジスタ、及び、保持容量を含み、

駆動トランジスタにあっては、ゲートはサンプリングトランジスタを介して信号線に接続され、ソースは発光素子に接続され、ドレインは電源に接続されており、

保持容量は、駆動トランジスタのゲートとソースとの間に接続されており、

1本の信号線に接続された複数個の画素回路は、閾値補正動作が同じタイミングで完了するように駆動され、信号線には駆動回路によって閾値補正動作の完了の後に各画素回路に対応した信号電位が順次印加され、各画素回路への信号電位の書込みが閾値補正動作の完了から異なる時間間隔を空けて順次行われ、

駆動回路は最初の信号電位を信号線に印加するより前に閾値補正用の基準電位よりも低いリセット電位を信号線に印加し、複数個の画素回路の駆動トランジスタのゲート電極にサンプリングトランジスタを介してリセット電位を印加する、

E L表示パネルモジュール。

【請求項2】

前記複数個の画素回路は、異なる水平ライン上に位置する請求項1に記載のE L表示パネルモジュール。

## 【請求項 3】

前記複数個の画素回路は、同じ水平ライン上に位置する請求項 1 に記載の E L 表示パネルモジュール。

## 【請求項 4】

画素回路と発光素子とで構成される画素をマトリクス状に形成した画素アレイ部と、画素回路を駆動する駆動回路とが同一基体上に形成されており、

画素回路は、少なくとも、ゲートに走査線が接続されたサンプリグトランジスタ、駆動トランジスタ、及び、保持容量を含み、

駆動トランジスタにあっては、ゲートはサンプリグトランジスタを介して信号線に接続され、ソースは発光素子に接続され、ドレインは電源に接続されており、

保持容量は、駆動トランジスタのゲートとソースとの間に接続されており、

1本の信号線に接続された複数個の画素回路は、閾値補正動作が同じタイミングで完了するように駆動され、信号線には駆動回路によって閾値補正動作の完了の後に各画素回路に対応した信号電位が順次印加され、各画素回路への信号電位の書込みが閾値補正動作の完了から異なる時間間隔を空けて順次行われ、

駆動回路は最初の信号電位を信号線に印加するより前に閾値補正用の基準電位よりも低いリセット電位を信号線に印加し、複数個の画素回路の駆動トランジスタのゲート電極にサンプリグトランジスタを介してリセット電位を印加する、

E L 表示パネル。

## 【請求項 5】

画素回路と発光素子とで構成される画素をマトリクス状に形成した画素アレイ部を駆動制御する駆動回路を構成する集積回路装置であって、

画素回路は、少なくとも、ゲートに走査線が接続されたサンプリグトランジスタ、駆動トランジスタ、及び、保持容量を含み、

駆動トランジスタにあっては、ゲートはサンプリグトランジスタを介して信号線に接続され、ソースは発光素子に接続され、ドレインは電源に接続されており、

保持容量は、駆動トランジスタのゲートとソースとの間に接続されており、

1本の信号線に接続された複数個の画素回路は、閾値補正動作が同じタイミングで完了するように駆動され、信号線には駆動回路によって閾値補正動作の完了の後に各画素回路に対応した信号電位が順次印加され、各画素回路への信号電位の書込みが閾値補正動作の完了から異なる時間間隔を空けて順次行われ、

駆動回路は最初の信号電位を信号線に印加するより前に閾値補正用の基準電位よりも低いリセット電位を信号線に印加し、複数個の画素回路の駆動トランジスタのゲート電極にサンプリグトランジスタを介してリセット電位を印加する、

集積回路装置。

## 【請求項 6】

画素回路と発光素子とで構成される画素をマトリクス状に形成した画素アレイ部と、

画素回路を駆動する駆動回路と、

システム全体の動作を制御するシステム制御部と、

システム制御部に対する操作入力を受け付ける操作入力部と、

を有し、画素回路は、少なくとも、ゲートに走査線が接続されたサンプリグトランジスタ、駆動トランジスタ、及び、保持容量を含み、

駆動トランジスタにあっては、ゲートはサンプリグトランジスタを介して信号線に接続され、ソースは発光素子に接続され、ドレインは電源に接続されており、

保持容量は、駆動トランジスタのゲートとソースとの間に接続されており、

1本の信号線に接続された複数個の画素回路は、閾値補正動作が同じタイミングで完了するように駆動され、信号線には駆動回路によって閾値補正動作の完了の後に各画素回路に対応した信号電位が順次印加され、各画素回路への信号電位の書込みが閾値補正動作の完了から異なる時間間隔を空けて順次行われ、

10

20

30

40

50

駆動回路は最初の信号電位を信号線に印加するより前に閾値補正用の基準電位よりも低いリセット電位を信号線に印加し、複数個の画素回路の駆動トランジスタのゲート電極にサンプリングトランジスタを介してリセット電位を印加する、電子機器。

【請求項 7】

画素回路と発光素子とで構成される画素をマトリクス状に形成した画素アレイ部の駆動制御方法であって、

画素回路は、少なくとも、ゲートに走査線が接続されたサンプリングトランジスタ、駆動トランジスタ、及び、保持容量を含み、

駆動トランジスタにあっては、ゲートはサンプリングトランジスタを介して信号線に接続され、ソースは発光素子に接続され、ドレインは電源に接続されており、

保持容量は、駆動トランジスタのゲートとソースとの間に接続されており、

1本の信号線に接続された複数個の画素回路は、閾値補正動作が同じタイミングで完了するように駆動され、信号線には閾値補正動作の完了の後に各画素回路に対応した信号電位が順次印加され、各画素回路への信号電位の書込みが閾値補正動作の完了から異なる時間間隔を空けて順次行われ、

最初の信号電位を信号線に印加するより前に閾値補正用の基準電位よりも低いリセット電位を信号線に印加し、複数個の画素回路の駆動トランジスタのゲート電極にサンプリングトランジスタを介してリセット電位を印加する、

駆動制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、アクティブマトリクス駆動方式で駆動制御されるEL表示パネルの製造コストと画像品質とを最適化する技術に関する。なお、この明細書で提案する発明は、EL表示パネルモジュール、EL表示パネル、集積回路装置、電子機器及び駆動制御方法としての側面を有する。

【背景技術】

【0002】

図1に、アクティブマトリクス駆動型の有機ELパネルモジュールに一般的な回路ブロック構成を示す。図1に示すように、有機ELパネルモジュール1は、画素アレイ部3と、その駆動回路であるライトスキヤンドライバ5、電源スキヤンドライバ7、水平セレクタ9で構成する。

【0003】

ところで、有機EL素子は電流発光素子である。このため、有機ELパネルモジュールでは、各画素の発色階調の制御に、有機EL素子に流れる電流量を制御する駆動方式を採用する。図2に、この種の画素回路のうち最も単純な回路構成の一つを示す。この画素回路は、スキヤントランジスタT1、駆動トランジスタT2及び保持容量Csで構成される。

【0004】

なお、スキヤントランジスタT1は、対応画素の階調に対応する信号電圧を保持容量Csに書き込むのに使用される。また、駆動トランジスタT2は、保持容量Csの保持電圧により定まるゲート・ソース間電圧Vgsに基づいた電流Idsを有機EL素子OLEDに供給するのに使用される。

【0005】

ところで、駆動トランジスタT2がpチャネル型薄膜トランジスタで構成される場合、そのソース電極は電源線に接続されている。すなわち、駆動トランジスタT2は、常に飽和領域で動作するように設計される。従って、駆動トランジスタT2は、定電流源として動作する。この際、電流Idsは次式で与えられる。

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$

10

20

30

40

50

## 【 0 0 0 6 】

因みに、 $\mu$  は、駆動トランジスタ T2 の多数キャリアの移動度である。また、 $V_{th}$  は、駆動トランジスタ T2 の閾値電圧である。また、 $k$  は、 $(W/L) \cdot C_{ox}$  で与えられる係数である。ここで、 $W$  はチャンネル幅、 $L$  はチャンネル長、 $C_{ox}$  は単位面積当たりのゲート容量である。

## 【 0 0 0 7 】

なお、この画素回路の構成の場合、図 3 に示す有機 EL 素子の I - V 特性の経時変化に伴って、駆動トランジスタ T2 のドレイン電圧が変化する。しかし、ゲート・ソース間電圧  $V_{gs}$  は一定に保たれるので、有機 EL 素子に供給される電流量には変化が無く、発光輝度が一定に保たれる。

10

## 【 0 0 0 8 】

以下に、アクティブマトリクス駆動方式を採用する有機 EL パネルディスプレイに関する文献を例示する。

【特許文献 1】特開 2003 - 255856 号公報

【特許文献 2】特開 2003 - 271095 号公報

【特許文献 3】特開 2004 - 133240 号公報

【特許文献 4】特開 2004 - 029791 号公報

【特許文献 5】特開 2004 - 093682 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

20

## 【 0 0 0 9 】

ところで、駆動トランジスタ T2 を n チャンネル型薄膜トランジスタに置き換えると、図 4 に示すように、今度はソース電位が有機 EL 素子に接続される。この画素回路の場合、有機 EL 素子の I - V 特性の経時変化に伴って電流量が変化し、発光輝度が変化してしまう。

## 【 0 0 1 0 】

また、画素毎に駆動トランジスタ T2 の閾値及び移動度が異なるため、前式に応じて電流値にバラツキが生じ、発光輝度も画素毎に変化してしまう。

このため、駆動トランジスタ T2 を n チャンネル型薄膜トランジスタで構成する場合にも、経時変化によらず安定した発光特性を得られる画素回路と駆動方法の確立が求められている。また同時に、有機 EL パネルモジュールの普及には、製造コストの更なる低減が要求される。

30

## 【課題を解決するための手段】

## 【 0 0 1 1 】

そこで、発明者らは、( a ) 基体とするパネル上に、画素回路と発光領域とで構成される画素をマトリクス状に形成した画素アレイ部と、( b ) 1 本の信号線に接続された複数個の画素回路についての閾値補正動作を共通化する一方で、各階調値に対応する信号電位の書き込みは画素回路別に時間順次に行う場合において、閾値補正動作完了後の最初の信号電位の書き込み開始直前に、閾値補正用の基準電位よりも低いリセット電位を対象とする複数個の画素回路に印加する駆動回路とを有する EL 表示パネルモジュール又は EL 表示パネルを提案する。

40

## 【発明の効果】

## 【 0 0 1 2 】

発明者らの提案する発明の場合、低コスト化と画質品質とが両立する EL 表示パネルモジュール又は EL 表示パネルを実現することができる。

## 【発明を実施するための最良の形態】

## 【 0 0 1 3 】

以下、発明を、アクティブマトリクス駆動型の有機 EL パネルモジュール又は有機 EL パネルに適用する場合について説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技

50

術を適用する。また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【0014】

(A) 外観構成

この明細書では、例えば特定用途向けICとして製造された駆動回路を画素アレイ部の形成された基板上に実装したものを有機ELパネルモジュールと呼び、画素アレイ部と駆動回路とを同じプロセスを用いて同じ基板上に形成したものを有機ELパネルと呼ぶ。

【0015】

以下では、有機ELパネルモジュールについて説明する。図5に、有機ELパネルモジュールの外観構成例を示す。有機ELパネルモジュール11は、支持基板13のうち画素アレイ部の形成領域に対向部15を貼り合わせた構造を有している。

10

【0016】

対向部15は、ガラスその他の透明部材を基材とし、その表面にはカラーフィルタ、保護膜等が配置される。なお、有機ELパネルモジュール11には、外部から支持基板13に信号等を入出力するためのFPC(フレキシブルプリントサーキット)17が配置される。

【0017】

(B) 形態例1

(B-1) システム構成

図6に、形態例1に係る有機ELパネルモジュール11のシステム構成の概略を示す。図6に示すように、有機ELパネルモジュール11は、画素アレイ部21と、その駆動回路であるライトスキヤンドライバ23、電源スキヤンドライバ25、水平セレクタ27、タイミングジェネレータ29で構成される。

20

【0018】

画素アレイ部21は、有機EL素子と画素回路とで構成されるサブ画素がマトリクス状に配置される。因みに、サブ画素は1画素を構成する画素構造の最小単位であり、1画素は有機EL材料の異なる3つのサブ画素(R、G、B)で構成される。

【0019】

図7に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。図8に、形態例で提案する画素回路の内部構成を示す。図8に示す画素回路も、2つの薄膜トランジスタと1つの保持容量Csとで構成される。

30

【0020】

ただし、駆動トランジスタT2がnチャネル型の薄膜トランジスタである。また、保持容量Csは、駆動トランジスタT2のゲート電極と有機EL素子OLEDのアノード電極との間にそれぞれ接続される。

【0021】

この回路構成の場合も、ライトスキヤンドライバ23は、ライトスキャン線WSLを通じてスキヤントランジスタT1をオン・オフ制御し、保持容量Csへの電位の書き込みを制御する。因みに、ライトスキヤンドライバ23は、シフトレジスタで構成される。

【0022】

また、電源スキヤンドライバ25は、給電線DSLを通じて駆動トランジスタT2の一方の主電極に印加される電源電位を2値的に制御し、他の駆動回路と共に画素回路内の特性バラツキの補正動作を制御する。具体的には、駆動トランジスタT2の閾値バラツキや移動度バラツキに基づくユニフォーミティの劣化を補正する。

40

【0023】

また、水平セレクタ27は、信号線DTLに各画素データの階調値に対応する信号電位Vsig又は閾値補正用のオフセット電圧Vofsを印加する回路デバイスである。

タイミングジェネレータ29は、ライトスキャン線WSL、給電線DSL、信号線DTLの駆動パルスを生成する回路デバイスである。

【0024】

50

## ( B - 2 ) 駆動動作例

図 9 に、図 8 に示す画素回路の駆動動作例を示す。なお、図 9 は、2 水平走査期間を利用して閾値補正を実行する場合の駆動動作例であるが、閾値補正動作から信号電位  $V_{sig}$  の書き込みまでの動作を 1 水平走査期間内に実行しても良い。

## 【 0 0 2 5 】

因みに図 9 では、給電線  $D S L$  に印加する 2 種類の電位のうち高電位の方を  $V_{cc}$  で表し、低電位の方を  $V_{ss}$  で表す。

まず、発光状態における画素回路内の動作状態を図 10 に示す。このとき、スイッチングトランジスタ  $T 1$  はオフ状態である。一方、駆動トランジスタ  $T 2$  は飽和領域で動作し、ゲート・ソース間電圧  $V_{gs}$  に応じて定まる電流  $I_{ds}$  が流れる。

10

## 【 0 0 2 6 】

次に、非発光状態の動作状態を説明する。まず、給電線  $D S L$  の電位が高電位  $V_{cc}$  から低電位  $V_{ss}$  に切り換わる (図 9 (  $T 1$  ) )。この際、低電位  $V_{ss}$  が有機  $E L$  素子の閾値  $V_{thel}$  とカソード電位  $V_{cath}$  との和より小さいとき、つまり  $V_{ss} < V_{thel} + V_{cath}$  であれば有機  $E L$  素子は消灯する。

## 【 0 0 2 7 】

なお、駆動トランジスタ  $T 2$  のソース電位  $V_s$  は給電線  $D S L$  の電位と同じになる。すなわち、有機  $E L$  素子のアノード電極は低電位  $V_{ss}$  に充電される。図 11 に、この場合の画素回路内の動作状態を示す。

## 【 0 0 2 8 】

この後、信号線  $D T L$  の電位が閾値補正用のオフセット電位  $V_{ofs}$  に遷移した状態で、ライトスキャン線  $W S L$  が高電位に変化すると、オン動作したスイッチングトランジスタ  $T 1$  を通じて駆動トランジスタ  $T 2$  のゲート電位がオフセット電位  $V_{ofs}$  に変化する (図 9 (  $T 2$  ) )。

20

## 【 0 0 2 9 】

図 12 に、この場合における画素回路内の動作状態を示す。この際、駆動トランジスタ  $T 2$  のゲート・ソース間電圧  $V_{gs}$  は  $V_{ofs} - V_{ss}$  で与えられる。この電圧は、駆動トランジスタ  $T 2$  の閾値電圧  $V_{th}$  よりも大きくなるように設定される。  $V_{ofs} - V_{ss} > V_{th}$  を満たさなければ閾値補正動作を実行できないためである。

## 【 0 0 3 0 】

次に、給電線  $D S L$  の電位が再び高電位  $V_{cc}$  に切り換えられる (図 9 (  $T 3$  ) )。給電線  $D S L$  の電圧が高電位  $V_{cc}$  に変化することで、有機  $E L$  素子  $O L E D$  のアノード電位が駆動トランジスタ  $T 2$  のソース電位  $V_s$  となる。

30

## 【 0 0 3 1 】

図 13 では、有機  $E L$  素子  $O L E D$  を等価回路で示す。すなわち、ダイオードと寄生容量  $C_{el}$  で示す。このとき、  $V_{el} = V_{cat} + V_{thel}$  の関係を満たす限り (ただし、有機  $E L$  素子のリーク電流は駆動トランジスタ  $T 2$  に流れる電流  $I_{ds}$  よりかなり小さいと考える。)、駆動トランジスタ  $T 2$  に流れる電流  $I_{ds}$  は、保持容量  $C_s$  と寄生容量  $C_{el}$  を充電するのに使用される。

## 【 0 0 3 2 】

結果的に、有機  $E L$  素子のアノード電圧  $V_{el}$  は、図 14 に示すように、時間の経過と共に上昇する。この期間が閾値補正期間である。

40

閾値補正期間の開始から一定時間が経過すると、スキャントランジスタ  $T 1$  はオフ制御される (図 9 (  $T 4$  ) )。すなわち、閾値補正動作は一時的に休止状態になる。このとき、駆動トランジスタ  $T 2$  のゲート・ソース間電圧  $V_{gs}$  は閾値電圧  $V_{th}$  より大きい。

## 【 0 0 3 3 】

従って、図 15 に示すように電流  $I_{ds}$  が流れ、駆動トランジスタ  $T 2$  のゲート電位  $V_g$  とソース電位  $V_s$  は共に上昇する。なお、この期間の場合も、有機  $E L$  素子  $O L E D$  には逆バイアスがかかっているため有機  $E L$  素子が発光することはない。

やがて、閾値補正期間が再開される。すなわち、信号線  $D T L$  の電位が  $V_{ofs}$  となり、

50

同時にスキヤントランジスタT1がオン状態に制御される(図9(T5))。

【0034】

最終的に、駆動トランジスタT2のゲート・ソース間電圧 $V_{gs}$ は閾値電圧 $V_{th}$ に収束する。このとき、 $V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$ を満たしている。

閾値補正期間が終了すると、スキヤントランジスタT1がオフ制御される(図9(T6))。

【0035】

この後、信号線DTLの電位が $V_{sig}$ となった時点で、スキヤントランジスタT1は再びオン状態に制御される(図9(T7))。図16に、この場合における画素回路内の動作状態を示す。なお、 $V_{sig}$ は階調に応じて定まる。この際、駆動トランジスタT2のゲート電位 $V_g$ は $V_{sig}$ となるが、給電線DSLからの電流が保持容量 $C_s$ に流れ込むため、ソース電位 $V_s$ は時間と共に上昇する。

10

【0036】

この時、駆動トランジスタT2のソース電位 $V_s$ が有機EL素子の閾値電圧 $V_{thel}$ とカソード電圧 $V_{cat}$

の和を越えなければ(有機EL素子のリーク電流が駆動トランジスタT2に流れる電流よりもかなり小さければ)、駆動トランジスタT2の電流 $I_{ds}$ は保持容量 $C_s$ と寄生容量 $C_{el}$ を充電するのに使用される。

【0037】

なお、駆動トランジスタT2の閾値補正動作は既に完了しているので、駆動トランジスタT2が流す電流 $I_{ds}$ は移動度 $\mu$ を反映した値になる。具体的には、移動度 $\mu$ が大きい駆動トランジスタほど電流量は大きくなり、ソース電位 $V_s$ の上昇も早くなる。逆に移動度 $\mu$ が小さい駆動トランジスタは電流量も小さいので、ソース電位 $V_s$ の上昇は遅くなる(図17)。

20

【0038】

これにより、駆動トランジスタT2のゲート・ソース間電圧 $V_{gs}$ は移動度 $\mu$ を反映して小さくなる。結果的に、一定時間が経過した時点で、駆動トランジスタT2のゲート・ソース間電圧 $V_{gs}$ は、移動度 $\mu$ を補正した電圧に収束する。

【0039】

最後に、スキヤントランジスタT1がオフ制御されて信号電位の書き込みが終了すると、有機EL素子の発光期間が開始される(図9(T8))。図18に、この場合における画素回路内の動作状態を示す。なお、駆動トランジスタT2のゲート・ソース間電圧 $V_{gs}$ は一定である。従って、駆動トランジスタT2は一定の電流 $I_{ds}'$ を有機EL素子に供給する。

30

【0040】

これに伴い、有機EL素子のアノード電圧 $V_{el}$ は、有機EL素子に電流 $I_{ds}'$ を流す電位 $V_x$ まで上昇する。これにより、有機EL素子による発光が開始される。

なお、この形態例で提案する駆動回路の場合も、発光時間が長くなると、I-V特性が変化する。

【0041】

このため、駆動トランジスタT2のソース電位 $V_s$ も変化する。しかし、駆動トランジスタT2のゲート・ソース間電圧 $V_{gs}$ は、保持容量 $C_s$ により一定に保たれるので有機EL素子に流れる電流量は変化しない。このように、有機EL素子のI-V特性が劣化したとしても、一定の電流 $I_{ds}$ が常に流れ続け、有機EL素子の輝度が変化することはない。

40

【0042】

(B-3)まとめ

この形態例で説明した構成の画素回路の採用により、駆動トランジスタT2をnチャネル型の薄膜トランジスタで構成する場合にも、画素毎に輝度バラツキのない有機ELパネルモジュールを実現することができる。

50

## 【 0 0 4 3 】

## ( C ) 形態例 2

ここでは、更なる高精細化と高速駆動化に適して好適な有機 E L パネルモジュールの形態例を示す。このため、この形態例では、複数の水平ライン単位で閾値補正動作を共通化する。なお、閾値補正動作が共通化された水平ラインの各画素に対応する信号電位の書き込みは、閾値補正期間の終了後に時間順次に行う。

## 【 0 0 4 4 】

## ( C - 1 ) システム構成

図 1 9 に、形態例 2 に係る有機 E L パネルモジュール 3 1 のシステム構成の概略を示す。なお、図 1 9 には図 7 との対応部分に同一符号を付して示す。

図 1 9 に示すように、有機 E L パネルモジュール 3 1 は、画素アレイ部 2 1 と、その駆動回路であるライトスキャンドライバ 3 3、電源スキャンドライバ 3 5、水平セクタ 2 7 で構成される。

## 【 0 0 4 5 】

## ( C - 2 ) 基本とする駆動動作

図 2 0 に、この形態例で使用する駆動回路の一例を示す。なお、図 2 0 は、垂直方向に隣接する 2 つの画素についての閾値補正動作（すなわち、2 水平ラインについての閾値補正動作）を共通化する場合について表している。因みに、図 2 0 では、閾値補正期間が 2 水平走査期間内に 1 回だけ実行するものとして表している。

## 【 0 0 4 6 】

図 2 0 ( A ) ~ ( D ) に示すように、閾値補正準備期間の開始から閾値補正期間の終了までの電位関係は、N 段目と N + 1 段目で全く同じであり、2 つの水平ライン間で全く同じ駆動動作が実行されることが分かる。ただし、図 2 0 ( B ) 及び図 2 0 ( D ) に示すように、階調値に応じた信号電位  $V_{sig}$  の書き込みは、N 段目の書き込みがまず実行され、その後、N + 1 段目の書き込みが実行される。

## 【 0 0 4 7 】

ところで、このような駆動方法を採用する利点は、信号線 D T L (図 2 0 ( E ) ) に印加する電位の遷移（トランジェント）回数が少なくなり、電位の書き込みに使用できる実時間を増加させることができることにある。例えば形態例 1 の場合、2 水平走査期間内における信号電位の遷移は、オフセット電位  $V_{ofs}$  信号電位  $V_{sig}$  オフセット電位  $V_{ofs}$  信号電位  $V_{sig}$  の計 4 回である。

## 【 0 0 4 8 】

一方、この形態例 2 の場合、2 水平走査期間内における信号電位の遷移は、オフセット電位  $V_{ofs}$  信号電位  $V_{sig}$  (N 段目) 信号電位  $V_{sig}$  (N + 1 段目) の計 3 回で済む。すなわち、信号線 D T L の電位の遷移が 1 回分少なく済む。この期間長だけ閾値補正に十分な期間を割り当てることができる。

## 【 0 0 4 9 】

ところが、この駆動方式の場合、水平ライン間における信号電位  $V_{sig}$  の書き込みタイミングの違いが画質を低下させる原因になることがある。

図 2 1 及び図 2 2 を用いて説明する。ここで、図 2 1 は、N 段目 (N は奇数) の水平ラインに対応する画素回路の駆動に使用される駆動波形例を示す。一方、図 2 2 は、N + 1 段目の水平ラインに対応する画素回路の駆動に使用される駆動波形例を示す。

## 【 0 0 5 0 】

図 2 2 に示すように、N + 1 段目のゲート電位  $V_g$  とソース電位  $V_s$  は、信号電位  $V_{sig}$  の書き込みが開始するまでの待ち時間の間に、駆動トランジスタ T 2 のリーク電流、有機 E L 素子のリーク電流、サンプリングトランジスタ T 1 のリーク電流等を原因として変化してしまう。図 2 2 は、変化の様子を太い破線で示している。

## 【 0 0 5 1 】

具体的には、駆動トランジスタ T 2 のソース電位  $V_s$  は、駆動トランジスタ T 2 のリーク電流の影響で給電線 D S L の電位 (高電位  $V_{cc}$ ) の方向へシフトするに影響を受ける

10

20

30

40

50

一方で、有機EL素子によるリーク電流の影響でカソード電位  $V_{cath}$  の方向へシフトするように影響を受ける。

【0052】

ここで、閾値電圧補正の終了時における駆動トランジスタT2のソース電位  $V_s$  がカソード電位  $V_{cath}$  以下とすると、駆動トランジスタT2のソース電位  $V_s$  は信号電位  $V_{sig}$  の書き込みが開始するまでの間に上昇する。このソース電位  $V_s$  の上昇に伴うブートストラップ動作により、ゲート電位  $V_g$  も上昇する。

【0053】

この電位の上昇は、書き込みまでの時間長に比例して発生する。特に、駆動トランジスタT2のリーク電流が他のリーク電流と比較して大きい場合には、駆動トランジスタT2のゲート電位  $V_g$  とソース電位  $V_s$  の上昇差が、閾値補正動作を共通する2つの画素間で無視できない大きさとなる。結果的に、N+1段目に当たる水平ラインのダイナミックレンジが所望のダイナミックレンジより小さくなってしまふ。

10

【0054】

このことは、垂直方向に隣り合う2つの水平ラインで同じ階調値を書き込む場合でも、輝度差が発生することを意味する。従って、全面が均一な画面を表示する場合でも、図23に示すように、定期的なムラやシェーディングが発生してしまう。

【0055】

(C-3) 駆動動作の改善例

図24に、駆動トランジスタT2の一般的な  $V_g - I_d$  特性を示す。図24に示すように、駆動トランジスタT2のゲート・ソース間電圧  $V_{gs}$  が閾値電圧  $V_{th}$  でも、実際には寄生容量等を原因として一定量のリーク電流  $I_{ds}$  が流れている。図24では、駆動トランジスタT2のゲート・ソース間容量を  $C_{t2}$  で示す。

20

【0056】

このため、閾値補正動作の終了後から書き込みまでの時間が異なると、リーク電流の影響により駆動トランジスタT2のソース電位  $V_s$  の上昇量の違いが顕著になる。特に有機EL素子の容量  $C_{el}$  等が小さいと、リーク電流の影響が顕著になる。

【0057】

そこで、発明者らは、閾値補正動作完了後の最初の信号電位  $V_{sig}$  の書き込み開始直前に、垂直方向に隣り合う2つの画素回路にオフセット電位  $V_{ofs}$  よりも低いリセット電位  $V_{ini}$  を印加する駆動方法を提案する。

30

【0058】

閾値補正動作完了後の最初の信号電位  $V_{sig}$  の書き込み開始前に信号線DTLの電位を、図25に太線で示すようにオフセット電位  $V_{ofs}$  から  $V_{ofs}$  よりも低いリセット電位  $V_{ini}$  に変更すると、閾値補正動作を共通する各画素に対応する画素回路の駆動トランジスタT2のゲート電位  $V_g$  はリセット電位  $V_{ini}$  へと変化する。

【0059】

この場合、駆動トランジスタT2のソース電位  $V_s$  は、 $(1-g)V_{ofs} - V_{th} + g \times V_{ini}$  となる。これにより、リセット電位  $V_{ini}$  の入力後の駆動トランジスタT2のゲート・ソース間電圧  $V_{gs}$  は、 $(1-g) \cdot (V_{ini} - V_{ofs}) + V_{th}$  となる。ここで、 $V_{ini} < V_{ofs}$  であるので、この時のゲート・ソース間電圧  $V_{gs}$  は閾値電圧  $V_{th}$  より小さくなる。

40

【0060】

このことは、リセット電位  $V_{ini}$  の値によって駆動トランジスタT2のゲート・ソース間電圧  $V_{gs}$  を調節できることを意味する。従って、図24に示すように、駆動トランジスタT2に流れるリーク電流が最も少ない状態に調整することもできる。

駆動トランジスタT2のリーク電流が小さくなれば、閾値補正動作終了後から書き込み開始までの時間で駆動トランジスタT2のソース電位  $V_s$  の上昇量を小さくすることができる。

【0061】

50

結果として、閾値補正動作の完了から信号電位  $V_{sig}$  の書き込み開始までの時間が水平ライン毎に変化したとしても、駆動トランジスタ  $T_2$  のゲート・ソース電圧  $V_{gs}$  の上昇差をほとんど無視できる範囲にとどめることも可能となる。このことは、水平ライン間でリーク電流に起因するムラやシェーディング等の画質不良が現れないことを意味する。

【0062】

参考までに、図26及び図27に、 $N$ 段目と $N+1$ 段目の駆動波形を示す。ここで、図26は、 $N$ 段目( $N$ は奇数)に位置する水平ラインに対応する画素回路の駆動に使用される駆動波形例を示す。一方、図27は、 $N+1$ 段目に位置する水平ラインに対応する画素回路の駆動に使用される駆動波形例を示す。

【0063】

図26及び図27に太線で示すように、閾値補正動作の完了から信号電位  $V_{sig}$  の書き込み開始までのゲート電位  $V_g$  とソース電位  $V_s$  の変化は非常に小さくなっている。

【0064】

(C-4)まとめ

この形態例で説明した駆動方式の採用により、画素アレイ部21の画素解像度が一段と高精細化する場合にも、また画素アレイ部21の駆動速度が一段と高速化する場合にも、リーク電流を原因とする画質の低下のおそれのない有機ELパネルモジュールを実現することができる。

【0065】

勿論、この形態例の場合には、垂直方向に隣り合う2つの水平ライン間で閾値補正動作を共通化する場合だけでなく、3つ以上の水平ライン間で閾値補正動作を共通化する場合にも、前述した駆動方法は適用することができる。

【0066】

(D)形態例3

ここでは、同じ水平ライン内に位置する複数の画素回路間で閾値補正動作を共通化し、各信号電位の書き込みを1つの信号線DTLを用いて時間順次に実行する場合について説明する。

【0067】

(a)システム例1

図28に、形態例3に係る1つ目の有機ELパネルモジュール41のシステム構成例を示す。なお、図28に示す有機ELパネルモジュール41では、1本の信号線DTLに同じ水平ライン上のR画素、G画素、B画素が接続されている場合について表している。すなわち、1つの画素を構成する3つのサブ画素の閾値補正動作を共通化し、各サブ画素に対応する信号電位  $V_{sig}$  を時間順次に書き込む場合を想定する。

【0068】

これらサブ画素の駆動回路には、他の形態例と同様、ライトスキャンドライバ43、電源スキャンドライバ45、水平セレクタ47を使用する。

ただし、図28の場合、サブ画素の駆動タイミング切り換え用に、各画素回路内に第2のスカントランジスタ  $T_3$  を配置する。

【0069】

このスカントランジスタ  $T_3$  は、第1のスカントランジスタ  $T_1$  の主電極と駆動トランジスタ  $T_2$  のゲート電極との間に直列に挿入され、それぞれ専用のクロック源49R、49G、49Bにより駆動制御される。

【0070】

図29に、このシステム例に対応する画素回路の駆動動作例を示す。図29(A)は、給電線DSLの電位波形である。図29(B)は、信号線DTLの電位波形である。やはりこの場合も、閾値補正動作の終了後から最初の信号電位  $V_{sig}$  の書き込み前に信号線DTLの電位は、オフセット電位  $V_{ofs}$  より低いリセット電位  $V_{ini}$  に制御される。

【0071】

図29(C)は、第1のライトスキャン線WSLの電位波形である。ライトスキャン線

10

20

30

40

50

WSLの電位波形も給電線DSLの電位波形と同様、1ライン上に並ぶ全てのサブ画素に供給される。

図29(D)~(F)は、サブ画素毎に信号電位 $V_{sig}$ の切り分けを行うための第2のライトスキャン線 $WS\_R$ 、 $WS\_G$ 、 $WS\_B$ の電位波形である。

【0072】

図29(G)~(I)は、第1のライトスキャン線WSLの電位波形と第2のライトスキャン線 $WS\_R$ 、 $WS\_G$ 、 $WS\_B$ の電位波形の論理積に対応する電位波形であって、各サブ画素に対応する駆動波形である。すなわち、第1及び第2のスキントランジスタ $T1$ 及び $T3$ が同時にオン動作するタイミングを示す。

【0073】

換言すると、保持容量 $C_s$ に信号線DTLの電位が書き込まれるタイミングを示す。

なお、図29(G)はR画素に対応するタイミング波形である。また、図29(H)はG画素に対応するタイミング波形である。また、図29(I)はB画素に対応するタイミング波形である。

【0074】

ところで、このシステム例の場合、新たに3つのクロック源 $49R$ 、 $49G$ 、 $49B$ が必要となり、1水平ラインについて新たに3本のライトスキャン線 $WS\_R$ 、 $WS\_G$ 、 $WS\_B$ が必要となる。しかし、クロック源のコストアップは、シフトレジスタに比してわずかであり、十分実用化可能である。

【0075】

(b)システム例2

図30に、形態例3に係る2つ目の有機ELパネルモジュール51のシステム構成例を示す。図30に示す有機ELパネルモジュール51の場合も、1本の信号線DTLと同じ水平ライン上のR画素、G画素、B画素が接続される。ただし、システム例1とは異なり、クロック源を使用せずに色別のライトスキャン線 $WSLR$ 、 $WSLG$ 、 $WSLB$ を用意する。

【0076】

図30では、これらサブ画素の駆動回路を、ライトスキヤンドライバ53、電源スキヤンドライバ55、水平セクタ57で示す。

このシステム例の場合、各サブ画素に対応する画素回路の構成も形態例1や形態例2と同じで良い。

【0077】

図31に、このシステム例に対応する画素回路の駆動動作例を示す。図31(A)は、給電線DSLの電位波形である。図31(B)は、信号線DTLの電位波形である。やはりこの場合も、閾値補正動作の終了後から最初の信号電位 $V_{sig}$ の書き込み前に信号線DTLの電位は、オフセット電位 $V_{ofs}$ より低いリセット電位 $V_{ini}$ に制御される。

【0078】

図31(C)~(E)は、各色の制御用に配線されるライトスキャン線 $WSLR$ 、 $WSLG$ 、 $WSLB$ の各電位波形である。この波形は、システム例1の図29(G)~(I)に対応する。従って、このシステム例の場合にも、システム例1と同じ駆動動作が期待される。ただし、このシステム例の場合には、各色専用のライトスキヤンドライバが必要となり、システム例1よりもライトスキヤンドライバが2つ余分に必要となる。

【0079】

(c)その他

この形態例では、R画素、G画素、B画素毎にそれぞれ専用のクロック源やライトスキヤンドライバを用意したが、必ずしも色毎に対応付ける必要はない。要は、1つの信号線を共用するサブ画素の数に応じて駆動タイミングを切り分けられるようにクロック源やライトスキヤンドライバが用意されれば良い。

【0080】

(E)他の形態例

10

20

30

40

50

## ( E - 1 ) 他の画素回路例

前述の形態例の説明では、画素回路が2つの薄膜トランジスタで構成される場合について説明した。

しかし、画素回路の構成は他の回路構成を採用しても良い。図32に、画素回路が5つの薄膜トランジスタで構成される場合について示す。

## 【0081】

図32に示す画素回路は、リセット電位  $V_{ini}$  の書き込み専用のスキントランジスタ  $T_3$  と、電源電位  $V_{cc}$  の印加専用の給電トランジスタ  $T_4$  と、閾値補正準備期間のリセット電位印加専用のリセットトランジスタ  $T_5$  をそれぞれ用意する。

なお、図32の場合、電源電位  $V_{cc}$  は固定電源とする。

10

## 【0082】

図33に、この画素回路の駆動動作例を示す。図33(A)は、 $N$ 段目 ( $N$ は奇数) に位置する水平ラインに対応する給電制御スキャン線  $DSC_L$  の電位波形である。図33(B)は、 $N$ 段目 ( $N$ は奇数) に位置する水平ラインに対応するライトスキャン線  $WS_L$  の電位波形である。

## 【0083】

図33(D)は、 $N+1$ 段目に位置する水平ラインに対応するライトスキャン線  $WS_L$  の電位波形である。図33(C)は、 $N+1$ 段目に位置する水平ラインに対応する給電制御スキャン線  $DSC_L$  の電位波形である。

## 【0084】

図33(E)は、オフセット信号線  $OFSL$  の電位波形である。図33(F)は、リセット信号線  $OFSL$  の電位波形である。図33(G)は、2つの画素に共通する信号線  $DTL$  の電位波形である。やはりこの場合も、閾値補正動作の終了後から最初の信号電位  $V_{sig}$  の書き込み前に信号線  $DTL$  の電位は、オフセット電位  $V_{ofs}$  より低いリセット電位  $V_{ini}$  に制御される。

20

## 【0085】

## ( E - 2 ) 製品例

## ( a ) 電子機器

前述の形態例では、有機ELパネルモジュールについての形態例を説明した。しかし、前述した有機ELパネルモジュールは、各種の電子機器に実装した商品形態でも流通される。以下、他の電子機器への実装例を示す。

30

## 【0086】

図34に、電子機器71の概念構成例を示す。電子機器71は、前述した有機ELパネルモジュール73及びシステム制御部75で構成される。システム制御部75で実行される処理内容は、電子機器71の商品形態により異なる。

## 【0087】

なお、電子機器71は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

図35に、その他の電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機81の筐体正面には、フロントパネル83及びフィルターガラス85等で構成される表示画面87が配置される。表示画面87の部分が、形態例で説明した有機ELパネルモジュールに対応する。

40

## 【0088】

また、この種の電子機器71には、例えばデジタルカメラが想定される。図36に、デジタルカメラ91の外観例を示す。図36(A)が正面側(被写体側)の外観例であり、図36(B)が背面側(撮影者側)の外観例である。

## 【0089】

デジタルカメラ91は、保護カバー93、撮像レンズ部95、表示画面97、コントロールスイッチ99及びシャッターボタン101で構成される。このうち、表示画面97の部分が、形態例で説明した有機ELパネルモジュールに対応する

50

## 【 0 0 9 0 】

また、この種の電子機器 7 1 には、例えばビデオカメラが想定される。図 3 7 に、ビデオカメラ 1 1 1 の外観例を示す。

ビデオカメラ 1 1 1 は、本体 1 1 3 の前方に被写体を撮像する撮像レンズ 1 1 5、撮影のスタート/ストップスイッチ 1 1 7 及び表示画面 1 1 9 で構成される。このうち、表示画面 1 1 9 の部分が、形態例で説明した有機 E L パネルモジュールに対応する。

## 【 0 0 9 1 】

また、この種の電子機器 7 1 には、例えば携帯端末装置が想定される。図 3 8 に、携帯端末装置としての携帯電話機 1 2 1 の外観例を示す。図 3 8 に示す携帯電話機 1 2 1 は折りたたみ式であり、図 3 8 ( A ) が筐体を開いた状態の外観例であり、図 3 8 ( B ) が筐体

10

## 【 0 0 9 2 】

携帯電話機 1 2 1 は、上側筐体 1 2 3、下側筐体 1 2 5、連結部(この例ではヒンジ部) 1 2 7、表示画面 1 2 9、補助表示画面 1 3 1、ピクチャーライト 1 3 3 及び撮像レンズ 1 3 5 で構成される。このうち、表示画面 1 2 9 及び補助表示画面 1 3 1 の部分が、形態例で説明した有機 E L パネルモジュールに対応する。

## 【 0 0 9 3 】

また、この種の電子機器 7 1 には、例えばコンピュータが想定される。図 3 9 に、ノート型コンピュータ 1 4 1 の外観例を示す。

ノート型コンピュータ 1 4 1 は、下型筐体 1 4 3、上側筐体 1 4 5、キーボード 1 4 7 及び表示画面 1 4 9 で構成される。このうち、表示画面 1 4 9 の部分が、形態例で説明した有機 E L パネルモジュールに対応する。

20

## 【 0 0 9 4 】

これらの他、電子機器 7 1 には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

## 【 0 0 9 5 】

## ( E - 3 ) 他の表示デバイス例

前述の形態例においては、発明を有機 E L パネルモジュールに適用する場合について説明した。

しかし、前述した駆動技術は、その他の E L 表示装置に対しても適用することができる。例えば L E D を配列する表示装置その他のダイオード構造を有する発光素子を画面上に配列した表示装置に対しても適用できる。

30

## 【 0 0 9 6 】

## ( E - 4 ) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

## 【 図面の簡単な説明 】

## 【 0 0 9 7 】

【 図 1 】 有機 E L パネルモジュールの回路ブロック構成を説明する図である。

40

【 図 2 】 画素回路例を示す図である。

【 図 3 】 有機 E L 素子の I - V 特性の経時変化を説明する図である。

【 図 4 】 他の画素回路例を示す図である。

【 図 5 】 有機 E L パネルモジュールの外観構成例を示す図である。

【 図 6 】 有機 E L パネルモジュールのシステム構成例を示す図である。

【 図 7 】 画素回路と各駆動回路との接続関係を示す図である。

【 図 8 】 形態例に係る画素回路例を示す図である。

【 図 9 】 形態例に係る駆動動作例を示す図である。

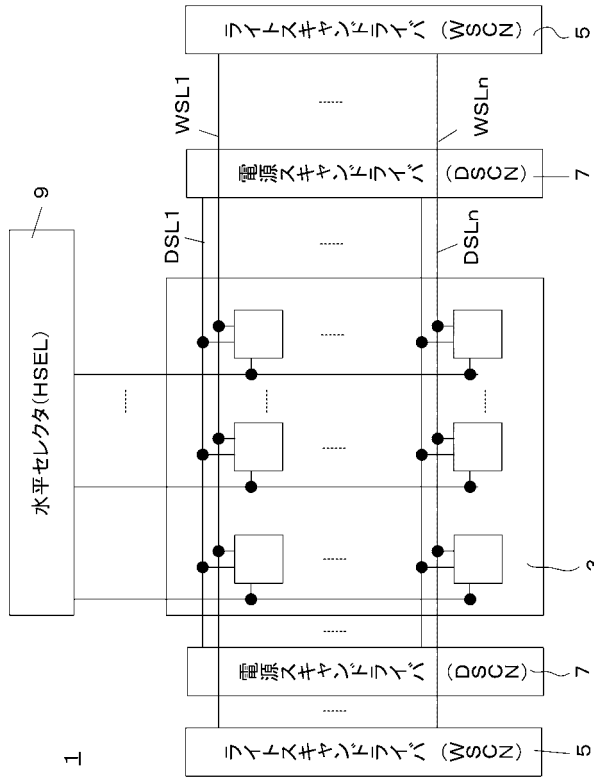
【 図 1 0 】 画素回路の動作状態を説明する図である。

【 図 1 1 】 画素回路の動作状態を説明する図である。

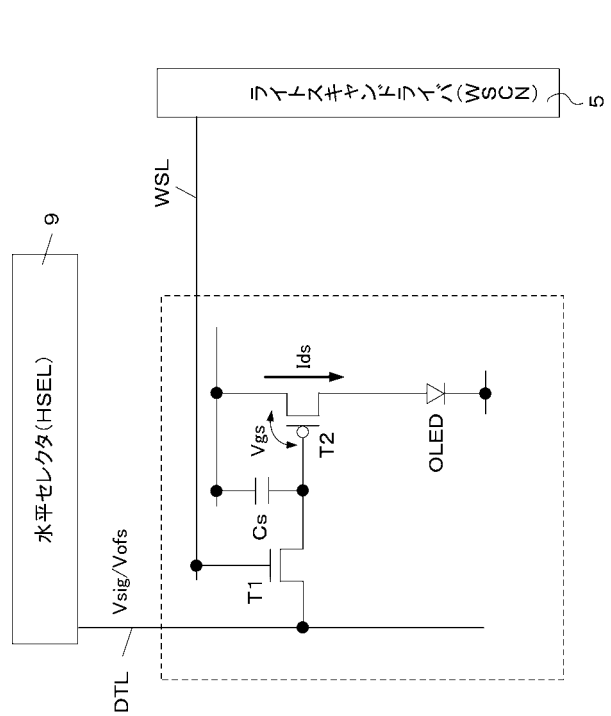
50

- 【図 1 2】画素回路の動作状態を説明する図である。
- 【図 1 3】画素回路の動作状態を説明する図である。
- 【図 1 4】ソース電位の経時変化を示す図である。
- 【図 1 5】画素回路の動作状態を説明する図である。
- 【図 1 6】画素回路の動作状態を説明する図である。
- 【図 1 7】移動度の違いによる経時変化の違いを示す図である。
- 【図 1 8】画素回路の動作状態を説明する図である。
- 【図 1 9】形態例に係る有機 E L パネルモジュールの他のシステム構成例を示す図である。
- 。
- 【図 2 0】形態例に係る他の駆動動作例を示す図である。 10
- 【図 2 1】N 段目の水平ラインに対応する画素回路の駆動波形例を示す図である。
- 【図 2 2】N + 1 段目の水平ラインに対応する画素回路の駆動波形例を示す図である。
- 【図 2 3】画像ムラの発生例を示す図である。
- 【図 2 4】薄膜トランジスタの  $V_g - I_d$  特性を示す図である。
- 【図 2 5】形態例に係る他の駆動動作例を示す図である。
- 【図 2 6】N 段目の水平ラインに対応する画素回路の駆動波形例を示す図である。
- 【図 2 7】N + 1 段目の水平ラインに対応する画素回路の駆動波形例を示す図である。
- 【図 2 8】形態例に係る有機 E L パネルモジュールの他のシステム構成例を示す図である。
- 。
- 【図 2 9】形態例に係る他の駆動動作例を示す図である。 20
- 【図 3 0】形態例に係る有機 E L パネルモジュールの他のシステム構成例を示す図である。
- 。
- 【図 3 1】形態例に係る他の駆動動作例を示す図である。
- 【図 3 2】他の画素回路例を示す図である。
- 【図 3 3】他の駆動動作例を示す図である。
- 【図 3 4】電子機器の概念構成例を示す図である。
- 【図 3 5】電子機器の商品例を示す図である。
- 【図 3 6】電子機器の商品例を示す図である。
- 【図 3 7】電子機器の商品例を示す図である。
- 【図 3 8】電子機器の商品例を示す図である。 30
- 【図 3 9】電子機器の商品例を示す図である。
- 【符号の説明】
- 【 0 0 9 8 】
- |     |                 |    |
|-----|-----------------|----|
| 1 1 | 有機 E L パネルモジュール |    |
| 2 1 | 画素アレイ部          |    |
| 2 3 | ライトスキャンドライバ     |    |
| 2 5 | 電源スキャンドライバ      |    |
| 2 7 | 水平セレクタ          |    |
| 2 9 | タイミングジェネレータ     |    |
| 3 1 | 有機 E L パネルモジュール | 40 |
| 3 3 | ライトスキャンドライバ     |    |
| 3 5 | 電源スキャンドライバ      |    |
| 4 1 | 有機 E L パネルモジュール |    |
| 4 3 | ライトスキャンドライバ     |    |
| 4 5 | 電源スキャンドライバ      |    |
| 4 7 | 水平セレクタ          |    |
| 5 1 | 有機 E L パネルモジュール |    |
| 5 3 | ライトスキャンドライバ     |    |
| 5 5 | 電源スキャンドライバ      |    |
| 5 7 | 水平セレクタ          | 50 |

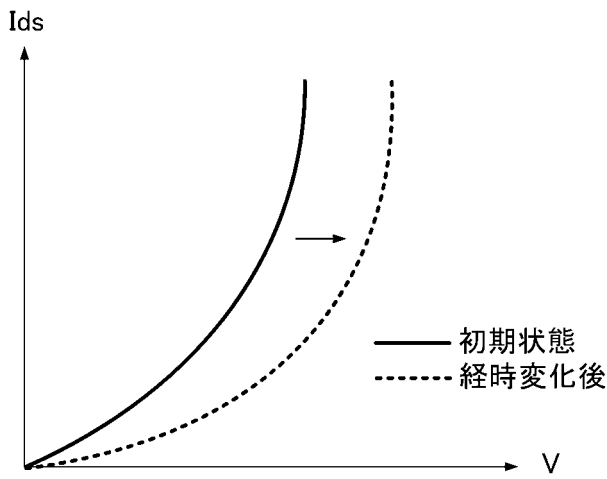
【図1】



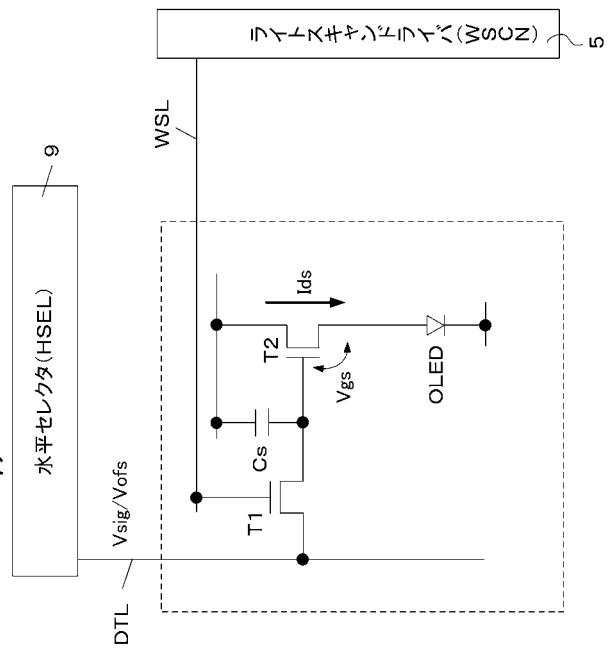
【図2】



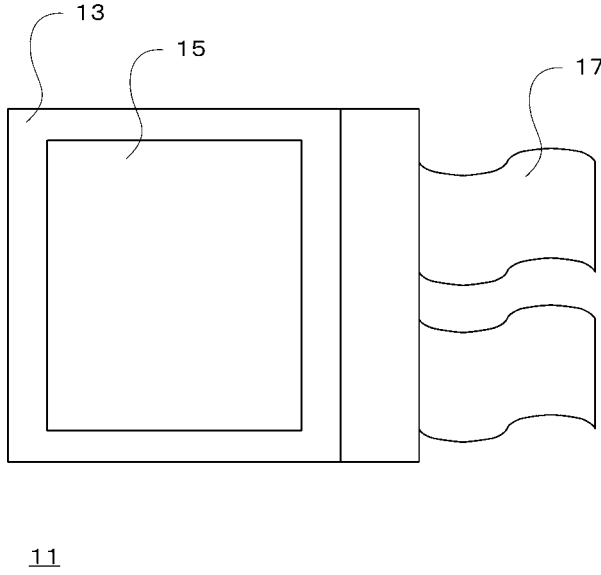
【図3】



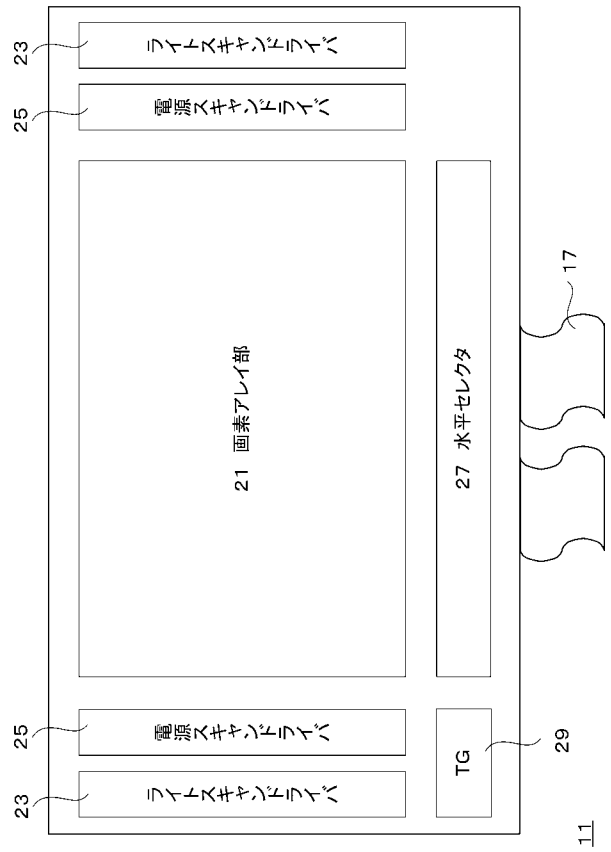
【図4】



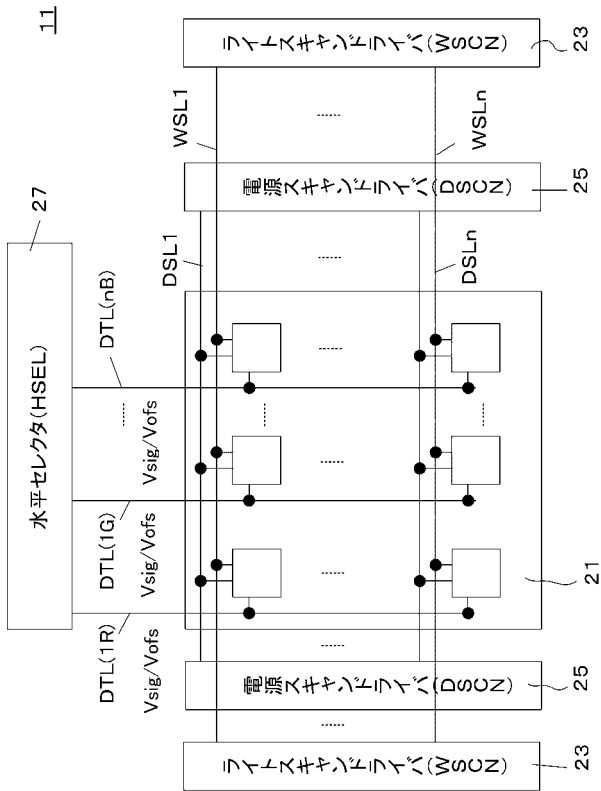
【図5】



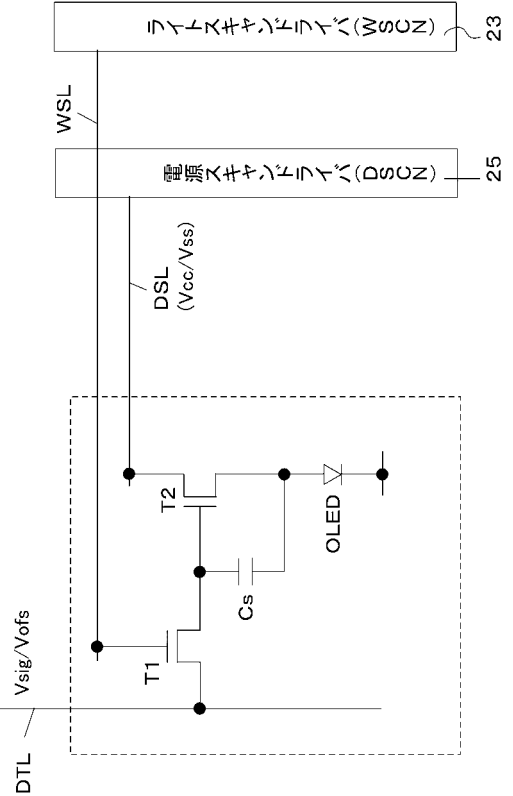
【図6】



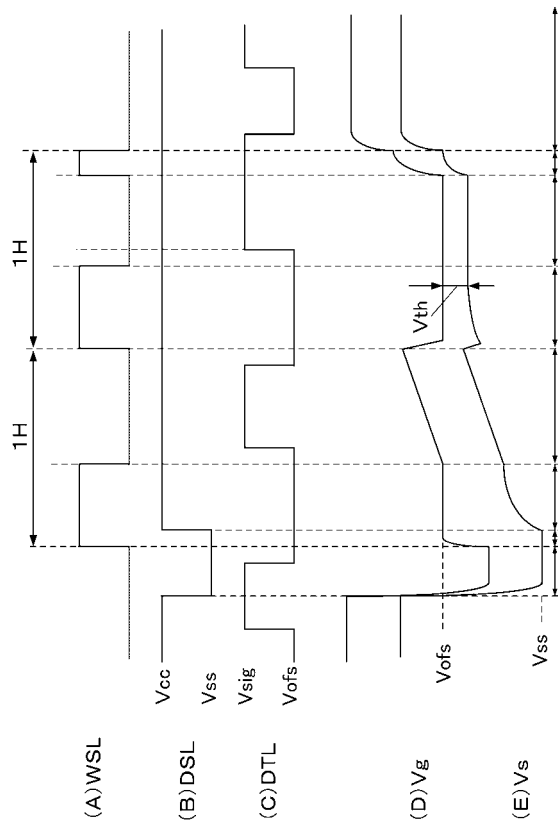
【図7】



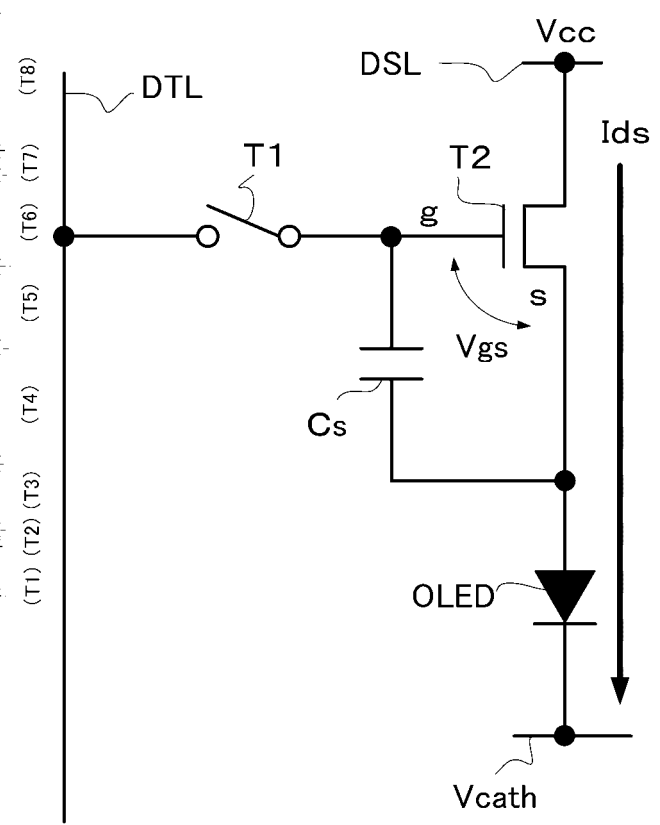
【図8】



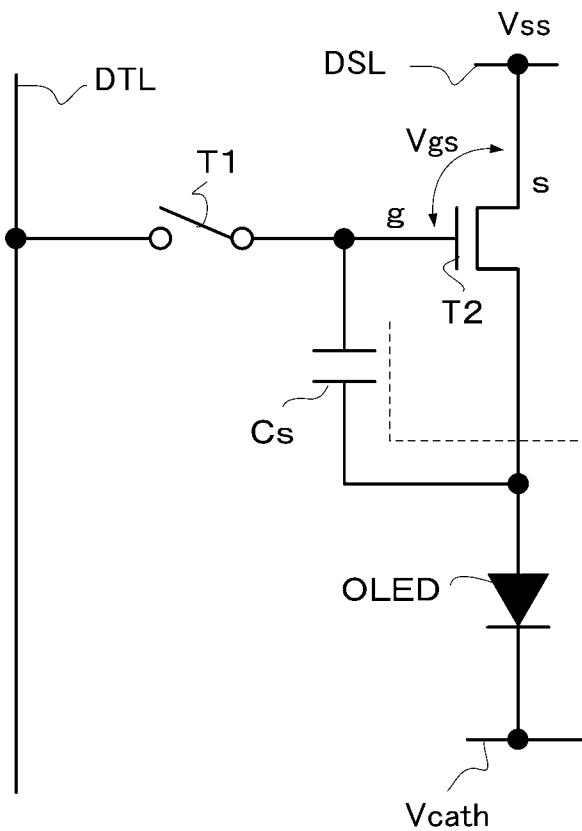
【 図 9 】



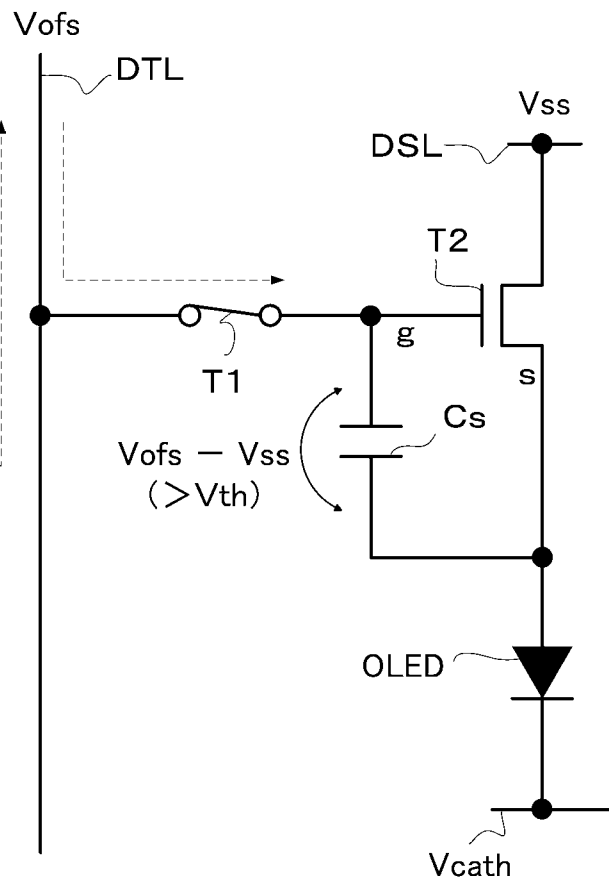
【 図 10 】



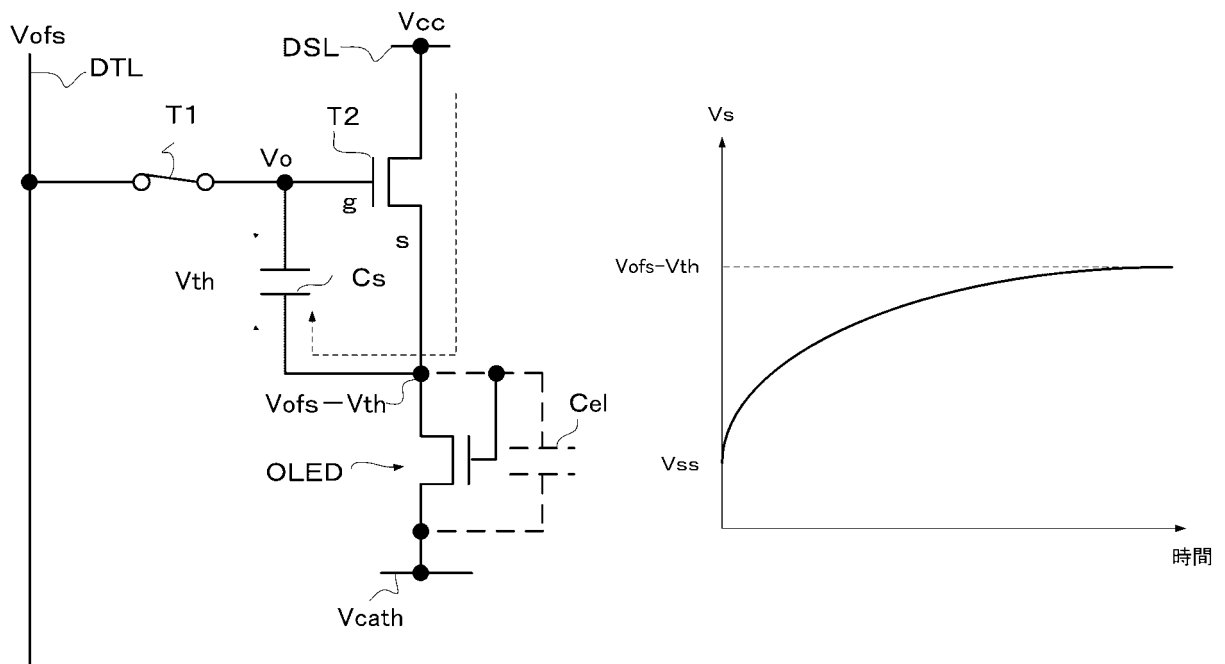
【 図 11 】



【 図 12 】

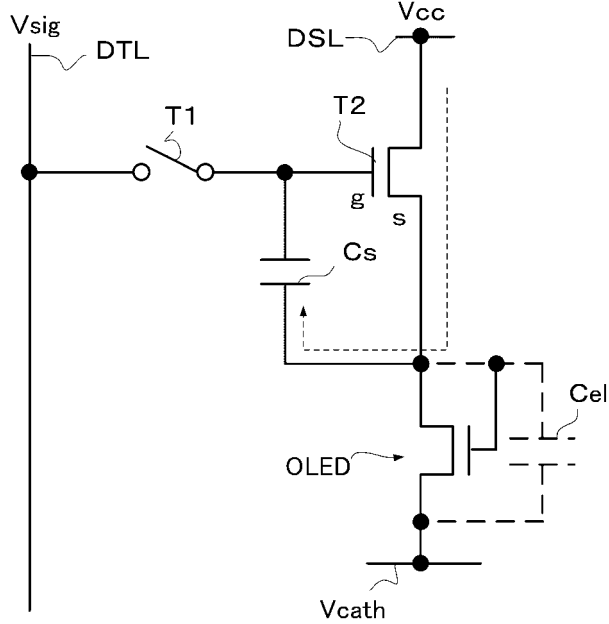


【図13】

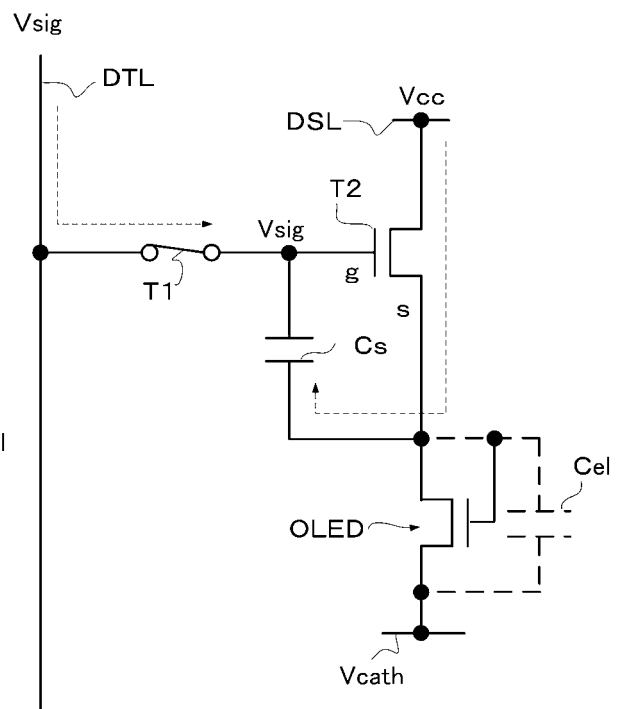


【図14】

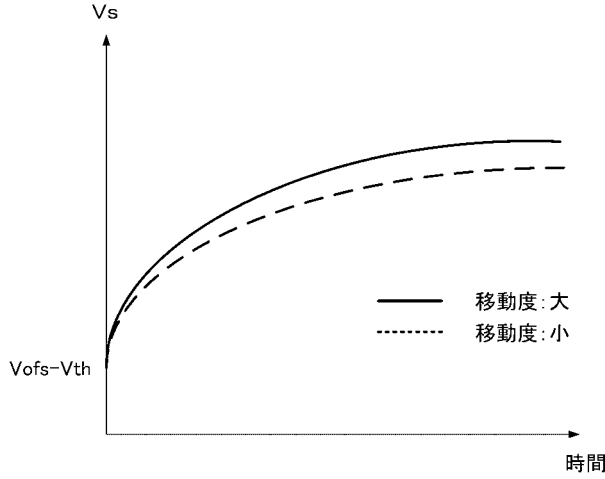
【図15】



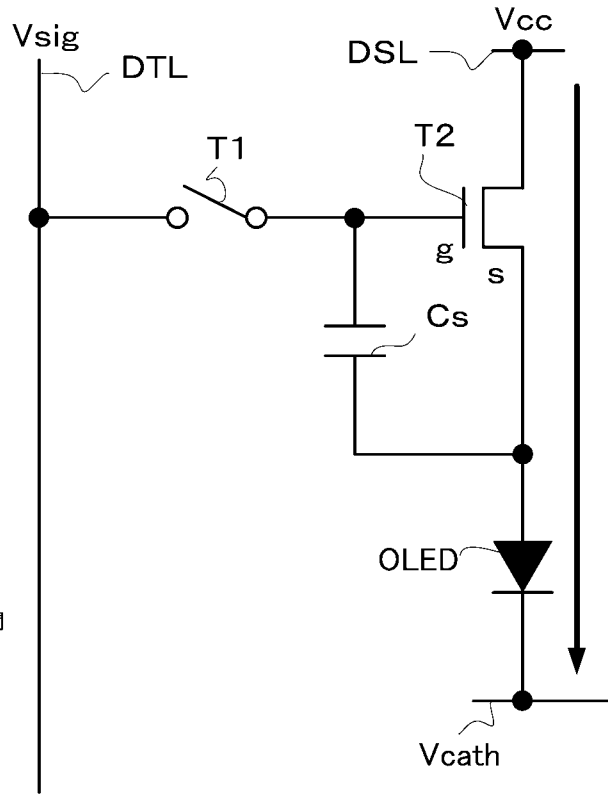
【図16】



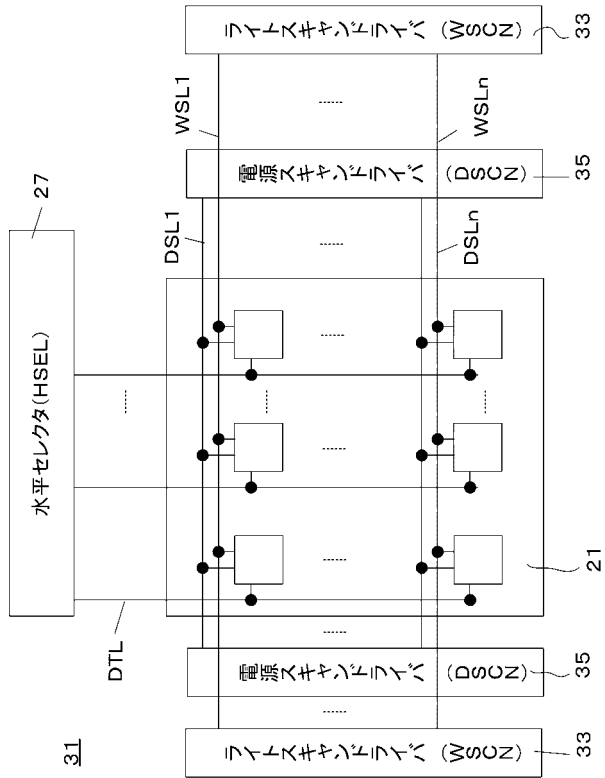
【図17】



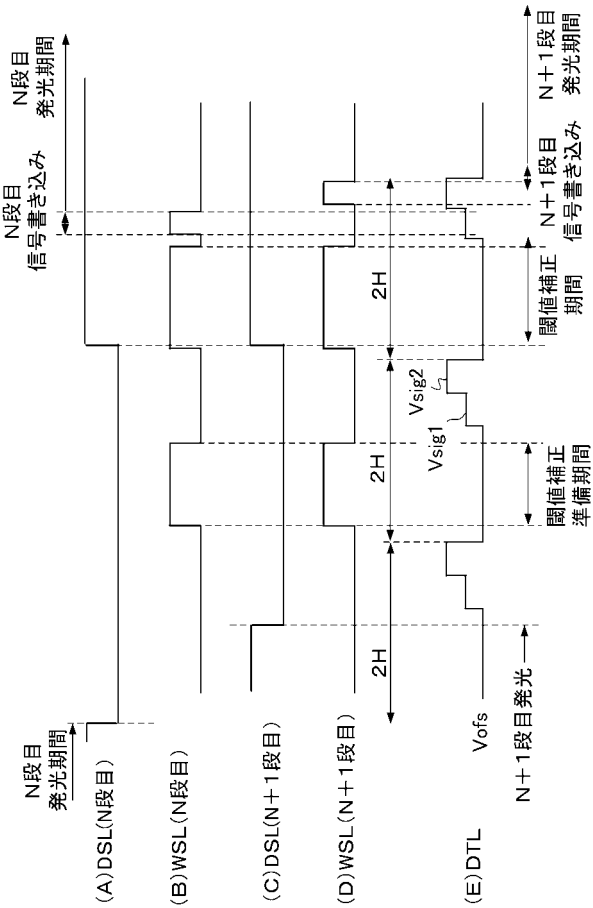
【図18】



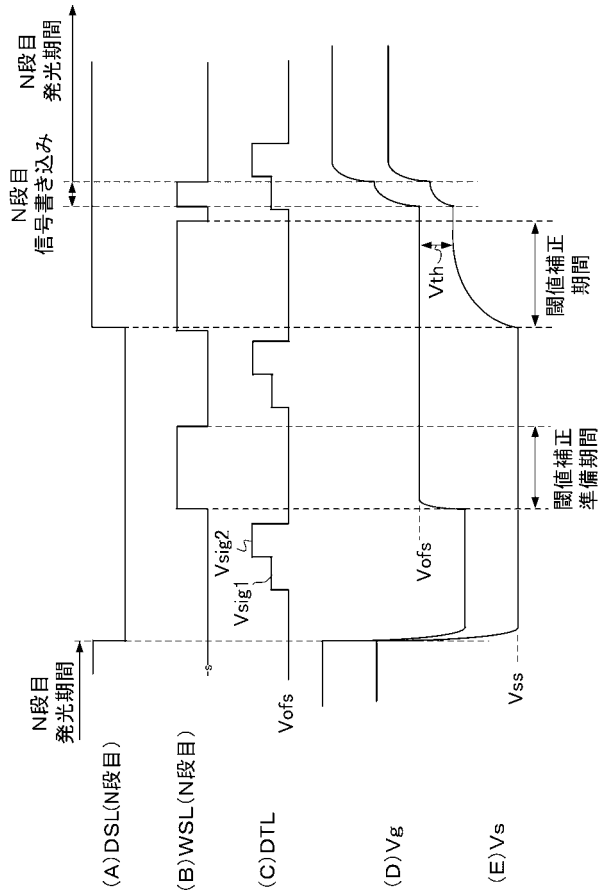
【図19】



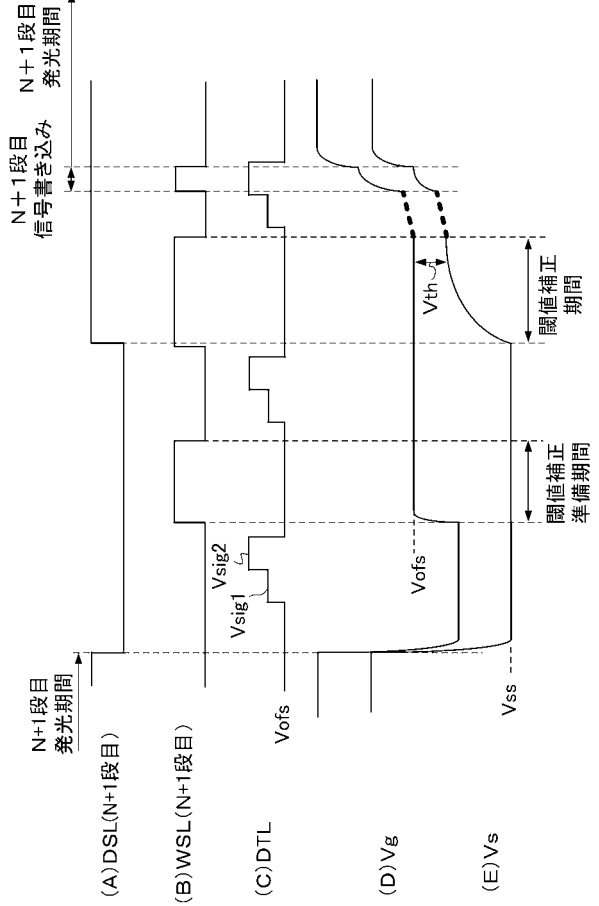
【図20】



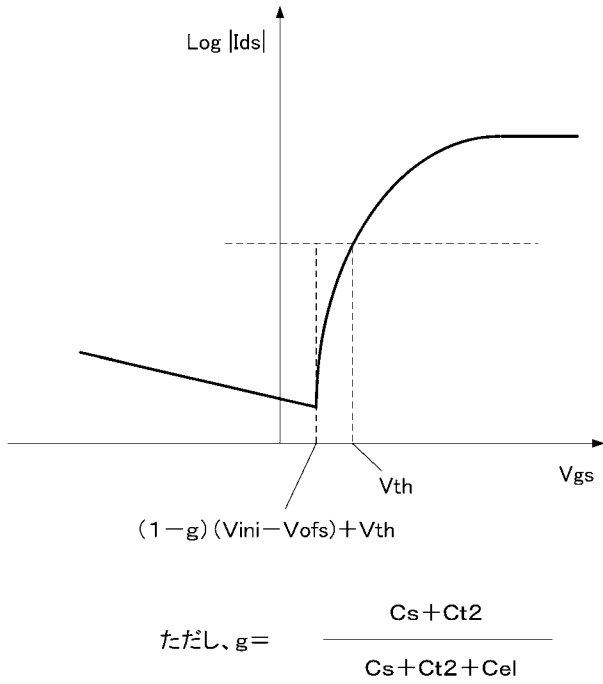
【図 2 1】



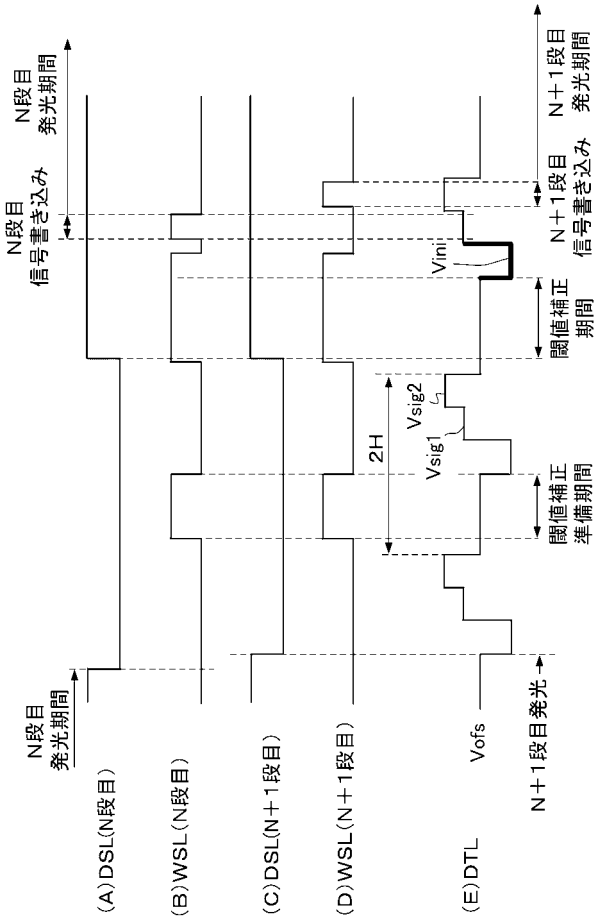
【図 2 2】



【図 2 4】



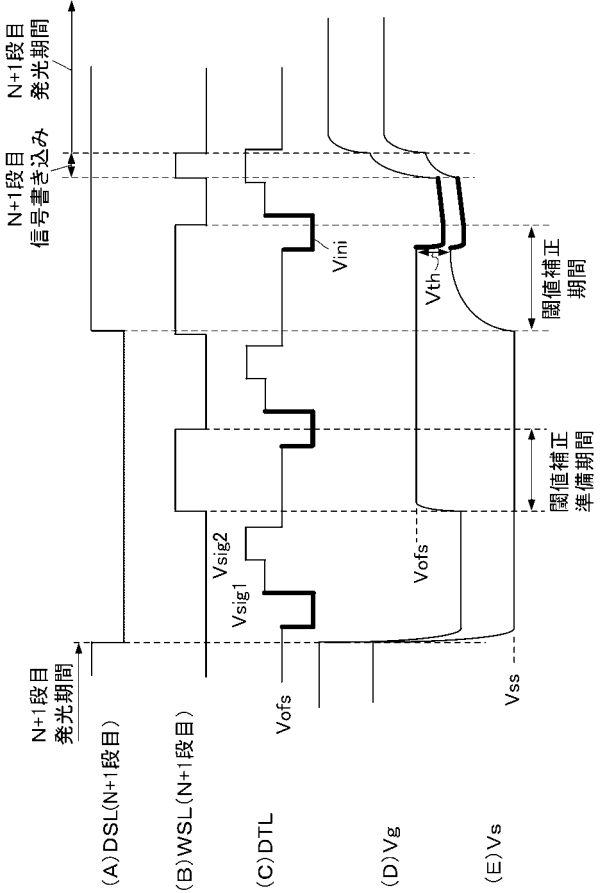
【図 2 5】



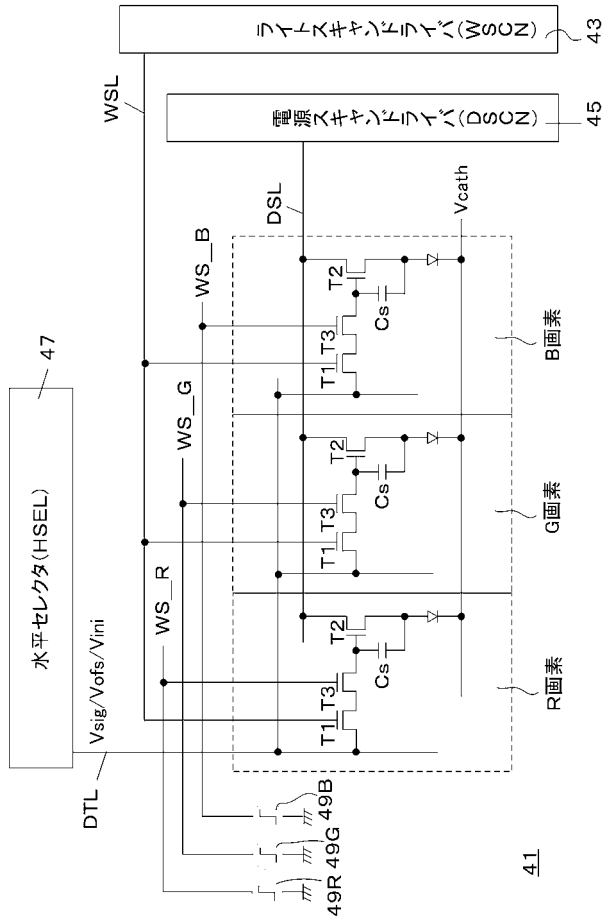
【図 26】



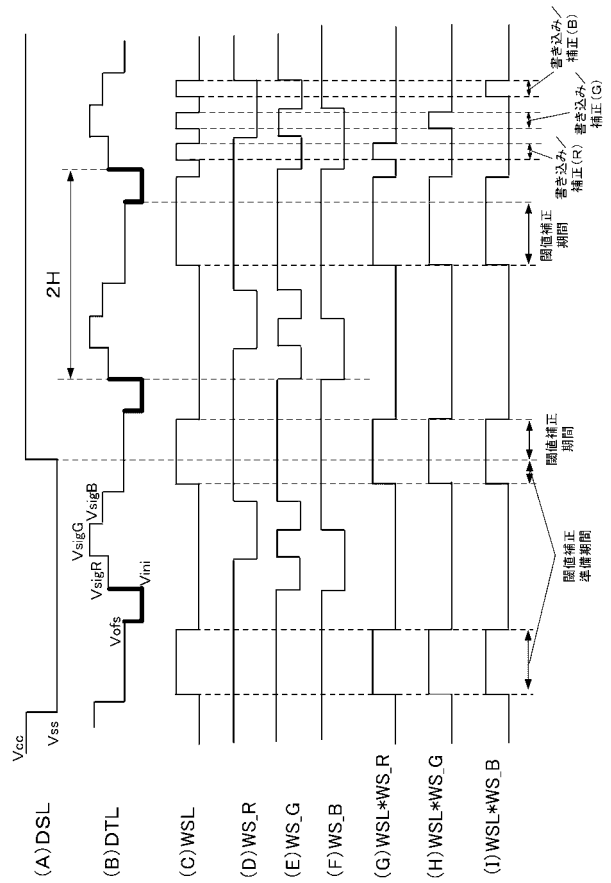
【図 27】



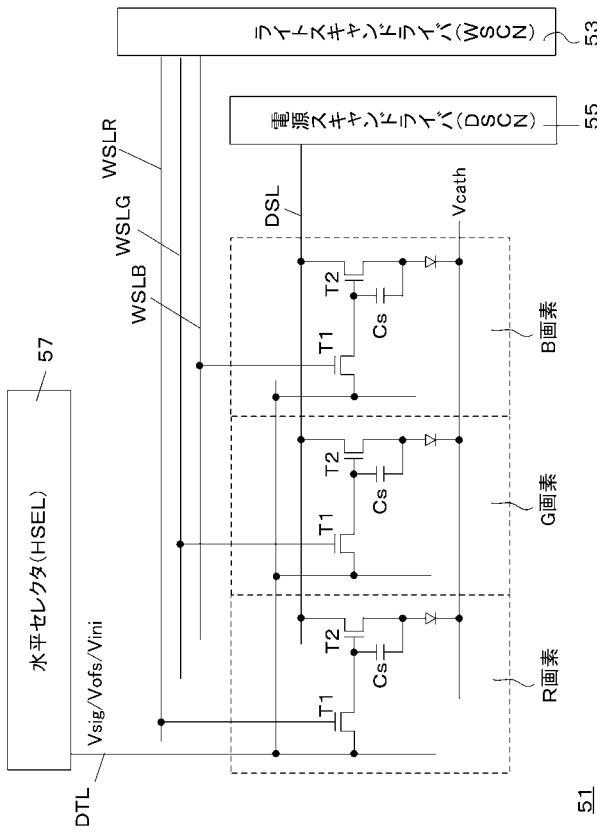
【図 28】



【図 29】

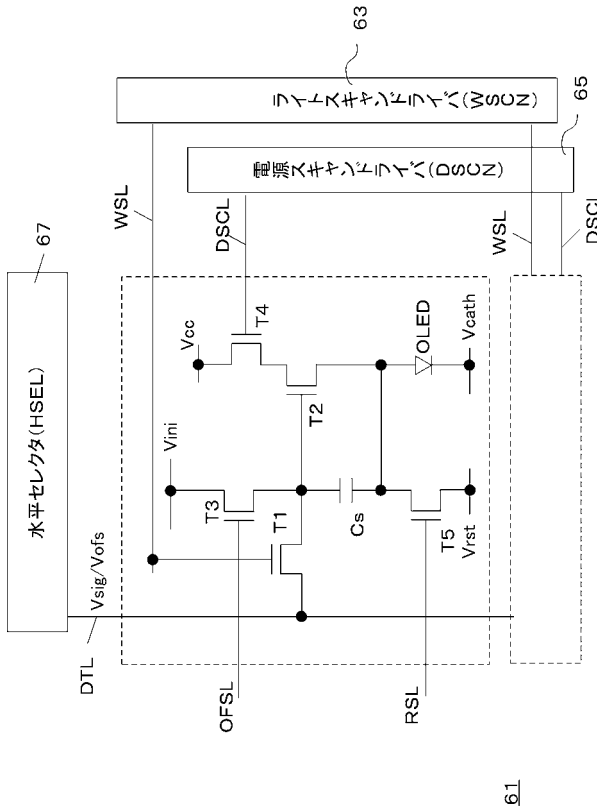


【図 30】



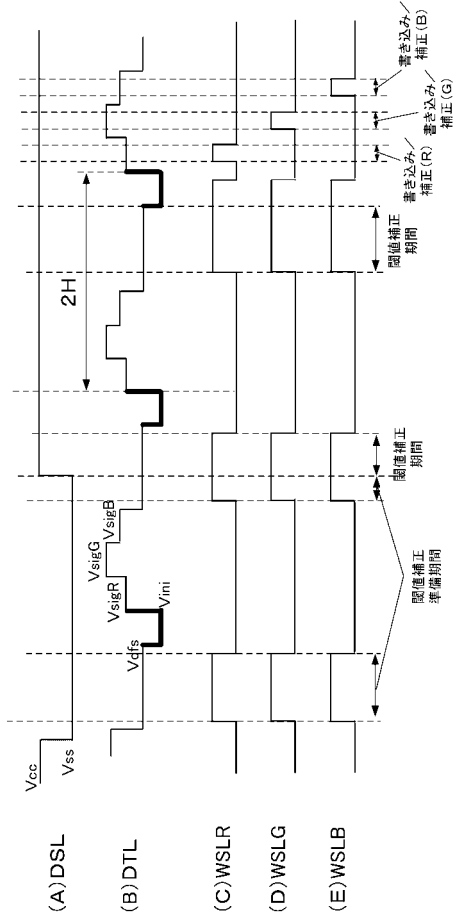
51

【図 32】

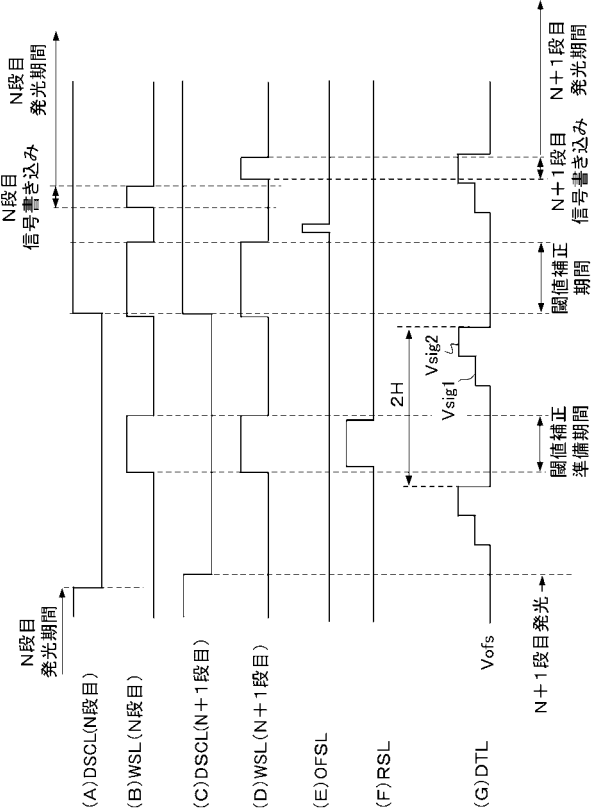


61

【図 31】

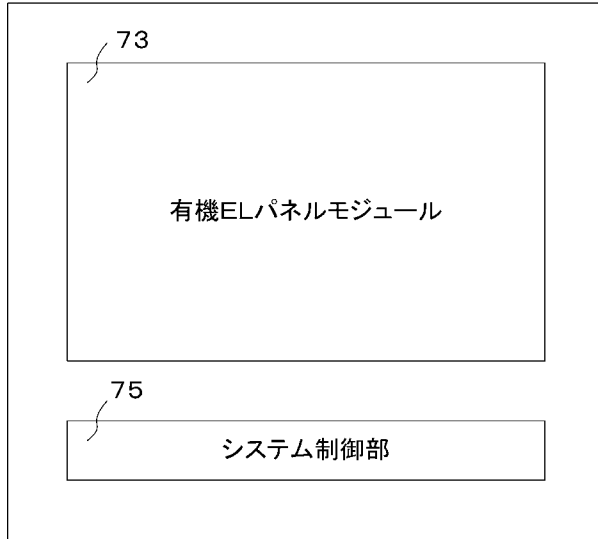


【図 33】



【図34】

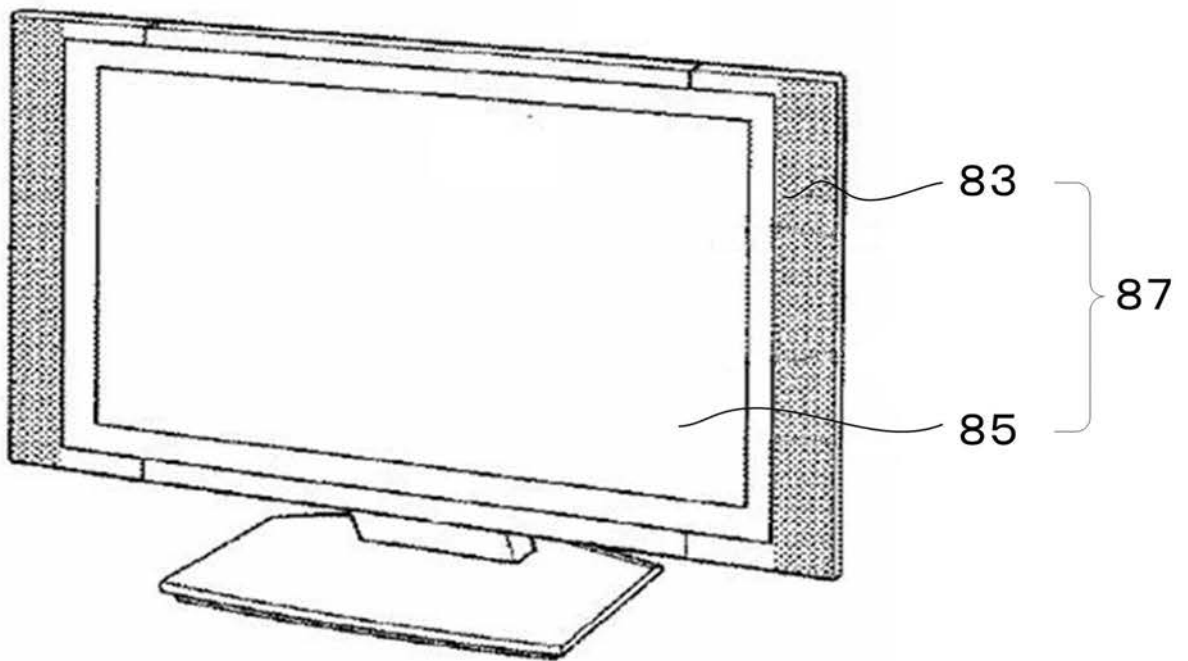
71



【 図 23 】

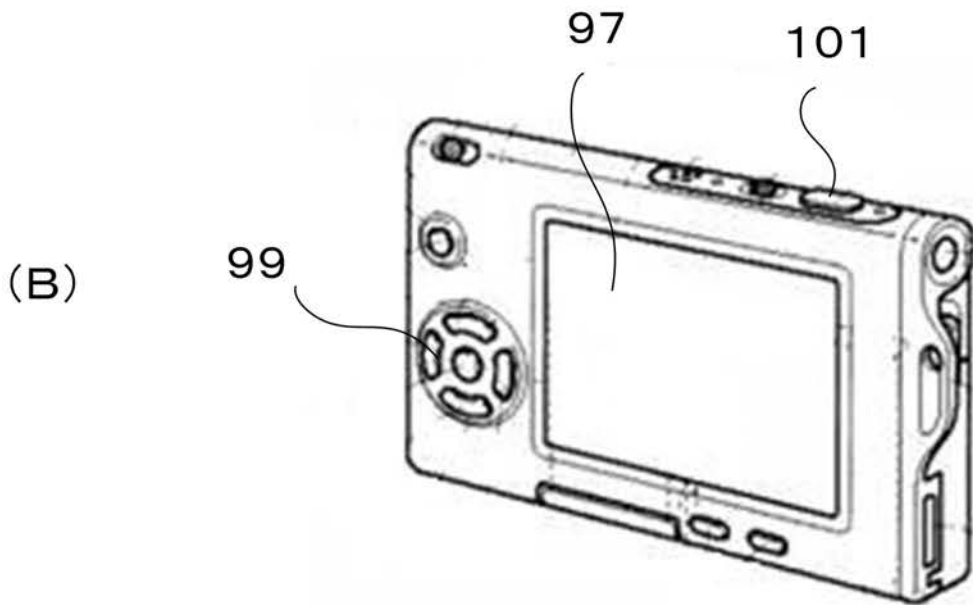
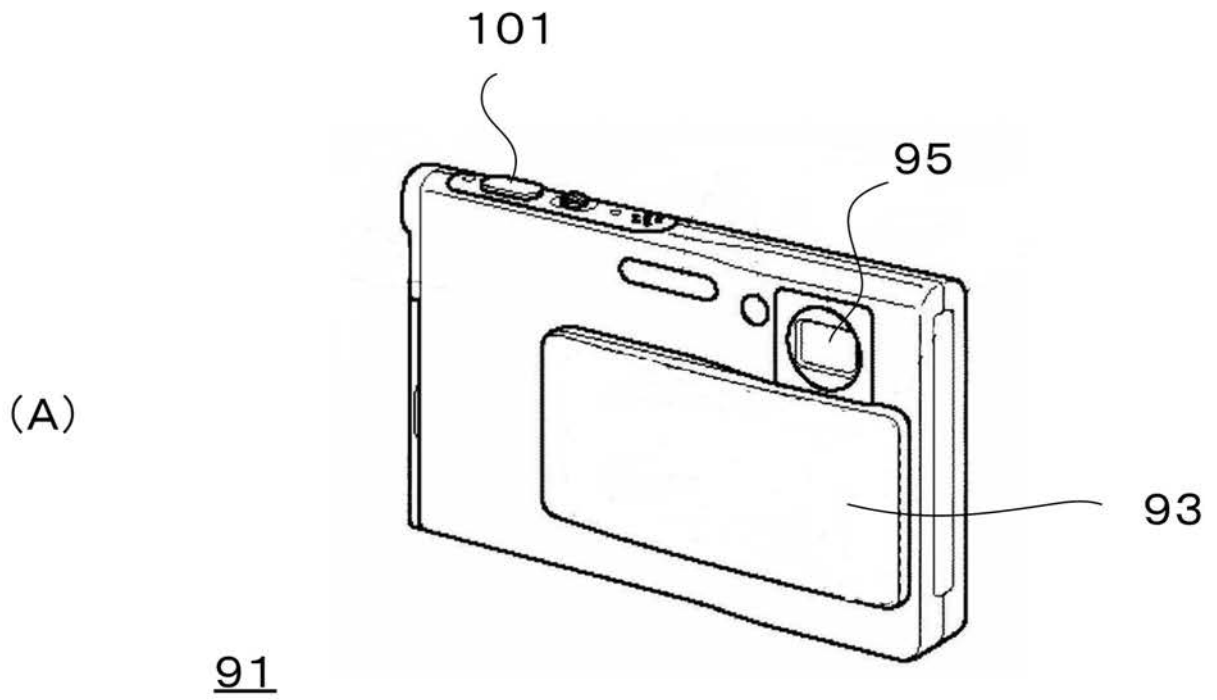


【 図 3 5 】

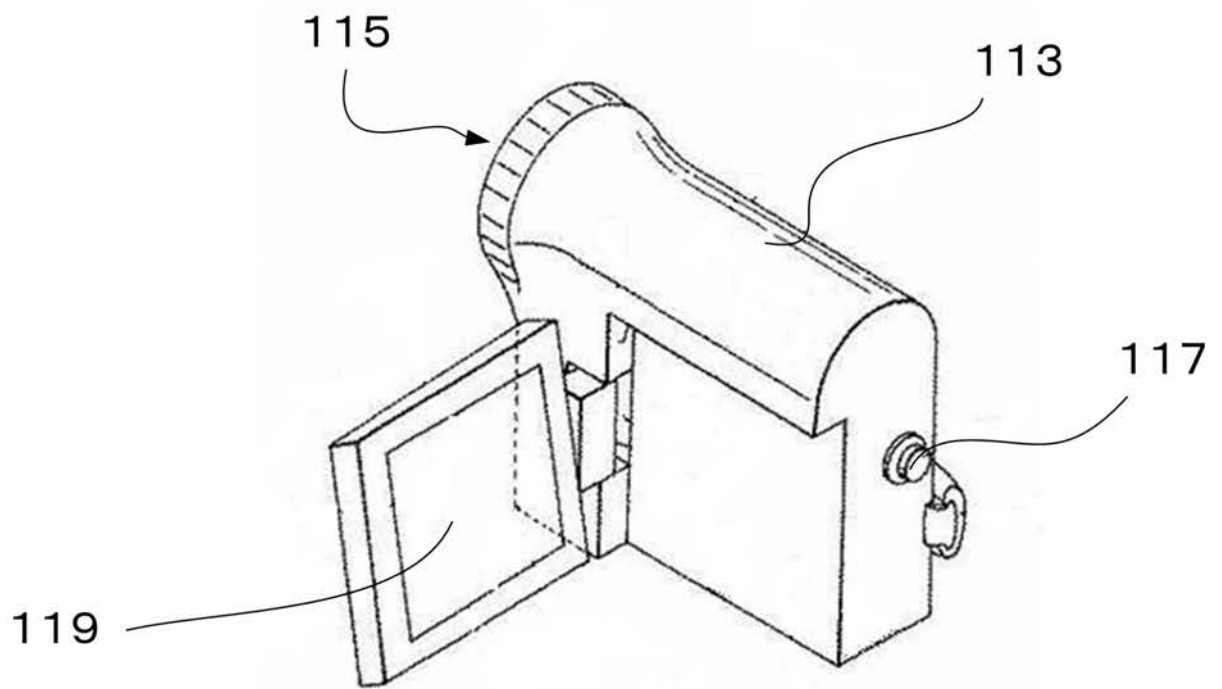


81

【図36】

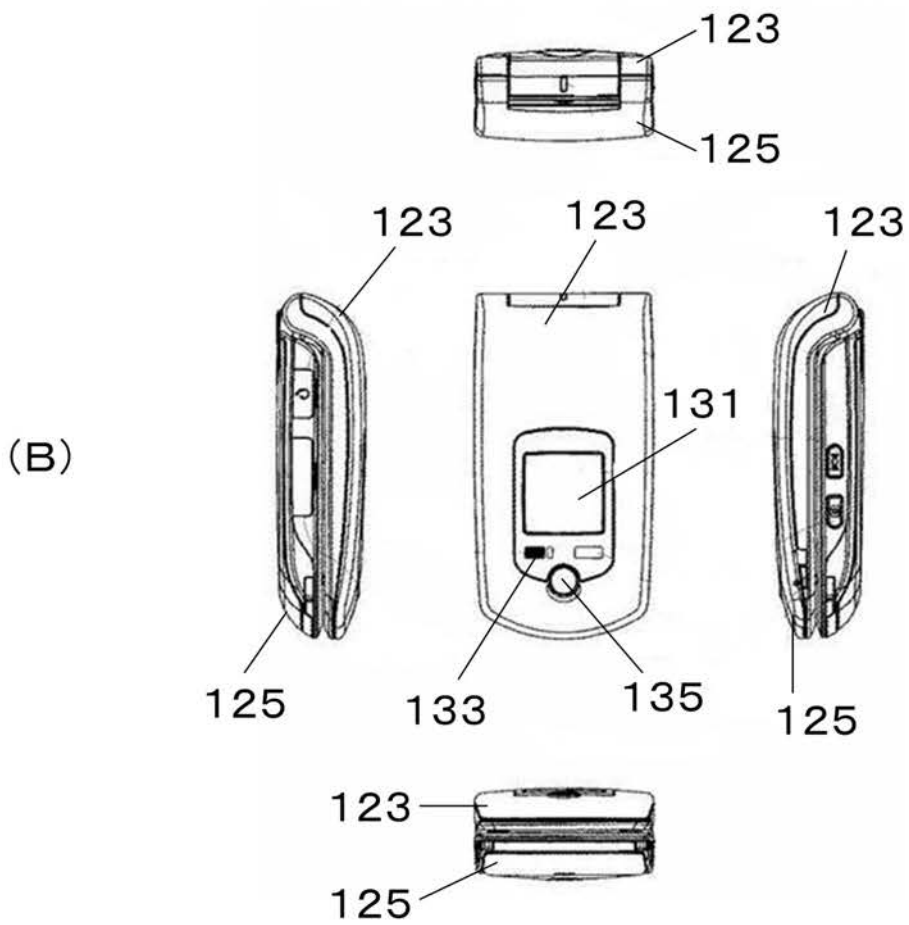
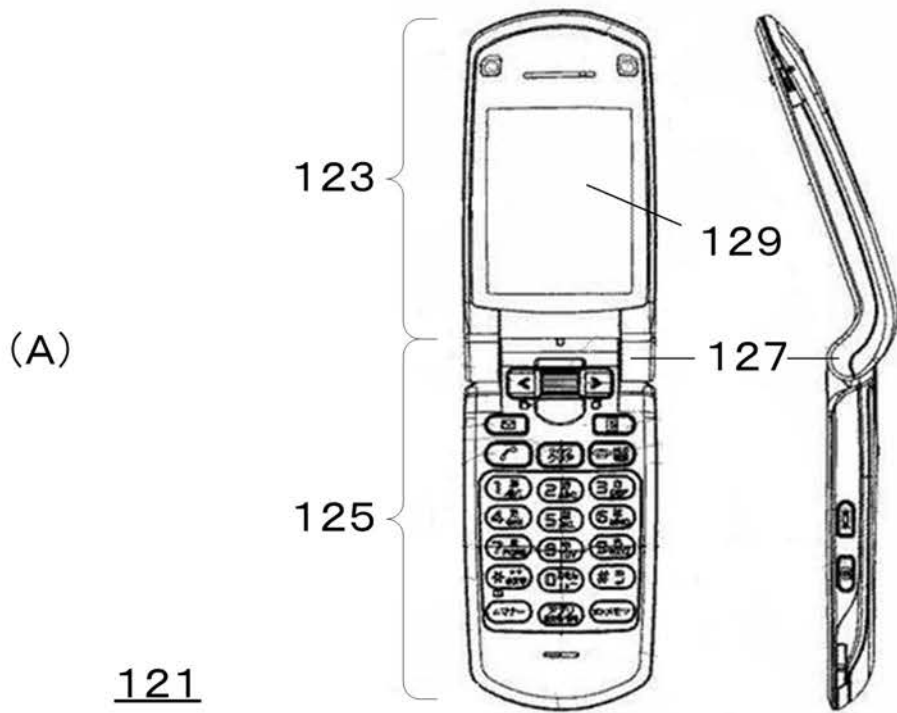


【図 37】

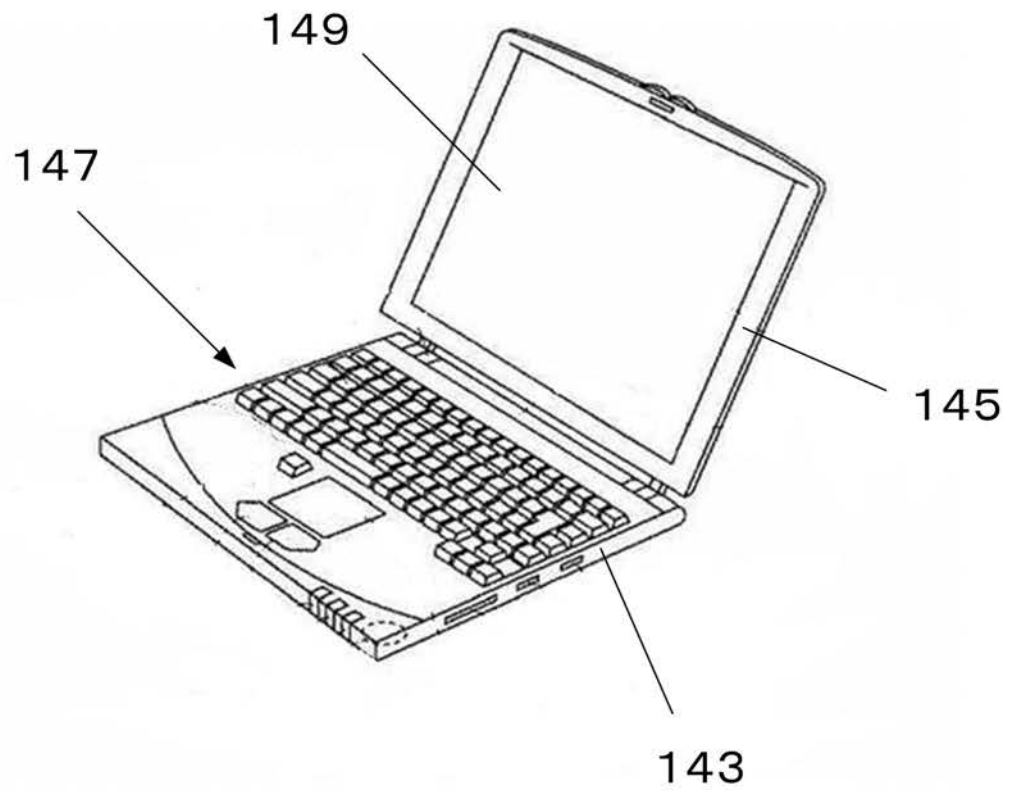


111

【図38】



【図39】



141

---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 1 1 H

(56)参考文献 特開2007-140318(JP,A)  
特開2008-033194(JP,A)  
特開2006-084682(JP,A)  
特開2004-133240(JP,A)  
特開2006-276099(JP,A)  
特開2006-227238(JP,A)  
特開2008-233651(JP,A)  
特開2007-310034(JP,A)  
特開2008-039946(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 0 8  
G 0 9 G 3 / 1 2 - 3 / 1 6  
G 0 9 G 3 / 1 9 - 3 / 2 6  
G 0 9 G 3 / 3 0 - 3 / 3 4  
G 0 9 G 3 / 3 8

专利名称(译)	EL显示面板模块，EL显示面板，集成电路装置，电子装置和驱动控制方法		
公开(公告)号	<a href="#">JP5217500B2</a>	公开(公告)日	2013-06-19
申请号	JP2008047079	申请日	2008-02-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	H05B33/08 G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0235 G09G2310/0256 G09G2320/043 G09G2320/045		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.624.B G09G3/20.670.J G09G3/20.642.C G09G3/20.611.H G09G3/20.641.D G09G3/3225 G09G3/3266 G09G3/3275 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB09 5C380/AB18 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA12 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/CA08 5C380/CB01 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC65 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CD015 5C380/CE19 5C380/DA32		
代理人(译)	吉井正明 山本隆久		
其他公开文献	JP2009204881A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供EL显示面板模块或EL显示面板，以兼容降低成本和图像质量。ZOLUTION：EL显示面板模块或EL显示面板包括：(a) 像素阵列部分，其中包括像素电路和发光区域的像素以矩阵形状形成在作为基底的面板上；(b) 在完成阈值校正操作之后，在即将开始写入第一信号电位之前，将用于阈值校正的低于参考电位的复位电位施加到多个像素电路的驱动电路。连接到一条信号线的多个像素电路的阈值校正操作是共同的，并且按时间顺序执行对应于各个像素电路的每个灰度值的信号电位的写入。Z

