

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4923410号
(P4923410)

(45) 発行日 平成24年4月25日 (2012. 4. 25)

(24) 登録日 平成24年2月17日 (2012. 2. 17)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 2 2 G

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 D

請求項の数 14 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2005-27028 (P2005-27028)
 (22) 出願日 平成17年2月2日 (2005. 2. 2)
 (65) 公開番号 特開2006-215213 (P2006-215213A)
 (43) 公開日 平成18年8月17日 (2006. 8. 17)
 審査請求日 平成20年1月28日 (2008. 1. 28)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、サンプリングトランジスタに接続する容量部と、容量部に接続するドライブトランジスタと、ドライブトランジスタに接続する発光素子とを含み、

前記サンプリングトランジスタは、所定の映像信号のサンプリング期間にサンプリングトランジスタ用の走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該容量部にサンプリングし、

前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、

前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光し、

該出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、

前記補正手段はサンプリングトランジスタ用の走査線とは異なる走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされて

10

20

いる状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正する画素回路であって、

前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、

前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を容量部にサンプリングされる映像信号に加える画素回路。

【請求項 2】

前記補正手段は、ドライブトランジスタのゲートとソースとをそれぞれ第 1 基準電位と第 2 基準電位とに接続することによってゲートとソース間の電圧がドライブトランジスタの閾電圧を超えるように設定した後に、ドライブトランジスタの閾電圧を検出する動作を行う請求項 1 記載の画素回路。

10

【請求項 3】

前記ドライブトランジスタは、Nチャネル型トランジスタでドレインが電源側に接続する一方ソースが発光素子側に接続し、

前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する請求項 1 記載の画素回路。

【請求項 4】

前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にした請求項 3 記載の画素回路。

20

【請求項 5】

前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、

前記補正手段は、あらかじめ該発光素子のアノード／カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御する請求項 4 記載の画素回路。

【請求項 6】

30

前記ドライブトランジスタは、Pチャネル型トランジスタでソースが電源側に接続する一方ドレインが発光素子側に接続し、

前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還する請求項 1 記載の画素回路。

【請求項 7】

前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより該容量部に対する出力電流の負帰還量を最適化する請求項 1 記載の画素回路。

【請求項 8】

40

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、該走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、少なくともサンプリングトランジスタと、サンプリングトランジスタに接続する容量部と、容量部に接続するドライブトランジスタと、ドライブトランジスタに接続する発光素子とを含み、

前記サンプリングトランジスタは、所定の映像信号のサンプリング期間にサンプリングトランジスタ用の走査線から供給される制御信号に応じ導通して信号線から供給された映

50

像信号を該容量部にサンプリングし、

前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、

前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光し、

各画素は、該ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、

前記補正手段はサンプリングトランジスタ用の走査線とは異なる走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正する表示装置であって、

前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、

前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を容量部にサンプリングされる映像信号に加える表示装置。

【請求項 9】

前記補正手段は、ドライブトランジスタのゲートとソースとをそれぞれ第 1 基準電位と第 2 基準電位とに接続することによってゲートとソース間の電圧がドライブトランジスタの閾電圧を超えるように設定した後に、ドライブトランジスタの閾電圧を検出する動作を行う請求項 8 に記載の表示装置。

【請求項 10】

前記ドライブトランジスタは、N チャネル型トランジスタでドレインが電源側に接続する一方ソースが発光素子側に接続し、

前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する請求項 8 記載の表示装置。

【請求項 11】

前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にした請求項 10 記載の表示装置。

【請求項 12】

前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、

前記補正手段は、あらかじめ該発光素子のアノード/カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御する請求項 11 記載の表示装置。

【請求項 13】

前記ドライブトランジスタは、P チャネル型トランジスタでソースが電源側に接続する一方ドレインが発光素子側に接続し、

前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還する請求項 8 記載の表示装置。

【請求項 14】

前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り

出す時間幅を調整可能であり、これにより該容量部に対する出力電流の負帰還量を最適化する請求項 8 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状（行列状）に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機 EL などの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

【背景技術】

10

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機 EL 素子を画素に用いた有機 EL ディスプレイなどにおいても同様であるが、液晶画素と異なり有機 EL 素子は自発光素子である。その為、有機 EL ディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

20

有機 EL ディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献 1】特開 2003 - 255856

【特許文献 2】特開 2003 - 271095

【特許文献 3】特開 2004 - 133240

【特許文献 4】特開 2004 - 029791

30

【特許文献 5】特開 2004 - 093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

40

【0005】

ドライブトランジスタは、容量部に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

50

【 0 0 0 6 】

ここでドライブトランジスタの動作特性は以下の式 1 で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式 1 において、 I_{ds} はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式 1 から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式 1 が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

10

【 0 0 0 7 】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式 1 から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献 3 に開示がある。

20

【 0 0 0 8 】

閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路は、ある程度画面のユニフォーミティを改善することが可能である。しかしながら、ポリシリコン薄膜トランジスタの特性は、閾電圧ばかりでなく移動度 μ も素子毎にばらつきがある。前述のトランジスタ特性式 1 から明らかな様に、移動度 μ がばらつくと、ゲート電圧 V_{gs} が一定であってもドレイン電流 I_{ds} にばらつきが出てしまう。この結果発光輝度が画素毎に変化する為、画面のユニフォーミティを損なうという課題がある。

30

【課題を解決するための手段】

【 0 0 0 9 】

上述した従来の技術の課題に鑑み、本発明は移動度の影響をキャンセルし、以ってドライブトランジスタが供給するドレイン電流（出力電流）のばらつきを補償可能な画素回路及び表示装置とその駆動方法を提供することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち本発明は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、該出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、前記補正手段は走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする。

40

50

【 0 0 1 0 】

好ましくは、前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を該入力電圧に足し込む様にしたことを特徴とする。一態様では、前記ドライブトランジスタは、Nチャネル型トランジスタでドレインが電源側に接続する一方ソースが発光素子側に接続し、前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する。この場合、前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にする。更に、前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、前記補正手段は、あらかじめ該発光素子のアノード/カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御する。他の態様では、前記ドライブトランジスタは、Pチャネル型トランジスタでソースが電源側に接続する一方ドレインが発光素子側に接続し、前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還する。好ましくは、前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより該容量部に対する出力電流の負帰還量を最適化する。

【 0 0 1 1 】

又本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、該走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する表示装置において、各画素は、該ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、前記補正手段は走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする。

【 0 0 1 2 】

好ましくは、前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を該入力電圧に足し込む様にしたことを特徴とする。一態様では、前記ドライブトランジスタは、Nチャネル型トランジスタでドレインが電源側に接続する一方ソースが発光素子側に接続し、前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する。この場合、前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子

の有する容量に流れ込む様にする。更に、前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、前記補正手段は、あらかじめ該発光素子のアノード/カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御する。他の態様では、前記ドライブトランジスタは、Pチャネル型トランジスタでソースが電源側に接続する一方ドレインが発光素子側に接続し、前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還する。好ましくは、前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより該容量部に対する出力電流の負帰還量を最適化する。

10

【0013】

更に本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は該信号線に映像信号を供給し、前記スキャナ部は該走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は少なくともサンプリングトランジスタと、これに接続する容量部と、これに接続するドライブトランジスタと、これに接続する発光素子とを含む表示装置の駆動方法であって、前記スキャナ部は所定のサンプリング期間に走査線から該サンプリングトランジスタに制御信号を供給し導通させて、信号線から供給された映像信号を該容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光し、更に前記スキャナ部は、該ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手順を該画素に行わせ、前記補正手順は、該サンプリング期間内で該映像信号がサンプリングされている間に該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正する。

20

30

【発明の効果】

【0014】

本発明によれば、ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消す為、画素回路は発光期間の前または先頭でドライブトランジスタに対する入力電圧（ゲート電圧）を補正する補正手段を備えている。この補正手段はサンプリング期間の一部で動作し、映像信号の電位（信号電位）がサンプリングされている状態でドライブトランジスタから出力電流（ドレイン電流）を取り出し、これを容量部に負帰還して入力電圧（ゲート電圧）を補正している。前述のトランジスタ特性式1から明らかな様に、出力電流（ドレイン電流）は移動度に比例している。したがって、ある画素のドライブトランジスタの移動度が高いと、出力電流は相対的に大きくなる。これを容量部に負帰還して入力電圧（ゲート電圧）を補正する。移動度が大きいと結果的に負帰還量が大きくなるので、入力電圧（ゲート電圧）はその分大きく下方修正される。ゲート電圧が下がるので、結果的にドレイン電流は抑制される事になる。一方、別の画素のドライブトランジスタの移動度が相対的に小さい場合、ドレイン電流も少なくなる。したがって容量部に対する負帰還量も小さいので、ゲート電圧の下方修正分が小さい。結果的に、ドライブトランジスタの移動度が小さいと出力電流はさほど低く補正されない。この様に、本発明の補正手段は、移動度のばらつきをキャンセルする様に、入力電圧をフィードバック補正するので、画面のユニフォームティが改善される。特に、信号電位をサンプリングしている状態で移動度補正をかけている。映像信号電位は黒レベルから白レベルまで振幅が変化するが、どのレベルにおいても適切に移動度補正を行う事が可能である。また、入力電圧にかかる負帰

40

50

還量は、出力電流の取り出し時間に依存している。取り出し時間を長く取るほど、負帰還量が大きくなる。本発明では、サンプリング期間中における出力電流の取り出し時間を可変調整して、負帰還量の最適化を測る事ができる。なお本発明では、映像信号電位をサンプリングして発光素子を電流駆動している。映像信号電位をサンプリングする点では、従来の液晶ディスプレイと同じである。したがって、アクティブマトリクス型の液晶ディスプレイで従来から広く用いられている電圧シグナルドライバを本発明の信号部に用いる事ができる。さらには、従来のポリシリコントランジスタを集積形成したアクティブマトリクス型の液晶パネルと同じ様に、本発明の表示装置でも、周辺のスキナ部や信号部を画素アレイ部と一体的に形成した周辺回路内蔵型のパネルにまとめる事も可能である。

【発明を実施するための最良の形態】

【0015】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照してVth補正機能を備えたアクティブマトリクス表示装置の参考例を説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セクタ3、ライトスキナ4、ドライブスキナ5、補正用スキナ7などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R、G、Bとで構成されている。カラー表示を可能とする為、RGBの三原色画素を用意しているが、本発明はこれに限られるものではない。各画素R、G、Bは夫々画素回路2で構成されている。信号線SLは水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキナ4によって走査される。尚、走査線WSと平行に別の走査線DS及びAZも配線されている。走査線DSはドライブスキナ5によって走査される。走査線AZは補正用スキナ7によって走査される。ライトスキナ4、ドライブスキナ5及び補正用スキナ7はスキナ部を構成しており、1水平期間毎画素の行を順次走査する。各画素回路2は走査線WSによって選択された時信号線SLから映像信号をサンプリングする。更に走査線DSによって選択された時、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子を駆動する。加えて画素回路2は走査線AZによって走査された時、あらかじめ決められた補正動作を行なう。

【0016】

上述した画素アレイ1は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路2はアモルファスシリコン薄膜トランジスタ(TFT)又は低温ポリシリコンTFTで形成されている。アモルファスシリコンTFTの場合、スキナ部はパネルとは別のTABなどで構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコンTFTの場合、信号部及びスキナ部も同じ低温ポリシリコンTFTで形成できるので、フラットパネル上に画素アレイ部と信号部とスキナ部を一体的に形成できる。

【0017】

図2は、図1に示した画素アレイに含まれる画素回路の構成を示す回路図である。図示する様に、画素回路2は5個の薄膜トランジスタTr1、Tr3~Tr5、Trdと2個の容量素子Cs1、Cs2と1個の発光素子ELとで構成されている。トランジスタTr1、Tr3~Tr5、Trdは全てPチャネル型のポリシリコンTFTである。但し本発明はこれに限られるものではなく、Nチャネル型のポリシリコンTFTを混在させてもよい。あるいは、Nチャネル型のアモルファスシリコンTFTで画素回路を構成してもよい。2個の容量素子Cs1とCs2は両者合わせて画素回路2の容量部を構成している。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機EL素子からなる。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0018】

画素回路2の中心となるドライブトランジスタTrdはゲート(G)がG点に接続され

10

20

30

40

50

、ソース（ S ）が S 点に接続され、ドレイン（ D ）が D 点に接続されている。発光素子 E_L はアノードが D 点に接続され、カソードが接地されている。スイッチングトランジスタ Tr_4 は電源電位 V_{cc} と S 点との間に接続されており、発光素子 E_L のオン／オフを制御する。トランジスタ Tr_4 のゲートは走査線 DS に接続されている。

【0019】

一方サンプリグトランジスタ Tr_1 は信号線 SL と A 点との間に接続されている。サンプリグトランジスタ Tr_1 のゲートは走査線 WS に接続している。 A 点と S 点との間に検出トランジスタ Tr_5 が接続されている。そのゲートは走査線 AZ に接続している。又スイッチングトランジスタ Tr_3 は G 点と所定のオフセット電位 V_{ofs} との間に接続されている。そのゲートは走査線 AZ に接続されている。尚、検出トランジスタ Tr_5 と

10

【0020】

ドライブトランジスタ Tr_d はソース／ゲート間に印加されるゲート電圧 V_{gs} に応じてソース／ドレイン間にドレイン電流 I_{ds} を流し、これで発光素子 E_L を駆動する。本明細書ではゲート電圧 V_{gs} を入力電圧とし、ドレイン電流 I_{ds} を出力電流と定義している。信号線 SL から供給される映像信号 V_{sig} に応じてゲート電圧 V_{gs} を設定し、これによりドレイン電流 I_{ds} を流すことで、映像信号の階調に従って発光素子 E_L の発光輝度を制御できる。

20

【0021】

ドライブトランジスタ Tr_d の閾電圧 V_{th} は画素毎に変動する。これをキャンセルする為あらかじめドライブトランジスタ Tr_d の閾電圧 V_{th} を検出し、容量素子 Cs_1 に保持しておく。この後サンプリグトランジスタ Tr_1 をオンして容量素子 Cs_2 に信号電位 V_{sig} を書き込む。この様にして設定されたゲート電圧 V_{gs} により、ドライブトランジスタ Tr_d を駆動する。

【0022】

図3は、図2に示した画素回路の動作説明に供するタイミングチャートである。時間軸 T に沿って各走査線 WS 、 AZ 及び DS に印加される制御信号の波形を表わしてある。表記を簡略化する為、以下本明細書では制御信号も対応する走査線の符号と同じ符号で表わす。トランジスタは全てPチャネル型なので、走査線がハイレベルの時オフし、ローレベルの時オンする。そこで表記を簡略化する為、本参考例では制御信号がハイレベルからローレベルに立ち下がる場合を「オン」と表わし、ローレベルからハイレベルに立ち上がる場合を「オフ」と呼ぶ。各制御信号 WS 、 AZ 、 DS の波形とともに、 A 点及び G 点の電位変化も表わしてある。なおNチャネル型の場合は、逆に制御信号がハイレベルからローレベルに立ち下がる場合を「オフ」と表わし、ローレベルからハイレベルに立ち上がる場合を「オン」と呼ぶ。

30

【0023】

図示のタイミングチャートではタイミング $T_1 \sim T_7$ までを1フィールド（ $1f$ ）としてある。1フィールドの間に画素アレイの各行が1回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 AZ 、 DS の波形を表わしてある。

40

【0024】

当該フィールドが始まる前のタイミング T_0 で、制御信号 WS 及び AZ はオフであるのに対し、制御信号 DS がオンしている。従ってサンプリグトランジスタ Tr_1 、検出トランジスタ Tr_5 及びスイッチングトランジスタ Tr_3 がオフ状態であるのに対し、スイッチングトランジスタ Tr_4 のみがオン状態にある。この状態で、 A 点電位は信号電位 V_{sig} にあり、 G 点電位は V_{sig} から V_{th} だけ下がった電位にある。この時 S 点はトランジスタ Tr_4 がオンしているので V_{cc} となっている。従ってトランジスタ Tr_d のソースとゲートとの間には V_{th} を超える十分な電圧が印加されており、出力電流 I_{ds} が発光素子 E_L に供給されている。従ってタイミング T_0 では発光素子 E_L は発光状態に

50

ある。

【0025】

この後当該フィールドに入りタイミングT1で制御信号AZがオンし、トランジスタTr5及びTr3が導通する。この結果A点とS点が直接つながるので、A点電位は電源電位Vccに急激に立ち上がる。一方トランジスタTr3がオンする為、G点電位は所定のオフセット電位Vofsまで急激に立ち下がる。

【0026】

この直後タイミングT2で制御信号DSがオフになり、スイッチングトランジスタTr4が非導通状態となる。これによりS点が電源電位Vccから切り離され、非発光状態に変わる。タイミングT1からタイミングT2までの期間T1 - T2で、A点電位がVccとなりG点電位がVofsとなって各容量素子Cs1, Cs2の電位がリセットされる。このリセット動作は、次に続く検出動作を安定化する為の準備であって、期間T1 - T2をリセット期間と呼ぶ。

10

【0027】

タイミングT2で制御信号DSがオフするとS点がVccから切り離されるので、電源からの給電が遮断される一方容量素子Cs1の放電が始まり過渡電流がトランジスタTr5を通して流れ、A点電位がVccから低下していく。G点電位に対してA点電位がVthまで低下した時、過渡電流が流れなくなる。この結果A点とG点の電位差がVthとなり、これが容量素子Cs1に保持される。

【0028】

20

タイミングT3で制御信号AZがオフし、トランジスタTr5及びTr3がオフして、容量素子Cs1のG点側がVofsから切り離されるとともに、A点側がS点から切り離される。タイミングT2～T3までの期間でVthを検出し且つCs1に保持するので、期間T2 - T3を特に検出期間と呼ぶ。この検出期間T2 - T3はドライブトランジスタに流れる過渡電流が0になる様十分な時間幅を取ってある。

【0029】

以上説明した様に、リセット期間T1 - T2におけるリセット動作と検出期間T2 - T3における検出動作とで閾電圧Vthの補正動作が行なわれる。そこでリセット期間と検出期間を合わせた期間T1 - T3をVth補正期間と呼ぶ。場合によっては、期間T2 - T3をVth補正期間と呼ぶこともある。図3のタイミングチャートから明らかな様に、Vth補正期間T1 - T3は制御信号AZによって規定される。一方、Vth補正期間T1 - T3内でリセット期間T1 - T2と検出期間T2 - T3を区分するのが制御信号DSである。制御信号DSは基本的にスイッチングトランジスタTr4のオン/オフを制御するパルスであり、従って非発光期間と発光期間を規定している。

30

【0030】

Vth補正期間T1 - T3が経過した後、タイミングT4で制御信号WSがオンし、サンプリングトランジスタTr1が導通する。この結果、信号線SLから供給された映像信号Vsigが容量素子Cs2にサンプリングされる。これによりA点電位はVthから信号電位Vsigに上昇する。この上昇に連動してG点電位も差分Vthを維持したまま上昇する。タイミングチャートから明らかな様に、サンプリング後でもA点電位とG点電位の電位差はVthに維持されている。この後1水平期間が経過するタイミングT5で制御信号WSはオフし、サンプリングトランジスタTr1が非導通状態となる。VsigをサンプリングしてCs2に保持するサンプリング動作は期間T4 - T5で行なわれる為、これをサンプリング期間と呼ぶ。サンプリング期間T4 - T5は1水平期間1Hに等しい。

40

【0031】

この後タイミングT6で制御信号DSが再びオンし、スイッチングトランジスタTr4が導通する。この結果ドライブトランジスタTrdはS点電位とG点電位との差Vgsに応じてドレイン電流Idsを発光素子ELに供給する。発光素子ELはこれによりVgsに応じた輝度で発光する。

【0032】

50

この後タイミングT7に至り当該フィールドが終了するとともに、次のフィールドに移行する。次のフィールドでは最初にリセット期間に入る。

【0033】

図3のタイミングチャートに基づいて、サンプリング期間T4 - T5及びその後の発光期間における入力電圧V_{gs}を求める。入力電圧V_{gs}はS点を基準にしたG点の電位である。サンプリング期間T4 - T5の後の発光期間ではトランジスタTr4がオンしている為、S点電位は電源に接続されV_{cc}となっている。一方A点電位は前述した様にV_{cc}よりもV_{sig}だけ低い。更にG点電位はA点電位からV_{th}だけ低い。従ってS点電位を基準にしたG点電位を表わすV_{gs}はV_{cc} - (V_{sig} - V_{th})となる。前述のトランジスタ特性式1のV_{gs}にここで求めたV_{cc} - (V_{sig} - V_{th})を代入すると、以下の式が得られる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{cc} - V_{sig})^2$$

上記特性式では先の基本特性式1に含まれていたV_{th}の項がキャンセルされ、V_{cc} - V_{sig}で置き換えられている。従って図2に示した画素回路2は、ドライブトランジスタTrdのV_{th}に依存することなく、V_{sig}の値に応じた出力電流I_{ds}を発光素子ELに供給することができる。従ってドライブトランジスタTrdのV_{th}が画素毎にばらついていても、画素アレイとしてはそのばらつきを取り除いた出力電流を各画素の発光素子ELに供給することができる。

【0034】

図4は、上記特性式をグラフ化したものであり、縦軸に出力電流I_{ds}を取り、横軸に入力電圧V_{cc} - V_{sig}を取ってある。合わせてグラフの傍に上記特性式を再掲してある。上記特性式から明らかな様に、ドライブトランジスタのV_{th}の項は消えている。しかしながら移動度μが残されている。この移動度μはV_{th}と同じくデバイス依存性があり、各画素毎にばらついていて、従って、V_{th}をキャンセルしたのみでは出力電流I_{ds}のばらつきは完全に抑えることはできない。グラフではμの大きいトランジスタ特性を実線で表わし、μの小さなトランジスタ特性を点線で表わしている。グラフから明らかな様に、特性式の係数μが大きくなる程、特性カーブは急峻になっている。従って入力電圧V_{cc} - V_{sig} = V₀で一定であっても、移動度μのばらつきが画素間で生じる為、出力電流I_{ds}はμに依存して変動し、画素間で輝度のばらつきが生じてしまう。特にV_{cc} - V_{sig}がグレーから白表示の階調にある時移動度μに依存する輝度ばらつきが顕著となり、表示ムラが生じて解決すべき課題である。

【0035】

図5は、本発明にかかる表示装置の第1実施形態を示す回路図である。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セクタ3、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71、第二補正用スキャナ72などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。図では理解を容易にする為、1個の画素回路2のみを拡大表示してある。信号線SLは水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DS, AZ1及びAZ2も配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZ1は第一補正用スキャナ71によって走査される。走査線AZ2は第二補正用スキャナ72によって走査される。ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72はスキャナ部を構成しており、1水平期間ごと画素の行を順次走査する。各画素回路2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリングする。さらに走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子ELを駆動する。加えて画素回路2は走査線AZ1, AZ2によって走査された時、予め決められた補正動作を行う。

【0036】

画素回路 2 は、5 個の薄膜トランジスタ $T_{r1} \sim T_{r4}$ 及び T_{rd} と 1 個の容量素子 (画素容量) C_s と 1 個の発光素子 E_L とで構成されている。トランジスタ $T_{r1} \sim T_{r3}$ と T_{rd} は N チャネル型のポリシリコン TFT である。トランジスタ T_{r4} のみ P チャネル型のポリシリコン TFT である。1 個の容量素子 C_s は本画素回路 2 の容量部を構成している。発光素子 E_L は例えばアノード及びカソードを備えたダイオード型の有機 E_L 素子である。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0037】

画素回路 2 の中心となるドライブトランジスタ T_{rd} はそのゲート G が画素容量 C_s の一端に接続され、そのソース S が同じく画素容量 C_s の他端に接続されている。またドライブトランジスタ T_{rd} のゲート G はスイッチングトランジスタ T_{r2} を介して別の基準電位 V_{ss1} に接続されている。ドライブトランジスタ T_{rd} のドレインはスイッチングトランジスタ T_{r4} を介して電源 V_{cc} に接続されている。このスイッチングトランジスタ T_{r2} のゲートは走査線 $AZ1$ に接続されている。スイッチングトランジスタ T_{r4} のゲートは走査線 DS に接続している。発光素子 E_L のアノードはドライブトランジスタ T_{rd} のソース S に接続し、カソードは接地されている。この接地電位は V_{cath} で表される場合がある。また、ドライブトランジスタ T_{rd} のソース S と所定の基準電位 V_{ss2} との間にスイッチングトランジスタ T_{r3} が介在している。このトランジスタ T_{r3} のゲートは走査線 $AZ2$ に接続している。一方サンプリングトランジスタ T_{r1} は信号線 SL とドライブトランジスタ T_{rd} のゲート G との間に接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線 WS に接続している。

【0038】

かかる構成において、サンプリングトランジスタ T_{r1} は、所定のサンプリング期間に走査線 WS から供給される制御信号 WS に応じ導通して信号線 SL から供給された映像信号 V_{sig} を容量部 C_s にサンプリングする。容量部 C_s は、サンプリングされた映像信号 V_{sig} に応じてドライブトランジスタのゲート G とソース S 間に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{rd} は、所定の発光期間中入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 E_L に供給する。なおこの出力電流 (ドレイン電流) I_{ds} はドライブトランジスタ T_{rd} のチャネル領域のキャリア移動度 μ 及び閾電圧 V_{th} に対して依存性を有する。発光素子 E_L は、ドライブトランジスタ T_{rd} から供給された出力電流 I_{ds} により映像信号 V_{sig} に応じた輝度で発光する。

【0039】

本発明の特徴事項として、画素回路 2 はスイッチングトランジスタ $T_{r2} \sim T_{r4}$ で構成される補正手段を備えており、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消す為に、予め発光期間の先頭で容量部 C_s に保持された入力電圧 V_{gs} を補正する。具体的には、この補正手段 ($T_{r2} \sim T_{r4}$) は、走査線 WS 及び DS から供給される制御信号 WS , DS に応じてサンプリング期間の一部で動作し、映像信号 V_{sig} がサンプリングされている状態でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出し、これを容量部 C_s に負帰還して入力電圧 V_{gs} を補正する。さらにこの補正手段 ($T_{r2} \sim T_{r4}$) は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出し、且つ検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

【0040】

本実施形態の場合、ドライブトランジスタ T_{rd} は N チャネル型トランジスタでドレインが電源 V_{cc} 側に接続する一方、ソース S が発光素子 E_L 側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出して、容量部 C_s 側に負帰還する。その際本補正手段は、発光期間の先頭部分でドライブトランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が、発光素子 E_L の有する容量に流れ込むようにしている。具体的には、発光素子 E_L はアノード及びカソードを備えたダイオード型の発光素子からな

り、アノード側がドライブトランジスタ T_{rd} のソース S に接続する一方カソード側が接地されている。この構成で、本補正手段($T_{r2} \sim T_{r4}$)は、予め発光素子 E_L のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が発光素子 E_L に流れ込む時、このダイオード型の発光素子 E_L を容量性素子として機能させている。なお本補正手段は、サンプリング期間内でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより容量部 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

【0041】

図6は、図5に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にする為、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 E_L が有する容量成分 C_{oled} などを書き加えてある。以下図6に基づいて、本画素回路2の基本的な動作を説明する。

【0042】

図7は、図6に示した画素回路のタイミングチャートである。図7を参照して、図6に示した画素回路の動作をより具体的且つ詳細に説明する。図7は、時間軸 T に沿って各走査線 WS 、 $AZ1$ 、 $AZ2$ 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はNチャンネル型なので、走査線 WS 、 $AZ1$ 、 $AZ2$ がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ T_{r4} はPチャンネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS 、 $AZ1$ 、 $AZ2$ 、 DS の波形と共に、ドライブトランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

【0043】

図7のタイミングチャートではタイミング $T_1 \sim T_8$ までを1フィールド($1f$)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 $AZ1$ 、 $AZ2$ 、 DS の波形を表してある。

【0044】

当該フィールドが始まる前のタイミング T_0 で、全ての制御線号 WS 、 $AZ1$ 、 $AZ2$ 、 DS がローレベルにある。したがってNチャンネル型のトランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はオフ状態にある一方、Pチャンネル型のトランジスタ T_{r4} のみオン状態である。したがってドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 E_L に供給している。したがってタイミング T_0 で発光素子 E_L は発光している。この時ドライブトランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位(G)とソース電位(S)の差で表される。

【0045】

当該フィールドが始まるタイミング T_1 で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ T_{r4} がオフし、ドライブトランジスタ T_{rd} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング T_1 に入ると、全てのトランジスタ $T_{r1} \sim T_{r4}$ がオフ状態になる。

【0046】

続いてタイミング T_2 に進むと、制御信号 $AZ1$ 及び $AZ2$ がハイレベルになるので、スイッチングトランジスタ T_{r2} 及び T_{r3} がオンする。この結果、ドライブトランジスタ T_{rd} のゲート G が基準電位 V_{ss1} に接続し、ソース S が基準電位 V_{ss2} に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング T_3 で行われる V_{th} 補正の準備を行う。換言すると期間 $T_2 - T_3$ は、ドライブトランジスタ T_{rd} のリセット期間に相当する。また、発光素子 E_L の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。

これにより、発光素子E Lにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行うV t h補正動作及び移動度補正動作を正常に行うために必要である。

【0047】

タイミングT 3では制御信号A Z 2をローレベルにし且つ直後制御信号D Sもローレベルにしている。これによりトランジスタT r 3がオフする一方トランジスタT r 4がオンする。この結果ドレイン電流I d sが画素容量C sに流れ込み、V t h補正動作を開始する。この時ドライブトランジスタT r dのゲートGはV s s 1に保持されており、ドライブトランジスタT r dがカットオフするまで電流I d sが流れる。カットオフするとドライブトランジスタT r dのソース電位(S)はV s s 1 - V t hとなる。ドレイン電流がカットオフした後のタイミングT 4で制御信号D Sを再びハイレベルに戻し、スイッチングトランジスタT r 4をオフする。さらに制御信号A Z 1もローレベルに戻し、スイッチングトランジスタT r 2もオフする。この結果、画素容量C sにV t hが保持固定される。この様にタイミングT 3 - T 4はドライブトランジスタT r dの閾電圧V t hを検出する期間である。ここでは、この検出期間T 3 - T 4をV t h補正期間と呼んでいる。

【0048】

この様にV t h補正を行った後タイミングT 5で制御信号W Sをハイレベルに切り替え、サンプリングトランジスタT r 1をオンして映像信号V s i gを画素容量C sに書き込む。発光素子E Lの等価容量C o l e dに比べて画素容量C sは十分に小さい。この結果、映像信号V s i gのほとんど大部分が画素容量C sに書き込まれる。正確には、V s s 1に対するV s i gの差分V s i g - V s s 1が画素容量C sに書き込まれる。したがってドライブトランジスタT r dのゲートGとソースS間の電圧V g sは、先に検出保持されたV t hと今回サンプリングされたV s i g - V s s 1を加えたレベル(V s i g - V s s 1 + V t h)となる。以降説明簡易化の為V s s 1 = 0 Vとすると、ゲート/ソース間電圧V g sは図7のタイミングチャートに示すようにV s i g + V t hとなる。かかる映像信号V s i gのサンプリングは制御信号W Sがローレベルに戻るタイミングT 7まで行われる。すなわちタイミングT 5 - T 7がサンプリング期間に相当する。

【0049】

サンプリング期間の終了するタイミングT 7より前のタイミングT 6で制御信号D SがローレベルとなりスイッチングトランジスタT r 4がオンする。これによりドライブトランジスタT r dが電源V c cに接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタT r 1がまだオン状態で且つスイッチングトランジスタT r 4がオン状態に入った期間T 6 - T 7で、ドライブトランジスタT r dの移動度補正を行う。即ち本実施形態では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T 6 - T 7で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子E Lは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T 6 - T 7では、ドライブトランジスタT r dのゲートGが映像信号V s i gのレベルに固定された状態で、ドライブトランジスタT r dにドレイン電流I d sが流れる。ここでV s s 1 - V t h < V t h E Lと設定しておく事で、発光素子E Lは逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタT r dに流れる電流I d sは画素容量C sと発光素子E Lの等価容量C o l e dの両者を結合した容量C = C s + C o l e dに書き込まれていく。これによりドライブトランジスタT r dのソース電位(S)は上昇していく。図7のタイミングチャートではこの上昇分をΔ Vで表してある。この上昇分Δ Vは結局画素容量C sに保持されたゲート/ソース間電圧V g sから差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタT r dの出力電流I d sを同じくドライブトランジスタT r dの入力電圧V g sに負帰還する事で、移動度μを補正する事が可能である。なお負帰還量Δ Vは移動度補正期間T 6 - T 7の時間幅tを調整する事で最適化可能である。

【0050】

タイミングT7では制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果ドライブトランジスタTrdのゲートGは信号線SLから切り離される。映像信号Vsigの印加が解除されるので、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間画素容量Csに保持されたゲート/ソース間電圧Vgsは($V_{sig} - \Delta V + V_{th}$)の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流Idsの流入により発光素子ELは実際に発光を開始する。この時のドレイン電流Ids対ゲート電圧Vgsの関係は、先のトランジスタ特性式1のVgsに $V_{sig} - \Delta V + V_{th}$ を代入する事で、以下の式2のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2 \cdots \text{式2}$$

10

上記式2において、 $k = (1/2)(W/L)Cox$ である。この特性式2からVthの項がキャンセルされており、発光素子ELに供給される出力電流IdsはドライブトランジスタTrdの閾電圧Vthに依存しない事が分かる。基本的にドレイン電流Idsは映像信号の信号電圧Vsigによって決まる。換言すると、発光素子ELは映像信号Vsigに応じた輝度で発光する事になる。その際Vsigは帰還量ΔVで補正されている。この補正量ΔVは丁度特性式2の係数部に位置する移動度μの効果を打ち消すように働く。したがって、ドレイン電流Idsは実質的に映像信号Vsigのみに依存する事になる。

【0051】

最後にタイミングT8に至ると制御信号DSがハイレベルとなってスイッチングトランジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再びVth補正動作、移動度補正動作及び発光動作が繰り返される事になる。

20

【0052】

図8は、移動度補正期間T6 - T7における画素回路2の状態を示す回路図である。図示するように、移動度補正期間T6 - T7では、サンプリングトランジスタTr1及びスイッチングトランジスタTr4がオンしている一方、残りのスイッチングトランジスタTr2及びTr3がオフしている。この状態でドライブトランジスタTr4のソース電位(S)は $V_{ss1} - V_{th}$ である。このソース電位Sは発光素子ELのアノード電位でもある。前述したように $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子ELは逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタTrdに流れる電流Idsは画素容量Csと発光素子ELの等価容量Coleとの合成容量 $C = C_s + C_{ole}$ に流れ込む事になる。換言すると、ドレイン電流Idsの一部が画素容量Csに負帰還され、移動度の補正が行われる。

30

【0053】

図9は上述したトランジスタ特性式2をグラフ化したものであり、縦軸にIdsを取り横軸にVsigを取ってある。このグラフの下方に特性式2も合わせて示してある。図9のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタの移動度μは相対的に大きい。逆に画素2に含まれるドライブトランジスタの移動度μは相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度μがばらつく事は避けられない。例えば両画素1, 2に同レベルの映像信号Vsigを書き込んだ場合、何ら移動度の補正を行わないと、移動度μの大きい画素1に流れる出力電流 I_{ds1}' は、移動度μの小さい画素2に流れる出力電流 I_{ds2}' に比べて大きな差が生じてしまう。この様に移動度μのばらつきに起因して出力電流Idsの間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

40

【0054】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流Idsが大きくなる。したがって負帰還量ΔVは移動度が大きいほど大きくなる。図9の

50

グラフに示すように、移動度 μ の大きな画素 1 の負帰還量 ΔV_1 は移動度の小さな画素 2 の負帰還量 ΔV_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくかかる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素 1 で ΔV_1 の補正をかけると、出力電流は $I_{ds1'}$ から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素 2 の補正量 ΔV_2 は小さいので、出力電流 $I_{ds2'}$ は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素 1 と 2 があった場合、移動度の大きい画素 1 の補正量 ΔV_1 は移動度の小さい画素 2 の補正量 ΔV_2 に対して大きくなる。つまり移動度

10

【 0 0 5 5 】

以下参考の為図 10 を参照して、上述した移動度補正の数値解析を行う。図 10 に示すように、トランジスタ T_{r1} 及び T_{r4} がオンした状態で、ドライブトランジスタ T_{rd} のソース電位を変数 V に取って解析を行う。ドライブトランジスタ T_{rd} のソース電位 (S) を V とすると、ドライブトランジスタ T_{rd} を流れるドレイン電流 I_{ds} は以下の式 3 に示す通りである。

【 数 1 】

20

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【 0 0 5 6 】

またドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ の関係により、以下の式 4 に示す様に $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。

【 数 2 】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

30

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

40

【 0 0 5 7 】

式 4 に式 3 を代入して両辺積分する。ここで、ソース電圧 V 初期状態は $-V_{th}$ であり、移動度ばらつき補正時間 ($T_6 - T_7$) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が以下の数式 5 のように与えられる。

【 数 3 】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

50

【0058】

移動度の異なる画素において、式5を用いて $t = 0 \text{ us}$ と 2.5 us 時の電流値のグラフを図11に示す。なおこのグラフの下部に合わせて式5も載せておく。 $t = 0 \text{ us}$ の移動度補正をかけない状態に比べ、 $t = 2.5 \text{ us}$ では移動度ばらつきに対する補正が充分にかかっている事が分かる。移動度補正無しでは40%のばらつきがあったものが、移動度補正をかけると10%以下に抑えられている。移動度補正動作時は、常に $V < V_{thE_L}$ を満たしている必要がある。上述した第1実施形態の画素回路では移動度補正時に画素容量 C_s と発光素子 E_L の等価容量 $C_{ole d}$ を使用している。 $C_{ole d}$ は C_s に対して大きいので合成容量 C も大きくなり、移動度補正時間マージンを稼ぐ事ができる。

【0059】

10

以上の動作を行うことで、映像信号電位サンプリング方式の画素回路においても移動度ばらつきの補正を行う事ができる事が分かる。既に実用化されている液晶ディスプレイの駆動方式は基本的に映像信号電位をサンプリングする電圧駆動である。よって有機 E_L パネルにおいても電圧駆動にて移動度ばらつき補正が可能となる事で、従来液晶ディスプレイで用いていた外付けソースドライバや低温ポリシリコンTFTなどを用いたパネル内蔵型ソースドライバなどを利用する事が可能となり、低コストにて有機 E_L パネルモジュールを作成する事ができる。また第1実施形態の画素回路ではドライブトランジスタ以外のスイッチングトランジスタはNチャネル型とPチャネル型を混在して用いているが、各トランジスタの特性はNチャネルでもPチャネルでも構わない。

【0060】

20

図12は、本発明にかかる表示装置の第2実施形態を示すブロック図である。理解を容易にする為図5に示した第1実施形態と対応する部分には対応する参照番号を用いてある。本表示装置は、画素アレイ1とこれを囲む周辺の回路とで構成されている。周辺回路は、水平セクタ3とライトスキャナ4とドライブスキャナ5と第一補正用スキャナ71と第二補正用スキャナ72とを含む。画素アレイ1はマトリクス状に配列した画素回路2で構成されている。図では理解を容易にする為1個の画素回路2のみを示してある。画素回路2は6個のトランジスタ Tr_1 , Tr_d , $Tr_3 \sim Tr_6$ と、2個の容量素子 C_{s1} , C_{s2} と1個の発光素子 E_L とで構成されている。トランジスタは全てNチャネル型である。本画素回路2の主要部となるドライブトランジスタ Tr_d は、そのゲートGが各容量素子 C_{s1} , C_{s2} の一端に接続されている。一方の容量素子 C_{s1} は本画素回路2の出力側と入力側を結ぶ結合容量である。他方の容量素子 C_{s2} は結合容量 C_{s1} を介して映像信号が書き込まれる画素容量である。ドライブトランジスタ Tr_d のソースSは画素容量 C_{s2} の他端に接続すると共に、発光素子 E_L に接続している。発光素子 E_L はダイオード型のデバイスであり、そのアノードがドライブトランジスタ Tr_d のソースSに接続する一方、カソードKが接地電位 V_{cath} に接続されている。またドライブトランジスタ Tr_d のソースSと所定の基準電位 V_{ss2} との間にスイッチングトランジスタ Tr_3 が介在している。このトランジスタ Tr_3 のゲートは走査線AZ2に接続している。ドライブトランジスタ Tr_d のドレインはスイッチングトランジスタ Tr_4 を介して電源 V_{cc} に接続されている。スイッチングトランジスタ Tr_4 のゲートは走査線DSに接続している。加えてドライブトランジスタ Tr_d のゲートGとドレインとの間にスイッチングトランジスタ Tr_5 が介在している。このトランジスタ Tr_5 のゲートは走査線AZ1に接続している。一方入力側のサンプリングトランジスタ Tr_1 は信号線SLと結合容量 C_{s1} の他端との間に接続されている。サンプリングトランジスタ Tr_1 のゲートは走査線WSに接続されている。結合容量 C_{s1} の他端と所定の基準電位 V_{ss1} との間にトランジスタ Tr_6 が介在している。このトランジスタ Tr_6 のゲートは走査線AZ1に接続している。

30

40

【0061】

図13は、図12に示した画素回路の動作説明に供するタイミングチャートである。時間軸Tに沿って制御信号WS, DS, AZ1, AZ2の波形を表すと共に、ドライブトラ

50

ンジスタ T_{rd} のゲート電位(G)及びソース電位(S)の変化も表してある。当該フィールドが開始するタイミング T_1 では、制御信号 WS 、 AZ_1 、 AZ_2 がローレベルで、制御信号 DS のみがハイレベルである。したがって、タイミング T_1 ではスイッチングトランジスタ T_{r4} のみがオン状態にあり、残りのトランジスタ T_{r1} 、 T_{r3} 、 T_{r5} 、 T_{r6} はオフ状態にある。この時ドライブトランジスタ T_{rd} はオン状態にあるスイッチングトランジスタ T_{r4} を介して電源 V_{cc} に接続されているので、所定のドレイン電流 I_{ds} が発光素子 EL に流れる為、発光状態となっている。

【0062】

タイミング T_2 になると制御信号 AZ_1 と AZ_2 とがハイレベルとなり、スイッチングトランジスタ T_{r5} 、 T_{r6} がオンする。ドライブトランジスタ T_{rd} のゲート G はトランジスタ T_{r5} を通して電源 V_{cc} 側に接続するので、ゲート電位(G)は急激に上昇する。

10

【0063】

この後タイミング T_3 で制御信号 DS がローレベルとなり、トランジスタ T_{r4} がオフする。ドライブトランジスタ T_{rd} に対する電源供給が遮断されるので、ドレイン電流 I_{ds} は減衰していく。これによりソース電位(S)及びゲート電位(G)は共に下降するが、丁度両者の電位差が V_{th} となったところで電流が流れなくなる。この時の V_{th} が画素容量 C_{s2} に保持される。画素容量 C_{s2} に保持された V_{th} はドライブトランジスタ T_{rd} の閾電圧のキャンセルに用いられる。また、スイッチングトランジスタ T_{r3} はオンしており、ドライブトランジスタ T_{r2} のソース S はトランジスタ T_{r3} を介して基準電位 V_{ss2} に接続される。この V_{ss2} は発光素子 EL の閾電圧よりも低く設定されており、発光素子 EL は逆バイアス状態におかれる。

20

【0064】

この後タイミング T_4 になったとき制御信号 AZ_1 がローレベルとなり、トランジスタ T_{r5} 、 T_{r6} がオフして、 C_{s2} に書き込まれた V_{th} が固定される。タイミング T_2 から T_4 まで V_{th} 補正期間($T_2 - T_4$)と呼ぶ。なお V_{th} 補正期間では T_{r6} がオンしている為、結合容量 C_{s1} の他端は所定の基準電位 V_{ss1} に保持される。

【0065】

タイミング T_5 になると制御信号 WS 及び AZ_2 がハイレベルになり、サンプリングトランジスタ T_{r1} がオンする。この結果、ドライブトランジスタ T_{rd} のゲート G は結合容量 C_{s1} 及びオンしたサンプリングトランジスタ T_{r1} を介して信号線 SL に接続される。この結果映像信号が結合容量 C_{s1} を介してドライブトランジスタ T_{rd} のゲート G にカップリングされ、その電位が上昇する。図13のタイミングチャートでは映像信号のカップリング分と V_{th} を合わせた電圧を V_{in} で表してある。画素容量 C_{s2} にこの V_{in} が保持された事になる。この後タイミング T_7 で制御信号 WS がローレベルに戻り、画素容量 C_{s2} に書き込まれた電位が保持固定される。この様にして映像信号が結合容量 C_{s1} を介して画素容量 C_{s2} に書き込まれる期間をサンプリング期間 $T_5 - T_7$ と呼ぶ。このサンプリング期間 $T_5 - T_7$ は通常1水平期間($1H$)に相当する。

30

【0066】

本実施形態では、サンプリング期間が終了するタイミング T_7 の前のタイミング T_6 で、制御信号 DS がハイレベルになる一方制御信号 AZ_2 がローレベルになる。この結果ドライブトランジスタ T_{rd} のソース S が V_{ss2} から切り離される一方ドレイン側からソース S 側に向かって電流が流れる。一方サンプリングトランジスタ T_{r1} は引き続きオン状態なのでドライブトランジスタ T_{rd} のゲート電位(G)は映像信号側に保持されている。この様な状態でドライブトランジスタ T_{rd} に出力電流が流れるので、画素容量 C_{s2} 及び逆バイアス状態にある発光素子 EL の等価容量を充電する事になる。これによりドライブトランジスタ T_{rd} のソース電位(S)は ΔV だけ上昇し、その分だけ C_{s2} に保持されていた電圧 V_{in} が減少する。換言すると、期間 $T_6 - T_7$ の間でソース S 側の出力電流がゲート G 側の入力電圧に負帰還される。この負帰還量が ΔV で表される。この負帰還動作により、ドライブトランジスタ T_{rd} の移動度補正が行われる。

40

50

【 0 0 6 7 】

この後タイミング T_7 で制御信号 WS がローレベルとなり、映像信号の印加が解除されると、いわゆるブートストラップ動作が行われゲート電位 (G) 及びソース電位 (S) は両者の差 ($V_{in} - \Delta V$) を維持したまま上昇する。ソース電位 (S) の上昇に伴い発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} が発光素子 EL に流れ込み、映像信号に応じた輝度で発光が行われる。この後タイミング T_8 で当該フィールド $1f$ が終わると次のフィールドに進む。次のフィールドでも、 V_{th} 補正、信号書き込み、移動度補正の各動作を行う。

【 0 0 6 8 】

図 14 は、図 13 に示した移動度補正期間 $T_6 - T_7$ における画素回路 2 の状態を表している。この画素回路 2 もスイッチングトランジスタ Tr_3 , Tr_4 , Tr_5 などで構成される補正手段を備えている。この補正手段は出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消す為、予め発光期間 $T_6 - T_8$ の前または先頭で画素容量 C_{s2} に保持された入力電圧 V_{in} (V_{gs}) を補正する。この補正手段は走査線 WS 及び DS から供給される制御信号 WS , DS に応じてサンプリング期間 $T_5 - T_7$ の一部で動作し、映像信号 V_{sig} がサンプリングされている状態でドライブトランジスタ Tr_d から出力電流 I_{ds} を取り出し、これを画素容量 C_{s2} に負帰還して入力電圧 V_{gs} を補正する。加えてこの補正手段 (Tr_3 , Tr_4 , Tr_5) は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消す為、予めサンプリング期間 $T_5 - T_7$ に先立つ期間 $T_2 - T_4$ でドライブトランジスタ Tr_d の閾電圧 V_{th} を検出し、且つ検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

【 0 0 6 9 】

本実施形態においても、ドライブトランジスタ Tr_d は N チャネル型トランジスタでドレインが電源 V_{cc} 側に接続する一方ソース S が発光素子 EL 側に接続している。この構成において本補正手段は、サンプリング期間 $T_5 - T_7$ の後部分に重なる発光期間 $T_6 - T_8$ の先頭部分 ($T_6 - T_7$) でドライブトランジスタ Tr_d から出力電流 I_{ds} を取り出して、画素容量 C_{s2} 側に負帰還する。その際本補正手段は、発光期間の先頭部分 ($T_6 - T_7$) でドライブトランジスタ Tr_d のソース S 側から取り出した出力電流 I_{ds} が、発光素子 EL の有する等価容量 C_{oled} に流れ込むようにしている。発光素子 EL はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ Tr_d のソース S に接続する一方カソード側が V_{cath} に接地されている。本補正手段は前述したように予め発光素子 EL のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ Tr_d のソース S 側から取り出した出力電流 I_{ds} が発光素子 EL に流れ込む時、ダイオード型の発光素子 EL を容量性素子 C_{oled} として機能させている。

【 0 0 7 0 】

図 15 は、本発明にかかる表示装置の第 3 実施形態を示すブロック図である。理解を容易にする為、図 5 に示した第 1 実施形態と対応する部分には対応する参照番号を付してある。本表示装置も中央の画素アレイ 1 とこれを囲む周辺回路とで構成されている。周辺回路は水平セクタ 3、ライトスキャナ 4、ドライブスキャナ 5、第一補正用スキャナ 71、第二補正用スキャナ 72 を含んでいる。画素アレイ 1 はマトリクス状に配列された画素回路から構成されている。図では理解を容易にする為 1 個の画素回路 2 のみを拡大表示してある。

【 0 0 7 1 】

画素回路 2 は 5 個のトランジスタ Tr_1 , Tr_2 , Tr_4 , Tr_5 , Tr_d と 2 個の容量素子 C_{s1} , C_{s2} と 1 個の発光素子 EL とで構成されている。第 1 実施形態及び第 2 実施形態と異なり、ドライブトランジスタ Tr_d は P チャネル型である。残りのトランジスタ Tr_1 , Tr_2 , Tr_4 , Tr_5 は全て N チャネル型である。なお画素サイズや発光素子 EL の特性にもよるが、一般的にドライブトランジスタは N チャネル型の方が移動度補正值の容量を大きく取る事ができ、移動度補正のマージンがある。

【 0 0 7 2 】

ドライブトランジスタ T_{rd} のソースは電源 V_{cc} に接続している。ゲートは画素容量 C_{s1} の一端に接続している。ドライブトランジスタ T_{rd} が P チャンネル型の場合、ゲート電圧 V_{gs} はソース側となる電源 V_{cc} を基準にして定義される。ドライブトランジスタ T_{rd} のドレインはスイッチングトランジスタ T_{r4} を介して発光素子 E_L に接続している。発光素子 E_L はダイオード型であり、アノードがスイッチングトランジスタ T_{r4} を介してドライブトランジスタ T_{rd} のドレインに接続する一方、カソードが接地されている。なおスイッチングトランジスタ T_{r4} のゲートは走査線 DS に接続している。ドライブトランジスタ T_{rd} のゲートとドレインとの間にスイッチングトランジスタ T_{r5} が介在している。そのゲートは走査線 $AZ1$ に接続している。

10

【 0 0 7 3 】

一方画素回路 2 の入力側となるサンプリングトランジスタ T_{r1} は信号線 SL と画素容量 C_{s1} の他端との間に接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線 WS に接続されている。画素容量 C_{s1} の他端と電源 V_{cc} との間に別の画素容量 C_{s2} が接続している。また画素容量 C_{s1} の他端と所定のオフセット電位 V_{ofs} との間にスイッチングトランジスタ T_{r2} が接続している。このトランジスタ T_{r2} のゲートは走査線 $AZ2$ に接続している。

【 0 0 7 4 】

図 16 は、図 15 に示した画素回路の各トランジスタとこれらに対応する制御信号との関係を明示した回路図である。合わせてドライブトランジスタ T_{rd} のゲートを記号 G で明示し、発光素子 E_L のアノードを記号 X で明示してある。各トランジスタ T_{r1} , T_{r2} , T_{r4} , T_{r5} のゲートに印加される制御信号を対応する走査線と同じ記号で表してある。

20

【 0 0 7 5 】

図 17 は、図 16 に示した画素回路の動作説明に供するタイミングチャートである。時間軸 T に沿って制御信号 WS , $AZ1$, $AZ2$, DS の波形を表すと共に、ドライブトランジスタ T_{rd} のゲート電位 (G) と発光素子 E_L のアノード電位 (X) の変化も表してある。

【 0 0 7 6 】

当該フィールドに入る前のタイミング T_0 で、制御信号 WS , $AZ1$, $AZ2$ はローレベルにある一方、制御信号 DS はハイレベルにある。したがってタイミング T_0 ではトランジスタ T_{r4} がオン状態にある一方、残りのトランジスタ T_{r1} , T_{r2} , T_{r5} はオフ状態にある。ドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して発光素子 E_L に接続している。したがって発光素子 E_L にはゲート電圧 V_{gs} に応じた出力電流が流れて発光している。なお、図 17 のタイミングチャートではゲート電圧 V_{gs} は電源電位 V_{cc} とゲート電位 (G) との間の差で表される。

30

【 0 0 7 7 】

当該フィールドに入るタイミング T_1 で、制御信号 $AZ1$ 及び $AZ2$ がハイレベルになり、トランジスタ T_{r2} , T_{r5} がオンする。これにより画素容量 C_{s1} の他端は所定のオフセット電位 V_{ofs} に固定される。またドライブトランジスタ T_{rd} のドレインとゲートが直結する。この為ゲート電位 (G) はドレイン電位に引かれて急激に下降する一方、アノード電位 (X) は発光素子 E_L 内に生じた電圧降下で急激に上昇する。この動作でドライブトランジスタ T_{rd} は閾電圧検出の準備状態となる。

40

【 0 0 7 8 】

続いてタイミング T_2 で制御信号 DS がローレベルとなり、スイッチングトランジスタ T_{r4} がオフする。ここまでの期間 $T_1 - T_2$ はリセット期間もしくはオーバーラップ期間と呼ばれる。スイッチングトランジスタ T_{r4} がオフするとドライブトランジスタの電流路が遮断され、ゲート容量 C_{gs} 及び画素容量 C_{s1} を充電していく。この結果ゲート電位 (G) が上昇する。丁度電源電位 V_{cc} とゲート電位 (G) の差が V_{th} となった所でドライブトランジスタ T_{rd} がカットオフする。カットオフした後のタイミング T_3 で

50

制御信号 A Z 1 , A Z 2 がローレベルに戻り、トランジスタ T r 2 , T r 5 がオフする。この結果画素容量 C s 1 に書き込まれた閾電圧 V t h が保持される。この期間 T 2 - T 3 を V t h 補正期間もしくは V t h 検出期間と呼ぶ。なお発光素子 E L に対する通電が遮断されるので、アノード電位 (X) は接地電位 G N D まで下がる。

【 0 0 7 9 】

この後タイミング T 4 に進むと制御信号 W S がハイレベルになりサンプリングトランジスタ T r 1 がオンする。この結果映像信号 V s i g がサンプリングされ、画素容量 C s 2 に V o f s - V s i g が書き込まれる。この電圧 V o f s - V s i g は画素容量 C s 1 を介してドライブトランジスタ T r d のゲート G 側にカップリングされる。その量は C s 1 (V o f s - V s i g) / (C s 1 + C g s) で与えられる。なお C g s はドライブトランジスタのソース/ゲート間容量である。このカップリング電圧分だけさらにゲート電位 (G) が下がるので、結局ゲート電圧 V g s は V t h + C s 1 (V o f s - V s i g) / (C s 1 + C g s) となる。この後 1 水平期間 (1 H) 経過後のタイミング T 7 で制御信号 W S はローレベルに戻り、サンプリングトランジスタ T r 1 がオフする。この 1 H に相当する期間 T 4 - T 7 で映像信号 V s i g のサンプリングが行われる。

【 0 0 8 0 】

このサンプリング期間 T 4 - T 7 の一部の期間 T 5 - T 6 で制御信号 A Z 1 がハイレベルになり、トランジスタ T r 5 が導通する。この結果電源 V c c 側 (ドライブトランジスタ T r d のソース側) からドレイン側を通してゲート G 側にドレイン電流が流れ込む。このドレイン電流の流れ込みによりゲート電位 (G) は Δ V 分だけ上昇する。Δ V はドライブトランジスタの移動度に比例している。ドライブトランジスタの移動度が大きいほど Δ V は大きくなりゲート電位 (G) が上昇するので、ゲート電圧 V g s はその分圧縮され出力電流が抑制される。この様にドライブトランジスタ T r d のドレイン側からゲート側に向かって負のフォードバックをかける事で、移動度のばらつきを抑制可能である。サンプリング期間 T 4 - T 7 の中に設定された期間 T 5 - T 6 を移動度補正期間と呼ぶ。この移動度補正を行うことで、ドライブトランジスタ T r d のゲート電圧 V g s は結局 V t h + C s 1 (V o f s - V s i g) / (C s 1 + C g s) - Δ V で与えられる。このゲート電圧 V g s には正味の信号成分に加え、ドライブトランジスタの閾電圧をキャンセルするための成分 V t h と移動度を補正する為の成分 Δ V が含まれている。

【 0 0 8 1 】

タイミング T 8 になると制御信号 D S がハイレベルとなりスイッチングトランジスタ T r 4 がオンする。これによりドライブトランジスタ T r d は発光素子 E L に直結し、閾電圧 V t h 及び移動度 μ のばらつきが補正された出力電流が発光素子 E L に流れる。この後タイミング T 9 で当該フィールドが終了すると、次のフィールドに移って再び V t h 補正、映像信号サンプリング、移動度補正の各動作が行われる。

【 0 0 8 2 】

図 1 8 は、移動度補正期間 T 5 - T 6 における画素回路の状態を示す回路図である。前述したように移動度補正期間 T 5 - T 6 ではサンプリングトランジスタ T r 1 とスイッチングトランジスタ T r 5 がオンしている為、ドレイン電流 I d s は画素容量 C s 1 に書き込まれる。これによりドライブトランジスタ T r d のゲート電位 (G) は Δ V 上昇する。この時に流れるドレイン電流 I d s は以下の式 6 により表される。なお、式 6 ではカップリング係数 C s 1 / (C s 1 + C g s) を 1 として省略してある。実際 C g s に比べて C s 1 はかなり大きい。

【 数 4 】

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{ofs} - V_{sig} - \Delta V)^2 \quad \text{式6}$$

【 0 0 8 3 】

前述したように Δ V = I d s ・ t / C s 1 より、移動度の異なる画素では Δ V も異なる

。移動度が大きい画素ほど ΔV は大きくなり、 I_{ds} の補正量も大きくなる。これらの動作により、移動度ばらつきがある画素においても、 I_{ds} を均一化する事ができ、移動度ばらつき補正を行う事ができる。

【0084】

詳細な計算式は先の実施形態1と同様な解析によって、以下の式7に示すように与えられる。

【数5】

$$I_{ds} = k\mu \left(\frac{V_{ofs} - V_{sig}}{1 + (V_{ofs} - V_{sig}) \frac{k\mu}{C_{s1}} t} \right)^2 \quad \text{式7}$$

10

【0085】

上記式7の右辺は移動度 μ を2つ含む。係数部の μ と左辺の分母に位置する μ は互いにキャンセルしあうので、結果的にドレイン電流 I_{ds} から移動度 μ の影響を除く事ができる。式7の分母にある μ の効果は移動度補正期間 $T_5 - T_6$ の時間幅 t によって調整できる。これにより本発明の移動度補正を最適化可能である。

【図面の簡単な説明】

【0086】

【図1】表示装置の参考例を示すブロック図である。

20

【図2】図1に示した表示装置に含まれる画素回路の構成を示す回路図である。

【図3】図2に示した画素回路の動作説明に供する参考タイミングチャートである。

【図4】ドライブトランジスタの入力電圧/出力電流特性を示すグラフである。

【図5】本発明にかかる表示装置の第1実施形態を示すブロック図である。

【図6】図5に示した表示装置に含まれる画素回路を取り出した模式図である。

【図7】図6に示した画素回路の動作説明に供するタイミングチャートである。

【図8】図6に示した画素回路の動作説明に供する模式図である。

【図9】同じく動作説明に供するグラフである。

【図10】同じく動作説明に供する模式図である。

【図11】図6に示した画素回路に含まれるドライブトランジスタの動作特性を示すグラフである。

30

【図12】本発明にかかる表示装置の第2実施形態を示すブロック図である。

【図13】図12に示した表示装置に含まれる画素回路の動作説明に供するタイミングチャートである。

【図14】同じく動作説明に供する画素回路図である。

【図15】本発明にかかる表示装置の第3実施形態を示すブロック図である。

【図16】図15に示した表示装置に含まれる画素回路の動作説明に供する模式図である。

【図17】同じく動作説明に供するタイミングチャートである。

【図18】同じく動作説明に供する模式図である。

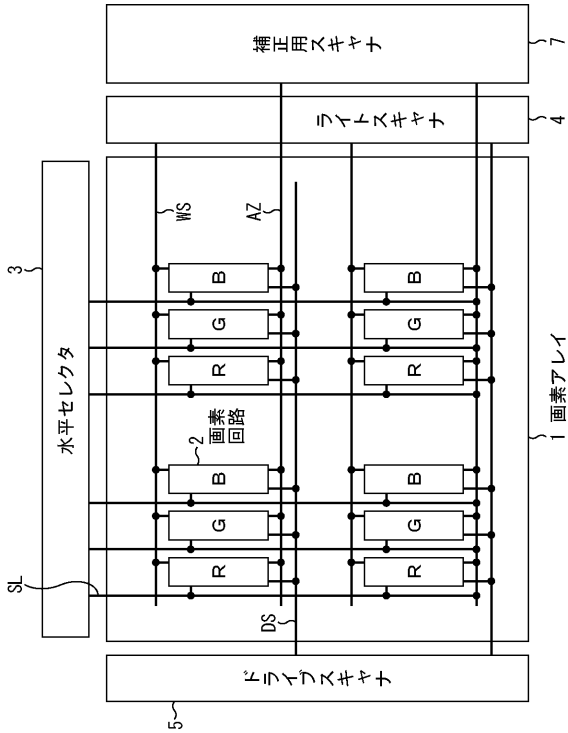
40

【符号の説明】

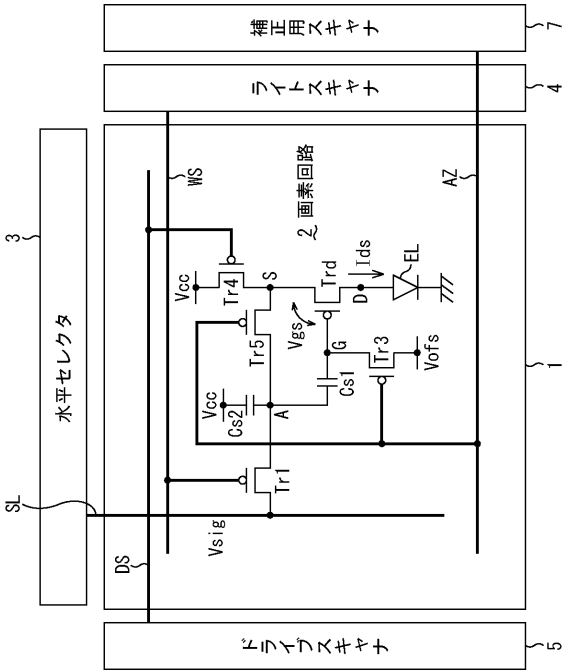
【0087】

1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ、4・・・ライトスキヤナ、5・・・ドライブスキヤナ、7・・・補正用スキヤナ、 Tr_1 ・・・サンプリングトランジスタ、 Tr_d ・・・ドライブトランジスタ、 EL ・・・発光素子、 C_s ・・・容量素子

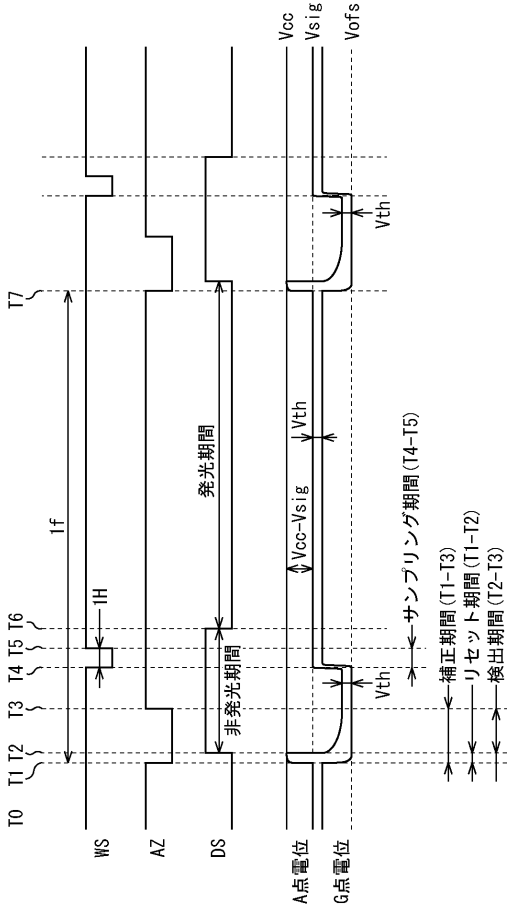
【図 1】



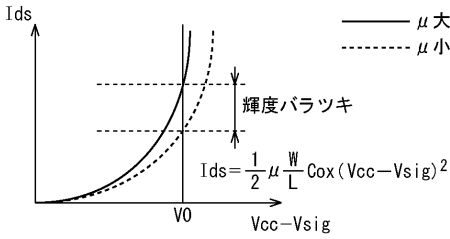
【図 2】



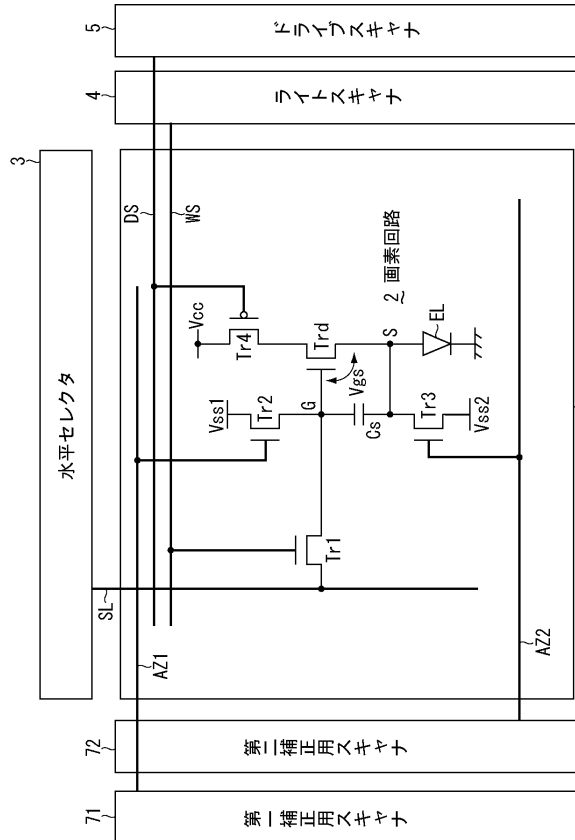
【図 3】



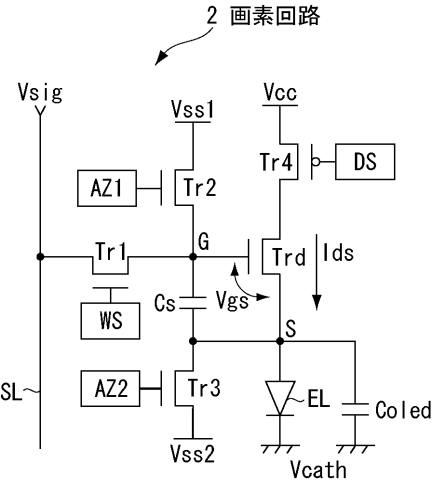
【図 4】



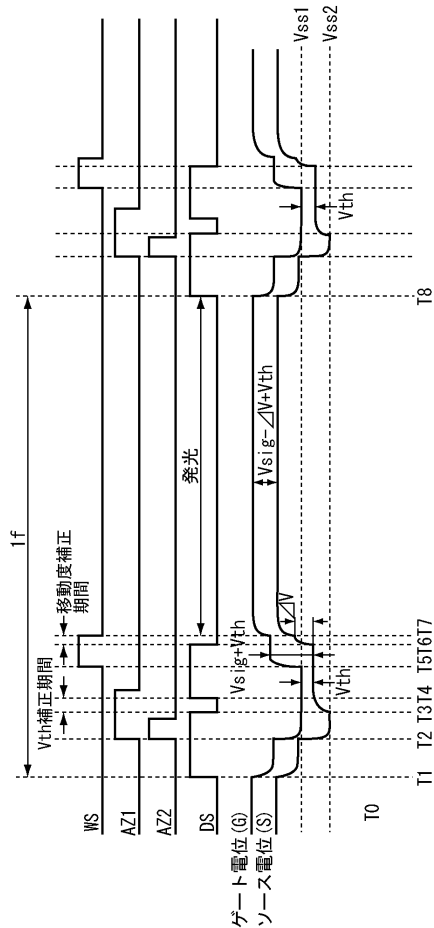
【図 5】



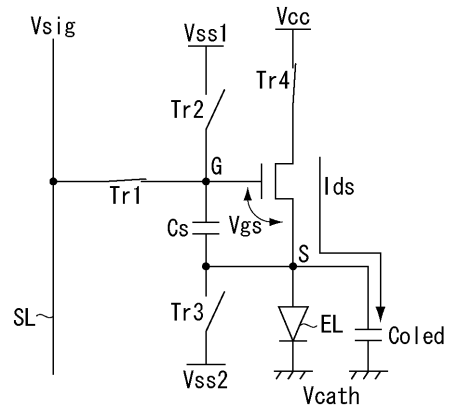
【図 6】



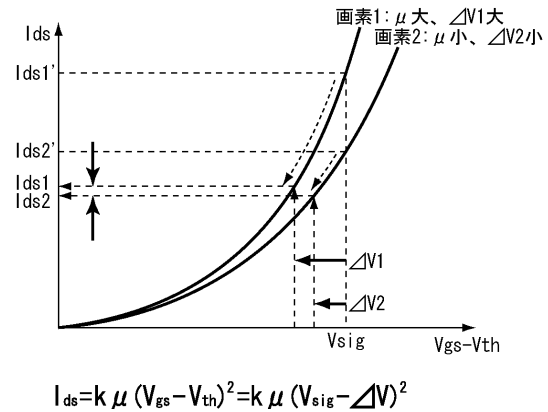
【図 7】



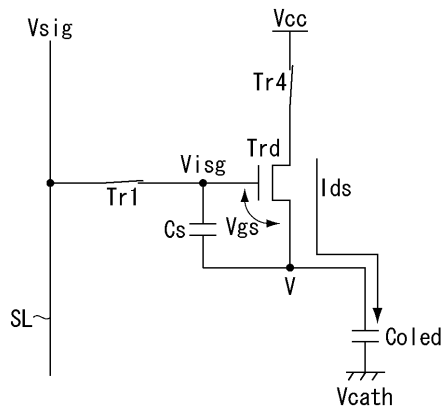
【図 8】



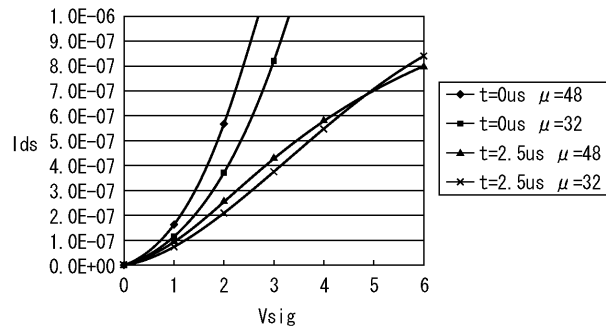
【図 9】



【図 10】

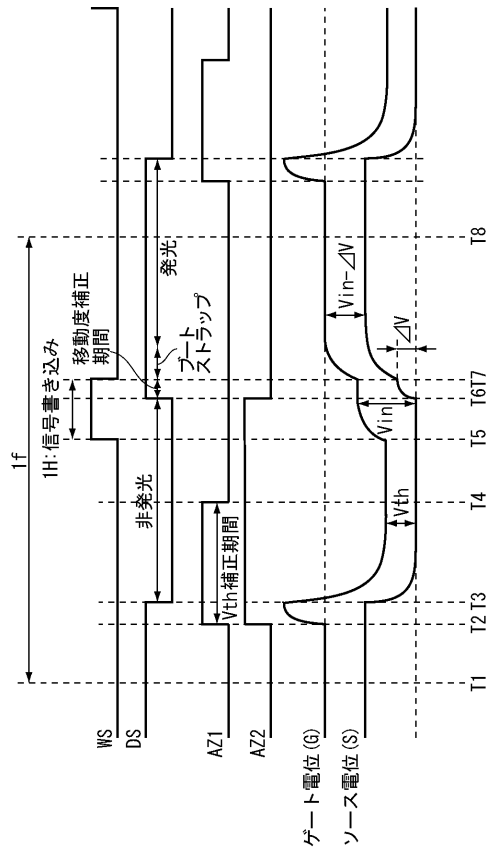


【図 11】

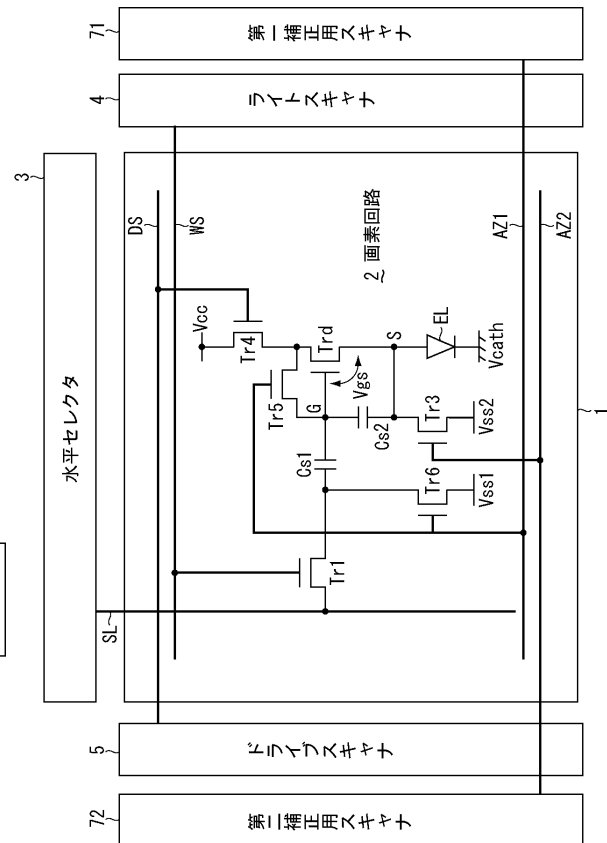


$$I_{ds} = k \mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k \mu}{C} t} \right)^2$$

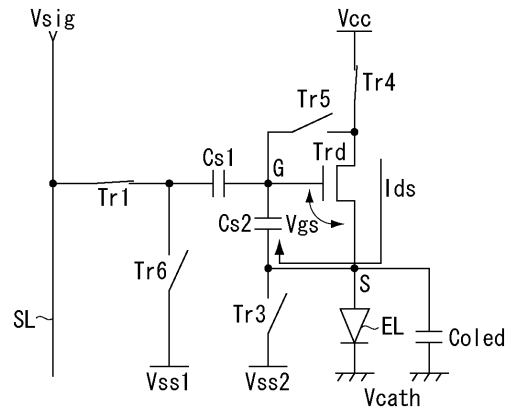
【図 13】



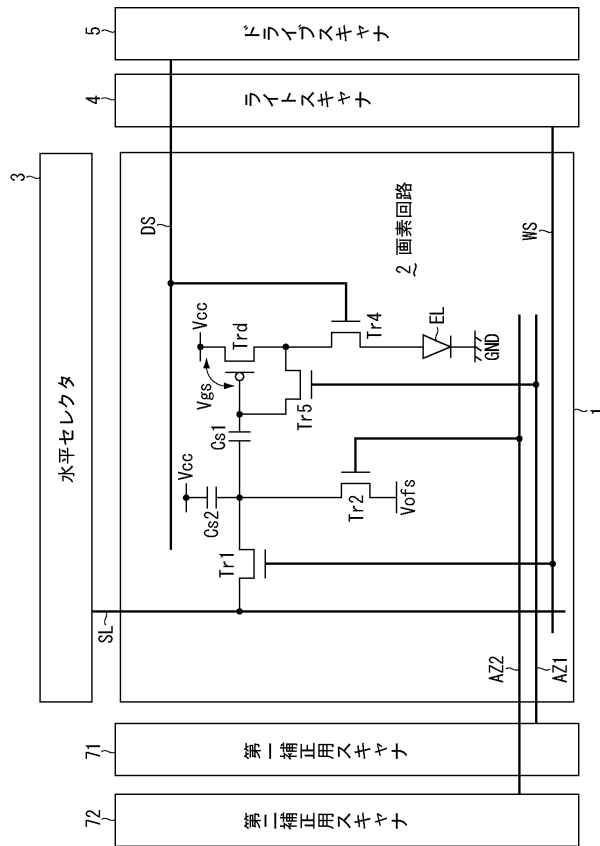
【図 12】



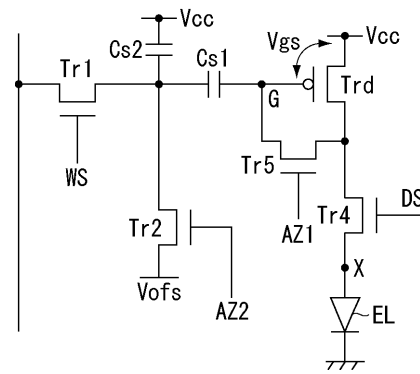
【図 14】



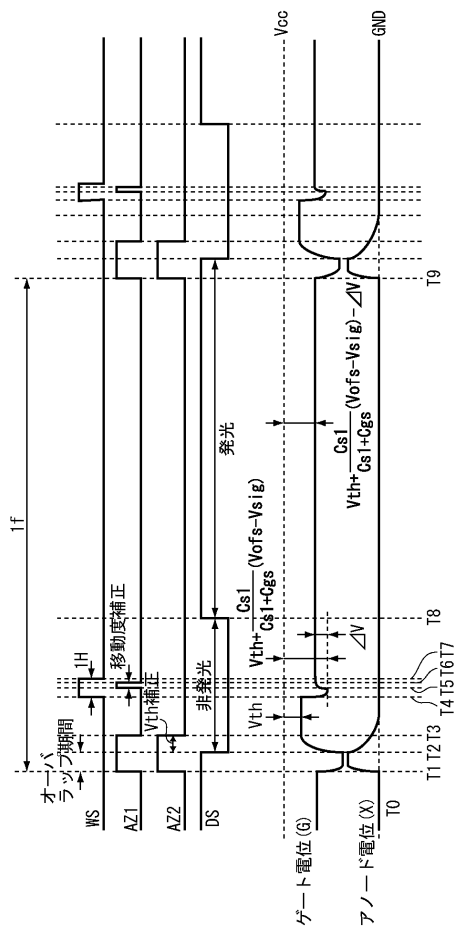
【図 15】



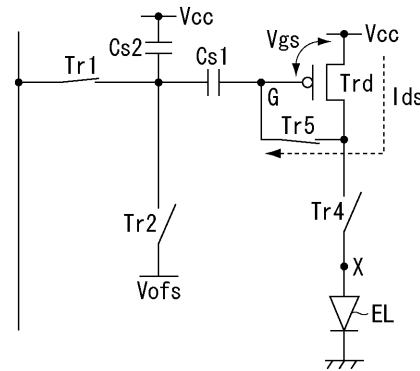
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

審査官 福村 拓

(56)参考文献 国際公開第03/075256(WO,A1)

特開2006-084899(JP,A)

特開2005-345722(JP,A)

特開2004-361640(JP,A)

特開2004-133240(JP,A)

特開2004-295131(JP,A)

特開2004-280059(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G 0 9 G 3 / 3 0

G 0 9 G 3 / 2 0

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP4923410B2	公开(公告)日	2012-04-25
申请号	JP2005027028	申请日	2005-02-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G5/18 G09G3/3233 G09G3/3266 G09G5/10 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/061 G09G2320/043 G09G2320/045		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.622.G G09G3/20.624.B G09G3/20.641.D H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107 /CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080 /JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB18 5C380 /CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC64 5C380/CC65 5C380/CC71 5C380/CD015 5C380 /CD025 5C380/CD026 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	吉井正明 山本隆久 森浩一		
审查员(译)	福村 拓		
其他公开文献	JP2006215213A		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够消除驱动晶体管的迁移率的影响的像素电路。 解决方案：驱动晶体管Trd在预定发光时段期间将对应于输入电压Vgs的输出电流提供给发光元件EL。发光元件EL通过从驱动晶体管Trd提供的输出电流根据视频信号发出具有亮度的光。为了消除输出电流对载流子迁移率的依赖性，提供校正装置，其校正是在发光时段之前或开始时在电容部分Cs中保持的输入电压Vgs。校正装置根据从扫描线DS，WS，AZ1，AZ2提供的控制信号在采样周期的一部分中操作，并在视频信号被采样的状态下从驱动晶体管Trd取出输出电流。被负反馈到电容部分Cs以校正输入电压Vgs。 [选中图]图5

$$I_{\text{sig}} = k(V_{\text{sig}} - V_{\text{th}})^2 = k(V_{\text{sig}} - V_{\text{th}})^2 \quad \text{--- (3)}$$