

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3912313号

(P3912313)

(45) 発行日 平成19年5月9日(2007.5.9)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/30 K
H01L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 641D
	G09G 3/20 642P
請求項の数 17 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2003-95963 (P2003-95963)	(73) 特許権者	000002369
(22) 出願日	平成15年3月31日(2003.3.31)		セイコーエプソン株式会社
(65) 公開番号	特開2004-302211 (P2004-302211A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成16年10月28日(2004.10.28)	(74) 代理人	100098084
審査請求日	平成17年1月25日(2005.1.25)		弁理士 川▲崎▼ 研二
		(74) 代理人	100095728
			弁理士 上柳 雅普
		(74) 代理人	100107076
			弁理士 藤綱 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	城 宏明
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		最終頁に続く	

(54) 【発明の名称】 画素回路、電気光学装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

走査線とデータ線との交差部に配置される画素回路であって、
 前記走査線が選択されたとき、前記データ線に流れる電流、または前記データ線の電圧に応じた電荷を蓄積する容量素子と、
 前記容量素子に蓄積された電荷に応じて導通状態が設定され、電流を、その第1の端子および第2の端子の間に流す駆動トランジスタと、
 その一端が前記第1の端子に電氣的に接続されて、少なくとも前記駆動トランジスタが流す電流によって駆動される被駆動素子と、
 前記被駆動素子の一端における電圧を検出する検出素子と、
 前記駆動トランジスタの第1の端子および第2の端子に対して並列の経路で流れる電流を前記検出素子による検出電圧に応じて生成するとともに、該生成電流を前記駆動トランジスタが流す電流に加算して、前記被駆動素子に流れる電流を前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路と
 を具備することを特徴とする画素回路。

【請求項2】

前記検出素子は、前記被駆動素子の一端にそのゲートが接続されて、そのゲート電圧に応じて導通状態が設定され、電流を、その第3の端子および第4の端子の間に流す検出トランジスタであり、

前記補正回路は、前記駆動トランジスタの第1の端子および第2の端子の間に流れる電

流に対応する電流を生成する

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

前記補正回路は、前記第 3 の端子および前記第 4 の端子の間に流れる電流のミラー電流を生成するカレントミラー回路である

ことを特徴とする請求項 2 に記載の画素回路。

【請求項 4】

前記補正回路は、前記検出素子によって検出された電圧の変化方向とは同方向に変化する電圧が前記駆動トランジスタの第 2 端子および前記被駆動素子の一端の間に印加されるように、前記並列の経路で流れる電流を生成する

10

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 5】

その一端が前記第 1 の端子に接続され、その他端が前記被駆動素子の一端に接続されて、前記走査線の非選択時に前記駆動トランジスタと前記被駆動素子との間の導通状態を制御するスイッチを備え、

前記検出素子は、前記スイッチの一端における電圧を検出し、

前記補正回路は、該生成電流を前記スイッチの一端に流す

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 6】

前記走査線が選択されたとき、オンするスイッチングトランジスタと、

20

前記走査線が選択されたとき、前記駆動トランジスタをダイオード接続させる補償トランジスタと

を備え、

前記容量素子は、前記スイッチングトランジスタがオンしたとき、前記データ線に流れる電流に応じた電荷を蓄積する

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 7】

前記走査線が選択されたとき、オンするスイッチングトランジスタを備え、

前記容量素子は、前記スイッチングトランジスタがオンしたとき、前記データ線の電圧に応じた電荷を蓄積する

30

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 8】

前記補正回路は、前記検出素子による検出電圧の絶対値が大きければ、前記駆動トランジスタの第 2 の端子と前記被駆動素子の一端との間の電圧を絶対値でみて大きくなる方向に操作する

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 9】

そのゲートが容量素子の一端に接続され、前記容量素子に蓄積された電荷に応じて、その第 1 の端子および第 2 の端子の導通状態が設定される駆動トランジスタと、

その一端が前記第 1 の端子に電氣的に接続された被駆動素子と、

40

前記被駆動素子の一端における電圧を検出する検出素子と、

前記駆動トランジスタの第 1 の端子および第 2 の端子に対して並列の経路で流れる電流を前記検出素子による検出電圧に応じて生成するとともに、該生成電流を前記駆動トランジスタが流す電流に加算して、前記被駆動素子に流れる電流を前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路と

を具備することを特徴とする画素回路。

【請求項 10】

前記検出素子は、そのゲートが前記被駆動素子の一端に接続され、そのゲート電圧に応じて、その第 3 の端子および第 4 の端子の導通状態が設定される検出トランジスタである

ことを特徴とする請求項 9 に記載の画素回路。

50

【請求項 1 1】

前記補正回路は、

その第 5 の端子とゲートとが接続されるとともに、その第 6 の端子が電源電圧の給電線に接続される一方、前記第 5 の端子が前記第 3 の端子に接続された第 1 トランジスタと、

そのゲートが、前記第 1 トランジスタのゲートおよび前記第 5 の端子に接続されるとともに、その第 7 の端子が前記第 1 の端子に電氣的に接続される一方、

その第 8 の端子が前記給電線に接続された第 2 トランジスタと

を有することを特徴とする請求項 1 0 に記載の画素回路。

【請求項 1 2】

前記補正回路は、

そのゲートに基準電圧が印加されるとともに、その第 9 の端子が前記第 3 の端子に接続される一方、その第 1 0 の端子が電源電圧の給電線に接続された第 3 トランジスタと、

そのゲートが前記第 9 の端子に接続されるとともに、その第 1 1 の端子が前記第 1 の端子に電氣的に接続される一方、その第 1 2 の端子が前記給電線に接続された第 4 トランジスタと

を有することを特徴とする請求項 1 0 に記載の画素回路。

【請求項 1 3】

その一端が前記第 1 の端子に接続され、その他端が前記被駆動素子の一端に接続されたスイッチを備え、

前記検出素子は、前記スイッチの一端における電圧を検出することを特徴とする請求項 9 に記載の画素回路。

【請求項 1 4】

前記駆動トランジスタのゲートおよび前記第 1 の端子の間を短絡させる補償トランジスタを備え、

前記容量素子は、前記補償トランジスタが前記駆動トランジスタのゲートおよび前記第 1 の端子を短絡させたときに、前記第 1 の端子の電圧に応じた電荷を蓄積する

ことを特徴とする請求項 9 に記載の画素回路。

【請求項 1 5】

複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数のデータ線との交差部に対応して配置された、請求項 1 乃至 1 4 のいずれかに記載の複数の画素回路と、を備えたことを特徴とする電気光学装置。

【請求項 1 6】

複数の走査線と複数のデータ線との交差部にそれぞれ配置されるとともに、各々が被駆動素子を有する画素回路と、

前記走査線を選択する走査線駆動回路と、

前記走査線駆動回路によって走査線が選択されたとき、当該走査線に対応する画素回路の被駆動素子に流すべき電流、または、該電流に応じた電圧を、データ線を介して供給するデータ線駆動回路とを備え、

前記画素回路は、

対応する走査線が選択されたとき、対応するデータ線に流れる電流または電圧に応じた電荷を蓄積する容量素子と、

前記容量素子に蓄積された電荷に応じて導通状態が設定され、電流を、その第 1 の端子および第 2 の端子の間に流す駆動トランジスタと、

その一端が前記第 1 の端子に電氣的に接続されて、少なくとも前記駆動トランジスタが流す電流によって駆動される被駆動素子と、

前記被駆動素子の一端における電圧を検出する検出素子と、

前記駆動トランジスタの第 1 の端子および第 2 の端子に対して並列の経路で流れる電流を前記検出素子による検出電圧に応じて生成するとともに、該生成電流を前記駆動トランジスタが流す電流に加算して、前記被駆動素子に流れる電流を前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路と

10

20

30

40

50

を具備することを特徴とする電気光学装置。

【請求項 17】

請求項 15 または請求項 16 に記載の電気光学装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、有機 EL (Electronic Luminescence) 素子などのような電流型の被駆動素子の経年変化等に対処した画素回路、電気光学装置および電子機器に関する。

【0002】

【従来の技術】

近年、従来の LCD (Liquid Crystal Display) 素子に代わる次世代の発光デバイスとして、有機 EL 素子が注目されている。有機 EL 素子は、電流に比例して自ら発光する自発光素子であるために、視野角依存性が少なく、また、バックライトが不要となる結果、低消費電力であるなど、表示パネルとして優れた特性を有している。

このような有機 EL 素子の駆動には、LCD 素子と同様に、薄膜トランジスタ (Thin Film Transistor、以下「TFT」と省略する) などのような能動素子を用いるアクティブマトリクス方式と、能動素子を用いないパッシブマトリクス方式とに大別することができるが、駆動電圧が低くて済む等の理由により、後者に係るアクティブマトリクス方式が優れていると考えられている。

ここで、有機 EL 素子は、LCD 素子のような電圧保持性を有しないので、流れる電流が途絶えると、発光状態が維持できなくなる。このため、容量素子に電圧を一旦蓄積するとともに、蓄積電圧がゲートに印加された駆動トランジスタによって、有機 EL 素子に電流を流し続ける構成が一般的である (例えば、特許文献 1 参照)。

【0003】

【特許文献 1】

国際公開第 WO 98 / 36406 号パンフレット

【0004】

【発明が解決しようとする課題】

しかしながら、有機 EL 素子は、経年変化などによって劣化する傾向がある。詳細には、有機 EL 素子に一定電流を流すために必要な電圧は、時間経過とともに上昇する傾向がある。そして、このような電圧上昇に起因して、有機 EL 素子に流れる電流が目標値から低下して、所定の輝度で発光することができず、したがって、表示画像の品質を低下させる、という問題があった。なお、環境温度の変化によっても、有機 EL 素子に一定電流を流すために必要な電圧が変化する。

本発明は、このような事情に鑑みてなされたもので、その目的とするところは、有機 EL 素子のような電流型の被駆動素子に一定電流を流すために必要な電圧が劣化や環境温度などにより変化しても、表示画像の品質低下を防止することが可能な画素回路、電気光学装置および電子機器をそれぞれ提供することにある。

【0005】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る画素回路は、走査線とデータ線との交差部に配置される画素回路であって、前記走査線が選択されたとき、前記データ線に流れる電流、または前記データ線の電圧に応じた電荷を蓄積する容量素子と、前記容量素子に蓄積された電荷に応じて導通状態が設定され、電流を、その第 1 の端子および第 2 の端子の間に流す駆動トランジスタと、その一端が前記第 1 の端子に電氣的に接続されて、少なくとも前記駆動トランジスタが流す電流によって駆動される被駆動素子と、前記被駆動素子の一端における電圧を検出する検出素子と、前記駆動トランジスタの第 1 の端子および第 2 の端子に対して並列の経路で流れる電流を前記検出素子による検出電圧に応じて生成するとともに、該生成電流を前記駆動トランジスタが流す電流に加算して、前記被駆動素子に流れ

10

20

30

40

50

る電流を前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路とを具備することを特徴とする。この構成によれば、駆動トランジスタによる電流は、補正回路によって補正されるので、被駆動素子が劣化等しても、被駆動素子に流す電流は、目標値たるデータ線に流れる電流、またはデータ線の電圧に対応する電流と、ほぼ一致する。

【0006】

この構成において、前記検出素子は、前記被駆動素子の一端にそのゲートが接続されて、そのゲート電圧に応じて導通状態が設定され、電流を、その第3の端子および第4の端子の間に流す検出トランジスタであり、前記補正回路は、前記検出トランジスタの第1の端子および第2の端子の間に流れる電流に対応する電流を生成するとしても良い。この際、前記補正回路は、前記第3の端子および前記第4の端子の間に流れる電流のミラー電流を生成するカレントミラー回路としても良い。なお、ここでいうミラー電流とは、第3の端子および第4の端子に流れる電流と同値のほか、該電流と等比の電流も含む。電流を加算する場合、前記補正回路は、前記検出素子によって検出された電圧の変化方向とは同方向に変化する電圧が前記駆動トランジスタの第2端子および前記被駆動素子の一端の間に印加されるように、前記並列の経路で流れる電流を生成するとしても良い。また、電流を加算する場合、その一端が前記第1の端子に接続され、その他端が前記被駆動素子の一端に接続されて、前記走査線の非選択時に前記駆動トランジスタと前記被駆動素子との間の導通状態を制御するスイッチを備え、前記検出素子は、前記スイッチの一端における電圧を検出し、前記補正回路は、該生成電流を前記スイッチの一端に流すようにしても良い。

【0007】

また、上記構成において、前記走査線が選択されたとき、オンするスイッチングトランジスタと、前記走査線が選択されたとき、前記駆動トランジスタをダイオード接続させる補償トランジスタとを備え、前記容量素子は、前記スイッチングトランジスタがオンしたとき、前記データ線に流れる電流に応じた電荷を蓄積するようにしても良い。また、前記走査線が選択されたとき、オンするスイッチングトランジスタを備え、前記容量素子は、前記スイッチングトランジスタがオンしたとき、前記データ線の電圧に応じた電荷を蓄積するようにしても良い。

【0008】

本発明においては、電流を加算する構成のほか、電圧操作によっても同様な効果が得られる。例えば、上記構成において、前記補正回路は、前記検出素子による検出電圧の絶対値が大きければ、前記駆動トランジスタの第2の端子と前記被駆動素子の一端との間の電圧を絶対値でみて大きくなる方向に操作するようにしても良い。

【0009】

また、上記目的を達成するため、本発明に係る別の画素回路は、そのゲートが容量素子の一端に接続され、前記容量素子に蓄積された電荷に応じて、その第1の端子および第2の端子の導通状態が設定される駆動トランジスタと、その一端が前記第1の端子に電気的に接続された被駆動素子と、前記被駆動素子の一端における電圧を検出する検出素子と、前記駆動トランジスタの第1の端子および第2の端子に対して並列の経路で流れる電流を前記検出素子による検出電圧に応じて生成するとともに、該生成電流を前記駆動トランジスタが流す電流に加算して、前記被駆動素子に流れる電流を前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路とを具備することを特徴とする。この構成によっても、駆動トランジスタによる電流は、補正回路によって補正されるので、被駆動素子が劣化等しても、被駆動素子に流す電流は、目標値たるデータ線に流れる電流、またはデータ線の電圧に対応する電流と、ほぼ一致する。

【0010】

この構成において、前記検出素子は、そのゲートが前記被駆動素子の一端に接続され、そのゲート電圧に応じて、その第3の端子および第4の端子の導通状態が設定される検出トランジスタとしても良い。

このような検出トランジスタを用いる場合、前記補正回路は、その第5の端子とゲートとが接続されるとともに、その第6の端子が電源電圧の給電線に接続される一方、前記第5

10

20

30

40

50

の端子が前記第 3 の端子に接続された第 1 トランジスタと、そのゲートが、前記第 1 トランジスタのゲートおよび前記第 5 の端子に接続されるとともに、その第 7 の端子が前記第 1 の端子に電氣的に接続される一方、その第 8 の端子が前記給電線に接続された第 2 トランジスタとを有するようにしても良いし、そのゲートに基準電圧が印加されるとともに、その第 9 の端子が前記第 3 の端子に接続される一方、その第 10 の端子が電源電圧の給電線に接続された第 3 トランジスタと、そのゲートが前記第 9 の端子に接続されるとともに、その第 11 の端子が前記第 1 の端子に電氣的に接続される一方、その第 12 の端子が前記給電線に接続された第 4 トランジスタとを有するようにしても良い。

【0011】

上記画素回路において、その一端が前記第 1 の端子に接続され、その他端が前記被駆動素子の一端に接続されたスイッチを備え、前記検出素子は、前記スイッチの一端における電圧を検出するようにしても良い。また、上記画素回路において、前記駆動トランジスタのゲートおよび前記第 1 の端子の間を短絡させる補償トランジスタを備え、前記容量素子は、前記補償トランジスタが前記駆動トランジスタのゲートおよび前記第 1 の端子を短絡させたときに、前記第 1 の端子の電圧に応じた電荷を蓄積するようにしても良い。

【0012】

上記目的を達成するため、本発明に係る第 1 の電気光学装置は、複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数のデータ線との交差部に対応して配置された複数の上記の画素回路とを備えたことを特徴としている。

上記目的を達成するため、本発明に係る第 2 の電気光学装置は、複数の走査線と複数のデータ線との交差部にそれぞれ配置されるとともに、各々が被駆動素子を有する画素回路と、前記走査線を選択する走査線駆動回路と、前記走査線駆動回路によって走査線が選択されたとき、当該走査線に対応する画素回路の被駆動素子に流すべき電流、または、該電流に応じた電圧を、データ線を介して供給するデータ線駆動回路とを備え、前記画素回路は、対応する走査線が選択されたとき、対応するデータ線に流れる電流または電圧に応じた電荷を蓄積する容量素子と、前記容量素子に蓄積された電荷に応じて導通状態が設定され、電流を、その第 1 の端子および第 2 の端子の間に流す駆動トランジスタと、その一端が前記第 1 の端子に電氣的に接続されて、少なくとも前記駆動トランジスタが流す電流によって駆動される被駆動素子と、前記被駆動素子の一端における電圧を検出する検出素子と、前記駆動トランジスタの第 1 の端子および第 2 の端子に対して並列の経路で流れる電流を前記検出素子による検出電圧に応じて生成するとともに、該生成電流を前記駆動トランジスタが流す電流に加算して、前記被駆動素子に流れる電流を前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路とを具備することを特徴とする。この構成によれば、駆動トランジスタによる電流は、補正回路によって補正されるので、被駆動素子が劣化等しても、被駆動素子に流す電流は、目標値たるデータ線に流れる電流、またはデータ線の電圧に対応する電流と、ほぼ一致する。

また、本発明に係る電子機器としては、この電気光学装置を有することが望ましい。

【0013】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。

【0014】

< 電気光学装置 >

図 1 は、実施形態に係る電気光学装置の構成を示すブロック図である。

この図に示されるように、電気光学装置 100 は、複数 m 本の走査線 102 と複数 n 本のデータ線 104 とが互いに直交して（電氣的には絶縁されている）延設されるとともに、その交差部に画素回路 110 を備える表示パネル 120 と、走査線 102 の各々を駆動する走査線駆動回路 130 と、データ線 104 の各々を駆動するデータ線駆動回路 140 と、コンピュータなどの外部機器から供給されるとともに、表示すべき画像の画素の階調を画素毎に規定するデジタルデータ D_{mem}を記憶するためのメモリ 150 と、各部を制御する制御回路 160 と、各部に電源を供給する電源回路 170 とを含む。

10

20

30

40

50

【0015】

一方、走査線駆動回路130は、走査線102を1本ずつ順番に選択するための走査信号Y1、Y2、Y3、...、Ymを生成するものであり、詳細には、図2に示されるように、1垂直走査期間(1F)の最初のタイミングから、1水平走査期間(1H)に相当する幅のパルスを1行目の走査線102に走査信号Y1として供給し、以降、このパルスを順次シフトして、2、3、...、m行目の走査線102の各々に走査信号Y2、Y3、...、Ymとして供給する。ここで、一般的にi(iは、1 ≤ i ≤ mを満たす整数)行目の走査線102に供給される走査信号YiがHレベルになると、当該走査線102が選択されたことを意味する。

また、走査線駆動回路130は、走査信号Y1、Y2、Y3、...、Ymにくわえて、その論理レベルを反転した信号を、それぞれ発光制御信号Vg1、Vg2、Vg3、...、Vgmとして生成して、表示パネル120に供給するが、発光制御信号を供給する信号線は、図1においては省略されている。

10

【0016】

制御回路160は、走査線駆動回路130による走査線102の選択を制御するとともに、走査線102の選択動作に同期させて、1列からn列までのデータ線104に対応するデジタルデータDpix-1~Dpix-nをメモリ150から読み出してデータ線駆動回路140に供給する。

データ線駆動回路140は、図3に示されるように、電流生成回路30をデータ線104毎に有する。ここで、一般的にj(jは、1 ≤ j ≤ nを満たす整数)列目の電流生成回路30には、選択走査線102とj列目のデータ線104との交差部に対応するデジタルデータDpix-jが供給される。そして、当該電流生成回路30は、供給されたデジタルデータDpix-jのデジタル値に応じた電流Ioutを生成するとともに、対応するj列目のデータ線104に流す。例えば、3列目のデータ線104に対応する電流生成回路30は、選択走査線102と3列目のデータ線104との交差部に対応するデジタルデータDpix-3のデジタル値に応じた電流Ioutを生成するとともに、3列目のデータ線104に流す。

20

【0017】

なお、電気光学装置100における符号120、130、140、150、160、170の各要素は、それぞれが独立した部品により構成される場合や、一部または全部が一体となって構成される場合(例えば、走査線駆動回路130およびデータ線駆動回路140が一体となって集積化される場合や、表示パネル120を除く要素の一部または全部をプログラマブルICチップで構成するとともに、これらの要素の機能を、当該ICチップに書き込まれたプログラムによりソフトウェア的に実現する場合)など、実際には様々な形態で製品化され得る。

30

【0018】

<画素回路>

次に、電気光学装置100における画素回路110について説明する。図4は、その構成を示す回路図である。なお、本実施形態において、すべての画素回路110は、互いに同一構成であるが、ここでは、そのうちの1つで代表して説明するために、i行目の走査線102とj列目のデータ線104との交差部分に設けられる画素回路110について説明することにする。

40

この図に示されるように、該走査線102と該データ線104との交差部分に設けられた画素回路110には、7個の薄膜トランジスタ(Thin Film Transistor、以下「TFT」と省略する)1102、1104、1106、1108、1112、1114、1116と、容量素子1120と、有機EL素子1130とが備えられ、これらのうち、TFT1114、1116によって、後述する補正回路1110が構成されている。

【0019】

まず、画素回路110において、pチャネル型のTFT(駆動トランジスタ)1102のソースは、電源における高位側の電圧Vddが印加された電源線109に接続される一方

50

、そのドレインは、Q点、すなわち、 n チャネル型TFT（スイッチングトランジスタ）1104のドレイン、 n チャネル型TFT（点灯スイッチ）1106のドレイン、 n チャネル型TFT 1108（補償トランジスタ）のソース、 n チャネル型TFT 1112のゲート、および p チャネル型TFT 1116のドレインにそれぞれ接続されている。

【0020】

容量素子1120の一端は、上記電源線109に接続される一方、その他端は、TFT 1102のゲートおよびTFT 1108のドレインにそれぞれ接続されている。ここで、容量素子1120は、後述するように走査線102の選択時におけるTFT 1102のゲート電圧を保持するためのものである。このため、容量素子1120の一端は、定電位であれば良いので、電源線109への接続ではなくて、接地されていても構わない。

10

【0021】

TFT 1104のゲートは走査線102に接続され、そのソースは、データ線104に接続されている。また、TFT 1108のゲートは走査線102に接続されている。

一方、TFT 1106のゲートは、発光制御線108に接続され、そのソースは、有機EL素子1130の陽極に接続されている。ここで、発光制御線108については、走査線駆動回路130による発光制御信号 V_{gi} が供給される。また、有機EL素子1130については、陽極と陰極の間に有機EL層が挟持されて、順方向電流に応じた輝度にて発光する構成となっている。なお、有機EL素子1130の陰極は、画素回路110のすべてにわたって共通の電極であり、電源における低位（基準）電圧 Gnd に接地されている。

【0022】

20

次に、TFT 1112のソースは、低位電圧 Gnd に接地されている。一方、補正回路1110を構成する p チャネル型TFT 1114のソースは、電源線109に接続され、そのドレイン・ゲートは、共通接続されるとともに、TFT 1112のドレインに接続されている。一方、TFT 1116のソースは、電源線109に接続され、そのゲートは、TFT 1114のドレイン・ゲートの共通接続点に接続されている。

ここで、TFT 1114は、そのドレイン・ゲートが共通接続されているのでダイオードとして機能するとともに、TFT 1116のゲートは、TFT 1114のドレイン・ゲートの共通接続点に接続されているので、TFT 1114、1116のトランジスタ特性（電流増幅率）が互いに同一であるとすると、TFT 1114、1116は、TFT 1114（1112）のソース・ドレイン間に流れる電流 I_3 と同一のミラー電流 I_4 を、TFT 1116のソース・ドレイン間に流すカレントミラー回路として機能する。

30

【0023】

次に、画素回路110の動作について、補正回路1110が存在しない構成を仮定して説明する。

まず、 i 行目の走査線102が選択されて、走査信号 Y_i がHレベルになると、 n チャネル型TFT 1108が、ソースおよびドレインの間において導通（オン）状態となるので、TFT 1102は、ゲートとドレインとが互いに接続されてダイオードとして機能する。走査線102に供給される走査信号 Y_i がHレベルになると、 n チャネル型TFT 1104も、TFT 1108と同様に導通状態となるので、結局、電流生成回路30による電流 I_{out} が、電源線109 → TFT 1102 → TFT 1104 → データ線104という経路で流れるとともに、そのときに、TFT 1102のゲート電圧に応じた電荷が容量素子1120に蓄積される。

40

【0024】

次に、 i 行目の走査線102の選択が終了して非選択となり、走査信号 Y_i がLレベルになると、TFT 1104、1108はともに非導通（オフ）状態となるが、容量素子1120における電荷の蓄積状態は変化しないので、TFT 1102のゲートは、電流 I_{out} が流れたときの電圧に保持されることになる。

また、走査信号 Y_i がLレベルになると、発光制御信号 V_{gi} がHレベルとなる。このため、 n チャネル型のTFT 1106がオンするので、TFT 1102のソースおよびドレインの間には、そのゲート電圧に応じた電流が流れる。詳細には、この電流は、電源線1

50

09 TFT1102 TFT1106 有機EL素子1130という経路で流れる。このため、有機EL素子1130は、該電流値に応じた輝度で発光することになる。

【0025】

ここで、有機EL素子1130に流れる電流は、第1に、TFT1102のゲート電圧で定まるが、そのゲート電圧は、Hレベルの走査信号によって電流I_{out}がデータ線104に流れたときに、容量素子1120によって保持された電圧である。このため、発光制御信号V_{gi}がHレベルになったときに、有機EL素子1130に流れる電流は、理想的には、直前に流れた電流I_{out}にほぼ一致するはずである。

【0026】

しかしながら、補正回路1110が存在しない構成では、次の理由により、発光制御信号V_{gi}がHレベルになったときに有機EL素子1130に流れる電流が、電流生成回路30による電流I_{out}に一致しない。

10

すなわち、電流生成回路30による電流I_{out}は、有機EL素子1130が劣化等していない場合の目標値であり、実際には、製造時からの期間経過による劣化していれば、有機EL素子1130に一定電流を流すために必要な電圧が上昇している。ここで、有機EL素子1130の端子間電圧が劣化により上昇していると、その分、TFT1102のソース・ドレイン間の電圧が低くなる。TFTのソース・ドレイン電流は、飽和領域であっても、そのソース・ドレイン間の電圧に依存する性質が強い。

このため、発光制御信号V_{gi}がHレベルとなってTFT1106がオンしたときにおけるTFT1102のソース・ドレイン間の電圧は、走査信号Y_iがHレベルになってTFT1104がオンしたときの値と比較して、低くなってしまいうので、有機EL素子1130に流れる電流も、目標値たる電流I_{out}に対して不足するのである。

20

したがって、補正回路1110が存在しない構成では、発光制御信号V_{gi}がHレベルになったときに有機EL素子1130に流れる電流は、電流生成回路30による電流I_{out}よりも小さくなって、目標値たる電流I_{out}に一致しないのである。

【0027】

そこで、補正回路1110が存在する本実施形態について説明すると、TFT1112のゲートは、TFT1102のドレインに接続されているので、有機EL素子1130の劣化によりTFT1102のソース・ドレイン間の電圧が低くなると、TFT1112のソース・ドレイン間に流れる電流I₃は、大きくなる。

30

上述したように、TFT1114、1116はカレントミラー回路であるので、TFT1116のソース・ドレイン間に流れる電流I₄は、上記電流I₃に一致する。そして、この電流I₄が、Q点において、TFT1102による電流I₂に加算されて、有機EL素子1130に流れることとなる。

したがって、本実施形態によれば、発光制御信号V_{gi}がHレベルになったとき、有機EL素子1130の劣化によって、TFT1102のソース・ドレイン間に流れる電流I₂が電流生成回路30による電流I_{out}よりも小さくなくても、その不足分が電流I₄によって補われるので、有機EL素子1130に流れる電流I₁を、目標値たる電流I_{out}にほぼ一致させることができるのである。環境温度の変化があっても、同様に、有機EL素子1130に流れる電流を、電流I_{out}にほぼ一致させることができる。

40

よって、仮に画素回路110のすべてにわたってTFT1102の特性にバラツキが生じても、各画素回路110に含まれる有機EL素子1130に対し同じ大きさの電流を供給することができるので、該バラツキに起因する表示ムラを抑えることも可能となる。

【0028】

なおここでは、1個の画素回路110についてのみにについて説明しているが、i行目の走査線102は、m個の画素回路110に共用されているので、走査信号Y_iがHレベルになると、共用されるm個の画素回路110においても同様な動作が実行されることになる。

さらに、走査信号Y₁、Y₂、Y₃、...、Y_mは、図2に示されるように、順番に排他的にHレベルとなる。この結果、すべての画素回路110において、同様な動作が実行され

50

て、1フレームの画像が表示される。そして、この表示動作は、1垂直走査期間毎に繰り返される。

【0029】

また、図4に示される画素回路110においては、TF T 1 1 1 4、1 1 1 6のトランジスタ特性が同一であるとしたが、両者の電流増幅率()を異ならせても良い。ここで、TF T 1 1 1 4、1 1 1 6の電流増幅率を、それぞれ β_1 、 β_2 としたとき、電流 I_4 は、電流 I_3 の β_2 / β_1 倍になる。

【0030】

<画素回路の別例：その1>

本発明において、画素回路110については、図4に示される構成に限られず、種々の構成が考えられる。例えば、TF T 1 1 0 2のドレイン電圧を検出するTF T 1 1 2 2と、検出されたドレイン電圧に対応する電流 I_4 を生成して、TF T 1 1 2 2による電流 I_2 に加算する補正回路1110とについては、図4に示されるような構成に限られず、反転増幅器を用いても良い。

図5は、このような反転回路を有する画素回路112の構成を示す図である。この図において、反転増幅器1120は、nチャネル型のTF T 1 1 2 2、pチャネル型TF T 1 1 2 4、1 1 2 6を有し、このうち、TF T 1 1 2 2のゲートは、Q点に接続され、そのソースは接地されている。また、TF T 1 1 2 4のゲートには、基準電圧 V_{ref} が供給され、そのソースは電源線109に接続され、そのドレインは、TF T 1 1 2 2のドレイン、およびTF T 1 1 2 6のゲートにそれぞれ接続されている。そして、TF T 1 1 2 6のソースは、電源線109に接続される一方、そのドレインは、Q点に接続されている。すなわち、反転増幅器1120では、TF T 1 1 2 2のゲートが入力であり、TF T 1 1 2 6のドレインが出力となる。

【0031】

この反転増幅器1120において、有機EL素子1130の劣化によって、TF T 1 1 0 2のドレイン電圧が高くなると(TF T 1 1 0 2のソース・ドレイン間の電圧が絶対値でみて小さくなると)、TF T 1 1 2 2のオン抵抗が小さくなるので、TF T 1 1 2 2、1 1 2 4による分圧点の電圧、すなわちTF T 1 1 2 6のゲート電圧が低くなる結果、TF T 1 1 2 6のソース・ドレイン間に流れる電流 I_4 が大きくなる。したがって、図5に示す画素回路112は、カレントミラー回路を有する画素回路110と同様に、有機EL素子1130に流れる電流 I_1 を、目標値たる電流 I_{out} にほぼ一致させることができる。この構成では、図4に示したカレントミラー回路と比較すると、不足分に対する電流 I_4 の割合を、TF T 1 1 2 4のゲート電圧 V_{ref} を設定することによって、事後的に調整することもできる。

【0032】

なお、図4または図5における発光制御信号 V_{g1} 、 V_{g2} 、 V_{g3} 、...、 V_{gm} については、走査信号 Y_1 、 Y_2 、 Y_3 、...、 Y_m の論理レベルを反転したものとして説明したが、発光制御信号 V_{g1} 、 V_{g2} 、 V_{g3} 、...、 V_{gm} のアクティブレベル(Hレベル)となる期間を一括して狭める方向に制御する構成としても良い。また、走査線駆動回路130(図1参照)以外の別個の回路により供給する構成としても良い。

また、図4に示される画素回路110、または図5に示される画素回路112では、走査線102が選択されたときに、デジタルデータのデジタル値に応じた電流、すなわち輝度に応じた電流 I_{out} がデータ線104に供給されるとして説明したが、当該輝度に応じた電圧がデータ線104に印加される構成でも良い。このような構成であっても、TF T 1 1 0 2のゲート電圧が容量素子1120に保持されるので、当該輝度に応じた電流 I_{out} が供給される構成と同等な効果が得られる。

【0033】

<画素回路の別例>

図4や図5に示した構成では、走査線102の選択時において、データ線104に、有機EL素子1130の輝度に応じた電流を流す構成としたが、有機EL素子1130の輝度

10

20

30

40

50

に応じた電圧を印加する構成としても良い。

また、図4や図5に示した構成では、有機EL素子1130を駆動するTFT1102のドレイン電圧が高くなった場合に、当該ドレイン電圧に対応する電流 I_4 を生成するとともに、TFT1122による電流 I_2 に加算する構成としたが、TFT1102のドレイン電圧に応じて、そのソース電圧を高くする構成としても良い。

【0034】

図6は、データ線104に、有機EL素子1130の輝度に応じた電圧を印加する場合であって、有機EL素子1130を駆動するTFT1102のドレイン電圧に応じて、そのソース電圧を高くするようにした画素回路114の構成を示す図である。

この図において、抵抗1127、pチャネル型のTFT1128および抵抗1129は、電源線109および接地線間に直列に接続されている。有機EL素子1130を駆動するTFT1102のソースは、抵抗1127とTFT1128のソースとの接続点、すなわち、電源線109および接地線間の分圧点に接続されている。一方、TFT1128のゲートは、TFT1102のドレインに接続されている。

【0035】

なお、データ線104には、有機EL素子1130の輝度に応じた電圧が印加されるので、データ線駆動回路140（図3参照）においては、電流生成回路30ではなく、デジタルデータDpix-1～Dpix-nに応じた電圧を生成する電圧生成回路がデータ線104毎に設けられることになる（図示省略）。また、図6に示されるように容量素子1120の一端が接地されていても良いのは、上述した通りである。

【0036】

この画素回路114では、画素回路110、112（図4、図5参照）において、走査線102の非選択時に有機EL素子1130を点灯させるためのTFT1106を廃した構成となっているので、TFT1102のドレインが有機EL素子1130に直接接続されている。このため、TFT1102のドレイン電圧イコール有機EL素子1130の印加電圧となっている。

【0037】

この構成において、走査線102が選択されると、TFT1104がオンするので、TFT1102のゲートには、データ線104の電圧が印加される。このため、データ線104の印加電圧に応じた電流が、電源線109 抵抗1127 TFT1102 有機EL素子1130という経路で流れるとともに、TFT1102のゲート電圧に応じた電荷が容量素子1120に蓄積される。

この後、走査線102が非選択とされても、TFT1102のゲートは、容量素子1120によって、走査線102が選択されたときの電圧に保持されているので、データ線104の印加電圧に応じた電流が、同一経路で流れ続けることになる。

【0038】

ここで、有機EL素子1130の劣化によって、TFT1102のドレイン電圧が高くなってしまっても、TFT1128のソース・ドレイン間の抵抗もそれだけが大きくなるので、分圧点の電圧 V_{dd-b} が高くなる。このため、有機EL素子1130の劣化が進行しても、有機EL素子1130に流れる電流をほぼ一定に保つことができる。環境温度の変化であっても、同様に、有機EL素子1130に流れる電流をほぼ一定に保つことができる。

【0039】

なお、この構成において、電源線109から接地線へ貫通電流が流れることによる電力損失を抑えるため、抵抗1129の抵抗値は大きく設定することが望ましく、また、電圧降下分を低く抑えるため、抵抗1127の抵抗値は小さく設定することが望ましい。TFT1128のソース・ドレイン間の抵抗が大きいのであれば、抵抗1129を省略することもできる。

また、このようにTFT1102のソース電圧を、TFT1102のドレイン電圧（有機EL素子1130への印加電圧）に応じて高くする構成については、特に図示はしないが

10

20

30

40

50

、画素回路 110 において、TFT1112、1114、1116 に替えて適用しても良いのはもちろんである。

さらに、図 6 に示される画素回路 114 では、走査線 102 が選択されたときに、輝度に応じた電圧がデータ線 104 に印加されるとして説明したが、当該輝度に応じた電流がデータ線 104 に供給される構成でも良い。

【0040】

ところで、有機 EL 素子 1130 の劣化は、1 個だけ突出して進行する訳ではなく、表示パネル 120 全体にわたって均一に進行すると考えられる（後述するようにカラー表示をする場合を除く）。このため、すべての画素回路にわたって、個々に TFT1102 のドレイン電圧（有機 EL 素子 1130 への印加電圧）を検出して、TFT1102 のソース電圧を高くする必要はなく、何個かに 1 個の割合で検出用の画素回路を設けるとともに、この画素回路において検出された TFT1102 のドレイン電圧に応じて、他の画素回路における TFT1102 のソース電圧を高くする構成としても良い。

【0041】

図 7 は、このような画素回路を適用した電気光学装置の構成を示すブロック図であり、図 8 は、その検出用の画素回路と、表示用の画素回路との関係を示す図である。

図 7 に示される電気光学装置 100 においては、TFT1102 のソース電圧を検出するための画素回路 114 が 0 行目に設けられている一方、表示用の画素回路 116 が 1 行目から m 行目まで設けられている。検出用として用いる 0 行目の画素回路 114 にあっては、その有機 EL 素子 1130 による発光が視認されないように、例えば遮光層（図示省略）の領域内に形成されるのが好ましい。

なお、図 7 において、走査線駆動回路 130 は、0 行目から m 行目まで順番に 1 本ずつ走査線 102 を選択するものとし、データ線駆動回路 140 は、デジタルデータ Dpix-1 に応じた電圧を 1 列目のデータ線 104 に印加し、デジタルデータ Dpix-2 に応じた電圧を 2 列目のデータ線 104 に印加し、以下同様に、デジタルデータ Dpix-n に応じた電圧を、n 列目のデータ線 104 に供給するものとする。

一方、各列においては、図 8 に示されるように、0 行 j 列の画素回路 114 によって調整された電圧 V_{dd-b} が、1 行 j 列から m 行 j 列までの画素回路 116 における TFT1102 のソース電圧としてそれぞれ用いられる構成となっている。

【0042】

このような構成では、0 行 j 列の検出用の画素回路 114 において、有機 EL 素子 1130 の劣化によって、その TFT1102 のドレイン電圧が高くなると、TFT1128 のソース・ドレイン間の抵抗もそれだけが大きくなるので、分圧点の電圧 V_{dd-b} が高くなるように調整される。そして、この調整電圧が、1 行 j 列から m 行 j 列までの表示用画素回路 116 の TFT1102 のソースに印加される。このため、1 行 j 列から m 行 j 列までの表示用画素回路 116 では、TFT1102 のドレイン電圧（有機 EL 素子 1130 の印加電圧）を検出する構成が存在しないにもかかわらず、有機 EL 素子 1130 の劣化が進行したり、環境温度が変化したりしても、有機 EL 素子 1130 に流れる電流をほぼ一定に保つことができる。

【0043】

なお、環境温度の変化に対してより敏感に反応するために、抵抗 1127、1129 の少なくとも一方を、温度にしたがって抵抗値が変化する温度検出素子に置き換えても良いし、このような温度検出素子を、抵抗 1127、1129 に対して直列または並列に接続しても良い。

また、図 7、図 8 に示す構成にあっては、検出用の画素回路 114 は、表示用として用いないとしたが、表示用として用いても良い。また、検出用の画素回路 114 を、各列で 1 個ではなく、各行で 1 個としても良いし、複数列または複数行で 1 個としても良いし、全体で 1 個としても良い。

一方、R（赤）、G（緑）、B（青）色を発光する有機 EL 素子を用いてカラー表示をする場合、色毎に有機 EL 素子の劣化の進行が異なるので、色毎に、検出して、その色の T

10

20

30

40

50

F T 1 1 0 2 のソース電圧を調整する構成としても良い。

【 0 0 4 4 】

< その他 >

なお、各 T F T のチャンネル型は、必ずしも上述した通りである必要はなく、実際には p または n チャンネル型を適宜選択することが可能である。なお、チャンネル型の選択によっては、正電源ではなく負電源を用いる必要がある場合もある。このように負電源を用いる場合には、接地線から見た電圧は負となるので、電圧については絶対値でみる必要がある。また、上述した実施形態では、被駆動素子として有機 E L 素子 1 1 3 0 を例に挙げたが、無機 E L 素子でも良いし L E D や F E D (Field Emission Display) でも良い。

【 0 0 4 5 】

< 電子機器 >

次に、電気光学装置 1 0 0 を適用した電子機器のいくつかの事例について説明する。

図 9 は、この電気光学装置 1 0 0 を適用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。この図において、パーソナルコンピュータ 2 1 0 0 は、キーボード 2 1 0 2 を備えた本体 2 1 0 4 と、表示ユニットとしての電気光学装置 1 0 0 とを備えている。

【 0 0 4 6 】

また、図 1 0 は、前述の電気光学装置 1 0 0 を適用した携帯電話機の構成を示す斜視図である。この図において、携帯電話機 2 2 0 0 は、複数の操作ボタン 2 2 0 2 のほか、受話口 2 2 0 4 、送話口 2 2 0 6 とともに、前述の電気光学装置 1 0 0 を備えている。

【 0 0 4 7 】

図 1 1 は、前述の電気光学装置 1 0 0 をファインダに適用したデジタルスチルカメラの構成を示す斜視図である。銀塩カメラは、被写体の光像によってフィルムを感光させるのに対し、デジタルスチルカメラ 2 3 0 0 は、被写体の光像を C C D (Charge Coupled Device) などの撮像素子により光電変換して撮像信号を生成・記憶するものである。ここで、デジタルスチルカメラ 2 3 0 0 における本体 2 3 0 2 の背面には、上述した電気光学装置 1 0 0 が設けられている。この電気光学装置 1 0 0 は、撮像信号に基づいて表示を行うので、被写体を表示するファインダとして機能することになる。また、本体 2 3 0 2 の前面側 (図 2 1 においては裏面側) には、光学レンズや C C D などを含んだ受光ユニット 2 3 0 4 が設けられている。

【 0 0 4 8 】

撮影者が電気光学装置 1 0 0 に表示された被写体像を確認して、シャッターボタン 2 3 0 6 を押下すると、その時点における C C D の撮像信号が、回路基板 2 3 0 8 のメモリに転送・記憶される。

また、このデジタルスチルカメラ 2 3 0 0 にあって、ケース 2 3 0 2 の側面には、外部表示を行うためのビデオ信号出力端子 2 3 1 2 と、データ通信用の入出力端子 2 3 1 4 とが設けられている。

【 0 0 4 9 】

なお、電気光学装置 1 0 0 が適用される電子機器としては、図 9 に示されるパーソナルコンピュータや、図 1 0 に示される携帯電話機、図 1 1 に示されるデジタルスチルカメラの他にも、デジタルテレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、P O S 端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、前述した電気光学装置 1 0 0 が適用可能であることは言うまでもない。

【 0 0 5 0 】

以上説明したように本発明によれば、有機 E L 素子のような電流型の被駆動素子に一定電流を流すために必要な電圧が劣化や環境温度などにより変化しても、駆動トランジスタによる電流が補正回路によって補正されるので、被駆動素子に流す電流が目標値にほぼ一致する結果、表示画像の品質低下を防止することが可能となる。

10

20

30

40

50

【図面の簡単な説明】

- 【図 1】 本発明の実施形態に係る電気光学装置の構成図である。
 【図 2】 同電気光学装置の走査線駆動回路の動作説明図である。
 【図 3】 同電気光学装置のデータ線駆動回路を示す図である。
 【図 4】 同電気光学装置の画素回路を示す図である。
 【図 5】 同画素回路の別例を示す図である。
 【図 6】 同画素回路の別例を示す図である。
 【図 7】 同画素回路の別例を適用した電気光学装置の構成図である。
 【図 8】 同電気光学装置の画素回路を示す図である。
 【図 9】 同電気光学装置を用いたパソコンを示す図である。
 【図 10】 同電気光学装置を用いた携帯電話機を示す図である。
 【図 11】 同電気光学装置を用いたデジタルスチルカメラを示す図である。

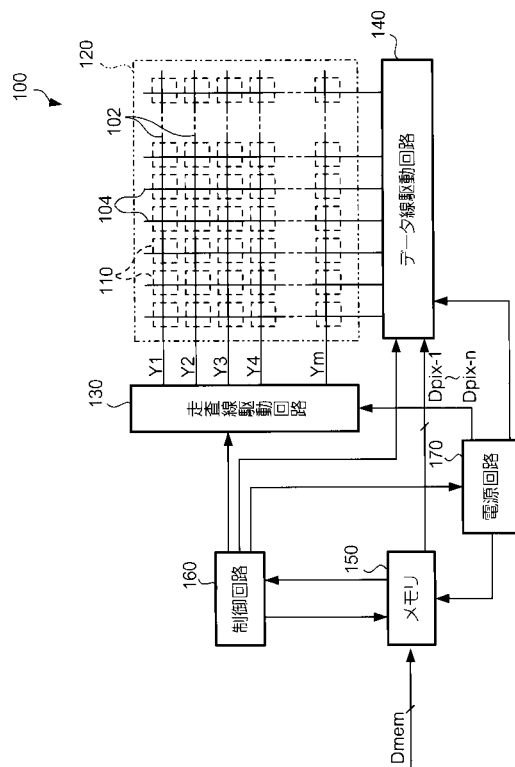
10

【符号の説明】

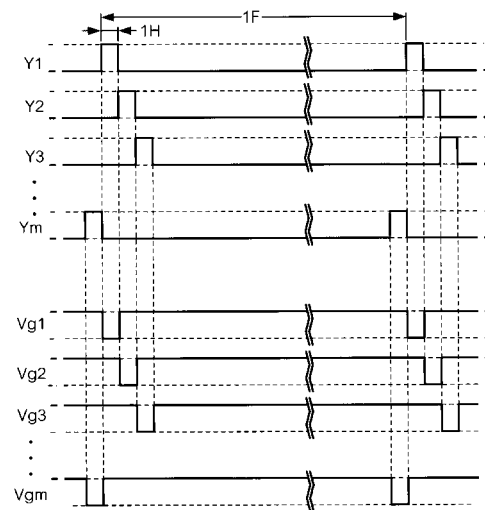
100...電気光学装置、102...走査線、104...データ線、109...電源線（給電線）、
 110...画素回路、130...走査線駆動回路、140...データ線駆動回路、1102...
 TFT（駆動トランジスタ）、1104...TFT（スイッチングトランジスタ）、110
 6...TFT（点灯スイッチ）、1108...TFT（補償トランジスタ）、1110...補正
 回路、1112...TFT（検出素子）、
 1114...TFT（第1トランジスタ）、1116...TFT（第2トランジスタ）、11
 20...容量素子、1124...TFT（第3トランジスタ）、1126...TFT（第4トラ
 ンジスタ）、1130...有機EL素子（被駆動素子）

20

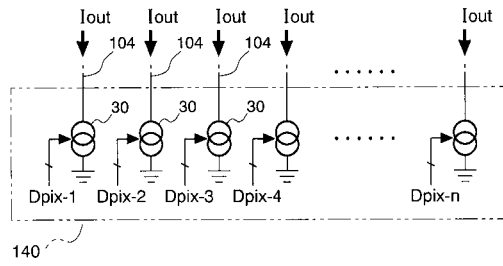
【図 1】



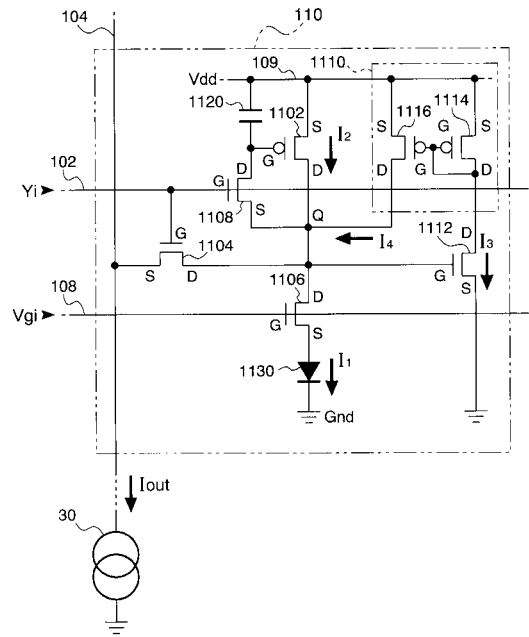
【図 2】



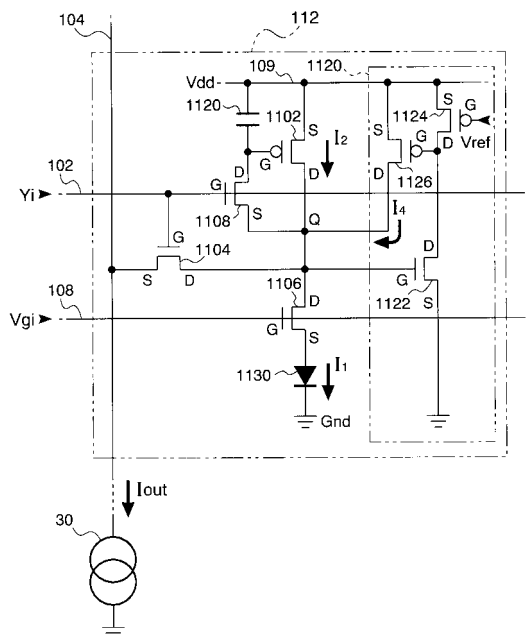
【図 3】



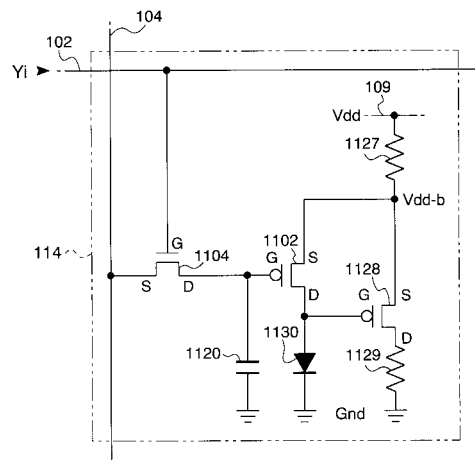
【図 4】



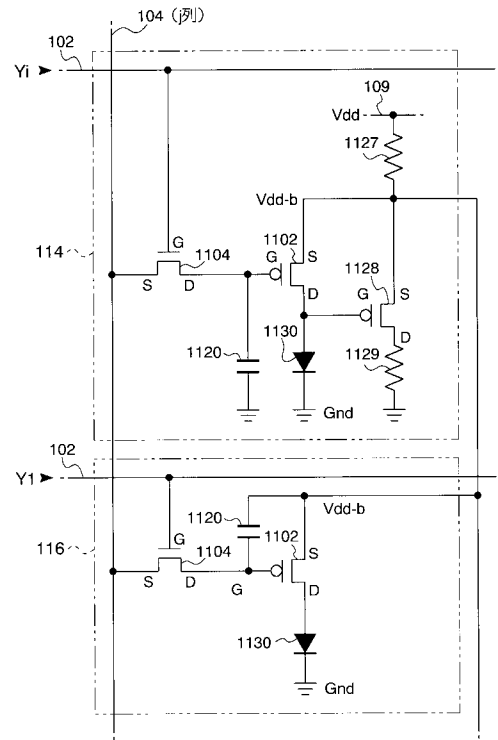
【図 5】



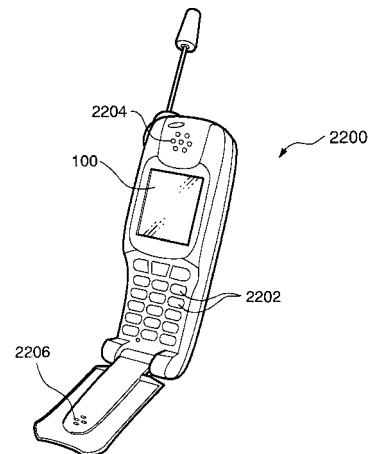
【図 6】



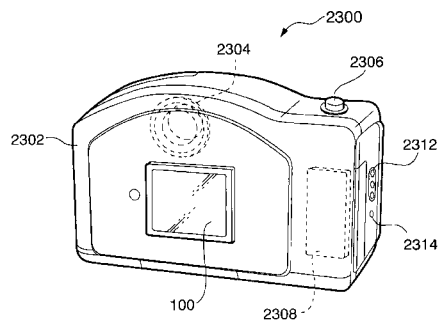
【 図 8 】



【 図 1 0 】



【図 11】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/20 6 7 0 J
H 0 5 B 33/14 A

審査官 樋口 信宏

(56) 参考文献 国際公開第 9 8 / 0 4 0 8 7 1 (W O , A 1)
特開 2 0 0 2 - 2 1 5 0 9 5 (J P , A)
国際公開第 0 2 / 0 7 7 9 5 7 (W O , A 1)
特開 2 0 0 2 - 3 5 1 4 0 3 (J P , A)
特開平 1 1 - 2 7 2 2 2 3 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G09G 3/30
G09G 3/20
H01L 51/50

专利名称(译)	像素电路，电光器件和电子设备		
公开(公告)号	JP3912313B2	公开(公告)日	2007-05-09
申请号	JP2003095963	申请日	2003-03-31
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	城宏明		
发明人	城 宏明		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32 G09G5/00 H05B33/14		
CPC分类号	G09G3/3241 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043 G09G2320/045		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.624.B G09G3/20.641.D G09G3/20.642.P G09G3/20.670.J H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD29 5C080/EE28 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB34 5C380/AC01 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC13 5C380/AC20 5C380/BA42 5C380/BB15 5C380/BB16 5C380/BD02 5C380/BD05 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA34 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC02 5C380/CC13 5C380/CC14 5C380/CC15 5C380/CC18 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CD017 5C380/CF67 5C380/DA02 5C380/DA06 5C380/DA50 5C380/DA57		
代理人(译)	须泽 修		
其他公开文献	JP2004302211A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过使流动电流的量即使在有机EL元件1130劣化时也能够提供能够防止显示图像的质量劣化的像素电路。解决方案：像素电路110设置有电容元件1120，其在选择扫描线102时根据流过数据线104的电流累积电荷，TFT 1102允许电流 I_2 根据选择后在源极和漏极之间流动的累积电荷，其阳极与TFT 1102的漏极侧连接的有机EL元件1130，检测施加到有机EL元件1130的电压的TFT 1112并且允许电流 I_3 根据累积的电荷在源极和漏极之间流动，并且允许校正电路1110产生电流 $I_4 > I_3$ 并将其添加到当前 I_2 。Z

【 图 1 】

