

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-139861
(P2008-139861A)

(43) 公開日 平成20年6月19日(2008.6.19)

(51) Int.Cl.			F I	テーマコード(参考)		
G09G	3/30	(2006.01)	G09G	3/30	J	3K107
G09G	3/20	(2006.01)	G09G	3/20	624B	5C080
H01L	51/50	(2006.01)	G09G	3/20	642A	
			G09G	3/20	642P	
			G09G	3/20	611H	

審査請求 未請求 請求項の数 25 O L (全 80 頁) 最終頁に続く

(21) 出願番号 特願2007-289081 (P2007-289081)
 (22) 出願日 平成19年11月6日(2007.11.6)
 (31) 優先権主張番号 特願2006-305797 (P2006-305797)
 (32) 優先日 平成18年11月10日(2006.11.10)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100092794
 弁理士 松田 正道
 (72) 発明者 柘植 仁志
 東京都港区港南四丁目1番8号 東芝松下
 ディスプレイテクノロジー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC33 EE04 EE67
 HH00 HH05
 5C080 AA06 BB05 DD05 DD08 EE29
 FF01 FF07 FF11 GG09 GG12
 HH09 JJ01 JJ02 JJ03 JJ04
 JJ05 JJ06 JJ07

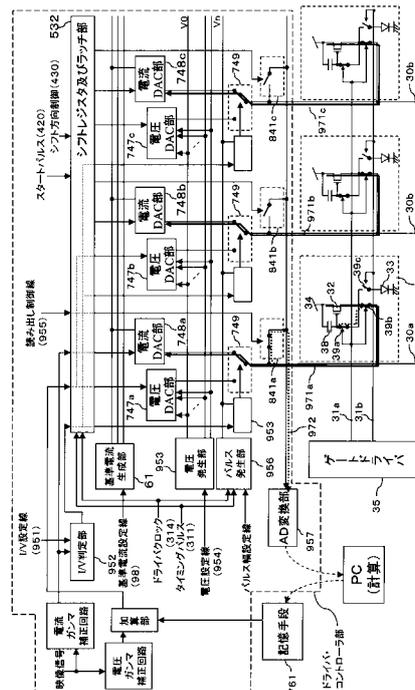
(54) 【発明の名称】 有機発光素子を用いたアクティブマトリクス型表示装置、および有機発光素子を用いたアクティブマトリクス型表示装置の駆動方法

(57) 【要約】

【課題】有機発光素子を利用する表示において表示ムラが発生してしまうという課題があった。

【解決手段】有機発光素子33を利用する画素37がもつ駆動トランジスタ32の特性に応じて画素37に電圧を印加するための補償データを記憶するための記憶手段761と、記憶手段761によって記憶されている補償データに基づいて画素37に電圧を印加するためのドライバ・コントローラ部と、を備えた、アクティブマトリクス型表示装置である。

【選択図】 図97



【特許請求の範囲】

【請求項 1】

有機発光素子を有する画素と、
前記有機発光素子に流れる電流をゲート電圧により決定する駆動用トランジスタと、
記憶部と、
前記画素に電圧を供給する電圧出力部とを具備し、
前記電圧出力部の電圧出力は、前記記憶部のデータにより異なる有機発光素子を用いた
アクティブマトリクス型表示装置。

【請求項 2】

前記駆動トランジスタのゲート電圧、前記駆動トランジスタのドレイン電圧、および前
記電圧出力部の出力電圧の内の少なくとも 1 つの電圧を検出する電圧検出手段を具備する
請求項 1 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

10

【請求項 3】

前記電圧検出手段は、前記電圧出力部を具備するドライバ部に形成された請求項 2 記載
の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 4】

前記電圧検出手段は、前記画素が形成されたアレー基板に設けられた請求項 2 記載の有
機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 5】

前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧は、前
記駆動トランジスタに第 1 の電流を流したときにおける電圧である請求項 2 記載の有機発
光素子を用いたアクティブマトリクス型表示装置。

20

【請求項 6】

前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧は、前
記駆動トランジスタに第 1 の入力階調でのドレイン電流を流したときにおける電圧である
請求項 2 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 7】

前記電圧出力部の出力電圧は、第 2 の入力階調における出力電圧である請求項 2 記載の
有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 8】

前記記憶部は前記駆動トランジスタのゲート電圧、前記駆動トランジスタのドレイン電
圧、および前記電圧出力部の出力電圧の内の少なくとも 1 つに基づいて生成された補正
データを保持する請求項 1 記載の有機発光素子を用いたアクティブマトリクス型表示装置
。

30

【請求項 9】

前記駆動トランジスタのゲート電圧、前記駆動トランジスタのドレイン電圧、および前
記電圧出力部の出力電圧の内の少なくとも 1 つの電圧を検出する電圧検出手段を具備し、
前記電圧検出手段を用いて電圧を検出した請求項 8 記載の有機発光素子を用いたアクテ
ィブマトリクス型表示装置。

【請求項 10】

前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧は
第 2 の階調入力と前記第 2 の階調入力とは異なる第 3 の階調入力とに対する、前記駆動
トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧をそれぞれ測定し
、

40

同一位置にある前記画素に対応する

前記第 2 の階調入力に対応する前記駆動トランジスタのゲート電圧または前記駆動トラ
ンジスタのドレイン電圧と、

前記第 3 の階調入力に対応する前記駆動トランジスタのゲート電圧または前記駆動トラ
ンジスタのドレイン電圧と、から計算される、

前記第 2 及び第 3 の階調入力とは異なる第 4 の階調入力に対する前記駆動トランジスタ

50

のゲート電圧または前記駆動トランジスタのドレイン電圧である請求項 8 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 1】

前記電圧は、
前記電圧出力部の第 5 の階調入力における出力と、
前記電圧出力部の前記第 5 の階調入力とは異なる第 6 の階調入力における出力とから
前記電圧出力部の 1 階調あたりの電位差が計算され、
前記計算された電位差によりサンプリングされて保持される請求項 8 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 2】

前記補正データが、同一の前記画素に対して、少なくとも 2 以上保持され、保持された前記補正データはそれぞれ異なる入力に対する電圧である請求項 8 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 3】

前記補正データは、前記画素ごとに形成された請求項 8 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 4】

前記画素に印加される電圧の調整を行うための電子ボリュームを具備し、
前記電子ボリュームの調整により、黒表示時における輝度を調整し、
所定黒輝度における前記電子ボリュームの値を、前記記憶部に保持させた請求項 1 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 5】

表示階調に応じた表示を行うために入力されてくる階調データと前記記憶部によって記憶される補正データとを利用して D / A 変換を行う電圧出力部を具備する、請求項 1 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 6】

前記電圧出力部は、出力がリニアであり、前記入力されてくる階調データと前記記憶される補正データとを加算することにより前記 D / A 変換を行う、請求項 1 5 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 7】

前記補正データが、同一の画素において 2 つ以上存在し、補正データ群を形成する場合には、
前記補正データ群のうち、測定条件が前記入力されてくる階調データと近い前記補正データを利用して前記 D / A 変換を行う請求項 1 5 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 8】

前記補正データが、同一の画素において 2 つ以上存在し、補正データ群を形成する場合には、
前記補正データ群のうち、測定条件が前記入力されてくる階調データと近い 2 つの第 1 の補正データと第 2 の補正データとから、前記入力されてくる階調データに対応する第 3 の補正データを算出し、

前記第 3 の補正データと前記入力されてくる階調データとを利用して前記 D / A 変換を行い前記電圧出力部の出力を決定する請求項 1 5 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 1 9】

前記電圧出力部による出力を行う期間を有する、
請求項 1 記載の、有機発光素子を用いたアクティブマトリクス型表示装置の駆動方法。

【請求項 2 0】

前記画素は、電流駆動方式に応じた画素構成を有しており、
表示階調に応じた表示を行うために入力されてくる階調データと前記記憶部によって記

10

20

30

40

50

憶される補償データとに基づいて、前記電流駆動方式における電圧プリチャージ期間において前記画素に前記電圧出力部による電圧を印加する、請求項 19 記載の有機発光素子を用いたアクティブマトリクス型表示装置の駆動方法。

【請求項 21】

前記記憶部によって記憶される補償データに基づいて、信号書き込み期間において前記画素に前記電圧出力部による電圧を印加する、請求項 19 記載の有機発光素子を用いたアクティブマトリクス型表示装置の駆動方法。

【請求項 22】

動作時において前記画素に印加されている電圧の測定を行うために A / D 変換を行うための A D 変換部と、前記測定の結果に応じて前記画素に印加される電圧の制御を行うための電圧制御部とを具備する、請求項 1 記載のアクティブマトリクス型表示装置。

10

【請求項 23】

前記電圧制御部は、前記測定の結果と前記記憶部によって記憶される補償データとの比較の結果に応じて前記電圧の制御を行う、請求項 22 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 24】

前記電圧制御部は、周囲の温度を考慮して前記電圧の制御を行う、請求項 23 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

【請求項 25】

前記電圧制御部は、電源が投入されてからの経過時間を考慮して前記電圧の制御を行う、請求項 23 記載の有機発光素子を用いたアクティブマトリクス型表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、たとえば、有機発光素子などを利用して電流量により階調表示を行う、アクティブマトリクス型表示装置、および有機発光素子を用いたアクティブマトリクス型表示装置の駆動方法に関する。

【背景技術】

【0002】

有機発光素子は、自発光素子であるため、液晶表示装置で必要とされるバックライトが不要であり、視野角が広いなどの利点から、次世代表示装置として期待されている。

30

【0003】

一般的な有機発光素子の素子構造の断面図を図 1 に示す。有機層 12 が陰極 11 及び陽極 13 により挟まれた構成となっている。これに直流電源 14 を接続すると、陽極 13 から正孔が、陰極 11 から電子が有機層 12 に注入される。注入された正孔及び電子は有機層 12 内を電源 14 により形成された電界により対極に移動する。移動途中において、電子と正孔が有機層 12 内で再結合し、励起子を生成する。励起子のエネルギーが失活する過程において発光が観測される。発光色は励起子の持つエネルギーにより異なり、およそ有機層 12 の持つエネルギーバンドギャップの値に対応したエネルギーの波長を持つ光となる。

40

【0004】

有機層内で発生した光を外部に取り出すため、電極のうち少なくとも一方は可視光領域で透明な材料が用いられる。陰極には、有機層への電子注入を容易にするため仕事関数の低い材料が用いられる。例えば、アルミニウム、マグネシウム、カルシウムなどである。耐久性、さらなる低仕事関数化のためにこれらの合金や、アルミリチウム合金といった材料が用いられることがある。

【0005】

一方陽極は正孔注入の容易性からイオン化ポテンシャルの大きいものを用いる。また陰極が透明性を持たないため、こちらの電極に透明性材料を用いることが多い。そのため一般的には、ITO (Indium Tin Oxide)、金、インジウム亜鉛酸化物 (

50

IZO)などが用いられる。

【0006】

近年では低分子材料を用いた有機発光素子において、発光効率を高めるため、有機層12を複数の層で構成することがある。これにより、各層で、キャリア注入、発光領域へのキャリア移動、所望の波長を持つ光の発光の機能を分担することが可能となり、それぞれに効率のよい材料を用いることで、より効率の高い有機発光素子を作成することが可能となる。

【0007】

このようにして形成された有機発光素子は、図2(a)に示すように輝度は電流に対して比例し、図2(b)に示すように電圧に対しては非線形な関係となる。それゆえ階調制御を行うには、電流値により制御を行う方がよい。

【0008】

アクティブマトリクス型の場合、電圧駆動方式と電流駆動方式の2通りがある。

【0009】

電圧駆動方式は電圧出力型のソースドライバを用い、画素内部において電圧を電流に変換し、変換した電流を有機発光素子に供給する方法である。

【0010】

この方法では画素毎に設けられたトランジスタにより電圧電流変換を行うことから、このトランジスタの特性ばらつきに応じて、出力電流にばらつきが発生し、輝度むらが生じる問題がある。

【0011】

電流駆動方式は電流出力型のソースドライバを用い、画素内部では1水平走査期間出力された電流値を保持する機能のみを持たせ、ソースドライバと同じ電流値を有機発光素子に供給する方法である(例えば、特許文献1および2参照)。

【0012】

電流駆動方式の例を図3に示す。図3の方式は画素回路にカレントコピア方式を用いたものである。

【0013】

図4に図3の画素37の動作時の回路を示す。

【0014】

画素が選択されたときには、図4(a)に示すように、その行のゲート信号線31aには、スイッチを導通状態とするようにゲートドライバ35から信号が入力される。そして、ゲート信号線31bには、スイッチを非導通状態とするように信号が入力される。このときの画素回路の様子を図4(a)に示す。このときソースドライバ36に引き込まれる電流であるソース信号線30に流れる電流は点線41で示した経路を流れる。よって駆動トランジスタ32にはソース信号線30に流れる電流と同一電流が流れる。すると節点42の電位は駆動トランジスタ32の電流電圧特性に応じた電位となる。

【0015】

次に非選択状態となるとゲート信号線31により図4(b)に示すような回路となる。EL電源線34から有機発光素子33に43で示す点線の経路で電流が流れる。この電流は節点42の電位と駆動トランジスタ32の電流電圧特性により決まる。

【0016】

図4(a)と(b)において節点42の電位は変化しない。従って同一駆動トランジスタ32に流れるドレイン電流は図4(a)と(b)において同一となる。これによりソース信号線30に流れる電流値と同じ値の電流が有機発光素子33に流れる。駆動トランジスタ32の電流電圧特性にばらつきがあっても原理上電流41と43の値には影響がなく、トランジスタの特性ばらつきの影響のない均一な表示を実現できる。

【0017】

従って、均一な表示を得るためには電流駆動方式を用いる必要があり、そのためにはソースドライバ36は電流出力型のドライバICでなければならない。

10

20

30

40

50

【0018】

階調に応じた電流値を出力する電流ドライバICの出力段の例を図6に示す。表示階調データ54に対するアナログの電流出力は、64に示されたようにデジタルアナログ変換部66によって行われる。デジタルアナログ変換部66は、複数個（少なくとも階調データ54のビット数）の階調表示用電流源63とスイッチ68及び、1つあたりの階調表示用電流源63が流す電流値を規定する共通ゲート線67から構成される。

【0019】

図6では4ビットの入力54に対しアナログ電流を出力する。ビットの重みに応じた数の階調表示用電流源63を電流出力64に接続するかどうかは、スイッチ68により選択する。したがって、階調に応じた電流が、出力できる。例えば、データ1の場合は階調表示用電流源63が1つ分の電流が出力でき、データ7の場合は電流源63が7つ分の電流が出力できる。この構成をドライバの出力数に応じた数だけ66を並べることで電流出力型ドライバが実現可能である。階調表示用電流源63に用いたトランジスタの温度特性を補償するため共通ゲート線67の電圧は分配用ミラートランジスタ62により決められる。分配用トランジスタ62と階調表示用電流源63はカレントミラー構成となり、基準電流99の値に応じて1階調あたりの電流が決められる。この構成により、階調により出力電流が変化し、かつ1階調あたりの電流は基準電流により決まる。

10

【0020】

また階調表示用電流源63の個数違いによる階調表示のほか、図6においてドレイン電極が同一スイッチ68に接続された複数の電流源63を1つにまとめる方法や、スイッチ68を介して流れる電流が変化しないように電流源63のチャンネルサイズ比を変化させて形成する方法でも、階調表示が実現可能である。（この場合最低4つの電流源63トランジスタで構成される。）

20

さらに、電流源63トランジスタの個数による電流変化と、チャンネルサイズ比の変化による電流変化を組み合わせ実施してもよい。

【0021】

基準電流99の値は、抵抗素子60の抵抗値及び電源69の電源電圧により決められる。抵抗素子60及び分配用ミラートランジスタ62、電源69からなる回路で1階調あたりの電流を決める基準電流が生成されるため、これらの回路を基準電流生成部61とする。

30

【特許文献1】特開2004-271646号公報

【特許文献2】特開2006-154302号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

しかしながら、上述した従来の表示装置においては、有機発光素子を利用する表示において表示ムラが発生してしまうという課題があった。

【0023】

本発明者は、このような表示ムラが黒表示において特に顕著であることに気付き、その理由が以下で説明するようにTFT特性のばらつきにあると分析している。

40

【0024】

低温ポリシリコンTFTで画素回路を形成する場合、アモルファスシリコンからレーザーアニールにより多結晶化する工程がある。

【0025】

この際、図47に示すように、表示エリア全体を一度にアニールするのではなく、471に示すようにライン状にレーザー照射し多結晶化する。これを画面全体に照射するために471の領域を矢印のように徐々にスキャンするように移動させて実施し、画面全体を多結晶化させ、低温ポリシリコンTFTを作成する。

【0026】

この際、レーザーの強度ばらつきによって、多結晶化の状態にばらつきが生じ、TFT

50

の移動度及び閾値電圧にばらつきが生じる。レーザー強度のばらつきは時間変動による影響が大きく、強度の高いタイミングで照射された領域、強度の弱いタイミングで照射された領域が、471の領域の形状にて分布する。

【0027】

その結果図47の472、473、474に示す画素において、レーザー強度に違いが生じ、図48に示すように画素回路37内部の駆動トランジスタ32の特性ばらつきにより、482から484のソース信号線の電圧電流特性に違いが生じる。

【0028】

電圧プリチャージにより階調0表示を行った場合の、画素472から474を含む行における画素に流れる電流（つまりEL素子に流れる電流）は図49の491に示すように画素によって、ばらつきが生じる。この例では最小ではI0MIN、最大ではI0MAXの電流が流れる。

10

【0029】

EL素子の輝度は、この電流値の差の影響を受け、I0MAXが流れる画素では、周りと比較して明るく発光してしまう。この輝度差がムラとして視認されると、表示品位の低下を招く。

【0030】

本発明は、上述した課題に鑑みてなされたものであり、有機発光素子を利用する表示において表示ムラが発生してしまうことを抑制できる、アクティブマトリクス型表示装置、および有機発光素子を用いたアクティブマトリクス型表示装置の駆動方法を提供することを目的とする。

20

【課題を解決するための手段】

【0031】

上述した課題を解決するために、第1の本発明は、
有機発光素子を有する画素と、
前記有機発光素子に流れる電流をゲート電圧により決定する駆動用トランジスタと、
記憶部と、
前記画素に電圧を供給する電圧出力部とを具備し、
前記電圧出力部の電圧出力は、前記記憶部のデータにより異なる有機発光素子を用いたアクティブマトリクス型表示装置である。

30

【0032】

また、第2の本発明は、
前記駆動トランジスタのゲート電圧、前記駆動トランジスタのドレイン電圧、および前記電圧出力部の出力電圧の内の少なくとも1つの電圧を検出する電圧検出手段を具備する、第1の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【0033】

また、第3の本発明は、
前記電圧検出手段は、前記電圧出力部を具備するドライバ部に形成された第2の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

40

【0034】

また、第4の本発明は、
前記電圧検出手段は、前記画素が形成されたアレー基板に設けられた第2の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【0035】

また、第5の本発明は、
前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧は、前記駆動トランジスタに第1の電流を流したときにおける電圧である第2の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【0036】

また、6の本発明は、

50

前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧は、前記駆動トランジスタに第1の入力階調でのドレイン電流を流したときにおける電圧である第2の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【0037】

また、第7の本発明は、

前記電圧出力部の出力電圧は、第2の入力階調における出力電圧である第2の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【0038】

また、第8の本発明は、

前記記憶部は前記駆動トランジスタのゲート電圧、前記駆動トランジスタのドレイン電圧、およびは前記電圧出力部の出力電圧の内の少なくとも1つに基づいて生成された補正データを保持する第1の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

10

【0039】

また、第9の本発明は、

前記駆動トランジスタのゲート電圧、前記駆動トランジスタのドレイン電圧、および前記電圧出力部の出力電圧の内の少なくとも1つの電圧を検出する電圧検出手段を具備し、

前記電圧検出手段を用いて電圧を検出した第8の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【0040】

また、第10の本発明は、

前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧は第2の階調入力と前記第2の階調入力とは異なる第3の階調入力とに対する、前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧をそれぞれ測定し、

20

同一位置にある前記画素に対応する

前記第2の階調入力に対応する前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧と、

前記第3の階調入力に対応する前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧と、から計算される、

30

前記第2及び第3の階調入力とは異なる第4の階調入力に対する前記駆動トランジスタのゲート電圧または前記駆動トランジスタのドレイン電圧である第8の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【0041】

また、第11の本発明は、

前記電圧は、

前記電圧出力部の第5の階調入力における出力と、

前記電圧出力部の前記第5の階調入力とは異なる第6の階調入力における出力とから

前記電圧出力部の1階調あたりの電位差が計算され、

前記計算された電位差によりサンプリングされて保持される第8の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

40

【0042】

また、第12の本発明は、

前記補正データが、同一の前記画素に対して、少なくとも2以上保持され、保持された前記補正データはそれぞれ異なる入力に対する電圧である第8の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【0043】

また、第13の本発明は、

前記補正データは、前記画素ごとに形成された第8の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

50

【 0 0 4 4 】

また、第 1 4 の本発明は、
前記画素に印加される電圧の調整を行うための電子ボリュームを具備し、
前記電子ボリュームの調整により、黒表示時における輝度を調整し、
所定黒輝度における前記電子ボリュームの値を、前記記憶部に保持させた第 1 の本発明
の有機発光素子を用いたアクティブマトリクス型表示装置である。

【 0 0 4 5 】

また、第 1 5 の本発明は、
表示階調に応じた表示を行うために入力されてくる階調データと前記記憶部によって記
憶される補正データとを利用して D / A 変換を行う電圧出力部を具備する、第 1 の本発明
の有機発光素子を用いたアクティブマトリクス型表示装置である。

10

【 0 0 4 6 】

また、第 1 6 の本発明は、
前記電圧出力部は、出力がリニアであり、前記入力されてくる階調データと前記記憶さ
れる補正データとを加算することにより前記 D / A 変換を行う、第 1 5 の本発明の有機発
光素子を用いたアクティブマトリクス型表示装置である。

【 0 0 4 7 】

また、第 1 7 の本発明は、
前記補正データが、同一の画素において 2 つ以上存在し、補正データ群を形成する場合
には、
前記補正データ群のうち、測定条件が前記入力されてくる階調データと近い前記補正デ
ータを利用して前記 D / A 変換を行う第 1 5 の本発明の有機発光素子を用いたアクティブ
マトリクス型表示装置である。

20

【 0 0 4 8 】

また、第 1 8 の本発明は、
前記補正データが、同一の画素において 2 つ以上存在し、補正データ群を形成する場合
には、
前記補正データ群のうち、測定条件が前記入力されてくる階調データと近い 2 つの第 1
の補正データと第 2 の補正データとから、前記入力されてくる階調データに対応する第 3
の補正データを算出し、
前記第 3 の補正データと前記入力されてくる階調データとを利用して前記 D / A 変換を
行い前記電圧出力部の出力を決定する第 1 5 の本発明の有機発光素子を用いたアクティブ
マトリクス型表示装置である。

30

【 0 0 4 9 】

また、第 1 9 の本発明は、
前記電圧出力部による出力を行う期間を有する、
第 1 の本発明の有機発光素子を用いたアクティブマトリクス型表示装置の駆動方法であ
る。

【 0 0 5 0 】

また、第 2 0 の本発明は、
前記画素は、電流駆動方式に応じた画素構成を有しており、
表示階調に応じた表示を行うために入力されてくる階調データと前記記憶部によって記
憶される補償データとに基づいて、前記電流駆動方式における電圧プリチャージ期間にお
いて前記画素に前記電圧出力部による電圧を印加する、第 1 9 の本発明の有機発光素子
を用いたアクティブマトリクス型表示装置の駆動方法である。

40

【 0 0 5 1 】

また、第 2 1 の本発明は、
前記記憶部によって記憶される補償データに基づいて、信号書き込み期間において前記
画素に前記電圧出力部による電圧を印加する、第 1 9 の本発明の有機発光素子を用いたア
クティブマトリクス型表示装置の駆動方法である。

50

【 0 0 5 2 】

また、第 2 2 の本発明は、

動作時において前記画素に印加されている電圧の測定を行うために A / D 変換を行うための A D 変換部と、前記測定の結果に応じて前記画素に印加される電圧の制御を行うための電圧制御部とを具備する、第 1 の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【 0 0 5 3 】

また、第 2 3 の本発明は、

前記電圧制御部は、前記測定の結果と前記記憶部によって記憶される補償データとの比較の結果に応じて前記電圧の制御を行う、第 2 2 の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

10

【 0 0 5 4 】

また、第 2 4 の本発明は、

前記電圧制御部は、周囲の温度を考慮して前記電圧の制御を行う、第 2 3 の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【 0 0 5 5 】

また、第 2 5 の本発明は、

前記電圧制御部は、電源が投入されてからの経過時間を考慮して前記電圧の制御を行う、第 2 3 の本発明の有機発光素子を用いたアクティブマトリクス型表示装置である。

【 発明の効果 】

20

【 0 0 5 6 】

本発明によれば、有機発光素子を利用する表示において表示ムラが発生してしまうことを抑制できる。

【 発明を実施するための最良の形態 】

【 0 0 5 7 】

以下では、本発明の実施の形態について図面を参照しながら説明する。

【 0 0 5 8 】

カラー有機発光素子を用いた表示装置において、3 原色それぞれに異なる材料を用いて画素を形成した場合、図 7 に示すように、表示色ごとに発光効率が異なること、さらに各発光色の色度によっては、白表示時の各表示色の電流が異なる値となり、1 階調あたりの電流を個別に設定する必要がある。

30

【 0 0 5 9 】

そこで図 8 に示すように基準電流生成部 6 1 を含む電流出力回路 6 5 を表示色ごとに個別に用意して、表示装置に使用する発光材料が変わったとしても、抵抗素子 6 0 の値を変更して使うことで、パネル輝度及び色度を目的の値に設定できるような構成としている。

【 0 0 6 0 】

さらに発光材料の色ごとの発光効率ばらつきが白色度に影響をおよぼし、パネルごとに白色が異なって見える問題に対応するために、図 9 に示すように基準電流生成部 6 1 において、抵抗素子 6 0 の代わりに電子ボリュームと定電流源からなる回路構成として、発光効率によって制御データ 9 8 の値を変化させ、基準電流を変化させ出力電流値を調整することで、輝度を一定の範囲内に調整することができる。また色度についても同様に一定の範囲内に調整することが可能となる。制御データ 9 8 を基準電流電子ボリュームとよぶこととする。

40

【 0 0 6 1 】

調整方法を図 1 0 に示す。

【 0 0 6 2 】

想定される発光効率から計算された基準電流電子ボリュームの初期値により全画面白表示を行う。このときに輝度及び色度測定を実施する。測定データがパネルの設計スペックの範囲内に入っていれば、電子ボリュームはこの初期値に決定されるが、範囲外である場合には、設定値と比較し、各色の基準電流電子ボリューム 9 8 の値の増減を行い、再度白

50

表示して輝度及び色度を測定する。この動作を、輝度及び色度が設計範囲内に入るまで繰り返し実施し、最終的にパネルごとに最適な基準電流電子ボリューム 98 の値を決定する。

【0063】

電子ボリュームの電圧調整部 95 の刻み幅は、細かいほど、基準電流値の微調整が効き、目標値に近い設定が可能である。また最大 - 最小値の幅が大きいほど発光効率のばらつきが大きくてもきちんとして設計どおりの値に調整することが可能である。しかしながら、この条件を満足するように設計すると電圧調整部 95 の回路規模が大きくなり、ドライバ IC 36 の面積を大きくしてコストアップの要因となってしまう。このため調整範囲は最大 2 倍程度（発光効率のばらつきが 2 倍以内）、刻み幅は 1 % の電流変化として、6 ビットの電子ボリュームにより構成することが実用的に好ましい。これによりパネルごとの色度のばらつきは x 、 y とともに ± 0.005 以下に設定できる。

10

【0064】

電流駆動時の問題点として図 11 に示すような表示パターンにて、領域 111 が中間調以下で 1 / 4 階調以上の場合で、領域 112 において低階調表示を実施する場合に、領域の境目がぼやけてしまう現象が発生する。

【0065】

また図 12 に示すような全面が低階調表示の場合において表示 1 行目（領域 121）の輝度が他の行よりも高くなる現象が発生する。

【0066】

これは各画素への書き込み電流が小さく（10 nA 程度）、書き込み電流でのソース信号線の浮遊容量の充放電が困難となり、その電流値を 1 水平走査期間内に所定の電流値まで変化させることができないことが原因である。

20

【0067】

これについては、文献 Proc. Euro Display 2002 pp. 855 ~ 858 などで知られている。

【0068】

例えば図 3 に示す画素構成のアクティブマトリクス型表示装置において、ソース信号線からある画素に所定電流値を書き込む場合について考える。ソースドライバ 36 の出力段から画素までの電流経路に関係する回路を抜き出した回路は図 15 (a) のようになる。

30

【0069】

階調に応じた電流 I がドライバ IC 36 内から、電流源 152 という形で引き込み電流として流れる。この電流はソース信号線 30 を通じて、画素 37 内部に取り込まれる。取り込まれた電流は駆動トランジスタ 32 を流れる。つまり、選択された画素 37 において EL 電源線 34 から駆動トランジスタ 32、ソース信号線 30 を介して、ソースドライバ 36 に電流 I が流れる。

【0070】

映像信号が変化して電流源 152 の電流値が変化すると、駆動トランジスタ 32 及びソース信号線 30 に流れる電流も変化する。そのときソース信号線の電圧は駆動トランジスタ 32 の電流 - 電圧特性に応じて変化する。駆動トランジスタ 32 の電流電圧特性が図 15 (b) である場合、例えば電流源 152 が流す電流値が I_2 から I_1 に変化したとすると、ソース信号線の電圧は V_2 から V_1 に変化するようになる。この電圧の変化は電流源 152 の電流によっておこる。

40

【0071】

ソース信号線 30 には浮遊容量 151 が存在する。 V_2 から V_1 までソース信号線電圧を変化させるにはこの浮遊容量の電荷を引き抜く必要がある。この引き抜きにかかる時間 T は、 Q （浮遊容量の電荷）= I （ソース信号線に流れる電流） $\times T = C$ （浮遊容量値） $\times V$ となる。

【0072】

白（255 階調レベル）にて $1 \mu A$ の電流が必要とされるパネルにおいて領域 111 の

50

階調が 3 2、領域 1 1 2 の階調が 0 であるとする V (黒表示時から階調 3 2 表示時間の信号線振幅) は $3 [V]$ 、 $C = 10 \text{ pF}$ 、3 2 階調表示時の電流 $I = 125 \text{ nA}$ となるので、 $T = 240 \mu\text{s}$ 必要となる。これは $QCIF + \text{サイズ}$ (画素数 176×220) を 60 Hz のフレーム周波数で駆動させるときの、1 水平走査期間 ($75 \mu\text{s}$) よりもながくなるため、仮に、黒表示画素の次に走査する画素に 3 2 階調表示を行おうとすると、ソース信号線電流が変化途中で画素に電流を書き込むためのスイッチトランジスタ 3 9 a、3 9 b が閉じてしまうため、中間調が画素にメモリされることにより 3 2 階調と黒の中間の輝度で画素が光ってしまうことを意味する。

【0073】

T の時間だけ変化に時間がかかることから、複数行にわたって輝度が所定値と前の画素の中間の値となることから、表示としてはなだらかに変化しているように見え、その結果境界線がぼやけて見えるようになる。

【0074】

階調が低くなるほど I の値が小さくなるため、浮遊容量 1 5 1 の電荷を引き抜きにくくなるため、所定輝度に変化する前の信号が画素内部に書き込まれてしまうという問題は、低階調表示ほど顕著に現れる。極端にいうと黒表示時は電流源 1 5 2 の電流は 0 であり、領域 1 1 1 の下の領域 1 1 2 において電流を流さずに浮遊容量 1 5 1 の電荷を引き抜くことは困難である。(正確には駆動トランジスタ 3 2 が初期状態では階調 3 2 相当の電流を流しており、ドレイン電流を減らすように、この電流を用いてソース信号線電位を変化させている。)

このようなことから、図 1 1 に示す表示で領域 1 1 1 が階調 3 2、領域 1 1 2 が階調 0 の場合のソース信号線の時間変化は図 1 3 に示すようになだらかに変化する。変化途中の行で表示異常が確認される。

【0075】

図 1 5 に示した、走査 1 行目の輝度が他に比べて高くなる現象は、例えば階調 5 を全画面表示した場合の例で説明する。

【0076】

垂直ブランキング期間では、どの画素回路にもソース信号線が接続されず、ソースドライバ 3 6 は電流を引き込もうという動作のみがおこなわれる。

【0077】

その結果、図 1 4 に示すようにソース信号線 3 0 の電位は電流源 6 3 により時間がたつとともに低下し、垂直ブランキング期間の終了時には白階調相当まで電位が低下する。この状態で階調 5 表示を行おうとすると、1 行目で大きく信号線電位を変化させる必要があり、図 1 1 の例と同様に、変化に時間がかかり、白と目標階調の中間電位がメモリされる(図 1 4 の点 1 4 1 3)。その結果、輝度が高く表示され、1 行目が明るく見えるようになる。

【0078】

これらの問題を解決するためにプリチャージ手法を用いて駆動させる。

【0079】

階調 0 が表示できないことに関しては、階調 0 表示時に電圧により階調 0 表示相当の電圧を画素 3 7 に印加し、階調 0 状態への変化を高速化する。このときの電圧をプリチャージ電圧と呼び、電流駆動時に黒表示状態に高速にソース信号線の状態を電圧印加により変化させる方法を電圧プリチャージと呼ぶこととする。

【0080】

ソースドライバ 3 6 の出力段の構成を図 1 6 に示す。従来のドライバに対し、階調 0 表示時に印加する電圧を供給するプリチャージ電源 2 4 と、プリチャージ電源 2 4 を画素に印加するかどうかを判定するための印加判定部 1 6 9 とを追加し、印加判定部 1 6 9 に判定データを映像信号に同期して送信するために、ラッチ部 2 2 のビット数が増加したことが異なっている。電圧プリチャージを実施する期間はプリチャージパルス 5 2 により決められる。電圧プリチャージ有無時でのソースドライバ動作を図 1 7 に示す。

10

20

30

40

50

【 0 0 8 1 】

電圧期間の長さはソース信号線 3 0 の浮遊容量 1 5 1 及び水平走査期間の長さ、プリチャージ電源 2 4 のバッファ能力によって定まるが、おおよそ 2 μ 秒程度の長さで設定される。プリチャージ電源 2 4 の能力は 2 μ 秒で浮遊容量 1 5 1 (おおよそ 1 0 p F) を 5 V 程度電位変化させられるように設計する。

【 0 0 8 2 】

これにより従来図 1 3 で 1 3 1 に示す変化が、図 1 8 の 1 8 1 に示すように変化するようになり、領域 1 1 2 の表示 1 行目から階調 0 の表示が可能となった。

【 0 0 8 3 】

この手法では 1 3 2 に示す変化に対しては効果がないため、変化速度を加速するための手段として、図 1 9 に示すように、一時的に電流量を多くする期間を設け、その期間で変化速度を加速し、所定電流値にすばやく変化させる方法をとった。図 1 9 では 1 0 倍の電流を流す例である。1 0 倍でなくても、最大階調電流を流すなど、所定階調電流よりも大きな電流を流せば効果がある。このように電流をたくさん流す期間を設ける方式を電流プリチャージといい、たくさん流す電流をプリチャージ電流と呼ぶ。

10

【 0 0 8 4 】

この手法を用いて、3 2 階調レベルの電流に変化させた場合の電流変化の様子を図 2 0 に示す。従来の 2 0 2 の曲線では 1 2 5 n A まで変化するのに 2 4 0 μ 秒かかっていたが、7 5 μ 秒以内に変化させることが可能となった。この例では、プリチャージ電流はドライバの最大階調電流 (8 ビットの例では 2 5 5 階調) 相当を流している。そのため図 2 0 に示す電流プリチャージ期間 1 0 7 3 は、3 0 μ 秒程度あれば、ほぼ所定電流値付近にまで変化できる。残りの 4 5 μ 秒を利用して所定階調表示電流を流し、カレントコピアの画素構成で特徴となる駆動トランジスタ 3 2 のムラを補正する。これにより電流変化がすばやくなり、低階調であっても所定の輝度が表示できるようになる。

20

【 0 0 8 5 】

電流プリチャージによる所定電流への変化時間は 1 行前のソース信号線の状態に応じて変化する。例えば、1 行前が黒レベルで 3 2 階調まで変化させる場合と、1 行前が 3 階調で 3 2 階調まで変化させる場合で、電圧変化量が異なるため、3 2 階調電流で書き込みをしても書き込み状態が異なり、1 行前が 3 階調のほうが書き込みしやすいため、電流プリチャージの期間は短くしなければならない。(プリチャージ電流値が同一の場合での比較であり、電流値を少なくして長さを短くしても同様である。)

30

このように考えると、プリチャージ期間の種類は単純には 2 5 6 \times 2 5 6 通り必要となり、判定し出力することが複雑となる。

【 0 0 8 6 】

そこで、プリチャージの種類を削減するため、電流プリチャージを実施する前に、ソース信号線の状態をある値に固定し、その状態から所定階調まで変化するようにすれば、当該行の階調により電流プリチャージ期間を定めるのみで所定表示が可能となる。図 2 1 に 1 水平走査期間内の電流プリチャージ実施の際のシーケンスを示す。はじめに電圧プリチャージを実施する (2 1 1)。これにより黒表示状態に電圧が設定され、次に電流プリチャージを実施する (2 1 2)。これで所定電流近傍まで電流値が変化する。最後に階調電流出力期間 (2 1 3) により、駆動トランジスタ 3 2 の電位補正をして階調表示を実施する。

40

【 0 0 8 7 】

これにより図 1 1 の表示パターンにおいて図 2 2 に示すように、領域 1 1 1 a から 1 1 2 への変化及び領域 1 1 2 から 1 1 1 b への変化速度が速くなり図 2 2 に示すように変化後の 1 行目でもきちんと所定階調を表示できた。

【 0 0 8 8 】

これを表示 1 行目に必ず実施するようにすれば図 2 3 に示すように階調 5 表示を 1 行目から実施できるようになる。

【 0 0 8 9 】

50

垂直ブランキング期間の電位低下を防止するために、垂直ブランキング期間ではソースドライバ出力を強制的に階調0出力（つまり電流引き込みなし）としたり、垂直ブランキング期間中は電圧プリチャージを実施して黒電位に固定したりする方法がある。電圧プリチャージは、図24(a)に示すように通常の電圧プリチャージと同様に2 μ 秒程度のみ行う方法と、図24(b)に示すように常時電圧プリチャージをする方法のいずれでもよい。図24(a)の場合は、階調出力期間があるため、階調0に固定し、階調0出力期間241とすることが好ましい。

【0090】

電流プリチャージ及び電圧プリチャージを行うための電流出力部構成を図25に示す。ここで選択部259は、階調データ54もしくは、電流プリチャージ制御線254がハイレベルの際に階調表示用電流源63を電流出力64に接続する。選択部259は、接続するかどうかを決定するための手段である。図21に示した電圧プリチャージ実施期間211は、電圧プリチャージパルス258のパルス幅により決められ、電流プリチャージ実施期間212は電流プリチャージパルス群256により決められる。電流プリチャージパルスが複数個あるのは、表示階調により最適な電流プリチャージ期間が異なるため、階調に応じて最適なパルス幅を持つ電流プリチャージパルスを選択する。電流プリチャージパルス256及び電圧プリチャージパルス258のいずれもが入力されない期間が図21に示す階調電流出力期間213となる。

10

【0091】

階調に応じて最適な電流プリチャージパルス256の選択及び、電圧プリチャージパルスの有無を設定するのがプリチャージ判定線251であり、階調データ54と同期して信号が入力される。パルス選択部252は例えば図26に示すようにプリチャージ判定線251の値に対して、プリチャージパルスを出力する。プリチャージ判定線251の値が0のときはプリチャージパルスがでないため、通常の階調出力を行う。プリチャージ判定線251の値が7のときは電圧プリチャージのみ行う。そのほかの場合には、電圧プリチャージ実施後、電流プリチャージを実施する動作となる。

20

【0092】

各プリチャージパルスの設定例を図27に示す。ここで電圧プリチャージパルス258及び電流プリチャージパルス256が同時に入力された場合には、電圧印加選択部253により、電圧プリチャージパルス258が優先して作用することになっているため、水平走査期間の開始時に同時にパルスが立ち上がっている。ここでは電流プリチャージパルスは6種類用意され、aから順に長くなっている。

30

【0093】

プリチャージ判定線251の値が4であれば図26で示したように、まず電圧プリチャージパルス258により電圧プリチャージ実施期間211、次に電流プリチャージ実施期間212（電流プリチャージパルス256dで設定された期間のみ）、残りの時間が階調電流出力期間213となる。

【0094】

プリチャージ判定線251の値が0であれば、水平走査期間272に示すように、すべて階調電流出力期間213となる。

40

【0095】

各階調に対しどのようにプリチャージを実施するかを表したものが図28である。階調0の場合は、先に述べたように電圧プリチャージを実施する。階調1～階調102では電流プリチャージを実施する。（電流プリチャージ前に必ず電圧プリチャージ期間が存在する）電流プリチャージ期間は、階調が増加するごとに長くなるように設定する。階調103以上では、QCIF+の画素の例で255階調時が、1 μ Aの電流である場合には、1行前が階調0であっても75 μ 秒以内に变化が可能であるため、プリチャージは不要である。したがって階調電流のみでの出力を行う。

【0096】

次に各プリチャージパルス幅の例を図29に示す。階調0表示相当のプリチャージ電圧

50

値からの電圧変化量に応じて設定されている。このときの各プリチャージパルスに対する階調の組み合わせは図 2 8 に示すとおりである。

【 0 0 9 7 】

図 2 8 において複数の階調で同一プリチャージパルスが共有できるのは、電流プリチャージにより目標値近くまで電位を変動させれば、所定値までは階調電流で補正できるためである。

【 0 0 9 8 】

図 3 0 に電流プリチャージパルス 2 5 6 d を階調 5 及び階調 8 で適用した場合の電流変化の様子を示したものである。階調 5 表示の場合は、ソース信号線の電位変化・BR>へ黒表示状態から 2 . 4 V、階調 8 表示の場合は 2 . 6 5 V 必要である。

10

【 0 0 9 9 】

電流プリチャージ期間 2 1 2 において、図 2 9 に示す電流プリチャージの長さを設定すると、電位変化は 2 . 5 V となる。この後階調電流にて所定電位まで変化させる。階調 5 表示では 3 0 4 に示すように 0 . 1 V 程度電流を減少させる方向で変化させる必要がある。電流値が 2 0 n A、階調電流出力期間 2 1 3 が 5 5 μ 秒であるため、階調 5 電流で 0 . 1 1 V 変化させることが可能である。電流プリチャージ 2 5 6 d を用いれば所定階調を表示できることがわかる。一方階調 8 においては、電流値が 3 1 n A であることから 5 5 μ 秒で 0 . 1 6 V 変化させることができ、変化に必要な電圧値 0 . 1 5 V に対して十分変化が可能である。このように同一電流プリチャージパルス 2 5 6 d を用いて階調 5 ~ 8 の表示を行うことが可能である。

20

【 0 1 0 0 】

このように階調ごとに最適な電流プリチャージパルス 2 5 6 を選択することで、全階調に対して書き込み不足のない表示が可能となった。

【 0 1 0 1 】

プリチャージパルスは図 3 1 に示されるようにパルス発生部から供給される。水平走査期間の開始後からプリチャージが実施されるため、ソースドライバのアナログ出力タイミングを決定するタイミングパルス 3 1 1 により、パルスが発生するようにしている。その後各プリチャージパルスの長さを決定するために、クロック 3 1 4 及びカウンタ 3 1 7 と、プリチャージ期間設定線 (3 1 5、3 1 6) の値を比較して一致する値までパルスを発生させ続けるようにする。

30

【 0 1 0 2 】

電流プリチャージパルス群が色ごとに別設定となっているのは各色で階調電流の値が異なり、最大階調電流で電流プリチャージを実施したとしても所定電流値まで変化する時間が異なる可能性があるためである。

【 0 1 0 3 】

電圧プリチャージについては、電圧にて強制的にある電位まで変化させるものであり、電圧値により必要なプリチャージ期間が変わるものではないため全色共通で設定している。

【 0 1 0 4 】

また各プリチャージパルスは、ソースドライバクロック 3 1 4 により発生させるため、クロックの周波数によっては、パルス幅が短くしか設定できなかつたり (高解像度のパネルに適用の場合)、長くしか設定できなかつたり (解像度が低いパネル) する問題が発生する。パルス発生部において期間を設定する設定線 3 1 5 のビット数を増加させて、可変範囲を広げる方法があるが、この場合、パルス生成手段 3 1 8 の回路規模が大きくなる。そこで、ソースドライバのクロック 3 1 4 を分周してクロック周波数を制御する分周回路 3 1 3 を設け、パルス発生のためのカウンタ 3 1 7 の回路に分周後のクロックを入力することで、画面の解像度にある程度左右されずに、パルス幅が設定できる構成とした。

40

【 0 1 0 5 】

図 2 5 に対して電圧プリチャージを行うための回路構成を図 3 2 に示す。プリチャージ電圧発生部 3 2 3 は電子ボリューム 3 2 4 にて、出力電圧値をコマンドで変更できる構成

50

となっている。また出力は電圧プリチャージ制御線 257 を介して出力 64 に接続される。全出力とも共通電圧が出力される。これは黒表示時の電圧設定を色ごとに個別に設定することができないため、個別設定する回路が必要ではなく、回路規模削減のための 1 つのみ存在している。

【0106】

電子ボリューム 324 は、パネルごとに異なる黒輝度を調整してばらつきを抑えるために使用される。図 33 に黒輝度を調整するための回路構成を示す。本来黒輝度の調整は輝度計などによって輝度を測定し、輝度を一定にするように調整する必要があるが、自発光である有機発光素子では、黒輝度が 0.05 カンデラ以下となり、測定のためには、輝度計を選ぶ上、暗室での調整が求められてしまう。そこで、輝度測定のかわりとして有機発光素子の輝度 - 電流特性がほぼ比例関係であることを利用して、全画素に流れる電流値の総和を測定し、その電流が一定の範囲内に入るように調整する方法をとることとした。そこで図 33 では、有機発光素子に流れる電流の総和がわかる ELカソード電源線 330 に電流計 333 を挿入し、電流計 333 の値を読み出し、パソコンなどの制御装置 332 が、コントローラを介してソースドライバ内部の電子ボリューム 324 を制御する。最終的に最適な電子ボリューム値を記憶手段 337 に記憶させる。(記憶手段は、最終モジュール上に搭載され、書き込み後は、調整されたパネルと対でモジュール化される。)調整後、電圧プリチャージの電圧値は記憶手段 337 に記憶された値で動作する。

10

【0107】

図 34 に黒調整時の調整方法を示す。電圧プリチャージを実施して黒表示を行う(341)。次に ELカソード電源 330 の電流値を測定する。電流値が所定範囲内に入っているかを判定し、範囲外であれば、範囲内に入るように再度電圧プリチャージ用電子ボリューム 324 の値を変更し、ELカソード電流を測定する。これを範囲内に入るまで繰り返し実施する。

20

【0108】

なお黒表示時の輝度が測定可能である場合には、ELカソード電源 330 の電流値の代わりに輝度を測定し、輝度が所定範囲内に入るように、電圧プリチャージ用電子ボリューム 324 の値を変更してもよい。

【0109】

所定の範囲内に入れば、このときの電子ボリューム値を記憶手段 337 に書き込む。これにより調整終了となる。最後に記憶手段に記載された値が正しいか確認し、検査を終え、以降は記憶手段 337 の値に基づいたプリチャージ電圧を発生するようになる。これによりパネル間での黒輝度ばらつきの少ない表示装置が実現された。

30

【0110】

電流プリチャージ及び電圧プリチャージの実施により書き込み不足がない表示が実現したが、複数の行にわたって一定輝度が表示される場合、毎回プリチャージが実施されることで、プリチャージ実施前よりも信号線電位の変化が激しくなる場合がある。例えば図 11 に示す 111 領域で階調 32 が表示されている場合である。図 35 に信号線電流の変化の様子を示す。各水平走査期間開始の際に一度電流が 0 に大きく変化している。一方従来のプリチャージのない方式では、領域の変化後数行間では所定電流にならない問題があるものの複数の行で同一階調表示の場合常に一定電流が流され、電流変化の少ない表示となっており、より書き込みやすい動作となっている。

40

【0111】

そこで、1行前の状態によってプリチャージを行うかどうかを判別する方法をとることを考えた。領域 111 から 112 及び 112 から 111 への変化点ではプリチャージを行うが、階調変化のない 111 内及び 112 内ではプリチャージを実施しない方法である。プリチャージが必要なく書き込める場合にはプリチャージを実施しないという判定処理をするものである。プリチャージの長さについては、これまで同様に当該階調によって決められる。これにより図 36 に示すように、電流変化の大きな部分でもきちんと表示でき、さらに電流変化が少ないところではプリチャージを止めることで電流変化の少なくするこ

50

とができ、表示品位が向上した表示パネルを実現した。

【0112】

次にプリチャージを行うかどうかの判定基準を決定する方法について説明を行う。判定は、プリチャージがなくても所定状態に変化できるかどうかで決まり、変化できない場合にプリチャージを行うようにする。

【0113】

書き込みが可能であるかどうかは、表示階調（書き込み電流）と1行前からの変化量（電位差）によって決まる。

【0114】

図38に1行前の書き込み電流と、表示行の書き込み電流の組み合わせに対するプリチャージなしは書き込みできない領域（381及び382）の関係を示す。381及び382の境界線は、 $V \times C = I_w \times T$ であらわされる線（ここでCは浮遊容量、10 pF、 I_w は書き込み電流、Tは水平走査期間75 μ 秒）であり、381及び382は $V \times C / I_w > 75 \mu$ 秒となる領域で、水平走査期間内に変化できない（書き込みできない）領域を示している。

10

【0115】

よってプリチャージするかどうかの判定は、381及び382の領域に入る1行前と当該行の組み合わせ時に実施するとすればよいが、この場合、判定に掛け算が含まれるため、回路規模が大きな判定ロジックとなる。

【0116】

そこで、掛け算をなくすために、381及び382の領域から狭くならないように、当該行の階調が一定値より上か下か、また1行前の階調が一定値より上か下かで判定するようにする。

20

【0117】

図38は255階調が1 μ Aの電流で、QCIF+の画素数でソース線容量が10 pFの場合における例で、書き込み電流が103階調未満（ $I_w 103$ とする）かつ1行前電流が12階調未満（ $I_b 12$ ）のときと、書き込み電流が50階調未満（ $I_w 50$ ）のときにプリチャージをするとすればよい。ただし1行前と当該行の階調が同一であれば電流値によらず書き込み可能であるため、同一の場合はプリチャージをしないという判定を追加する。

30

【0118】

この判定を実施するための判定部方式を図37に示す。

【0119】

まず表示する階調が0かどうかを判定し（371）、階調0であれば電圧プリチャージをするようにする。複数行にわたって階調0が続いたとしてもプリチャージ電圧値が階調0時の電位であるため、図35に示すようなプリチャージを毎回行うことによる、電位変動が多くなる問題が起こらないため、毎回プリチャージをするようにする。

【0120】

階調0でない場合には次に、1行前の階調データと比較する（372）。比較を実施するため、RAMもしくはラッチ回路などで、1行分のデータを記憶させる回路が必要となる。

40

【0121】

1行前の階調データと比較し、一致する場合には、表示階調（書き込み電流）によらず書き込みが可能である。（ソース信号線の電位が変化しないからである。）そのため、この場合には電流プリチャージを実施しないようにする。

【0122】

次に1行前の階調のほうが大きい場合には、図38の領域381を考慮し、これから書き込む電流が階調50相当の200 nA以下のとき電流プリチャージを実施する。領域381よりも大きな領域でプリチャージ実施することとなるが、書き込み不足による画質劣化が起きないことが優先であり、処理の簡便さを考慮して、このように判定する。200

50

n A より大きい場合には、書き込み電流により、所定電流値までプリチャージなしでソース信号線電位を変化させることが可能であるため電流プリチャージなしとする。

【0123】

1 行前階調のほうが高い場合には、階調電流にて書き込みが不可能な領域 3 8 2 を考慮し、まず書き込み電流が階調 1 0 3 相当の 4 0 0 n A 以上の場合、1 行前書き込み電流によらずプリチャージなしで書き込みが可能であることから、判定 3 7 4 にてプリチャージしない判定をする。

【0124】

階調 1 0 2 以下においては 1 行前の書き込み電流によって、書き込み可能不可能が分かるため、さらに判定部 3 7 5 にて、1 行前の電流が階調 1 2 相当の 4 5 n A 以下の場合、プリチャージを実施する。

【0125】

これによりプリチャージなしでは書き込みできない領域 3 8 2 を内包した形で、プリチャージ実施する組み合わせが決まり、必要に応じたプリチャージのオンオフ選択が可能となった。

【0126】

図 3 9 に、図 3 7 の判定処理を含めた場合における、ソース信号線電流変化の様子を示す。(図 1 1 の領域 1 1 1 が階調 3 2 で、領域 1 1 2 が階調 3 の場合を示す。) プリチャージがない回路構成に比べて、電流の変化時の速度が向上し、領域の境界行でもきちんと階調表示を実現できている。

【0127】

階調に応じて最適なプリチャージパルスを選択もしくはプリチャージしないことを判定する回路は、表示パネル外部から送信されてくる映像信号 4 0 7 に対して、データネーブル信号 4 0 1 により、垂直ブランキング期間では入力によらず黒データを出力する黒データ挿入部 4 0 2 を通り、ガンマ補正を行うガンマ補正回路 4 0 3 の出力で、ソースドライバへ送信されるデータを元にプリチャージ判定を実施する必要がある。そのため図 4 0 に示すような構成となり、ガンマ補正後映像信号 4 0 4 を用いてプリチャージ判定を行い、このデータと同期して、プリチャージフラグ 4 0 6 として、ソースドライバに送信される。プリチャージフラグ 4 0 6 は使用されるソースドライバ側のパルス選択部 2 5 2 と矛盾しないように図 2 6 に対応して、図 4 1 に示すような関係でプリチャージフラグ 4 0 6 を送信する。

【0128】

なお、1 行前データとの比較部に対して、比較する映像信号がない 1 行目の処理であるが、今回垂直ブランキング期間で黒データ挿入するための黒データ挿入部 4 0 2 を追加したことで、1 行目の前は必ず電圧プリチャージを実施した黒階調となる。1 行前のタイミングに送信されたデータは必ず記憶手段に記憶され、比較データとなることから、このデータもまた保持され、1 行目のプリチャージを判定する際には階調 0 表示が 1 行前にあったときのプリチャージをするように自動的に判定されるため、1 行目の処理についても 2 行目以降と同様に実施することが可能である。

【0129】

プリチャージパルス 2 5 6 のパルス幅については、映像信号ごとに判定する必要がなく、同一パネルにおいては固定値であることから、別途、コマンド設定などによってソースドライバに送信するようにする。映像信号に同期してプリチャージフラグが必要で、さらにプリチャージパルスの設定やプリチャージ電圧値の設定などコマンドが多いため、コントローラとドライバが別チップで構成されるモジュールの場合(図 4 2)、2 つの IC 間での制御信号線数が多くなり、外部配線が複雑になることが想定される。そこで、例えば図 4 3 に示すように 1 画素分に必要なデータをクロック周波数 N 倍することによりシリアル転送する方法、水平ブランキング期間を利用して映像信号入力線と同一信号線で各種コマンドを設定すること(4 3 2)により外部信号線を削減する方法がある。ここで ROM 4 2 2 はパネルごとに異なるコマンド設定を保管するために存在し、プリチャージ電圧の

10

20

30

40

50

電子ボリューム値や、各色の基準電流電子ボリューム値を保管している。

【0130】

電流及び電圧プリチャージが実施可能なソースドライバの回路構成を図44に示す。この例では、図43のように映像信号434とコマンド435が同一線（映像信号線429）で送信されてくる。映像信号線データはコマンド（315、316、98、502）と階調データ386、プリチャージ判定信号380、さらにゲートドライバ用制御信号428に、映像信号・コマンド分離部により分離されている。

【0131】

6種類の電流プリチャージパルス256はパルス発生部319で生成され、各色6本のパルスを生成し、パルス選択部252に入力されている。電流出力部255では階調データ54及び基準電流生成部61により生成される1階調あたりの電流設定に基づき電流出力を行う。このときパルス選択部252の動作によっては、電流プリチャージパルスのパルス幅に応じて最大階調を出す期間が発生する（電流プリチャージ）。最終段にて、電圧プリチャージを実施するかどうかの判定を電圧印加選択部で決定する。判定はパルス選択部の出力で決定され、出力される電圧はプリチャージ電圧発生部で決められた電圧となる。これにより、電流及び電圧プリチャージが可能なソースドライバが実現する。

10

【0132】

以上の説明において電流プリチャージパルスは6種類で説明を行った。しかしながら有機発光素子の効率によっては、1階調あたりの電流値がさらに減少し、図28に示す階調とプリチャージパルスの関係において、複数階調を同一プリチャージパルスで共用できなくなるため、必要なパルス数が増加する。例えば電流値が半分になった場合、これまでの階調16及び102の電流値は階調8と51相当に減少する。階調8と51では異なる電流プリチャージパルスを選択しており、この場合3種類のプリチャージパルスとなっている。つまり必要なプリチャージパルス数が増加する。したがって、電流プリチャージパルスの数が6より多い場合も考えられる。

20

【0133】

この場合、電流プリチャージパルス群256の電流プリチャージパルスの数を増加させる。これによりパルス選択部252の動作も選択数が増加する。このためプリチャージ判定線251のビット数を増加させて対応する必要がある。

【0134】

図28の関係についても、増加したプリチャージパルス数の範囲で、階調を割り振ることで、電流が半分になっても、対応することが可能である。

30

【0135】

例えば16通りのプリチャージパルスが必要な場合には、プリチャージ判定線251は5ビットとなり、階調の割り振りについても低階調側では階調ごとに個別のプリチャージパルスを準備し、高階調ほど複数の階調を共用して用いる方式を用いる。

【0136】

書き込み不足を解消するために必要なプリチャージパルスの種類を準備するようにすれば、これまでの説明と同様な効果を得られることができ、プリチャージパルスの種類は任意の値だけ（極端に言えば階調数 - 1個）用意することも可能である。

40

【0137】

また、上述の説明に用いたソースドライバは、図3のカレントコピー回路構成ばかりでなく、図5に示すカレントミラーの回路構成であっても実施可能である。駆動トランジスタ52のゲート電位（＝ソース信号線電位）を微小電流により変化させて書き込む動作は同じであるためである。

【0138】

電流出力型ソースドライバにおいて、図6に示すように電流出力をトランジスタの並びで構成すると、並べるトランジスタの個数分だけ面積を必要とする。基準電流のばらつきを考慮に入れ、チップ内、チップ間の隣接端子間のばらつきを2.5%以内にする必要があることから図58における出力電流のばらつき（出力段での電流ばらつき）は2.5%

50

以下にすることが望ましく、63のトランジスタサイズは160平方マイクロン以上あることがよい。

【0139】

低温ポリシリコンTFTで画素回路を形成する場合、アモルファスシリコンからレーザーアニールにより多結晶化する工程がある。

【0140】

この際、図47に示すように、表示エリア全体を一度にアニールするのではなく、471に示すようにライン状にレーザー照射し多結晶化する。これを画面全体に照射するために471の領域を矢印のように徐々にスキャンするように移動させて実施し、画面全体を多結晶化させ、低温ポリシリコンTFTを作成する。

10

【0141】

この際、レーザーの強度ばらつきによって、多結晶化の状態にばらつきが生じ、TFTの移動度及び閾値電圧にばらつきが生じる。レーザー強度のばらつきは時間変動による影響が大きく、強度の高いタイミングで照射された領域、強度の弱いタイミングで照射された領域が、471の領域の形状にて分布する。

【0142】

その結果図47の472、473、474に示す画素において、レーザー強度に違いが生じ、図48に示すように画素回路37内部の駆動トランジスタ32の特性ばらつきにより、482から484のソース信号線の電圧電流特性に違いが生じる。

【0143】

電圧プリチャージにより階調0表示を行った場合の、画素472から474を含む行における画素に流れる電流（つまりEL素子に流れる電流）は図49の491に示すように画素によって、ばらつきが生じる。この例では最小ではI0MIN、最大ではI0MAXの電流が流れる。

20

【0144】

EL素子の輝度は、この電流値の差の影響を受け、I0MAXが流れる画素では、周りと比較して明るく発光してしまう。この輝度差がムラとして視認されると、表示品位の低下を招く。

【0145】

そこで、プリチャージ電圧（つまり駆動トランジスタ32のゲート電圧）を全画素共通の電位で印加するのではなく、画素ごとに最適な電圧を入力するようにして、画素に流れる電流を全画素同一にすることを考えた。

30

【0146】

所定電流値I0にするために、画素472ではVAの電圧を印加、画素473ではVBの電圧を印加、画素474ではVCの電圧を印加すれば、この3画素はすべてI0の電流が流れる。これを全画素に同様に適用すればよい。

【0147】

図50(b)に図49の出力電流分布を示した場合における、駆動トランジスタ32のゲート電極に印加する電圧分布の様子を示す。これはすなわちプリチャージ電圧値の分布となる。このように出力端子ごとにプリチャージ電圧を変化させることで、画素に流れる電流値は図50(a)の506に示すようにほぼI0の電流で一定にすることが可能となった。

40

【0148】

図50(b)では1行分の電位変化を示しているが、他の行においてもそれぞれ同様に、I0出力となる電圧値をプリチャージ電圧として印加するにすれば、全画面において均一な黒表示を実現することが可能となる。

【0149】

プリチャージ電圧を出力端子ごとに変化させるためには複数の電圧を供給できるプリチャージ電圧発生部が必要となる。図51にプリチャージ電圧発生部の回路構成を示す。これまでのプリチャージ電圧発生部323と異なるのは、複数の電圧を供給できるようにし

50

たことと、複数の電圧のうちの最大及び最小値を電子ボリューム 5 1 5 により変更できるようにしたことである。

【 0 1 5 0 】

図 5 1 では、まず最大電圧を決定するための電子ボリューム 5 1 5 a により最大電圧を 5 1 3 a のアンプから供給する。一方で最小電圧を決定するための電子ボリューム 5 1 5 b により最小電圧は 5 1 3 h から供給される。中間の電位は抵抗素子 5 1 2 により分割された電圧をバッファ 5 1 1 経由により供給し、5 1 3 b から 5 1 3 g の 6 値の電圧が供給される。この例では 8 種類の電圧を供給できる。

【 0 1 5 1 】

8 種類の電圧を画素ごとに変更できるようにするためには、さらにプリチャージ電圧発生部 5 2 5 の 8 電圧出力を各出力に分配し、画素ごとに 8 値の電圧のうちの 1 つを選択できる構成とする必要がある。このときのソースドライバ出力の構成の一部を図 5 2 に示す。これまでの構成に対して、電圧印加選択部 2 5 3 の直前に電圧値を 1 つ選ぶための電圧選択部 5 2 1 を画素ごとに配置している。選択するための制御信号（プリチャージ電圧値選択用信号）は出力ごとに個別に設定できるように、出力ごとにラッチ回路を設けて 1 水平走査期間の間保持できるようにしている。これにより、プリチャージ判定線 2 5 1 によって、電圧プリチャージが選択された場合には、電圧プリチャージ制御線 2 5 7 が出力 6 4 と接続され、その際に、8 値の電圧値のうち選択された 1 つの電圧を出力できるようになる。

10

【 0 1 5 2 】

ドライバ IC の構成を図 5 3 に示す。8 値電圧が出力端子ごとに個別に出力できるように外部からプリチャージ電圧選択信号 5 3 1 が入力され、これをラッチ部 3 8 4 に各出力に蓄えられ、プリチャージ電圧選択信号 5 3 1 を画素ごとに個別に設定すれば、画素ごとに最適な電圧値を選択できる。ラッチ部 3 8 4 出力が 5 2 4 にて電圧選択部 5 2 1 に入力されるため、1 画素書き込み時間内であれば、同じ電圧を継続して出力できる構成となっている。

20

【 0 1 5 3 】

8 値の最大及び最小電圧は電圧設定線 5 1 6 及び 5 1 7 により外部からコマンド入力により設定できるようにしているため、ドライバ IC が実装されたパネルごとに最適な電圧値をコマンドにより設定することが可能となる。

30

【 0 1 5 4 】

図 4 7 ~ 4 9 の特性のパネルの場合、最大電圧設定線 5 1 6 は電圧 V C を、最小電圧設定線 5 1 7 は電圧 V A を 5 1 4 のアンプから出力するように設定する。これにより図 5 7 (b) の各点に示すようにプリチャージ出力が端子ごとに設定され、その結果、図 5 7 (a) の 5 7 5 に示すような各画素電流となる。

【 0 1 5 5 】

そこで、I 0 となる駆動トランジスタ 3 2 のゲート電位を画素ごとに検出する必要がある。

【 0 1 5 6 】

カレントコピアの画素構成の場合、図 5 4 に示すように「ある電流 (I 1) 」が駆動トランジスタ 3 2 に流れている場合のゲート電圧は、ソース信号線 3 0 電位と同一となることから、画素回路 3 7 に定電流源 5 4 3 から電流が書き込まれている際のソース信号線 3 0 電圧を電圧検出手段 5 4 2 にて検出すれば、I 1 の電流値に対する V 1 電圧が測定できる。ここでソース信号線 3 0 が高抵抗状態であるため、電圧検出には、オペアンプなどを介して、接続し、ノイズがソース信号線 3 0 に伝播しないようにかつ安定した電位で測定できるようにすることが好ましい。

40

【 0 1 5 7 】

電流が 0 を正確に定電流源 5 4 3 から供給することは困難である上、画素 3 7 ごとに電位が異なる場合、真の電圧値になるまでの安定期間が長くなるため、測定に時間がかかることが想定される。p A オーダー以下の電流でソース信号線 3 0 の浮遊容量の電荷充放電

50

には秒オーダー以上の時間がかかり現実的に測定に用いることは困難である。

【0158】

そこでI0付近の異なる2点の電流及び電圧を測定し、2点からI0に相当する電圧V0を計算によって求めることを考えた。

【0159】

駆動トランジスタ32の特性からソース信号線30の電圧電流特性は図55の551に示す鎖線で表現される。I0からI2の点が近い場合には552に示すようにI1、I2、V1、V2の点からI0に対するV0を直線近似にて補間して求めてもよい。このようにして求めた555の点がV0となり、この電圧をプリチャージ電圧として設定すればよい。

10

【0160】

V0を求めるための計算は $V0 = (V2 - V1) / (I2 - I1) \times I0 + V1 - (V2 - V1) / (I2 - I1) \times I1$ により算出される。

【0161】

画素ごとに最適な電圧を算出し印加するための流れを図56に示す。

【0162】

各画素の階調0に相当する電圧を算出するために、2つの異なる電流を流し、電流値及び電圧値をそれぞれ測定する。ここで有機発光素子を流れる電流値は画素ごとに測定することが困難のため、有機発光素子33のカソード電極に電流を供給するカソード電源線に流れる電流値を測定し、同時に点灯している画素数で割った値を1画素電流として計算してもよい。この場合全画面同一階調表示である必要がある。

20

【0163】

モジュールで構成した場合には、I1、I2を直接指定することはできず、入力階調によって電流が指定される。そこで、ある階調L1、L2を入力し、測定されたカソード電流からI1、I2を求め、L1のときの画素の電圧をV1とし、L2のときの画素の電圧をV2とすれば、V0を求めることが可能である。

【0164】

次に565で示すようにこれまでの測定結果を元に階調0表示電圧(V0)を計算する。

【0165】

算出された各画素V0の電圧を元に最大値及び最小値を検出し、最大電圧設定線516及び最小電圧設定線517を決定する(566)。

30

【0166】

次にソースドライバ36で出力可能なプリチャージ電圧数から設定可能な電圧数(例えば8種類)が決定され、565で計算された各出力の電圧データに対して誤差が最も少ない電圧値を1つずつ選択し、各画素に対応するプリチャージ電圧選択信号531を決定する。

【0167】

これにより電圧プリチャージ時には各画素に最適な黒表示時の電圧値を印加できるようになった。

40

【0168】

最大電圧設定線516及び最小電圧設定線517、プリチャージ電圧選択信号531は、パネルごとに異なる最適な値を入力する必要がある。そのためパネルに1対1対応されたROMなどに記憶させることが必要となる。逆にROMに蓄えられたデータを元に各画素に出力される電圧値を決定する。各画素データに同期してプリチャージ電圧選択信号をROM422から制御IC28を経由してソースドライバ36に入力する。

【0169】

このようにパネルと一体にしてROMデータを管理する必要があるため、階調0表示時の電圧は、モジュールに組み立てられた後に測定する必要がある。

【0170】

50

そこで、図 5 4 に示す電圧検出方法の一例として、ソースドライバ 3 6 を介して外部に電圧を読み出す方法を考案した。ドライバ IC に追加される回路構成を図 6 2 に示す。プリチャージ電圧発生部の出力に切り替え部 6 2 1 を設け、8 値の電圧出力用信号線 6 2 3 を外部端子に直接接続できる経路を追加した点が、追加回路構成である。これにより電圧選択部 5 2 1 で選択された信号線 (6 2 3 のうちの 1 本) が切り替え部 6 2 1 を介して 6 2 2 の信号線によりドライバ外部端子へ接続される。ここで電圧プリチャージ制御線 2 5 7 によりスイッチが導通状態となれば、出力 6 4 を介してソース信号線と接続され、外部端子 6 2 4 の電位測定によりソース信号線 3 0 の電圧が測定できる。ここで、電圧選択部 5 2 1 の選択がソースドライバの複数端子出力で同一である場合には該当する信号線 5 2 2 と 6 2 3 のうちの 1 つがすべて接続された状態となるため、この状態で該当する出力のうち 2 つ以上の電圧プリチャージ制御線 2 5 7 がスイッチを導通状態にする信号を送信すると、複数のソース信号線が接続された状態となる。そのため電圧プリチャージ制御線 2 5 7 は複数同時にスイッチを導通状態にしないようにする必要がある。

10

【0171】

例えば外部接続端子 (6 2 4) 1 つで全画素の電圧を測定するためには、電圧選択部 5 2 1 をすべて同一値 (使用する 6 2 4 の端子による) にして、あるタイミングで 2 つ以上の電圧プリチャージ制御線 2 5 7 をハイレベルにしないように制御する必要がある。(ハイレベルの際、スイッチが導通状態となると定義する。)

図 6 3 に全画素の電圧値を読み取るための信号波形を示す。1 行分のデータを読み出す時間が 6 3 5 で示される期間で、6 3 5 の期間は表示行数分繰り返し存在する。この期間全出力同一階調電流をソースドライバの電流出力部 2 5 5 から出力し続けることで、電流及び電圧を測定する。I 1 及び I 2 の値はソースドライバ 3 6 で出力可能な階調の範囲から選択して決定する。

20

【0172】

6 3 5 a の期間で 1 行目の画素が選択された (駆動トランジスタ 3 2 に電流が流れる) 状態で、まず 6 3 1 で示すように一定期間、どの画素も電圧読み出ししない期間を設ける。これは、直前の状態でソース信号線 3 0 の浮遊容量に測定対象とは異なる電荷が蓄積された場合に、所定電流が書き込まれる状態まで変化させるために必要な時間を置くためである。これにより第 1 番目の画素の電圧を読み出す前に、直前の状態によらず、駆動トランジスタ 3 2 の性能による電圧状態にすることが可能となる。この期間はおおよそ 1 m s 程度設定している。この場合 5 0 n s 程度の電流を流した場合で、1 V ほどの電位変化があっても、測定前までに所定電圧になることまで保証される。6 3 1 の期間はソース信号線 3 0 の容量値と、ソース信号線 3 0 に書き込まれる電流値、想定される電位変化量から決められる。(ソース線容量) × (電位変化量) / (書き込み電流値) の値に対して 2 倍程度とればよい。

30

【0173】

その後 1 画素ずつ電圧を読み出す動作を実施する (6 3 2 に示す期間)。この期間では 1 出力ずつ電圧プリチャージ制御線 2 5 7 をハイレベルとして、対応する画素のソース信号線 3 0 の電位を読み出す。確実に電位読み出しをするため、1 画素ごとに読み出す時間を 1 0 0 μ 秒以上とるように、パルス幅を設定する。

40

【0174】

この動作を実現するには対応する出力のプリチャージ判定線は電圧プリチャージのみ実施の値を選択 (ここでのドライバの例では 7) し、電圧プリチャージパルス 2 5 8 は、常にハイレベルとなるように設定する。他の出力では電圧プリチャージ制御線 2 5 7 がハイレベルとならないようにプリチャージ判定線 2 5 1 の値を 0 とする。この動作を全出力にわたって繰り返し動作させることで 6 3 2 の期間で同一行の全画素の読み出しが完了した。

【0175】

次にゲートドライバの制御を行い 2 行目のゲート信号線 A を導通状態として、2 行目の測定の動作を開始する。この動作を最終行まで繰り返し実行することで全画素の駆動トラ

50

ンジスタ 3 2 のゲート電圧が測定完了した。

【 0 1 7 6 】

これを図 5 6 に示す 5 6 2 及び 5 6 4 にて実行することで、階調 0 表示時の電圧算出の元データを測定でき、画素に対応したプリチャージ電圧を供給することが可能となった。

【 0 1 7 7 】

階調 0 表示時の画素ごとの印加電圧を決定するための調整装置の構成を図 6 4 に示す。画素にある電流を流した際の駆動トランジスタ 3 2 のゲート電圧を検出する機能がついたドライバ 3 6 に対して、電位読み出し線 6 2 4 により電圧をモジュール外部に引き出し、アナログデジタル変換 6 4 1 を経由して、電圧値データをパソコンなどの制御装置 3 3 2 に入力できる構成としていることが特徴である。またパネルごとにプリチャージ電圧判定信号 5 3 1、最大電圧設定線 5 1 6 及び最小電圧設定線 5 1 7 が異なる値となる関係から、パネルごとに異なる設定ができるように記憶手段 3 3 7 がモジュールに搭載され、記憶手段 3 3 7 に電圧値を書き込める構成となっている。この記憶手段 3 3 7 は電源オフ時にも値を保持する必要があるため、不揮発性の記憶素子で構成されている必要がある。

【 0 1 7 8 】

図 5 6 の 5 6 1 から 5 6 5 に示す過程に従って、階調 0 表示時の各画素の電圧値を決定する。電圧値の検出はアナログデジタル変換 6 4 1 によりパソコンなどの制御装置 3 3 2 に入力されたデータを用い、電流値は、ELカソード電源 3 3 0 に設けた電流計 3 3 3 の値を制御装置 3 3 2 に入力することで検出可能である。入力されてきたデータを元に階調 0 表示時の各画素電圧データを算出する。

【 0 1 7 9 】

電圧算出過程において、隣接の画素に比べて大きく異なった電圧値が検出される可能性がある。例えば図 6 6 にあるソース信号線 3 0 に接続された各画素の電圧値の分布の例を示す。大きく異なった点 6 6 1 が観測されている。これは画素内部のトランジスタの欠陥によりトランジスタがショートもしくはオープン状態もしくは蓄積容量の欠陥などによる EL 電源電圧の影響を受けた可能性がある。画面において、輝点もしくは滅点となっている画素に相当する。これは駆動トランジスタ 3 2 の特性をそのまま示したものではないため、異常点として破棄する必要がある。隣接画素の 6 6 2 及び 6 6 3 の電圧から補間して求めることとする。(6 6 4 の電位を必要な電圧値とする。)

電圧データの集合の 3 値を計算し、3 から外れる値を異常データとする。

【 0 1 8 0 】

そこで、記憶手段 3 3 7 の必要容量の削減及びデータアクセスによる電力の削減のため、特性の近いとされる画素では、同一のプリチャージ電圧判定データを用いるようにすることを考えた。

【 0 1 8 1 】

図 4 7 の 4 7 1 のようにレーザー照射を走査して多結晶化させる場合において、縦方向に並んだ画素においては横方向に比べて特性ばらつきの影響が少なくなる。

【 0 1 8 2 】

同一ソース信号線に並んだ画素の電圧分布を図 6 6 に示す。この例では異常データを除きおおよそ 2 0 m V 以内範囲にて電圧値が分布している。そこで、異常データを取り除き、補間データ 6 6 4 を用いて平均値の算出を行い、算出された電圧値をこのソース信号線に対するプリチャージ電圧値として決定することとする。この作業を行うことで、これまで画素数分必要な電圧値データは水平方向の画素数分のみの電圧値データで済むようになり、記憶素子に記憶させるデータ量を削減できた。

【 0 1 8 3 】

水平方向についても、駆動トランジスタ 3 2 の特性ばらつきの分布の周波数特性が低い場合、数画素ごとに 1 つのデータをサンプリングし、残りのデータは 2 つのサンプリングデータ間を線形補間することで、必要な電圧データを求めることも可能となる。例えば 2 0 端子周期にて図 5 7 のようなプリチャージ電圧の最適値が異なる場合、少なくとも 5 出力ごとのデータが保持されていれば残りのデータは保持されたデータから計算でき、お

10

20

30

40

50

よそもとの電圧分布と同一値の計算結果が得られる。例えば図 6 8 の 6 8 7 に示す曲線で電圧分布があった場合でも、記憶手段 3 3 7 には 6 8 1 に示す端子のデータのみを保持し、中間の点は計算により求める。例えば 6 8 2 に示す 3 点は、6 8 1 a と 6 8 1 b の 2 点から、6 8 3 に示す 3 点は 6 8 1 b と 6 8 1 c の 2 点から計算される。この場合でも全データを記憶させた場合に比べてもほぼ誤差のない電圧印加のパターンを実現できる。

【 0 1 8 4 】

各画素の・BR>封¥示時の電圧値を記憶手段 3 8 7 に記憶させる方法として図 6 5 に示す流れによって行い、記憶容量を減らしつつ黒表示時にムラのない表示を実現する。

【 0 1 8 5 】

階調 0 表示時の電圧値が計算された後、まず図 6 6 で説明したように欠陥画素起因による異常な電位変動を示したデータを取り除く (6 5 2) 。

10

【 0 1 8 6 】

次に画素トランジスタのばらつき分布の特徴 (図 4 7 では縦方向ばらつき少ない) を利用して、行方向のデータを平均化手法により、行数分のデータから 1 個のデータに圧縮する (6 5 3) 。

【 0 1 8 7 】

列方向については、同一電流が流れるときにおける画素トランジスタ 6 2 のゲート電位の変化の状態を考慮し、変化の状態を再現できる範囲にて記憶するデータの間引きを行う (6 5 4 、 図 6 8 参照) 。

【 0 1 8 8 】

つぎに電圧データそのものから、プリチャージ電圧発生部 5 2 5 の 8 値電圧を利用して出力できるように、電圧データを、最大電圧設定線 5 1 6 、最小電圧設定線 5 1 7 及びプリチャージ電圧選択信号 5 3 1 で表現するように変換する。

20

【 0 1 8 9 】

図 6 7 (a) に示すようにまず、ソース信号線電圧の分布に対して、最大値と最小値を検出し、この場合 6 7 1 の点が最大値で電圧値は ((E L 電源 3 4) - 1 . 5) V である。この値がプリチャージ電圧発生部 5 2 5 での最大電圧値であればよいため、電子ボリューム 5 1 5 a を操作し、最大電圧設定線 5 1 6 の制御で、5 1 3 a の電圧値が (E L 電源 3 4) - 1 . 5) V となるように設定する。最小値についても同様に 6 7 4 の電圧値が 5 1 3 h の電圧となるように 5 1 7 を設定する。これにより 8 値電圧のすべての電圧値が確定される。なお中間の 6 値電圧は図 5 1 の回路構成から抵抗素子 5 1 2 により等分に分割された電圧値が出力されるように設計されている。

30

【 0 1 9 0 】

この場合 0 . 2 V を 7 分割されたおおよそ 2 8 . 6 m V 刻みで 5 1 1 のバッファから電圧が供給される。そのため 5 1 1 のバッファの出力偏差は 1 0 m V 以下となるように精度よく作成する必要がある。

【 0 1 9 1 】

ソース信号線電圧に対して 8 値の電圧出力は 2 8 . 6 m V 刻みでの供給であるため、必ずしも一致した電圧を供給できるとは限らない。例えば 6 7 2 、 6 7 3 の端子における電圧は 8 値の電圧出力とは一致しない。この場合は図 6 7 (b) に示すようにいずれか近い電圧値を選択するようにする。6 7 2 の場合は 6 7 6 に示す点、6 7 3 の場合 6 7 7 に示す点にした。プリチャージ電圧 5 1 3 a ~ 5 1 3 h がプリチャージ電圧選択信号 5 3 1 の 0 ~ 7 に割り当てられるため、図 6 7 (b) のグラフを元にプリチャージ電圧選択信号 5 2 4 が確定する。黒表示時の電圧プリチャージに必要なすべてのデータが確定した。これを記憶手段 3 8 7 に記憶させる。

40

【 0 1 9 2 】

最後に記憶させたデータを元に全画面黒表示を行い、黒表示時の E L カソード電源 3 3 0 の電流値を測定する。電流値が規定の範囲内であれば、記憶手段 3 8 7 のデータをそのまま保持し、調整を終了する。

【 0 1 9 3 】

50

一方で規定の範囲外である場合には、黒表示時の輝度が明るかったり、暗すぎたりということが考えられる。修正のため、516及び517の電子ボリューム制御信号の値を変更する。例えば黒表示時の設定電流値が0.1mAであったとして、測定値が0.05mAとなった場合は、電流が流れるように、全画素のプリチャージ電圧値を低く設定する。図69(a)に示す電圧値の設定であれば、図69(b)に示すように8値の電圧値をすべて一定値だけ低くする。このとき516の制御信号により513aの電圧は691aから691bに変化し、513hの電圧は517の制御信号により692aから692bに変化する。この設定はカソード電流値が設定範囲内に入るまで繰り返し実施され、その結果黒表示時の輝度はパネルによらずほぼ一定値に保つことが可能となる。

【0194】

記憶手段387を元に黒表示を実施する方法は、まず、最大電圧設定線516、最小電圧設定線517のデータを読み出しし、プリチャージ電圧発生部525の出力を確定する。次にプリチャージ電圧選択信号524の値を記憶手段387から読み出しし、対応する出力に選択信号524を供給する。データ圧縮により存在しない端子の選択信号524は、近接する2つのデータから線形補間によりデータを作成する。図68において、682~686に示すデータが、補間により求められたデータである。例えば686は681eと681fのデータから求められる。ここでは、行方向データ圧縮のため同一ソース信号線では常に同一のプリチャージ電圧値が出力される。そのため電圧値を選択するための制御信号をラッチするラッチ部523は常に同一値が保持される。図53においては、映像信号と同様に2行分のラッチ部532にて保持される構成となっているが、この実施の形態では、プリチャージ電圧を選択する信号に限っては1行分のラッチ回路があれば実現可能である。回路規模を小さくすることが可能となる。

【0195】

この駆動トランジスタ32の電圧読み出しによる黒表示時のムラ低減効果はカレントコピアの画素構成の場合のほか、図5に示すカレントミラーの画素構成でも実現できる。カレントミラーの回路構成でも、電圧測定時の等価回路は図54ととなり、駆動トランジスタ32のゲート電位がソース信号線30と同一となることから、ソース信号線30の電位測定をすればよいということに、かわりがないためである。

【0196】

なおこれまでの説明では、画素に用いられる駆動トランジスタ32がp型TFTである場合で説明を行ってきたが、図46に示すn型TFTであっても同様に適用可能である。基準電流線を図45に示すように逆向きの電流を発生させるようにして、さらに出力部65についても階調表示用電流源63をp型TFTで構成して、ドライバIC出力に向かって電流を吐き出すようにすればよい。階調に対するソース信号線電位は白階調ほど電位が高くなる。(これまでと電位関係が逆となる。)プリチャージ電圧の設定を黒表示もっとも低い電圧に設定し、電流プリチャージによりソース信号線電位を上昇させるようにすれば同様にプリチャージも適用可能となる。

【0197】

以下では、たとえば図97において図示されているような、有機発光素子33を利用する画素37がもつ駆動トランジスタ32の特性に応じて画素37に電圧を印加するための補償データを記憶するための記憶手段761と、記憶手段761によって記憶されている補償データに基づいて画素37に電圧を印加するためのドライバ・コントローラ部と、を備えた、アクティブマトリクス型表示装置についてより具体的に説明する。

【0198】

なお、たとえば記憶手段761(図97参照)は本発明の記憶部に対応し、たとえばドライバ・コントローラ部(図97参照)やドライバ部981(図98参照)は本発明のドライバ部に対応する。

【0199】

また、たとえば読み出し部983(図98参照)は、本発明の電圧検出手段に対応する。

。

10

20

30

40

50

【0200】

また、たとえば電子ボリュームA961a(図96参照)や電子ボリュームB961b(図96参照)は、本発明の電子ボリュームに対応する。

【0201】

また、たとえば電圧DAC部747a(図97参照)は、本発明の電圧出力部に対応する。

【0202】

また、たとえばAD変換部957(図100参照)は本発明のAD変換部に対応し、たとえば電圧制御部1001(図100参照)は本発明の電圧制御部に対応する。

【0203】

図47において、レーザー照射のムラによりTF Tの特性にムラが発生することで輝度ばらつきが発生する説明を行った。この例ではソース信号線に沿ってレーザーを同一タイミングで照射し、かつ横方向についてもある程度の幅を持った領域で照射している。

【0204】

ここでレーザーの照射幅が狭く横方向1画素ごとに異なるタイミングで照射されると1画素ごとにTF T特性が異なる可能性がある。またレーザー照射装置のビームの設置方向と、アレー基板上の各パネルのレイアウトによっては、レーザーのビームの方向が90度回転した状態で照射されることもある。また471で示された同一タイミングで照射される領域内でも照射量にばらつきが生じることがある。

【0205】

このようなばらつきに対応するためには、1画素ごとのTF T特性を把握し、1画素ごとに異なる黒電圧を印加する必要がある。

【0206】

1画素ごとに異なる電圧を印加するためには、記憶手段にすべての画素に対応する黒電圧データを保持させなければならない。そのため記憶手段の容量はこれまでに比べて大きくなり、数キロバイト以上の記憶手段が必要となる。例えばフラッシュROMのような記憶手段である。

【0207】

また、ソースドライバへは、画素ごとに映像信号と、電圧データを同期して送信する必要があり、同期信号にあわせて、電圧データをドライバ出力段に転送する必要がある。

【0208】

電圧データが記憶されている記憶手段337と制御IC28とソースドライバ36の接続は図70もしくは図71のように構成される。

【0209】

図70は、制御IC28からのタイミング信号701により生成された制御データ703が、記憶手段337に入力され、表示を行う画素に対応する補正データ702がソースドライバ36に入力される構成である。ソースドライバ36では、タイミング信号701に同期して入力される映像信号704と補正データ702から、対応する画素に対して、映像信号704により階調表示を行い、補正データ702により黒電圧が設定され、TF Tのばらつきに応じた電圧が出力されるようになる。

【0210】

この方式の場合、画素ごとにデータを記憶手段337から出力させる必要があり、補正データ702はドットクロックと同一のレートで動作することとなる。そのため消費電力が大きくなる。ただしソースドライバにデータを蓄える必要がなくなるため回路規模は小さくなる利点がある。記憶手段337のデータバス幅によっては複数の画素のデータを同時に転送し、転送レートを下げる方法もある。

【0211】

このようにすれば、全画素のTF Tばらつきに応じた黒電圧が映像信号の走査と同時に送信され、画素ごとの輝度ムラを補正することが可能となる。

【0212】

10

20

30

40

50

記憶手段 337 から画素ごとの補正データをドライバの出力段に転送する方法としては、図 7 1 のような構成も考えられる。

【0213】

図 7 1 の構成ではソースドライバに RAM 領域 7 1 1 を設け、RAM 領域 7 1 1 に画素ごとの補正データを蓄え、走査にあわせて、対応する補正データを読み出し、最適な黒電圧を供給する。

【0214】

RAM の場合電源が遮断されると、保持内容が消えてしまうため、記憶手段 337 も外部に設けておく。電源投入時などで、記憶手段 337 に記憶された補正データを RAM 領域 7 1 1 に転送して、画素ごとの黒電圧の補正を行っている。記憶手段 337 からソースドライバへのデータ転送は電源投入後表示までに 1 回送ればよく、補正データ線 7 0 2 での転送を常に行う必要がなく、データバスの充放電による電力が小さくなるという利点がある。

10

【0215】

パネル全体の画素に対して黒電圧の補正を行うため、電圧のばらつきが大きくなる傾向にある。そのためこれまでの方式に比べて、刻み幅 10 mV については変化がないため、電圧出力部のビット数を増加させる必要がある。320 mV 程度のばらつきがあったため、各色の画素に対して、5 ビットの補正データを用意する必要がある。この場合、赤緑青のデータを合わせても 15 ビットとなり、16 ビットのデータバスを持つ ROM などを用いる場合には、赤緑青のデータを同時に転送することも可能である。

20

【0216】

1 ビットのあまりについては、そのまま未使用でもよいし、補正範囲の拡大に用いてもよい。例えば 1 ビットのデータが 0 の場合は、各色 5 ビットのデータはそのままの値を使用し、1 の場合には、各色 5 ビットのデータは 16 を加算した値を使用するといった方法がある。この場合、従来 0 ~ 31 の 310 mV 差までの補正範囲であったのが、0 ~ 47 の 470 mV 差まで補正範囲を拡大することが可能となり、より大きな TFT ばらつきにも対応が可能となる。

【0217】

ここまででデータバスは 16 ビットとして説明を行ったが、32 ビットや 64 ビットのデータバスを持つ ROM が存在すれば、それに対応して補正データのビット数を増加させてもよい。増加すると補正範囲が広がり、より大きなムラに対して補正が可能となるが、メモリ容量の増加や、基板上的記憶手段とドライバ間の配線領域の増加にともなう基板面積の増加、消費電力の増加の問題もあり、補正データは 5 ~ 8 ビット程度が好ましい。

30

【0218】

この例ではコントロール部とドライバ部が別となった回路構成での説明を行っているが、コントロール部とドライバ部が一体となったドライバ IC であっても同様の回路構成をドライバ IC 内部で実施すればよく、外部にある記憶手段との接続をとれば、一体化ドライバであっても同様の効果を得ることが可能である。

【0219】

電圧補正用の信号と映像信号から図 7 2 に示すような出力部の構成により、TFT のムラに対応した黒電圧と映像信号に応じた階調表示を行うことが可能となる。

40

【0220】

すべての画素に対応した黒電圧を印加する場合には、必要な黒電圧を算出するためにすべての画素の駆動トランジスタ 3 2 のゲート電圧を測定しておく必要がある。

【0221】

全画素の電圧値を測定するため、測定時間がかかる。図 5 6 に示すように 2 条件の電流値での電圧値を測定し、階調 0 での電圧を計算して補正を行うためのデータを作成しており、2 回分の全画素電圧を測定することにもっとも時間を要している。

【0222】

そこで、画素の電圧測定時間を短縮するため、1 条件だけの電圧値を測定し、画素間の

50

電位差を補正データと設定するようにすることとする。図55の例では本来はI0に対する電圧V0を画素ごとに求めることを従来のI2、I1の2条件を測定するのではなく、I1の電圧のみを測定し、対応するV1の電圧を画素ごとに測定する。画素ごとのV1の電位差を補正データとして記憶手段に記憶することで、従来のV0の電位差を補正データとする代替とする。電圧の絶対値の差（ここではV1とV0の差）は図34に示すような方式で、すべての画素共通で電子ボリュームの調整による電圧変動（全画素同じ量だけ変動する）により調整することで、黒レベルの補正が可能となる。この調整は電子ボリュームの変更と、カソード電流の測定、変更量の計算のみで行われ、5～15秒程度で完了する。全画素の電圧測定は1回当たり20～35分程度かかるため、1回測定と絶対値調整を行うほうが、2回測定による調整よりも早く調整を終わらせることが可能となる。

10

【0223】

TFTばらつきの算出方法の誤差についても、黒の場合、有機発光素子を用いたパネルにおいては、輝度が0.001カンデラ以下であり、暗室環境下でもムラはわかりにくい。そのため、補正データが幾分ずれていても問題がないことがわかった。一方、低階調で5～10階調付近では輝度が1カンデラ以上となり、ムラが視認できる環境にある。これらの階調では階調電流が小さく、補正データの誤差を電流書き込みで補正する能力が小さく、ムラとなって視認される可能性がある。

【0224】

そこで、I1の電流を5～10階調程度の電流として、I1の電流における各画素の電圧を測定し、補正を行うほうが、I2とI1からI0を求めてムラ補正を行うに比べて、全階調範囲においてムラが少なくなる。

20

【0225】

このときの黒電圧算出方法を図73に示す。画素電位を5～10階調相当の電流で測定し、最大-最小値から画素ごとの電位差を元に量子化を行う。（最大電圧が0、電圧が小さくなるほど大きな値となる。）量子化の刻み幅は、電圧DAC部が持つ1階調あたりの電圧差によって決める。例えば10mV刻みの電圧DAC出力となっていれば、最大電圧の画素に対して50mV電位が低い画素についての値は「5」となる。量子化したデータを記憶手段337に書き込み、TFT特性ばらつきを補正するデータが完成した。黒表示時の輝度レベルを調整するためにその後、図34に示す処理を実施し、電子ボリュームの値を同様に記憶手段337に記憶すれば、TFT特性を補償しかつ黒輝度が所定範囲以下となる表示装置が実現する。

30

【0226】

補正を行うデータは、電圧測定時において、全画面の電圧分布に対して、最大電圧を0として差の値を保持していることから相対的な差のみを記憶することとなる。

【0227】

電圧の絶対値については、電圧DAC部に電圧を供給する電圧発生部の電子ボリュームの設定により決められ、図34の電子ボリュームの調整により電圧DACの出力範囲が決められる。これにより補正データの値に対して電圧が割り振られることとなる。

【0228】

さらに、電圧出力部のビット数を多くすると階調表現を行うことが可能となる。例えば5ビットから8～12ビットまで電圧出力部のDAC部を増加させれば、電圧によっても6～10ビットの階調表示が可能となる。

40

【0229】

階調表示と、TFTの特性補償は補償データと階調データの加算によって行う。図3、5のようなp型TFTで駆動トランジスタが構成されている場合には、電流が大きいほど電圧値は低下する。つまり階調が大きいほど電圧が低くなるようにDACを設計する。例えば図75のように入力データに対して出力電圧を変化させるようにする。特性補償用のデータについても、値が大きいほど、電圧を低くなるように図73の量子化を行う。図75において、入力データに対して出力電圧がリニアに変化するようにしておけば、補償データ値+階調データ値の加算結果の出力によってTFT特性補償と階調表示を同時に実現

50

することが可能である。

【0230】

図74に出力段の構成を示す。信号の流れを簡略化するため、1出力のみの例で記載しているが、複数出力を持つ場合でも、同様に実現が可能である。DAC部の入力データをシフトレジスタなどにより複数の出力に振り分ければよい。

【0231】

映像信号は入力されると、電圧DAC用と電流DAC用に分岐される。これは、電圧による出力でも電流による出力でも、同一階調では同一電流が有機発光素子に流れる必要があり、電流DACでは、出力電流がそのまま有機発光素子に流れることにたいして、電圧DACでは、駆動トランジスタにより電流に変換され、変換された電流が有機発光素子に流れる。この変換は非線形であり、変換部が介在することで同一入力に対して、出力が異なるようになる。そのためこの変換部の変換特性を補正するために電流及び電圧で異なるガンマ補正を行うような構成としている。電圧DAC用のガンマ補正回路741の出力は、補正データ744との加算回路745に接続され、階調に応じた電圧に、さらにTFTの特性ムラに応じた電圧分の増減を行い、特性補償を実施する。かりにTFTの特性ばらつきがなければ、すべて同一値である補正データ744との加算となるため階調データ743が電圧DAC747に入力され、階調に応じた電圧が出力されることとなる。ここで説明した方式では補正データ744がすべて同一の値となるようにするが、加算回路745において、加算を行わずに階調データ743を電圧DAC747にそのまま出力するような回路構成が選択可能にすることによって、特性補正なしの回路も実現することが可能である。

10

20

【0232】

電圧DAC747から出力されたTFT特性補償ありの階調電圧と、電流DAC748から出力された階調電流は、切り替え部749により、いずれか一方を切り替えるようにする。これがこれまでの電圧印加選択部253に相当する。ここでは、水平走査期間の初めに電圧DAC747を選択し、所定ソース電圧付近まで高速に充放電を行い、次に、電流DAC745により本来の電流駆動によるソース電位まで変化させ、駆動トランジスタの特性ばらつきによるムラがなく、かつ1行前の状態によらず、所定電圧がきっちりと書き込める表示が可能となった。

【0233】

この方式の場合、電圧DAC部747が大きくなるが、従来必要な電流プリチャージパルスの発生部及び選択部が不要となることやプリチャージをするかどうかの判定信号を生成し、ドライバ出力へ送信する必要がなくなり、電圧DAC部747の回路増大の影響はほとんどなくなる。

30

【0234】

なお、電圧DAC部747の刻み幅は、表示色によらず、パネルによらず一定であることが望ましい。補正データを量子化する際に、電圧DAC部747の刻み幅を考慮して、刻み幅により量子化を行うためである。刻み幅は、駆動トランジスタのゲート電圧とドレイン電流の関係によるが、駆動トランジスタの(チャンネル幅)/(チャンネル長)=1/4の場合には10mV以下が好ましい。(チャンネル幅)/(チャンネル長)の値が小さいほど、刻み幅は大きくてもよく、大きいほど刻み幅を小さくする必要がある。これは(チャンネル幅)/(チャンネル長)の値が小さいほど駆動トランジスタのゲート電圧の変化に対して電流値の変化が小さくなり、輝度ムラとして観測される電流値の誤差(2~3.5%程度以内)に対して許容されるゲート電圧のずれ量が大きくなるためである。したがって、刻み幅を大きくするためには(チャンネル幅)/(チャンネル長)の値を小さくすることが好ましいが、所定輝度を実現するためのソース信号線振幅が大きくなり、その結果電源電圧を大きくしなければならなくなり、パネルの電力が増加してしまうため、1/16程度が最小値である。一方最大値については、ドライバICの電圧刻み幅がどこまで細かく刻めるかにより決定され、現在のICでは隣接間端子の電圧出力ばらつきが2.5mV程度が最小であるため、(チャンネル幅)/(チャンネル長)の値は1が最大となる。今後高精度のD

40

50

ACが実現できればさらに大きな値にすることは可能である。2.5 / (実現可能な刻み幅) が、(チャンネル幅) / (チャンネル長) の最大となる。

【0235】

電圧DAC部747の刻み幅を決めたとしても、実際にはパネルごとにばらつきが発生することがある。そこで刻み幅にばらつきが発生した場合でも、補正データの量子化に影響がないように、パネルごとに電圧DAC部747の刻み幅を測定し、測定された刻み幅によって、パネルごとに量子化を行う。すると、電圧DAC747部の刻み幅に設計値に対する誤差があってもよく、製造が簡単となる。

【0236】

刻み幅の測定は、例えば図84のドライバ構成であって、図106の電圧発生部953と図107の電圧DAC部747とを利用する場合であれば、切り替え部749は電圧DAC部747の出力を常時選択するようにして、電圧DAC部747の入力に「0」が入力された場合の出力電圧と、「255」が入力された場合の出力電圧とを測定するようにする。そして、同一出力端子での2出力電圧の電圧差を255で割れば、刻み幅が求められる。求められた刻み幅を元に量子化を行えばよい。

10

【0237】

出力電圧を測定すると、隣接端子間の偏差からすべてが同一の刻み幅となることはない。そこで、出力端子ごとに対応する画素の量子化を個別に行ってもよい。

【0238】

または、電圧DAC部の出力偏差が1チップ内で10~20mV程度であれば、0~255の入力範囲に対して最大で10~20mVのずれが生じるものの、1段階あたりでは0.1mV以下のずれしか生じない。そこで、平均値を刻み幅として全画素の量子化を行ってもよい。

20

【0239】

平均値を刻み幅にする場合には、すべての出力ではなく一部の出力についてのみ測定を行ってもよい。

【0240】

なお測定時の階調は「0」と「255」に限らず異なる任意の2つの階調間でもよい。2つの電圧の電位差を刻み数で割れば、刻み幅の算出が同様に実現可能である。

【0241】

また、電圧DAC部747は、高階調に対応する出力においては2階調ごとや4階調ごとに間引きをすることも可能である。低階調では10mV刻みであるが、高階調側になるにしたがって、20mV刻みや40mV刻みにすることが可能である。これは、高階調になるにしたがって、階調表示を行う電流値が増加するため、電流DAC748の出力が大きくなる。出力が大きくなればなるほど、ソース信号線電圧を変化させる能力が高くなり、電圧DAC747の出力誤差が10mVや20mVあったとしても、その後の電流DAC748による書き込みで所定電圧まで変化し、ムラのない表示が実現できるためである。

30

【0242】

そこで電圧DAC部747は、階調によって分解能を最小分解能の2のN乗倍(N=1)に設定することが可能である。これを利用して、出力可能な電圧の数を減らすことで、チップ面積を削減できる利点がある。これは、電圧によりTFT特性補償を行った階調を印加した後に、同一水平走査期間内で電流により階調を書き込む駆動方式に特有な回路削減方法である。

40

【0243】

なお、補正值と階調データの加算により出力電圧を決める方式では、あらかじめ補正值による電圧変動と、電圧DAC部747の出力変動が一致している必要がある。電圧DAC部747の1段階あたりの電圧変動が変動すると、特性補正のデータもそれに応じて変化させる必要がある。映像信号との加算になるため、映像信号によって補正值に対する電圧変化量が変わるため、変化量の補正が難しい。

50

【 0 2 4 4 】

そこで、階調数を減らす方法としては、電圧発生部の構成を図 1 0 3 のようにし、電圧が低い（高階調）ほど電圧刻み幅が荒い構成の場合に、図 1 0 4 に示すような電圧 D A C 部の関係とすれば、電圧数を 2 7 6 から 2 2 0 に減らしたとしても、2 7 6 個の場合と同様に、入力データに対して出力電圧が、間引きを行った段以外では変わらない電圧を供給することができ、補正データは 1 0 m V 刻みとして、記憶手段に記憶させることが可能である。間引きなしのガンマ補正回路 7 4 1、補正データ 7 4 4、加算部 7 4 5 を利用することができるため、この部分での回路規模は同一でできる。出力数が減った分は隣接する電圧を利用する。例えば V 2 0 0 と V 2 0 1 の間の電圧に対するデータ 2 0 1 は V 2 0 0 とする。データ 2 0 0 と 2 0 1 を V 2 0 0 にすることで、8 ビットのデータのうち下位 1

10

【 0 2 4 5 】

この駆動方式は、カレントコピア、カレントミラーの画素構成以外でも、所定電流を書き込んだ際に、駆動トランジスタのゲート電圧の画素ごとのばらつきがわかり、駆動トランジスタのゲート電圧に電圧を供給することが可能で、駆動トランジスタのドレイン電流を書き込むことが可能な画素構成であれば実施が可能である。

20

【 0 2 4 6 】

また駆動トランジスタが N 型 T F T である場合には、入力データに対する電圧の変化を入力データが大きくなるほど電圧が高くなるように電圧 D A C 7 4 7 を設計すれば適用可能である。

【 0 2 4 7 】

更に記憶手段 3 3 7 の容量を大きくすれば、全画素の複数の電流値に対する電圧値を記憶することも可能となる。容量が 3 倍あれば、I 0、I 1、I 2 の電流に対する電圧ばらつきデータを記憶することが可能である。最大では、表示階調数分の電流に対する電圧ばらつきデータを記憶すれば、すべての階調において T F T 特性ばらつきを考慮した階調電圧を印加することが可能となる。すべての階調において、すべての画素に対するデータを測定すれば、全階調で常に最適な補正がされた電圧を印加することが可能となる。

30

【 0 2 4 8 】

この場合出力段の構成は、図 7 6 のようになる。すべての階調電圧が R O M に保持されている場合には、すでにガンマ補正後の電圧を R O M に入れておけば、電圧 D A C 用のガンマ変換部は不要であり、電流 D A C 用のみガンマ変換部を用意しておく。電圧出力用のデータは、映像信号 7 6 3 と同期信号 7 6 2 から R O M 7 6 1 に保持された、所望の位置の画素に対する、所望の階調に対する電圧値を読み出し、電圧 D A C 部 7 4 7 に入力し、電圧出力を行う。

【 0 2 4 9 】

また全階調分ではなく複数の階調分のデータが保持される場合には、R O M には、各階調での電位差データを用意する。図 7 3 で示された作業を記憶させる階調数分だけ繰り返し実施し、画素間での電位差データを作成する。階調に対する電圧変化は電圧ガンマ変換部で実施し、電位差データとの加算により、階調ごとに T F T 特性を補正したデータを出力できるようにする。

40

【 0 2 5 0 】

例えば、R O M のビット数が 5 ビットである場合には、3 2 段階でパネルの面内でのばらつきのみを表現し、電圧ガンマ補正回路 7 4 1 で階調に応じた輝度が出力できるように電圧を決める。図 9 2 において、電圧ガンマ補正回路 7 4 1 により 9 2 1 の直線の設定し、R O M のデータにより画素ごとに 9 2 2 や 9 2 3 の直線の関係に変化させることで、特性ばらつきにも対応が可能となる。

【 0 2 5 1 】

50

すべての階調に対する電位差データがROMに記憶されていない場合、他の階調に対する電位差データから補正値を決める必要がある。

【0252】

第1の方法としてはもっとも近い電流値の補正データをそのまま利用する方法である。この方法の場合、例えばI0、I1とI2に対応するデータがあるとする、 $(I0 + I1) / 2$ 未満の電流に対応する階調の場合にはI0の時の補正データを用いて、 $(I0 + I1) / 2$ 以上 $(I1 + I2) / 2$ 未満の場合にはI1の補正データを、 $(I1 + I2) / 2$ 以上の場合I2の補正データを利用するようによい。そこで図77に示すように、ROMコントロール部771を設けて、映像信号(電圧DAC用ガンマ変換の出力)と同期信号から、ROMのアドレスを指定できるようにして、映像信号と画素によって、最適な補正電圧をROMから取り出せるようにしている。電圧と階調特性については、ROMには記憶されておらず(同一階調での画素間電位差のみ記憶されている)、電位差情報と、階調信号を加算し、加算データを元に電圧発生部で決められた電圧範囲のうちのいずれかを電圧DAC部で選択することにより、階調に対応した補正電圧を出力できるようにしている。

10

【0253】

第2の方法としては、表示階調をはさむ2つの電圧測定済み階調補正データから表示階調時の補正データを算出する方法がある。この場合は図77においてROMコントロール部771で、表示階調から、2つの補正データを読み出すような制御を行う必要がある。ROMから出力された2つのデータから、表示階調に対応するデータを2点間直線近似により求め、補正データとする。そのため図78のように、図77のデータ出力に演算部781を追加する必要がある。またROMからの読み出しは1データあたり2回の読み出しを行う必要があり、転送レートを2倍にするか、パス幅が2倍もしくは2つのROMからの同時読み出し等の仕組みが必要となる。2つのデータは、同一画素の階調が異なる2つのデータである。2つデータがあれば、直線近似することでデータを求められる。必要な階調に対して階調差が小さいものから2つを選ぶか、必要な階調に対して低階調側でもっとも近いデータと高階調側でもっとも近いデータの2つを選ぶかする。いずれかの方法により表示階調に対して補正データを計算することで誤差が少なく計算誤差によるムラが発生しにくい表示が得られる。

20

【0254】

測定する電流は、図3のような電流により書き込みが可能な画素構成の場合において、高階調側ほど電流駆動により書き込みが可能となるため、入力電圧が正確でなくても、ムラがない表示が可能であることから、ムラが発生しやすい低階調を中心に測定する必要がある。

30

【0255】

WQVGAの画素数で2~5型パネルの場合、 $0.1 \mu A$ 以上の電流領域では、 $0.01 \mu A$ の低階調表示時の画素電位データからの補正データでも、ムラがない表示であった。 $0.1 \mu A$ 未満の電流領域で、移動度ばらつき起因と見られるレーザーショットと同一方向のムラが視認された。

【0256】

$0.05 \mu A$ 電流時の画素電位データを用いれば、 $0.04 \mu A \sim 0.1 \mu A$ の範囲でムラのない表示が実現した。

40

【0257】

$0.03 \mu A$ 電流時の画素電位データで、 $0.025 \sim 0.04 \mu A$ の範囲の階調で、 $0.02 \mu A$ 電流時の画素電位データで $0.018 \sim 0.026 \mu A$ の範囲の階調で、 $0.01 \mu A$ 電流時の画素電位データで、 $0.02 \mu A$ 以下の範囲で表示ムラがないことが確認できた。

【0258】

これによりWQVGAで2~5型パネルでは、 0.01 、 0.02 、 0.03 、 $0.05 \mu A$ の4点の画素電位測定を行って、記憶手段にデータを蓄え、データを元に表示を行

50

うことで全階調に対してムラのない表示が実現された。

【0259】

一般的には垂直ライン数（水平走査期間）とパネルサイズ（配線容量）により必要な画素電位データの種類が求められ、ライン数が2倍になれば、必要なデータは2倍、パネルサイズが2倍になれば、必要なデータは2倍となる。

【0260】

そのため、補正を行う階調はなるべく少ないほうがコストが低下し、1階調分のみで補正を行う場合には、電流がもっとも小さい黒階調で補正（電流が流れないので、電流による補正が期待できない）することがよい。ただし黒表示の輝度が低くムラがあったとしても視認できない場合には、視認可能な輝度となる階調で最小電流の階調により補正を行うことが好ましい。この場合には黒の次の階調である1階調目が補正の対象となる。

10

【0261】

特に電流駆動を行う画素構成であれば、1水平走査期間の始めの2～10 μ 秒の間で電圧DACによる書き込みを行い、残りの期間で電流DACによる書き込みを行うとよい。すると、TFTの移動度成分のばらつき起因による電圧のずれを電流DACの書き込みにより補正するため、すべての階調に対してきっちりとした補正データがなくても、ムラのない表示が可能である。特に高階調（＝電流が多い）ほど電流DACによる画素への書き込み能力が向上するので、補正を行う階調は低階調を中心に実施すればよい。そして、高階調では、階調成分を利用するとともに、閾値成分まで電圧を変化させて、補正できていない移動度成分を電流により補正すればよい。

20

【0262】

駆動トランジスタの移動度成分のばらつきが少なくなれば、電圧駆動であっても間引きすることが可能である。

【0263】

なお、測定時の電流は、階調表示時の電流と必ずしも同一である必要はなく、補正を行う階調付近の電流であってもよく、測定結果と階調をあとから関連付けしてもよい。これは、画素電位を測定する条件は、一定電流を流した状態の電位を測定している一方で、白の電流は有機発光素子の効率ばらつきによりパネルごとに異なってくるため、ある1階調の電流が必ずしも一定値になるとは限らず、測定条件の電流がどの階調にも属さないことがあるため、測定条件と一致させることが困難である。ROMに記憶される電圧は、パネル面内での電位差を保持しており絶対値は問わないため、階調と測定電流がずれていたとしても、ばらつきの状態が変わらなければ、測定電流の近接階調を、補正階調としてもよい。効率ばらつきのよる電流のずれは白調整後の電流測定の結果で10%以内であった。例えば先の例で、0.01、0.02、0.03、0.05 μ Aの4点を測定した場合に、同一階調に対する電流がパネル間で10%変化したとしても、4点の各間の差は100%以上あり、異なる測定点まで階調が変化することはない。仮に10%電流がずれて、画素電位の分布がずれたとしても、先ほどの補正可能な電流範囲の結果からすると、4点の測定点のどれを取るかは、電流ばらつきに対してほとんど影響がないと考えられる。

30

【0264】

そのため0.01 μ A＝階調A、0.02 μ A＝階調B、0.03 μ A＝階調C、0.05 μ A＝階調D、としたときに階調A～Dについては、白電流のデータから、後付けで定義してよい。この結果は図77などのROM制御部771に反映され、階調データ入力に対して、どの電流に対する補正データを取るか、補正データを選択する際に、選択の基準として階調A～Dを用いる。つまり映像信号との階調比較を行い、もっとも近い測定データがどれか判断したり、近い2データを取るためのデータがどれかを判断したりするのである。同期信号が入力されているのは、どの画素アドレスのデータを取るかを判断するためのもので、階調データ743から、どの電流条件のばらつきデータを取るかをきめて、同期信号から、どの画素のデータを取り出すかを決めている。

40

【0265】

なお、大型パネルなどで全階調範囲に対して電流駆動での書き込みが困難である場合に

50

おいては、すべての階調での補正データによる電圧印加が必要である。

【0266】

補正データの作成は、まず電流駆動で白表示を行い、輝度と色度を調整する。これで白表示時の電流値が決まる。このときの各色の電流値を測定しておく。次にガンマカーブを決定する。各階調の輝度つまり電流値が決められる。すべての階調に対する電流値がわかったので、それぞれの電流を流したときの全画面の画素の電圧を測定し、階調ごとに補正データを計算する。すべての階調のすべての画素に対応する補正データがきまれば、記憶手段に書き込みを行うことで、補正データの完成となる。

【0267】

この方法は、すべての階調のデータを測定するとき以外でも、複数の階調に対応する補正データが必要なときにも適用が可能である。

10

【0268】

また図84のようにドライバ出力部を構成し、電圧読み出し部を構成し、出力842をソース信号線に接続すると、切り替え部749で電流DAC部748を選択し、ある画素に電流を書き込んだ状態で読み出し部841のうちの1つを導通状態とすれば、駆動トランジスタのゲート電圧がDA変換部に入力され、電圧が測定可能である。これにより特性ばらつきを補正するが、更に、切り替え部749を電圧DAC部747に接続し、読み出し部841のうちの1つを導通状態にすると、ある1出力の電圧DACの電圧出力がDA変換を通じて測定可能となる。これをすべての出力に対して繰り返し実施すれば、あるドライバの電圧DACの出力ばらつきが測定可能となる。

20

【0269】

測定結果を利用して、同一階調でも電圧が高い出力では、その出力を利用する画素においては、補正データを加算し低い電圧に補正するようにする。逆に電圧が低い出力では補正データは減算すればよい。(ただし、補正データは負のデータも扱われる場合を考慮して生成されていないため、最小値が0になるようにするために画面全体での補正が必要である。)

これにより電圧DAC部747の出力偏差が大きかったとしても、補正用のROM761にて補正が可能となり、出力偏差による表示ムラを抑えることが可能となる。そのため電圧DAC部においては、出力偏差を小さくする機能を回路的に設けなくてもよく、回路規模を小さくすることが可能となる。

30

【0270】

画素の駆動トランジスタと、電圧DAC部747の電圧ばらつきの両方を補正する場合には、補正用のROM761には、画素電位のばらつきと電圧ばらつきの結果を加算した値を入力すればよい。

【0271】

いずれのデータも、1段階あたりの電圧変動量は同じでやっているため単純加算で、補正が可能である。画素電位のデータは1画面分あるが、ドライバの電圧ばらつきは1行分のデータであるため、加算する際には、(X, Y)座標において、X列Y行の補正データは、X列Y行の画素電位ばらつきデータと、X番目のドライバ電圧ばらつきデータの加算で実現できる。(X, Yは画素のアドレス分を表す整数である。)

40

なお、画素の駆動トランジスタのばらつきが、表示領域のごく一部分であったり、複数画素に渡って発生する周期的なムラをなくす場合には、必ずしも全画素分の画素電位ばらつきデータがなくてもよい。

【0272】

例えば、横方向の隣接2画素間で画素電位の特性にばらつきがなければ、 $X = 2p, 2p + 1$ (pは整数)の画素共通で同一のばらつきデータを用いてもよい。ばらつきデータの数を半分にでき、補正用のROM761の容量を小さくすることが可能となる。縦方向についても同様である。

【0273】

図79は駆動トランジスタ795の閾値ばらつき補正機能付の電圧駆動用画素回路の例

50

である。駆動方法を図面を参照しながら説明する。

【0274】

画素に所望の階調を書き込む前に図83に示すような4本のゲート信号線(G1~G4)とリセット電源799を入力し、駆動トランジスタ795にリセット電圧を印加する。これはオフセットキャンセル画素構成と同様の動作である。

【0275】

次に図80に示すようなゲート信号線の入力により、電圧出力部からの出力電圧が画素に書き込まれる。このとき駆動トランジスタ795のゲート電圧は電圧出力部の電圧から駆動トランジスタ795の閾値電圧分低い電圧が印加される。

【0276】

次に図81にあるようなゲート信号線の操作により、EL素子に電流が流れて階調表示されるようになる。このときに流れる電流は、蓄積容量両端に蓄えられた電荷により決まる。蓄積容量に蓄えられる電荷は、図80での説明で電圧出力部の電圧と、駆動トランジスタ795の閾値電圧により決まるため、この回路構成ではトランジスタの閾値電圧のばらつきを補正することが可能である。補正の際には、駆動トランジスタ795のドレイン電流が流れていないため、ドレイン電流が流れない黒表示時のトランジスタ特性補正が可能である。

【0277】

階調の変化は電圧出力部の電位変化により行われる。電位変化はドライバICの電圧DAC出力により行われるため、駆動トランジスタごとの補正がなく、移動度ばらつきによるムラが発生する恐れがある。

【0278】

移動度ばらつきを補正するためには、駆動トランジスタ795ごとにドレイン電流の変化に対するゲートソース間電圧の変動を確認し、ドライバにある電圧出力部の出力を同一階調であっても画素ごとに異ならせる必要がある。

【0279】

そこで、出荷前に、図82の動作を実施し、駆動トランジスタの電圧ばらつきを測定し、画素ごとの電位変動から、変動分を補償するようなROMデータを作成し、保持するようにして、表示時にはROMデータと階調データから表示を行う構成を考案した。

【0280】

まず図82のように測定する画素のゲート信号線の制御を行なう。電圧出力部から電圧V1を、電流出力部から電流I1を印加し、Voutから駆動トランジスタのゲート電圧を測定する。

【0281】

$I_1 = 0$ とすると、図80の状態における駆動トランジスタのゲート電圧が測定可能である。画素ごとの電圧ばらつきが黒表示時におけるトランジスタのゲート電圧ばらつきとして観測される。(V1 - Vthと規定する。)

I_1 が0以外の階調表示に対応する電流を印加すれば、対応階調表示時におけるゲート電圧ばらつきをVoutから観測することが可能である。この電圧はV1 - Vgと規定する。Vgは駆動トランジスタによる電位降下分で閾値電圧と移動度成分が合わさった電圧となる。

【0282】

0時の電圧と0以外の電圧の電位差はVg - Vthとなる。 $V_g = V_u + V_{th}$ と表現でき(Vu階調間の電位差に相当)、演算結果は $V_u + V_{th} - V_{th} = V_u$ となり、当該階調表示に必要な黒電圧からの変化量Vuが求められる。Vuの値を黒表示時の電圧から減算した値を電圧出力部から出力すれば、所定階調表示となり、Vuのデータを画素ごとに個別に入力すれば、駆動トランジスタのばらつきに応じた信号出力が可能となる。

【0283】

ROMに保持する際には、Vuの最小値を算出し、最小値をまずDACの出力に反映する。黒表示時の電圧に対してVuの最小値分だけ低い電圧が当該階調の出力電圧となるよ

10

20

30

40

50

うに D A C の入力データを設定する。画素ごとの V u の最小値からの電位差を計算し、計算結果を R O M に記憶させる。R O M データと、D A C の入力データの演算結果を電圧 D A C に入力すれば、画素ごとの特性ばらつきに応じた所定階調電圧をパネルに印加させることが可能となり、特性ばらつきの影響が少ない表示が可能となる。

【 0 2 8 4 】

複数の階調で電圧を測定し、V u の値を算出すれば、複数の階調において最適な画素電圧を印加できる構成となる。全階調で実施すればすべての画素において特性ばらつきを補償した電圧がドライバからパネルに供給され、ムラのない表示が実現可能である。

【 0 2 8 5 】

すべての階調での測定には測定時間がかかり、調整に要する時間が大きくなりコストアップしてしまう。また R O M 容量も大きなものが必要で、コストは上昇する方向となる。そこで補正を行う階調の割合は全階調のうち 1 / 4 ~ 1 / 1 2 8 程度が好ましい。現状では、1 ~ 3 階調分のデータで実施する。

10

【 0 2 8 6 】

図 3 のようなカレントコピアの画素構成の場合、電圧 D A C 部の出力がそのまま駆動トランジスタのゲートに供給されるため、測定された電圧をそのまま利用すればよかったが、図 7 9 の構成では、電圧 D A C からの出力がそのまま印加されるのではなく、閾値電圧分低下した電圧が印加されるため閾値電圧分の低下を考慮した電圧を印加する必要があることで、画素ごとの閾値電圧測定結果から、閾値電圧分を差し引いた電圧を R O M に記憶させる点で方法が異なる。

20

【 0 2 8 7 】

さらにオフセットキャンセル方式の画素構成においても、R O M により電圧を補正することが可能である。オフセットキャンセル方式の画素構成では、キャンセル点に相当する電流値では、駆動トランジスタの特性ばらつきを補償するが、電流値がずれるほど、移動度ばらつきによる、補償能力の低下が発生し、表示ムラがおきやすくなる問題がある。

【 0 2 8 8 】

そこで、駆動トランジスタのゲート電圧ばらつきを電流値ごとに測定し、ソースドライバから印加する電圧を同一階調であっても画素ごとに調整し設定することで特性ばらつきによる表示ムラを低減させることとした。

【 0 2 8 9 】

図 8 5 に 1 画素回路と周辺の回路を示す。従来の構成に比べて駆動トランジスタ 8 5 1 のゲート電圧を初期化するための初期化信号線と、階調電圧を記憶するための容量 C 2 の電荷をリセットするためのリセット信号線に対して出力オープン用のスイッチ 8 5 7 を挿入し、電流源 8 5 8 からの電流が初期化信号線とリセット信号線に印加できるようなスイッチ 8 5 7 と電流源 8 5 8 を追加したことが特徴である。電流源 8 5 8 はアレー基板上に 1 ソース線ごとに配置しても、ドライバ I C に作成してもよい。

30

【 0 2 9 0 】

通常オフセットキャンセル動作をさせるには、E N A 1、E N A 4 につながるスイッチを O F F にして、E N A 2、E N A 3 につながるスイッチを O N とする。更に、図 8 5 に示すようなゲート信号線の入力により、C 2 の電荷を放電し、次に駆動トランジスタ 8 5 1 の閾値補正をキャンセル期間 8 6 2 に実施し、駆動トランジスタ 8 5 1 のゲート電圧が閾値電圧となるように変化する。この状態で黒表示時の電圧となる。信号書き込み期間 8 6 3 において、黒表示時と所定階調の差に対応する電位をソース信号線から書き込むことにより、駆動トランジスタ 8 5 1 の閾値電圧のばらつきに対応した階調電圧が駆動トランジスタ 8 5 1 のゲートに入力され、発光期間 8 6 4 により所定輝度発光する。

40

【 0 2 9 1 】

この方式では、リセット電圧 (V r e s e t) と電圧源 8 5 9 の電圧の差により黒表示状態からどの程度駆動トランジスタ 8 5 1 のゲート電圧を変化させるかを決定する。リセット電圧と電圧源の電位差はすべての画素で同一であるため、駆動トランジスタ 8 5 1 の移動度にばらつきがあった場合に、リセット電圧からずれた階調 (この場合では白) に

50

いて、ドレイン電流にばらつきが生じ、表示ムラが発生する。

【0292】

電圧源859の電圧が、画素ごとの特性ばらつきに応じて、同一の階調であっても出力電圧が変化することが特徴である。変化のさせ方をモジュール内のROM部に記憶することで、調整し出荷した後電源がない状態からの駆動であっても特性に応じた電圧を出力できるような構成としている。

【0293】

ROMに記憶させるデータを作成するための手順を説明する。

【0294】

図88に1画素における駆動波形を示す。リセット期間861及びキャンセル期間862において、従来と同様に駆動トランジスタ851の閾値ばらつきを補正する。このとき、駆動トランジスタ851のゲート電圧は、ドレイン電流が0のときのゲート電圧となり、画素ごとのばらつきに対応した電圧となる。

10

【0295】

次に、ENA1~4信号を制御し、電位書き込み期間883において、電流源858の電流を駆動トランジスタ851に流し込む。このときトランジスタ854と855がON状態で、853がOFF状態となっており、駆動トランジスタ851が電流源858の電流(例えばI1)の電流を流すようにゲート電圧を変化させ、キャンセル期間852によりC2に蓄えられた電荷を保持したまま、851のゲート電圧が変化した分、節点871の電位が変化する。この節点871の電位が、EL素子にI1の電流を流すのに必要な電位となる。

20

【0296】

そこで、電位書き込み期間883において書き込まれた節点871の電位を電位読み出し期間884において外部に読み出すようにすればよく、例えば電流源858と857のスイッチ間から電圧を取り出す信号を用意し、AD変換にてデータを取り出したり、電圧源859の出力を切り離れた上で信号線から電圧を取り出したりする方法もある。

【0297】

画素数分だけ繰り返し実施することで、すべての画素においてI1の電流における電圧源859から印加すべき電圧値が求められる。この電圧値を図86の信号書き込み863の期間で入力すれば、駆動トランジスタの特性ばらつきによらずEL素子にI1の電流が流れ、ムラのない表示が実現可能である。

30

【0298】

画素ごとに同一階調でも異なる電圧を印加する方法としては、同一階調での電圧ばらつき分をROMに記憶させ、各階調の最大、最小もしくは平均電圧を階調-電圧特性としてガンマ補正部で記憶させる方式が考えられる。電圧源859の出力はガンマ補正後のデータとROMデータの加算により決めるようにすることで、同一階調でも画素の駆動トランジスタ851の特性に合わせた電圧を出力することが可能となる。1出力あたりの信号の流れとしては、図74から電流出力部がなくなった図89の構成となる。

【0299】

電流源858については、ドライバICとは別にアレーや検査回路上に設けてもかまわないし、ドライバICに電圧測定用の電流源として内蔵することも可能である。例えば図90のように電流源858及び電圧源859をドライバ部901の中に内蔵した構成があげられる。図90ではさらに電圧を測定するためのAD変換部902がスイッチ903を介して接続され、AD変換部902の出力を外部に取り出せる。電流I1を駆動トランジスタに流す経路は904のようになり、それに伴い856のスイッチはON、切り替え部905は電流源858を選択している。このため、電位書き込み期間883で、I1を流すのに必要な電圧に節点871が変化する。変化終了後にスイッチ903をONにして、AD変換部902と節点871が接続されることで、電圧値が検出され、画素ごとの必要電圧がわかるようになる。

40

【0300】

50

ドライバICの構成としては図9-1に示すように、電圧源859側には映像信号と記憶手段（補正データが記憶されている）を加算したデータが入力され、映像信号と画素によって、最適な電圧が電圧源859から出力される。一方で電流源858側では出力電流を決定する電流制御信号911が入力されている。I1を決定するのはこの電流制御信号911である。電流制御信号のビット数が多ければ、より細かくもしくは広い電流範囲で書き込み電流を設定することが可能となる。ただし本来の表示には必要のない回路であり回路規模がなるべく小さいことが好ましいため5～6ビット程度のDACで形成される。また、粗調整用のビットと微調整用のビットを組み合わせで作成することもある。

【0301】

このようにして、図9-2にしめすように、同一階調であっても出力電圧が異なる電圧出力部を構成することが可能となった。黒表示の場合、この例では $V_{th1} \sim V_{th5}$ の電圧となる5種類の電圧が出力可能。補正用のROMに1階調分のデータが入っている場合には、他の階調でも同様に5種類の電圧が選択可能で、階調Aに対しては、出力はVAを中心に5点（ $VA + (V_{th1} - V_{th3})$ 、 $VA + (V_{th2} - V_{th3})$ 、VA、 $VA - (V_{th3} - V_{th4})$ 、 $VA - (V_{th3} - V_{th5})$ ）の出力が可能である。一般に同一階調での出力数は補正用のROMのビット数によって決まる。そのため、図示された階調と出力電圧の関係の直線は1パネルあたりで1色あたり8～256通りの関係が存在することとなる。

10

【0302】

また図9-3では階調0、A、Bの3点で補正電圧を測定し、同一階調でも出力電圧が異なる仕様となっている。階調Aよりも階調Bの方がばらつきが小さい場合にこのような関係となる。

20

【0303】

駆動トランジスタがp型の場合で説明を行ったが、n型であっても同様に実現が可能である。電圧を読み出すための電流の向きを反転させることと、入力階調に対する電圧の変化が、階調が高いほど電圧が高くなるようにすればよい。従って、記憶手段にデータを入れる際には、一番電圧が低い画素でデータ0を電圧が高くなるほどデータを大きくするようにデータを保持させるようにすればよい。

【0304】

画素ごとの電圧を読み出すための方法は、図8-4のドライバ構成で図3の画素の場合のタイミングチャートを図9-4に示す。少なくとも同一色のすべての画素に同一の電流値を印加し、電圧ばらつきを確認するため切り替え部749は電流DAC側の出力を選択する。映像信号とガンマ補正回路の制御で、各画素への印加電流を決定する。少なくとも同じ色では同じ電流が書き込まれるようなパターンをドライバICに入力する。この状態で、1行目の画素に電流が書き込まれるように1行目の31a信号を印加すると、1行目のすべての画素に電流が書き込まれる。この期間が電流書き込み期間942に相当する。

30

【0305】

電流が画素に書き込まれるのには時間がかかるため、電流書き込み期間942は書き込みが完了するまで継続する。2～3型のパネルでおおよそ0.2～2ms程度の時間を要する。

40

【0306】

画素に書き込まれた電圧が安定したところで、1画素ずつ電圧を読み出す。これはAD変換回路が1つしかない場合の例で、複数個のAD変換回路があれば複数画素同時に読み出しを行うことが可能である。

【0307】

順に画素の電圧を読み出すため、読み出し部841が存在し、1出力ずつ順に出力842をAD変換部957と接続するようにする。この例ではドライバの面積を小さくするため、通常表示に用いられるシフトレジスタを兼用して用い、順にAD変換を行うようにしている。これで1画素目から、1行に存在する全画素分を順に走査し、画素の電圧ばらつきデータを得ている。943～945の時間であるが、1画素あたり5～20ms程度か

50

かっている。この走査をゲートドライバ31を動作させて行ごとに繰り返し実施し、全画素の電圧ばらつきデータを得ることで、記憶手段に記憶させるデータの元データを作成した。

【0308】

1画素ずつ変換すると測定時間がかかるため、複数画素を同時に変換する方法として、複数のAD変換部を用意すればよい。この場合AD変換部ごとにばらつきがあることが想定され、同一入力電圧であっても出力データが異なることが考えられる。この場合は、同一アンプから供給された電圧を、複数のAD変換部に入力し、出力値のばらつきから、AD変換部のオフセットばらつきを検出し補正をかければよい。

【0309】

また、レーザーショットによる電圧ばらつきなど、原因がわかっている、発生する位置や周期がわかっている場合や、近接の複数の画素間では電圧ばらつきがない場合においては、すべての画素ではなく、複数の画素分を共用して、補正データとしてもよい。この場合には、共用化する画素のうち少なくとも1つの電圧読み出しを行えばよく、4画素ごと共通の場合には、読み出しを行う画素の数は1/4でよい。(電圧読み出しの精度を上げるために2~4画素読み出しをして、結果の平均をとって補正データとしてもよい。この方法であっても2~3画素読み出しであれば、全画素読み出しより読み出し時間を短縮できる)

以上の方式において、ドライバとパネルとROMを組み合わせた場合の構成を図95に示す。

【0310】

入力された映像信号は、ガンマ補正回路を通してDAC部に入力される。DAC部でアナログ信号に変換された後、切り替え部749で電圧もしくは電流のいずれを出力するかを決める。いずれにするかは、パルス発生部によるパルス出力と、I/V判定部952の出力から決められる。パルス発生部956は、1水平走査期間内で電圧書き込みを行う時間を決定するためのもので、水平走査期間のはじめ2~10 μ 秒程度のパルスを出力する。I/V判定部952は、画素ごとに、電圧書き込み期間を設けるかどうかを決定するもので、画素ごとに「する」か「しない」かを判定する。I/V判定部952の出力は、電圧書き込みを許可する場合に「1」、電圧書き込みを許可しない場合に「0」とする。これにより電流駆動のみの書き込みも可能となる。なお、電圧書き込みを許可しても、パルス発生部956でパルスがない場合には切り替え制御部953において、常に電流DAC部が選択されるようになる。切り替え制御部953は、I/V判定部952の出力とパルス発生部956の出力の論理積をとるイメージとなっている。そのため、電流駆動のみを実施する場合には、I/V設定線951により常に電圧書き込みを許可しないようにするか、パルス幅設定線でパルス幅を0にする方法がある。また電圧駆動のみを実施することも可能で、I/V判定部952の出力を常に「1」とするようにして、パルス発生部956の出力を常時“H”レベルにすれば、電圧DAC部が選択されるようになる。この動作を利用すれば図85の画素構成においても本ドライバを利用することが可能となる。

【0311】

また、I/V判定部952は電流ガンマ補正回路742の出力を取り込んでいる。これにより、例えば一定階調以上では電流駆動のみにすることも可能となる。つまり電流ガンマ補正回路742の出力が一定階調以上である場合にI/V判定部952の出力が「0」となるとすればよい。これは、電流駆動のみでも書き込み可能である場合に適用が可能であり、電圧DACを使用しないことで、アンプの充放電による電力を削減することが可能である。

【0312】

記憶手段761の駆動トランジスタのばらつきデータを入れる方法としては、これまでの説明どおり、一定電流を画素に印加し、そのときの駆動トランジスタのゲート電圧を測定し、ばらつき分を量子化して書き込みを行っている。

【0313】

一定電流を画素に印加する方法は、映像信号に一定階調を入力し、すべての画素で同じ電流出力が電流DAC部から行われるようにする。この際電流出力が選択できるように、パルス発生部956の出力をなくすか、I/V判定部の出力を「0」にする必要がある。

【0314】

このようにして、一定電流を画素に書き込み、駆動トランジスタ32に一定電流が書き込まれるようになる。図97に駆動トランジスタ32に電流が書き込まれたときの、電流の流れ(971)を示す。このときの32のゲート電圧を測定するために、読み出し部841のうちの1つをAD変換部957と接続する。2つ以上同時に接続すると、異なる電圧同士が接続されてしまうため、1つのみの接続とする。図95では読み出し制御線955とシフトレジスタ532により順番に1つずつ接続できるような構成としている。すべて非接続も可能でその際は、読み出し制御線955で、“L”レベルを入れればよい。接続する場合には、1シフトクロック分の幅で“H”レベルを入力すれば、1出力ごとに順番に接続されるようになる。

10

【0315】

これにより、32のゲート電圧は、図97の972の点線で示すように、39bのスイッチを介してソース信号線30に伝播し、選択された読み出し部841aを介してAD変換部に入力される。AD変換のタイミングは、駆動トランジスタ32のゲート電圧がAD変換部957に入力されるまで各信号線の浮遊容量充放電が完了してから実施する必要がある。AD変換が完了したら、シフトレジスタにより、841aの選択を841bに変更する。841b終了後、841cと同一行にある画素の電圧を順次読み出していく。1行がすべて完了すれば、ゲートドライバの操作により、次の行の電圧を読み出す動作に移る。

20

【0316】

図97ではカレントコピアの画素構成において説明を行ったが、カレントミラーの画素構成(図5)などの画素構成でも、同様に電圧を読み出す動作の実現が可能である。有機発光素子に流す電流を制御する駆動トランジスタ32にドレイン電流を印加できる構成であって、電流値を外部で知ることができ、ゲート電圧もしくはドレイン電圧が外部へ取り出せる画素構成であれば、同様にこの手法の適用が可能である。電流駆動の画素構成だけでなく、図79や図85の画素構成であっても、この手法の適用が可能である。

30

【0317】

変換後のデータはPCに取り込み、全画素分のデータがそろったところで計算を行う。計算は図73に従って実施する。データを記憶手段761に書き込み、補正データの作成を完了する。

【0318】

なおAD変換部からPC間とPCから記憶手段間については、常時接続される必要がなく、出荷前の調整工程(画素電圧の補正工程)でのみ接続されればよい。従って、通常駆動時ではAD変換部は不要で、図95のようにドライバ部に内蔵しても、PCと同様に調整時にのみ、調整用の外部回路に搭載してもよい。読み出し部841は、通常時はすべての回路でOFF状態にしておく。

40

【0319】

電圧発生部953は図96に示すような回路で構成される。

【0320】

最大電圧が V_0 で最小電圧が V_n となる。(nは電圧出力に必要な段数で1以上)階調性を上げるために抵抗素子963の抵抗分割により電圧を生成している。 $V_0 \sim V_n$ 出力については、負荷容量によっては、バッファを設けることもある。最大及び最小電圧は、アレーの駆動トランジスタの特性ばらつきを考慮して、可変できるようになっている。最大電圧はほぼトランジスタの閾値電圧に相当し、閾値電圧のばらつきによって、電圧の高低を調整できるようにしている。調整を行うために電子ボリューム961を具備し、外部から電圧設定線954により調整できるようになっている。 V_n 側は高階調側の電圧である。図78などで説明したように、電圧補正部分についても $V_0 \sim V_n$ の1段あたりの電

50

圧を元にデータを加減算して電圧表示を行うことから、1段階あたりの電圧変動幅を変えることはできない。(例えば10mVで固定する。)そのためV0の電圧を変化させれば、同一電圧値だけVnの電圧も変化させる必要があり、Vn側にも電子ボリュームと、電圧設定線が具備されている。運用上、電子ボリュームAとBは同一電圧値分だけ同時に変更が必要である。

【0321】

電子ボリュームを2箇所には設けなくても、V0とVnの電位差を一定にすることが可能であれば、いずれか1箇所は不要であり、そのような回路構成であっても問題はない。

【0322】

2箇所の電子ボリュームの方式は、例えばVA出力とVB出力に設けられたアンプ962のオフセットによる1段階あたりの電位差のずれを補正することが可能となる利点がある。

10

【0323】

V0とVnの電圧値を測定し、測定電圧を元に1段階あたりの電圧を算出する。この電圧値が、記憶手段に補正データを入れた際の電圧刻み幅とずれている場合には、1段階あたりの電圧をあわせるように、電子ボリュームAもしくはBのいずれか一方を調整すればよい。なお各出力にアンプが具備されている場合には出力アンプの偏差の影響がある可能性があるので、その場合は例えば複数(全部でもよい)端子の出力電圧を測定し平均値で調整してもよい。

【0324】

V0及びVn電圧の測定は、まず、記憶手段761には補正データが入っていないことから、加算部での記憶手段761との加算をやめ(補正なし)、映像信号と電圧ガンマ補正回路の設定により、V0に対応するデータを電圧DAC部747に入力する。さらに切り替え部749は電圧DAC部を選択するようにする。このため、I/V判定部952は出力を「1」とし、かつパルス発生部956は常時“H”レベルとすれば、常に電圧DAC部がソース信号線30と接続されるようになる。この状態で読み出し部841を1つずつAD変換部957と接続することで、電圧発生部953のうちV0に相当する電圧を測定することが可能である。Vnについても、映像信号と電圧ガンマ補正回路の設定で電圧DAC部入力をVnに対応するデータとすることでVnに対応する電圧がAD変換部957から測定可能である。

20

30

【0325】

次にV0に相当する電圧と、Vnに相当する電圧との差分を計算する。差分の計算は、V0の出力データ群とVnの出力データ群それぞれの平均の差でも、同一端子におけるV0とVnの出力電位差のデータの少なくとも2出力分の平均値でも、任意の1出力でのV0とVnの電位差でもかまわない。電位差がわかることで、電圧DAC部747のダイナミックレンジがわかるし、DACの段数がわかっていれば、1段階あたりの電圧刻み幅がわかる。

【0326】

ばらつきデータを量子化する際の、刻み幅に、実際の電圧DAC部の刻み幅を合わせるためには、954aもしくは954bの一方の電圧設定線の値を変更し、電子ボリュームを変更することで、あわせ込みが可能である。例えば、実際の刻み幅が小さい場合には、刻み幅を大きくするためにVAの電圧を上げる(961aの電子ボリュームを制御)か、VBの電圧を下げる(961bの電子ボリュームを制御)がすればよい。

40

【0327】

また、逆に、実際の電圧出力部の刻み幅データを用いて量子化を実施してもよい。図73における量子化(732)を実施する前に、V0、Vnに相当するデータを測定し、DACの1段階あたりの刻み幅を計算しておき、計算された刻み幅に応じて量子化を実施する。

【0328】

V0及びVn電圧を測定する方法を利用して電圧DAC部の隣接間端子電圧ばらつきを

50

測定することにも利用可能である。電圧偏差分だけ電圧DAC747に入力されるデータの加減算することで、電圧ばらつきを小さく見せることが可能である。例えば、5番目の出力電圧が他の出力に対して、20mV高い場合に、電圧発生部の刻み幅が10mVでかつ電圧DAC747は入力データが大きいほど低電圧になる場合には、5番目の出力を利用する画素においては、補正値を画素電位測定結果に対してさらに「2」だけ大きくすれば、5番目の出力の画素のみ一律20mV電圧が低くなり、出力電圧のずれを補正し、ムラの発生を防止している。この場合には、記憶手段に記憶されるデータは、画素ごとの駆動トランジスタの特性ばらつきと、ソースドライバの出力電圧の特性ばらつきを重ね合わせてきた、ばらつき分のデータが書き込まれる。

【0329】

DA変換部及び読み出し部841は、通常駆動時には用いないため、ドライバ部に入れなくてもよい。例えば、図98に示すように、ドライバ部と表示部とは別に、読み出し部として、別の場所例えばアレー上に形成してもよい。アレー上に形成することは検査終了後に、読み出し部を含む読み出し用の回路を切断し、出荷時に回路スペースごと取り去ることで額縁を増やさずにパネルを提供する方法も可能となる利点がある。

【0330】

さらに図99において、読み出し部にシフトレジスタを設け、さらに外部から電圧を印加するための電圧印加手段993を設け、読み出し線994に接続すると、読み出し部841の動作とゲートドライバの走査によって、電圧印加手段993からの電圧に応じた電圧値により、駆動トランジスタ32のゲートに電圧が印加されることで、有機発光素子33が点灯する。ソースドライバIがなくとも点灯が可能となる。駆動トランジスタ32の特性によらず一定電圧の書き込みとなるため、画素ごとに輝度が異なる可能性があるが、表示状態となるため、輝点や、滅点といった点欠陥や線欠陥を検出することが可能となる。

【0331】

このように画素の欠陥を検査するためには、検査する範囲のソース信号線30に対して電圧を同時に供給できるように、シフトレジスタ994で841のスイッチをすべてON状態にできるような構成が可能となるようにしておけばよい。例えば検査時にはスタートパルス991を常時ハイレベルにして、電圧読み出し時には読み出し時間に応じたパルスを入力することで1画素ずつ読み出し線994に接続されるようにする。

【0332】

このように、検査と電圧読み出しを共用にすることで、検査に必要な回路が削減でき、パネル額縁を小さくすることが可能となる。切断して出荷する場合でも、1パネルあたりのレイアウト面積は読み出し部が小さくなる分小さくなり、取れ数を増やせる可能性があるという利点がある。

【0333】

駆動トランジスタ32のドレイン電流とゲート電圧の関係には温度依存性があり、温度が高いほど同ドレイン電流にするためにはゲート電圧を高くする必要がある。逆に一定の電圧を印加した場合、温度が高くなるほどドレイン電流が多くなり有機発光素子33に流れる電流が増加し、輝度が高くなる。つまり温度によってパネルの輝度が変化する恐れがある。図3の構成の画素においては、電流DAC部748により電流書き込みを行うために、電流駆動で温度による電圧変化を補償するが、電流値が小さい場合には、十分に補償動作が行われず動作が不完全となり輝度変化がおきる恐れがある。

【0334】

そこで図100に示すように、ドライバIC部にAD変換部957を設け、検査時以外の通常動作時でも画素の電圧を測定できるような構成において、画素の電圧を測定し、変化量に応じて、印加電圧を変化させるようにし、温度による輝度変化を小さくする構成を考えた。

【0335】

あらかじめ室温（例えば25度）の時の駆動トランジスタ32の画素電圧を記録し、測

10

20

30

40

50

定時との電位差により、測定時に最適な電圧を決定するようにする。例えば、調整時の電圧が4.5Vで、測定時の電圧が4.2Vとすれば、0.3V分が温度により変化した分となる。そこで、電圧発生部953の電子ボリューム961を2箇所とも0.3V分低下させれば、室温の際と同じ電流がEL素子に流れると考えられる。

【0336】

そこで、電子ボリューム961の電圧を決める電圧設定線954の値を画素の電圧に応じて変化できるように、AD変換部957の出力からフィードバックできるような図100の構成とした。

【0337】

調整時と測定時の差を検出するために、比較器1002により、電圧変化量を検出するようにしている。調整時=室温となるように調整時の温度は一定にして調整を行う必要がある。

10

【0338】

比較器1002において、電圧変化量をもとめ、電圧制御部1001に出力する。電圧制御部1001では電圧変化量から、電子ボリュームの値をどれだけ変更すればよいかを計算する回路ブロックで、電子ボリュームの刻み幅で、電圧変化量を割って、電子ボリュームの増減量を計算する。この値を、現在の電子ボリューム値に加減算することで、発生電圧 $V_0 \sim V_n$ の値が変化し、温度ごとに最適な階調電圧が電圧発生部953より出力されるようになる。

【0339】

測定する電圧は画素数が多いほど、パネル全体での平均変化量がわかり、平均輝度を一定にする効果があるが、電圧を読み出すのに時間がかかり、読み出し中には表示ができないことを考慮すると、なるべく少ない時間で電圧を読み出す必要がある。そのため読み出しを行う画素は10画素以下が好ましい。更に調整時の電圧から面内ばらつきの範囲内(平均値 \pm)の画素を選ぶことが好ましい。温度読み出し時間の短縮の観点からは、画素への電流値の書き込みが同時に行える同一行の画素が多いほど高速に読み出しが可能。そのため、同一行から10画素以下の画素の電圧を読み出す。

20

【0340】

電圧を読み出し、温度に応じて変更する方法を図101に示す。ここではすでに調整段階で室温時の電圧データがある場合の流れである。電圧を読み出す際には調整時と温度以外が同一条件で測定する必要がある。そのためまず、電流DACの階調を設定する。(設定は常に一定にしておいてもよいし、記憶手段に記憶させ、記憶手段の指定アドレスから読み出してもよい。)

30

次に読み出しを行う画素に電流を書き込む。読み出しを行う画素は、あらかじめ調整時に決めておいた1行のうちの複数画素で、行数、列、画素数については、記憶手段に調整時に記憶させ、記憶したアドレスから読み出すようにする。これは、欠陥画素のデータをとることを防止するため、調整時に・BR>Fータを吟味し、欠陥ではない画素のアドレスを、記憶手段に記載しておく。指定された画素を指定数だけ電圧読み出しを実施する。読み出し回路841により順に制御する。行列の設定はいずれもシフトレジスタで行われることが多く、指定行までの変化をさせるようなコントローラが必要である。(7行目でゲートドライバが停止するなどの場合を想定している。)

40

画素電位の変化は画素単位ではなく、全画面に一樣に実施されるため、1つのデータがあればよい。従って複数の画素に対する電圧を測定した場合には、平均化を行い、白色ノイズの影響を少なくするようにしている。

【0341】

次にあらかじめ測定された室温時の電圧と比較を行い、電圧の変化量を計算する(1016)。

【0342】

変化した分だけ、印加電圧を変えられるように、変化量に応じて2つの電子ボリューム961の値を変更する。

50

【0343】

これにより、面内の平均ではあるが、温度に応じた電位変化に対応した階調電圧を供給することができ、温度特性変動の影響が少ない表示が実現できた。

【0344】

室温時については図102に示す流れにより、室温時の電圧データ、温度補正時に読み出す画素のアドレス、書き込み電流をROMに記憶する。記憶させるためのデータを図102の流れにより作成する。

【0345】

読み出しを行う画素が決まっていれば、当該画素のみの電圧測定であるが、決まっていない場合には、全画素を読み出し、電圧データから飛び値となっている欠陥画素を除いた画素から室温データを検出する。飛び値は例えば3を外れた値としてもよい。

10

【0346】

なお欠陥画素数が少ないと想定される場合や、読み出しを行う画素数が少ない場合には、全画素ではなく、一部の領域の画素から欠陥画素を除く作業としてもよい。

【0347】

温度による画素電圧の変化の補正を電子ボリューム961により行うため、電子ボリュームの刻み幅によっては、急激な輝度変化や補正が不十分になることが考えられる。

【0348】

刻み幅は細かいほどよいが、電子ボリュームの段数が増加し、コストが上昇する。画素電圧の測定精度が2～5mV程度のノイズを含むため、刻み幅としては10mV未満ではノイズによる影響を受け、温度補正効果が見えにくい。10mV刻み未満の精度での電圧測定が不可能であるということから10mV以上の刻み幅でよい。一方で刻み幅を荒くすると、1段階あたりの電位変化量が大きくなり、1段当たりの輝度変化量が大きくなる。最適な値を設定するにも設定できず丸め誤差による計算値との電位差が、測定ごとに变化することで輝度が変化しフリッカが発生する恐れがある。そこでフリッカを発生させない方法として、測定する回数を削減する。また測定タイミングを考慮する。

20

【0349】

回数の削減としては、例えば電源投入後のみ、表示状態となる直前のみ、大幅なシーンチェンジ時のみといった方法がある。通常生活状態では、表示中に大幅な温度変化がおきることがほばないため、電源投入時や、表示直前の状態の電圧測定でも十分補正が可能。その後の温度変化でも10度未満であれば輝度変化は5%程度であるため、輝度変化がディスプレイ使用中に認識できるほどではなく、問題はない。

30

【0350】

刻み幅については、温度補正の動作が表示中に1回程度であれば、極端に明るかったり暗かったりがなければ、表示ごとの輝度ずれには気づきにくい。駆動トランジスタ32のチャンネル長に対するチャンネル幅の割合が、 $(\text{チャンネル幅}) / (\text{チャンネル長}) = 1 / 4$ 程度であれば、60mV刻みであっても、丸め誤差による輝度ずれは5%程度であり、使用中には気がつかないずれである。

【0351】

以上のことから電子ボリューム961の刻み幅は好ましくは10～60mVの範囲で設計される。

40

【0352】

さらに、この画素電圧を読み出して、調整時との電位比較を行い、差分を補正する方法は、温度変化ばかりでなく、TFTの経時変化による電圧変動の場合でも同様に補正することが可能である。これによりV_{th}シフトが顕著となるアモルファスシリコンを駆動トランジスタ32に電圧駆動方式を採用することが可能となる。経時変化や、高電圧印加によりV_{th}が変化した場合、電圧変化量を検知することが可能なので、変化量に応じた電圧印加により一定の電流を供給することができるようになり、駆動トランジスタの経時変化による輝度変化を防止する。

【0353】

50

また、A D変換部 9 5 7と比較器 1 0 0 2、電圧制御部 1 0 0 1により記憶手段との電圧変化量を検出することは、温度による変化や、経時変化によるT F T特性変化以外でも、外部要因によりT F Tの特性が変化した場合に、変化分を補償する機能を有する。A D変換 9 5 7の測定間隔によって、変化に追従する時間が変わる。

【 0 3 5 4 】

以上で説明した方式は、動画応答改善などで用いられる黒挿入を行うデューティ駆動であっても実現が可能である。デューティ駆動の場合には、図 1 0 5のように有機発光素子に流れる電流を一定期間なくすように、図 8 5のB G線、図 7 9のG 3、もしくは図 3の3 1 b、図 5の3 1 dのゲート信号線を制御し、1フレームのうちの一部の期間(1 / N)のみ導通状態とする。

10

【 0 3 5 5 】

この場合には、輝度を保つために印加する電流をN倍にしておく必要がある。以上で説明した方式では、画素からばらつきデータを読み出す際の電流をN倍にし、電圧ガンマ補正回路での設定値をN倍の電流が流れるように変更すればよい。電流駆動を行う場合には、電流D A C部の電流出力もあわせてN倍にする。この電流出力をN倍にする動作は、基準電流生成部 6 1により実施される。他の動作は黒挿入がない場合と同様である。

【 0 3 5 6 】

なお、表示素子として、有機発光素子で説明を行ったが、発光ダイオード、S E D (表面電界ディスプレイ)、F E Dなど電流と輝度が比例関係となる表示素子ならどのような素子を用いても実施可能である。

20

【 0 3 5 7 】

また、図 5 9から図 6 1に示すように、このような表示素子を用いた表示装置をテレビや、ビデオカメラ、携帯電話に適用することによって、より階調表示性能が高い製品を実現することができる。

【 0 3 5 8 】

なお、制御I C 2 8もしくはコントローラとソースドライバ3 6はそれぞれ別のI Cを用いて実現した例を図示し、説明を行ったが、同一チップで一体化して作成した場合でも同様に実施可能であり同様の効果が得られる。

【 0 3 5 9 】

以上においてトランジスタはM O Sトランジスタとして説明を行ったがM I Sトランジスタやバイポーラトランジスタでも同様に適用可能である。

30

【 0 3 6 0 】

またトランジスタは結晶シリコン、低温ポリシリコン、高温ポリシリコン、アモルファスシリコン、ガリウム砒素化合物などどの材質でも適用可能である。

【 0 3 6 1 】

上述した電流出力型半導体回路、及び表示装置において電流ドライバの出力ビット数を増加させても、かまわない。

【 産業上の利用可能性 】

【 0 3 6 2 】

本発明にかかる、アクティブマトリクス型表示装置、および有機発光素子を用いたアクティブマトリクス型表示装置の駆動方法は、有機発光素子を利用する表示において表示ムラが発生してしまうことを抑制でき、有機発光素子などを利用して電流量により階調表示を行う表示装置等として有用である。

40

【 図面の簡単な説明 】

【 0 3 6 3 】

【 図 1 】従来の、有機発光素子の構造を示した図

【 図 2 】(a)従来の、有機発光素子の電流 - 電圧 - 輝度特性を示した図、(b)従来の、有機発光素子の電流 - 電圧 - 輝度特性を示した図

【 図 3 】従来の、カレントコピア構成の画素回路を用いたアクティブマトリクス型表示装置の回路を示した図

50

【図 4】(a) 従来の、カレントコピー回路の動作を示した図、(b) 従来の、カレントコピー回路の動作を示した図

【図 5】本発明にかかる実施の形態の、カレントミラーの回路構成を示す図

【図 6】従来の、電流出力型ドライバの各出力へ電流を出力するための回路を示した図

【図 7】本発明にかかる実施の形態の、表示色ごとの有機発光素子の発行効率を示す図

【図 8】本発明にかかる実施の形態の、表示色ごとに電流出力回路を個別に用意することを説明する図

【図 9】本発明にかかる実施の形態の、基準電流生成部の構成の一例を示す図

【図 10】本発明にかかる実施の形態の、出力電流の調整方法を示す図

【図 11】本発明にかかる実施の形態の、電流駆動時の問題を説明するための表示パターンを示す図

10

【図 12】本発明にかかる実施の形態の、電流駆動時の問題を説明するための表示パターンを示す図

【図 13】本発明にかかる実施の形態の、ソース信号線における電流の時間変化を示す図

【図 14】本発明にかかる実施の形態の、ソース信号線における電位の時間変化を示す図

【図 15】(a) 本発明にかかる実施の形態の、画素にソース信号線電流が流れるときの等化回路を示す図、(b) 本発明にかかる実施の形態の、トランジスタの電流 - 電圧特性図

【図 16】本発明にかかる実施の形態の、1 出力端子における電流出力とプリチャージ電圧印加部及び切り替えスイッチの関係を示した図

20

【図 17】本発明にかかる実施の形態の、プリチャージパルス、プリチャージ判定信号と印加判定部出力の関係を示した図

【図 18】本発明にかかる実施の形態の、電流プリチャージを行った際の、ソース信号線における電流の時間変化を示す図

【図 19】本発明にかかる実施の形態の、水平走査期間のはじめに所定電流の 10 倍の電流を出力するときのソースドライバ出力の時間変化を示した図

【図 20】本発明にかかる実施の形態の、電流プリチャージを行ったときのソース信号線電流の変化の様子を示した図

【図 21】本発明にかかる実施の形態の、1 水平走査期間内での電流プリチャージ実施時のシーケンス図

30

【図 22】本発明にかかる実施の形態の、電流プリチャージ実施時のソース信号線電流の時間変化を示す図

【図 23】本発明にかかる実施の形態の、1 行目に電流プリチャージを行った場合のソース信号線変化の様子を示した図

【図 24】(a)、(b) 本発明にかかる実施の形態の、電圧プリチャージを行う時間によるソース信号線電位の比較図

【図 25】本発明にかかる実施の形態の、電流プリチャージを行う機能を有する電流出力部 255 の回路を示した図

【図 26】本発明にかかる実施の形態の、パルス選択部 252 の入出力信号の関係を示した図

40

【図 27】本発明にかかる実施の形態の、プリチャージパルス群とプリチャージ判定線と出力の時間変化を示した図

【図 28】本発明にかかる実施の形態の、各階調と使用するプリチャージパルスとの対応を示す図

【図 29】本発明にかかる実施の形態の、表示階調と必要なプリチャージ電流出力期間との関係を示す図

【図 30】本発明にかかる実施の形態の、電流プリチャージパルス 256 d が選択されたときのソース信号線電流の時間変化を示す図

【図 31】本発明にかかる実施の形態の、発光色ごとに異なる電流プリチャージ期間を出力するパルス発生部の回路構成を示した図

50

- 【図 3 2】本発明にかかる実施の形態の、電圧プリチャージを行うための回路構成を示す図
- 【図 3 3】本発明にかかる実施の形態の、黒輝度を調整するための回路構成を示す図
- 【図 3 4】本発明にかかる実施の形態の、黒調整時の調整方法を示す図
- 【図 3 5】本発明にかかる実施の形態の、ソース信号線電流の時間変化を示す図
- 【図 3 6】本発明にかかる実施の形態の、ソース信号線電流の時間変化を示す図
- 【図 3 7】本発明にかかる実施の形態の、プリチャージを行うか否かの判定方法を示す図
- 【図 3 8】本発明にかかる実施の形態の、255階調が $1\mu\text{A}$ の電流で、QCIF+の画素数でソース信号線の容量が 10pF の場合における1行前書き込み電流と書き込み電流との対応関係を示す図
- 【図 3 9】本発明にかかる実施の形態の、図 3 7の判定処理時の、ソース信号線電流の時間変化を示す図
- 【図 4 0】本発明にかかる実施の形態の、垂直ブランキング期間に、映像信号に階調0を挿入し、プリチャージ判定信号発生部では特定の信号を出力する回路構成を示した図
- 【図 4 1】本発明にかかる実施の形態の、プリチャージ動作と、プリチャージ判定信号の関係を示した図
- 【図 4 2】本発明にかかる実施の形態の、ソースドライバ及び制御ICを組み込んだ表示装置の回路構成を示す図
- 【図 4 3】本発明にかかる実施の形態の、1画素分のデータを、N倍のクロック周波数でシリアル転送する方法を示す図
- 【図 4 4】本発明にかかる実施の形態の、電流及び電圧プリチャージを実施するソースドライバの回路構成を示す図
- 【図 4 5】本発明にかかる実施の形態の、基準電流生成部を示した図
- 【図 4 6】本発明にかかる実施の形態の、n型トランジスタを用いた場合のカレントコピアを用いた画素回路を示した図
- 【図 4 7】本発明にかかる実施の形態の、表示パネルとレーザーアニール動作の関係を示した図
- 【図 4 8】本発明にかかる実施の形態の、画素によるソース信号線電流と電圧の関係が異なることを示した図
- 【図 4 9】本発明にかかる実施の形態の、同一プリチャージ電圧入力に対する出力電流の分布を示す図
- 【図 5 0】(a)本発明にかかる実施の形態の、図 4 7～図 4 9に示す特性を持つ画素における、図 5 0 (b)の出力電圧分布に対する画素に流れる電流の分布を示した図、(b)本発明にかかる実施の形態の、図 4 9の出力電流分布の場合における、駆動トランジスタのゲート電極にかかる出力電圧分布を示した図
- 【図 5 1】本発明にかかる実施の形態の、複数の電圧を供給するプリチャージ電圧発生部を示す図
- 【図 5 2】本発明にかかる実施の形態の、複数のプリチャージ電圧を供給するソースドライバの出力段を示す図
- 【図 5 3】本発明にかかる実施の形態の、複数のプリチャージ電圧を供給するソースドライバを示す図
- 【図 5 4】本発明にかかる実施の形態の、ある電流値を流したときのソース信号線電圧を検出する回路構成を示す図
- 【図 5 5】本発明にかかる実施の形態の、階調0表示時のソース信号線電圧を他の2つの点の電流電圧特性から計算できることを示す図
- 【図 5 6】本発明にかかる実施の形態の、各画素に最適なプリチャージ電圧を供給するための電圧計算の流れを示す図
- 【図 5 7】(a)本発明にかかる実施の形態の、図 4 7～図 4 9に示す特性を持つ画素における、図 5 7 (b)の出力電圧分布に対する画素に流れる電流の分布を示した図、(b)本発明にかかる実施の形態の、図 4 9の出力電流分布の場合における、図 5 1に示すプ

リチャージ電圧発生部を用いて駆動トランジスタのゲート電極に電圧を印加した図

【図58】本発明にかかる実施の形態の、トランジスタのサイズと出力電流とのばらつきを示す図

【図59】本発明にかかる実施の形態の、表示装置として、テレビに適用した場合を示した図

【図60】本発明にかかる実施の形態の、表示装置として、デジタルカメラに適用した場合を示した図

【図61】本発明にかかる実施の形態の、表示装置として、携帯情報端末に適用した場合を示した図

【図62】本発明にかかる実施の形態の、ソースドライバを用いてソース信号線電圧を検出するためのソースドライバ内部構成を示す図

10

【図63】本発明にかかる実施の形態の、図62を用いて電圧値を読み出す際の各信号線の時間変化を示す図

【図64】各本発明にかかる実施の形態の、画素の駆動トランジスタのゲート電圧値を読み出すための装置の回路構成を示した図

【図65】本発明にかかる実施の形態の、黒表示のためのプリチャージ電圧選択信号及び最大及び最小電圧を規定するための調整方法を示した図

【図66】本発明にかかる実施の形態の、図47の方法で多結晶化した場合の同一信号線における欠陥画素を含む電圧分布を示した図

【図67】(a)、(b)本発明にかかる実施の形態の、画素電圧値の分布と本発明のソースドライバにおけるプリチャージ電圧の分布の関係を示した図

20

【図68】本発明にかかる実施の形態の、数出力ごとにプリチャージ電圧選択信号が与えられたときの、中間端子の補間計算結果示した図

【図69】(a)本発明にかかる実施の形態の、黒表示時の電流を所定範囲内に収めるためのプリチャージ電圧調整例を示した図(調整前)、(b)本発明にかかる実施の形態の、黒表示時の電流を所定範囲内に収めるためのプリチャージ電圧調整例を示した図(調整後)

【図70】本発明にかかる実施の形態の、記憶手段を設け、電圧出力を画素ごとに補正するための記憶手段とコントロール部とドライバ部の関係を示した図

【図71】本発明にかかる実施の形態の、ドライバ部にRAM領域を設けた場合の画素ごとの電圧ばらつき補正付の回路ブロックを示した図

30

【図72】本発明にかかる実施の形態の、図70におけるドライバ部の出力段の構成を示した図

【図73】本発明にかかる実施の形態の、画素に書き込まれた電流から、トランジスタのばらつきを検出し、ばらつきデータをROMに書き込むまでの流れを示した図

【図74】本発明にかかる実施の形態の、電圧、電流により階調表示を行うことが可能なドライバICにおける映像信号入力から1出力までの回路構成を示した図

【図75】本発明にかかる実施の形態の、電圧DAC部における入力データと出力電圧の関係を示した図

【図76】本発明にかかる実施の形態の、すべての階調に対して、画素ごとの電圧特性がROMに記憶された場合における電圧、電流出力が可能なドライバICの1出力分の流れを示した図

40

【図77】本発明にかかる実施の形態の、複数の階調に対して、画素ごとの電圧特性がROMに記憶された場合における電圧、電流出力が可能なドライバICの1出力分の流れを示した図

【図78】本発明にかかる実施の形態の、複数の階調に対して、画素ごとの電圧特性がROMに記憶された場合における電圧、電流出力が可能なドライバICの1出力分の流れを示した図

【図79】本発明にかかる実施の形態の、閾値補正機能付の画素回路を示した図

【図80】本発明にかかる実施の形態の、図79の画素回路において、映像信号に応じた

50

階調を書き込む時の動作を示した図

【図 8 1】本発明にかかる実施の形態の、図 7 9 の画素回路において、点灯時の動作を示した図

【図 8 2】本発明にかかる実施の形態の、図 7 9 の画素回路において、画素ごとの駆動トランジスタのゲート電圧を測定する際の動作を示した図

【図 8 3】本発明にかかる実施の形態の、図 7 9 の画素回路において、リセット動作させたときの図

【図 8 4】本発明にかかる実施の形態の、電圧 D A C 及び電流 D A C が 1 出力ごとに形成されたドライバの出力部を示した図

【図 8 5】本発明にかかる実施の形態の、オフセットキャンセル画素に、移動度ばらつきを補正する機能を設けた画素及び周辺回路を示した図

【図 8 6】本発明にかかる実施の形態の、図 8 5 のゲート信号線動作を示した図

【図 8 7】本発明にかかる実施の形態の、図 8 5 の構成で電圧ばらつきを測定するために画素に一定電流を供給するときの回路動作を示した図

【図 8 8】本発明にかかる実施の形態の、図 8 5 の構成で所定電流に対するゲート電圧を測定するための各信号波形を示した図

【図 8 9】本発明にかかる実施の形態の、図 8 5 の構成におけるドライバ出力段を示した図

【図 9 0】本発明にかかる実施の形態の、電流源をドライバ I C 内部に構成したときの図 8 5 と同一画素構成の回路の電流印加方法を示した図

【図 9 1】本発明にかかる実施の形態の、図 9 0 におけるドライバ出力段を示した図

【図 9 2】本発明にかかる実施の形態の、同一階調であっても出力電圧が画素ごとに異なることを示した図

【図 9 3】本発明にかかる実施の形態の、3 点で画素電位を読み出し補正電圧を算出した場合の階調に対する出力電圧のばらつきの例を示した図

【図 9 4】本発明にかかる実施の形態の、図 8 4 のドライバ I C と図 3 の画素回路における、全画素の電圧読み出し方法を示した図

【図 9 5】本発明にかかる実施の形態の、駆動トランジスタの特性ばらつき補償機能付のパネル及び回路の構成を示した図

【図 9 6】本発明にかかる実施の形態の、電圧発生部の構成を示した図

【図 9 7】本発明にかかる実施の形態の、画素読み出しを行う際の電流書き込み経路と、画素電圧が A D 変換部に入力される構成を示した図

【図 9 8】本発明にかかる実施の形態の、読み出し部をドライバ部とは別に構成したときの表示装置の構成を示した図

【図 9 9】本発明にかかる実施の形態の、読み出し部を検査時に使う際の検査電圧印加の方法を示した図

【図 1 0 0】本発明にかかる実施の形態の、読み出された画素の電圧を取り込み電圧発生部にフィードバックをかけられるようにした回路を示した図

【図 1 0 1】本発明にかかる実施の形態の、温度特性補正時の、補正方法を示した図

【図 1 0 2】本発明にかかる実施の形態の、温度特性補正時の、室温データの作成方法と、ROM への保管データの作成の流れを示した図

【図 1 0 3】本発明にかかる実施の形態の、電圧出力数を間引きした場合の電圧発生部の構成を示した図

【図 1 0 4】本発明にかかる実施の形態の、図 1 0 3 の電圧発生部を用いた場合の電圧 D A C 部の入出力関係を示した図

【図 1 0 5】黒挿入を行って表示を行う場合の、有機発光素子に電流を供給するかどうかの決定を行うゲート信号線の動作を示した図

【図 1 0 6】電圧発生部の構成を示した図

【図 1 0 7】電圧 D A C 部の入出力関係を示した図

【符号の説明】

10

20

30

40

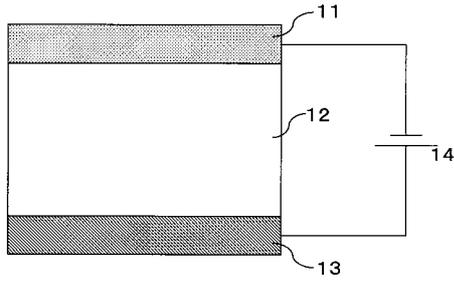
50

【 0 3 6 4 】

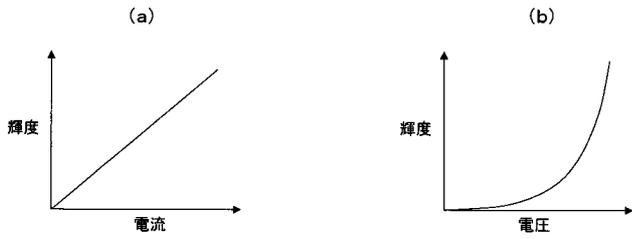
1 1	陰極	
1 2	有機層	
1 3	陽極	
1 4	電源	
2 8	制御 I C	
3 0、3 0 a、3 0 b、3 0 c	ソース信号線	
3 1 a、3 1 b	ゲート信号線	
3 2	駆動トランジスタ	
3 3	有機発光素子	10
3 4	E L 電源線	
3 5	ゲートドライバ	
3 6	ドライバ I C (ソースドライバ)	
3 7	画素	
3 9 a、3 9 b、6 2、4 9 1	トランジスタ	
5 4	階調データ	
6 0	抵抗素子	
6 1、6 1 a、6 1 b、6 1 c	基準電流生成部	
6 2	分配用ミラートランジスタ	
6 3	階调用表示電流源	20
6 4	電流出力	
6 5	電流出力回路	
6 6	デジタルアナログ変換部	
6 7	共通ゲート線	
6 8	スイッチ	
9 1	抵抗	
9 2	演算増幅器	
9 3	トランジスタ	
9 4	抵抗	
9 5	電圧調整部	30
9 6	電源線	
9 7	切り替え手段 (スイッチ)	
9 8	電子ボリューム	
9 9	基準電流線	
1 1 1、1 1 2	表示領域	
1 6 9	印加判定部	
1 5 1	浮遊容量	
1 5 2	電流源	
2 5 2	パルス選択部	
2 5 3 a、2 5 3 d、2 5 3 f	電圧印加選択部	40
2 5 5 a、2 5 5 b	電流出力部	
2 5 6	電流プリチャージパルス群	
2 5 8	電圧プリチャージパルス	
3 1 1	タイミングパルス	
3 1 3	分周回路	
3 1 4	ソースドライバクロック (クロック)	
3 1 7	カウンタ	
3 1 9	パルス発生部	
3 2 3	プリチャージ電圧発生部	
3 2 4	電子ボリューム	50

3 3 0	E L カソード電源	
3 3 3	制御装置	
3 3 7	記憶手段	
3 8 1、3 8 2	領域	
3 8 4	ラッチ部	
3 2 3	プリチャージ電圧発生部	
4 0 2	黒データ挿入部	
4 0 3	ガンマ補正回路	
4 0 6	プリチャージフラグ	
4 2 0	スタートパルス	10
4 2 1	電源制御線	
4 2 2	R O M	
4 2 3	同期信号	
4 2 4	映像信号	
4 2 5	電源線 (バッテリ出力など)	
4 2 6	電源回路	
4 2 7	ゲート線	
4 2 8	ゲートドライバ制御線	
4 2 9	映像信号線	
4 3 0	シフト方向制御	20
4 7 1、4 7 2、5 3 1、5 5 1	セレクタ	
4 7 3	表示データ	
4 7 4	基準電流線	
4 7 5	表示色切り替え信号	
4 9 1	トランジスタ	
5 1 1	ゲート信号イネーブル回路	
5 1 4	デコード部	
5 4 1	パルス発生部	
6 0 1	本体	
6 0 2	撮影部	30
6 0 3	シャッタスイッチ	
6 0 4	ファインダー	
6 0 5、6 1 4	表示パネル	
6 1 1	アンテナ	
6 1 2	キー	
6 1 3	筐体	

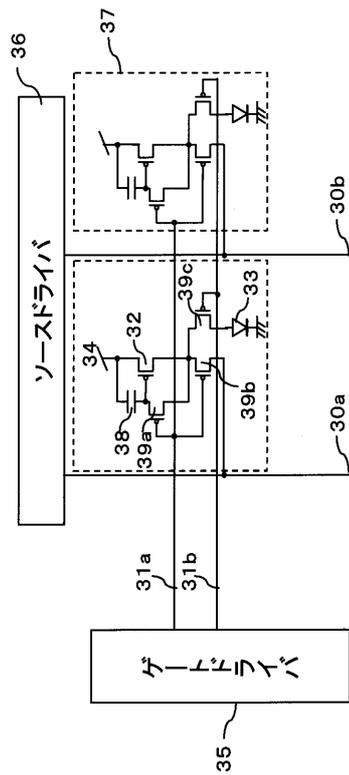
【図1】



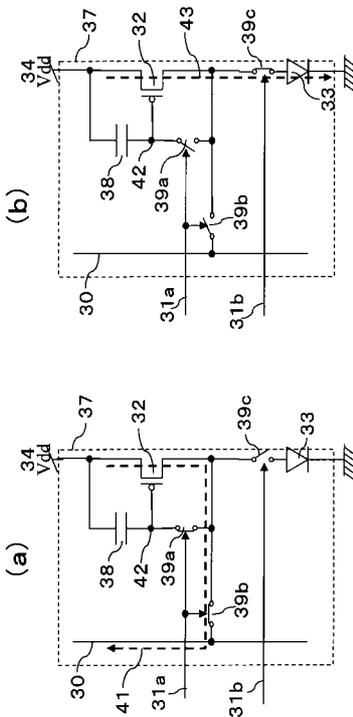
【図2】



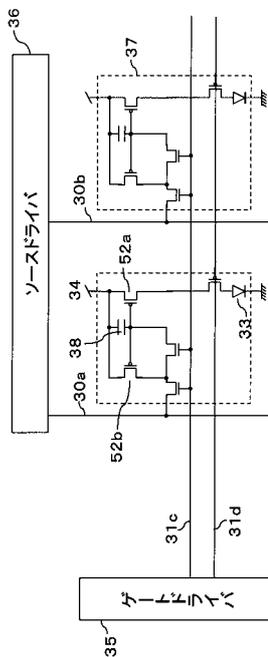
【図3】



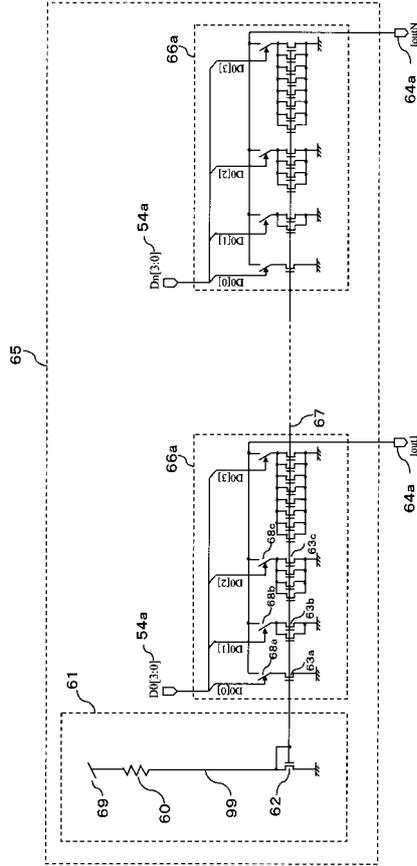
【図4】



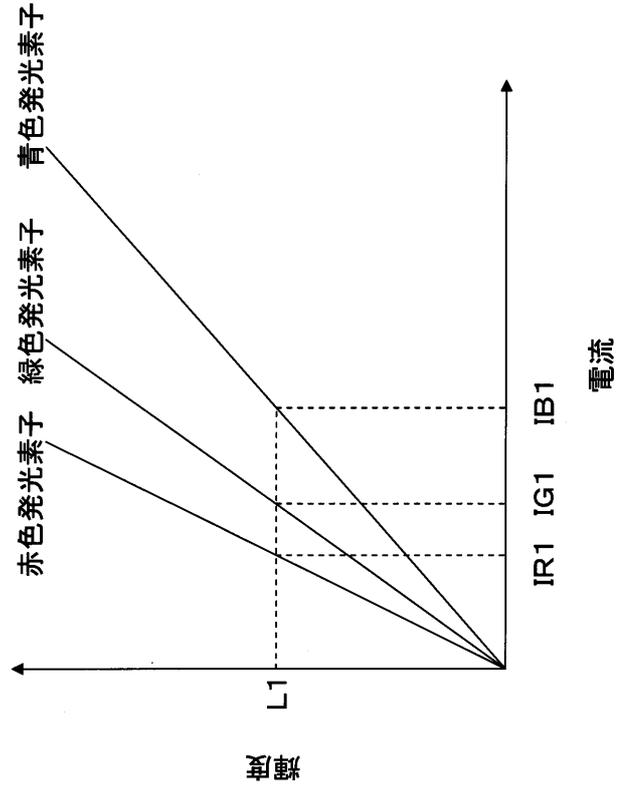
【図5】



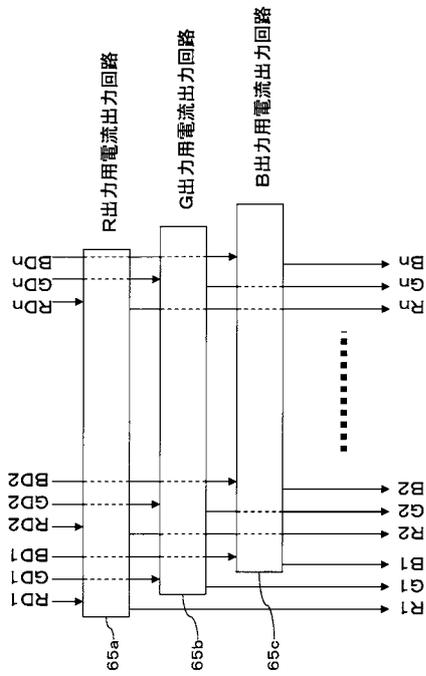
【 図 6 】



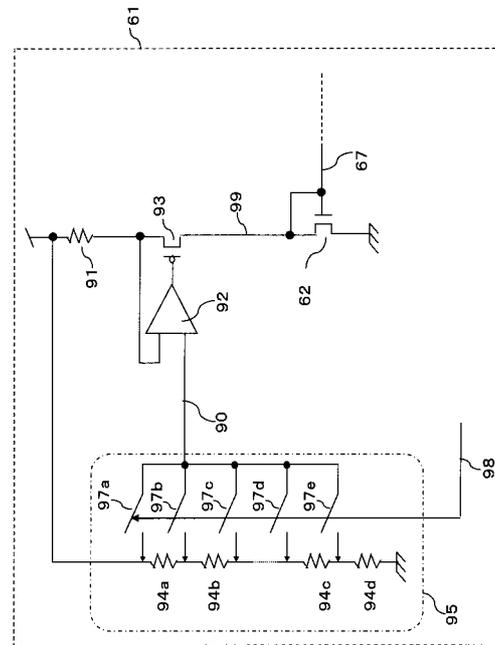
【 図 7 】



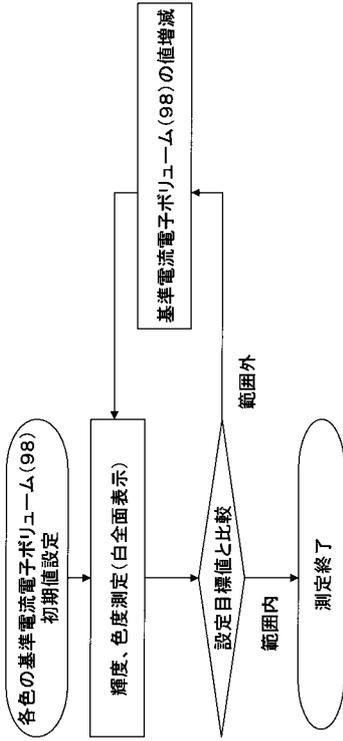
【 図 8 】



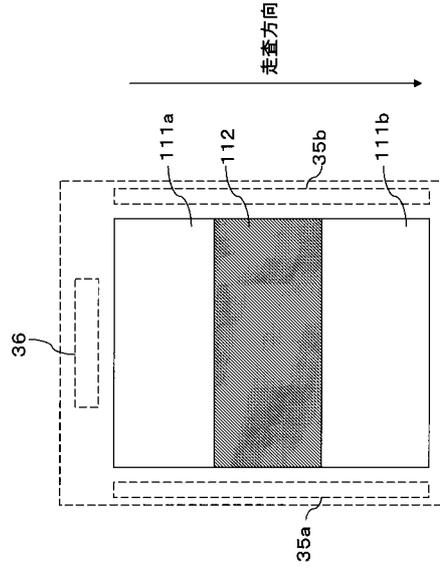
【 図 9 】



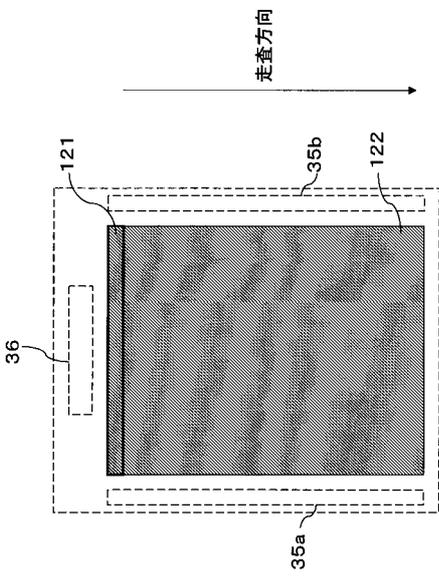
【 図 1 0 】



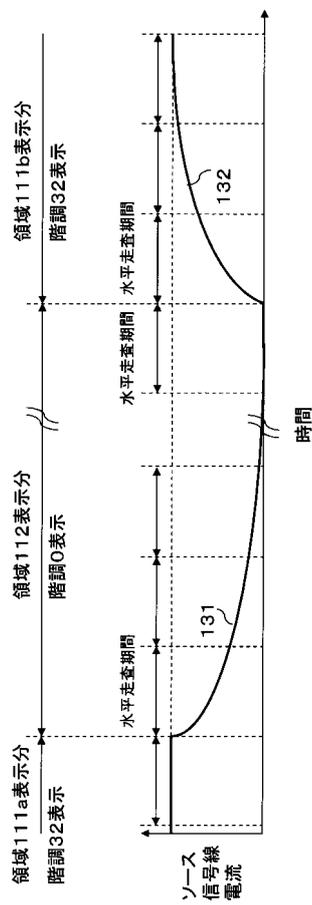
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



【図 14】

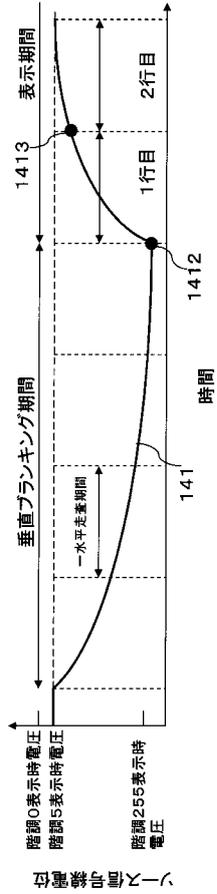
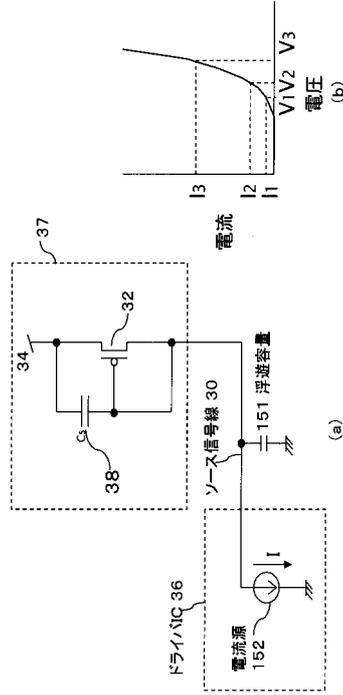


図 14

【図 15】



【図 16】

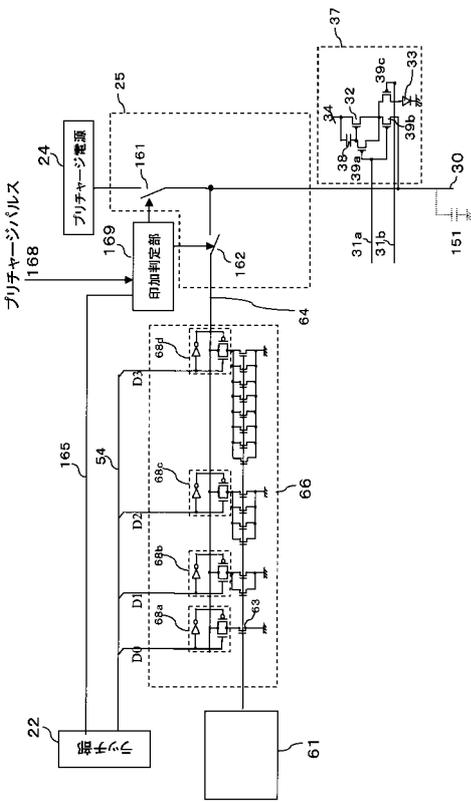


図 16

【図 17】

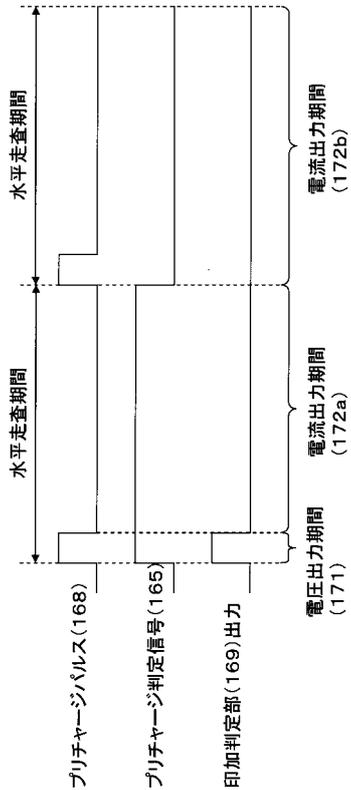
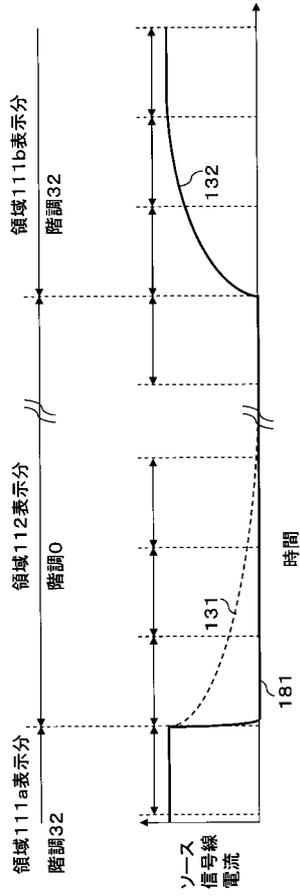
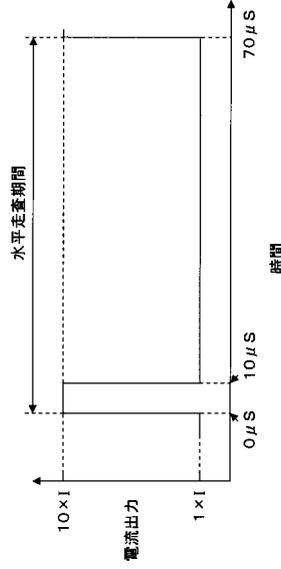


図 17

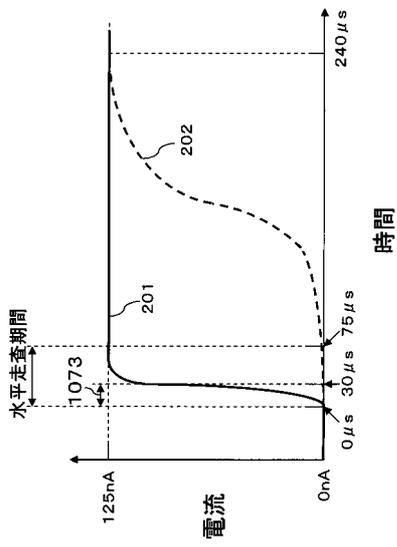
【 図 1 8 】



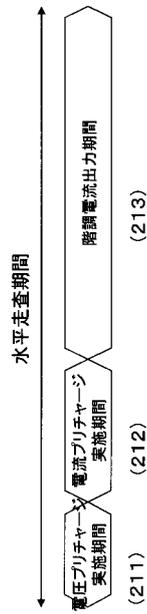
【 図 1 9 】



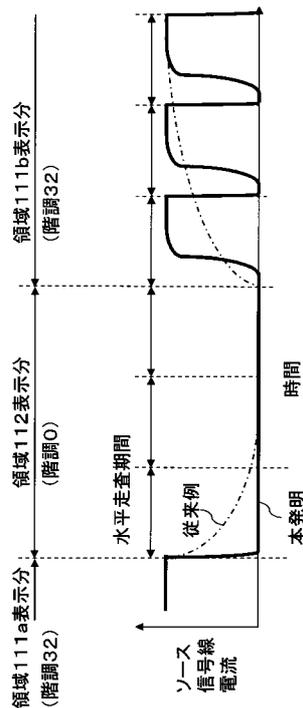
【 図 2 0 】



【 図 2 1 】



【図 2 2】



【図 2 3】

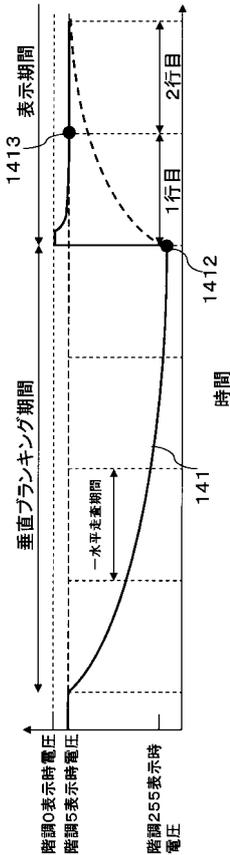


図 2 3 の電圧波形

【図 2 4】

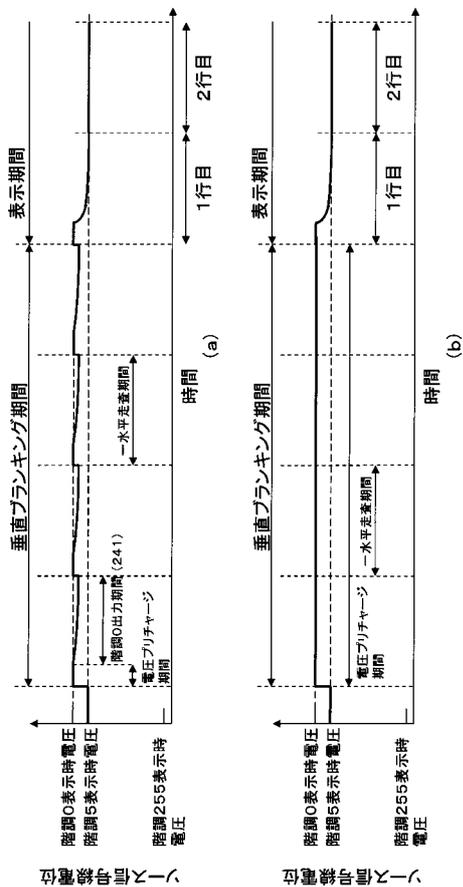
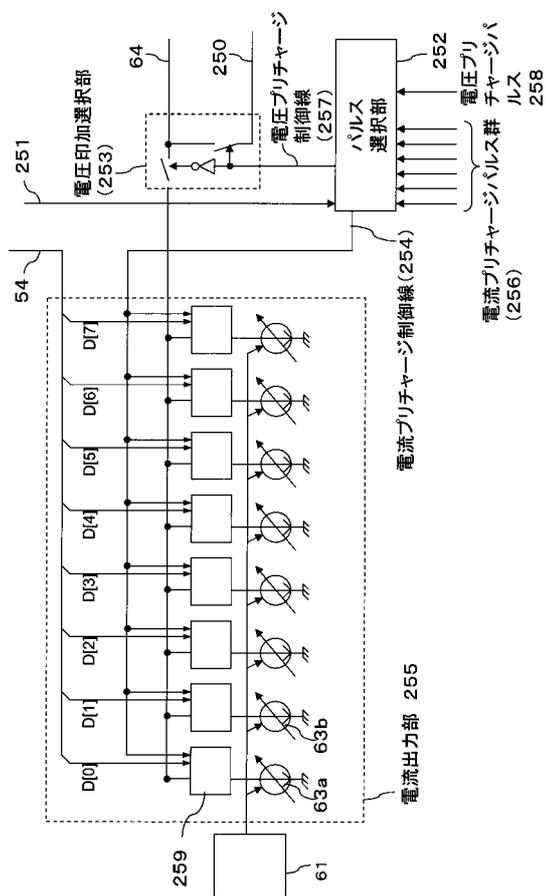


図 2 4 (a) の電圧波形

図 2 4 (b) の電圧波形

【図 2 5】



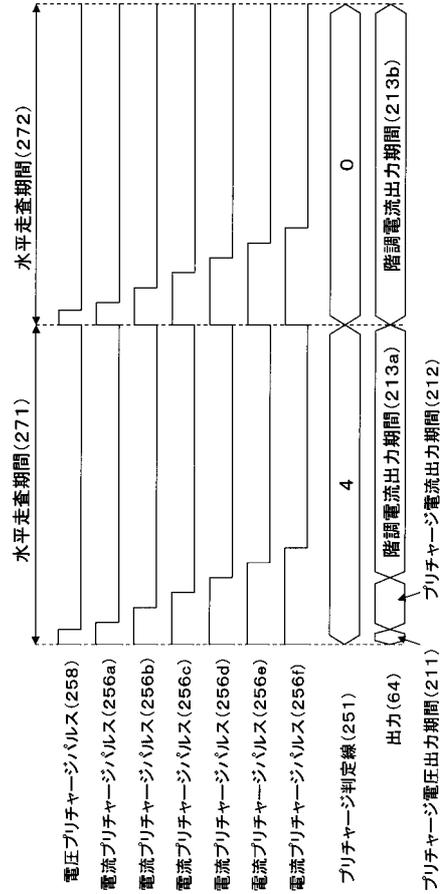
【 図 2 6 】

階調	プリチャージ判定線(251)		電流プリチャージ制御線(254)	電圧プリチャージ制御線(257)
	最上位ビット	真ん中のビット		
0	0	0	常に“L”レベル	常に“L”レベル
1	0	0	256aと同一	258と同一
2	0	1	256bと同一	258と同一
3、4	0	1	256cと同一	258と同一
5~8	1	0	256dと同一	258と同一
9~15	1	0	256eと同一	258と同一
16~102	1	1	256fと同一	258と同一
103以上	1	1	常に“L”レベル	258と同一

【 図 2 8 】

階調	使用するプリチャージパルス
0	電圧プリチャージパルス258
1	電圧プリチャージパルス258と電流プリチャージパルス256a
2	電圧プリチャージパルス258と電流プリチャージパルス256b
3、4	電圧プリチャージパルス258と電流プリチャージパルス256c
5~8	電圧プリチャージパルス258と電流プリチャージパルス256d
9~15	電圧プリチャージパルス258と電流プリチャージパルス256e
16~102	電圧プリチャージパルス258と電流プリチャージパルス256f
103以上	なし

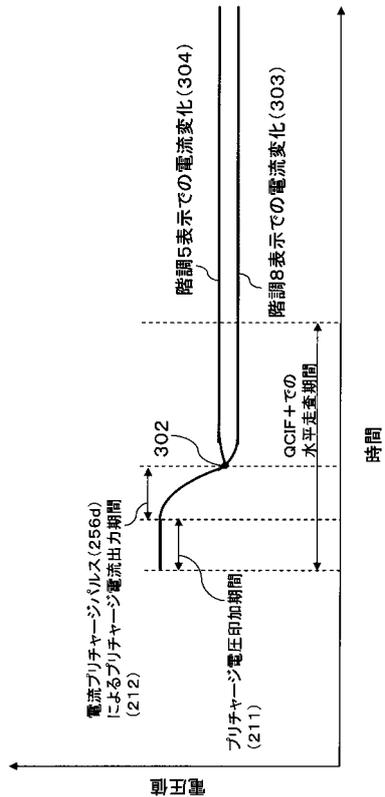
【 図 2 7 】



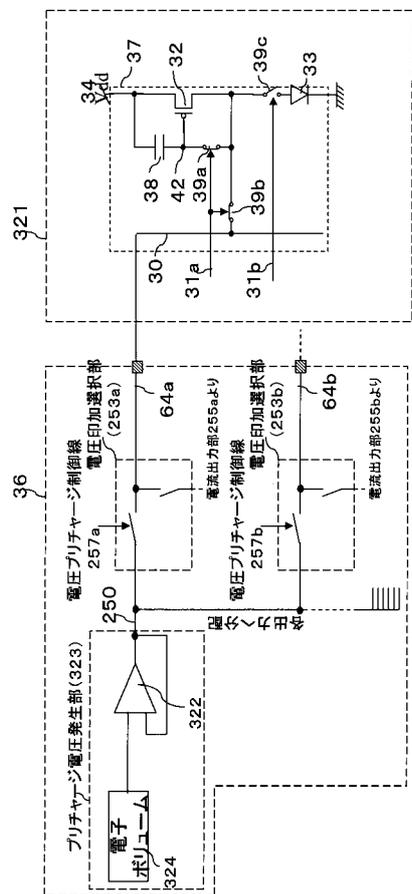
【 図 2 9 】

電流プリチャージパルス	プリチャージ電流出力期間
256a	14 μ s
256b	20 μ s
256c	22.5 μ s
256d	25 μ s
256e	28 μ s
256f	30 μ s

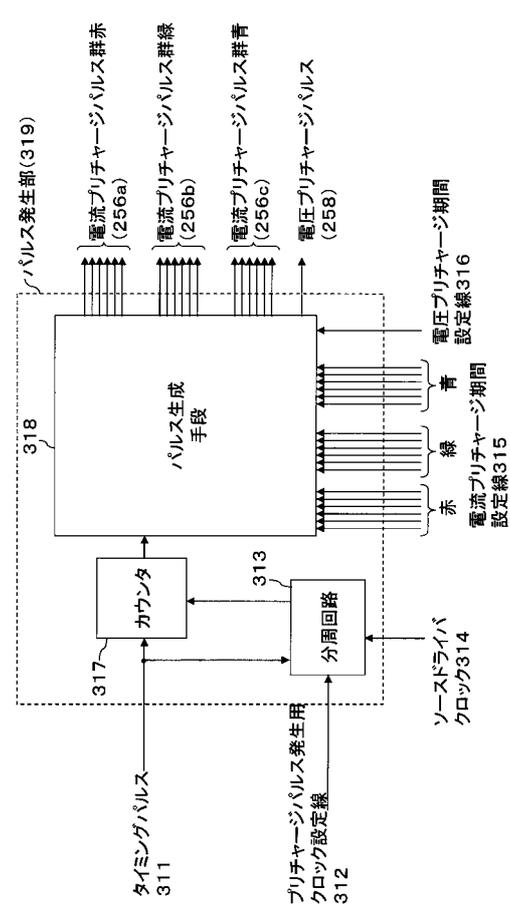
【図30】



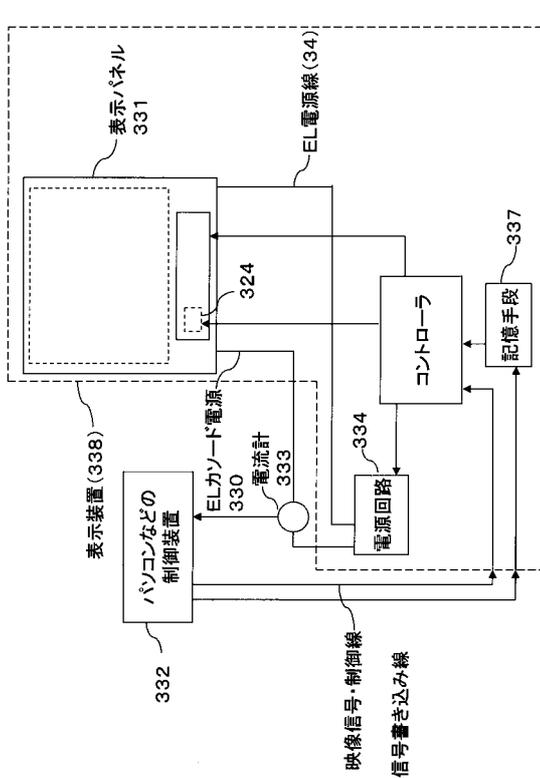
【図32】



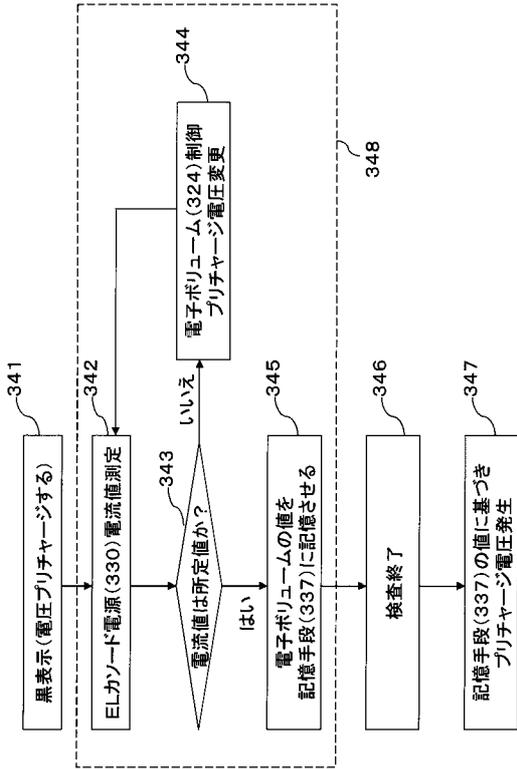
【図31】



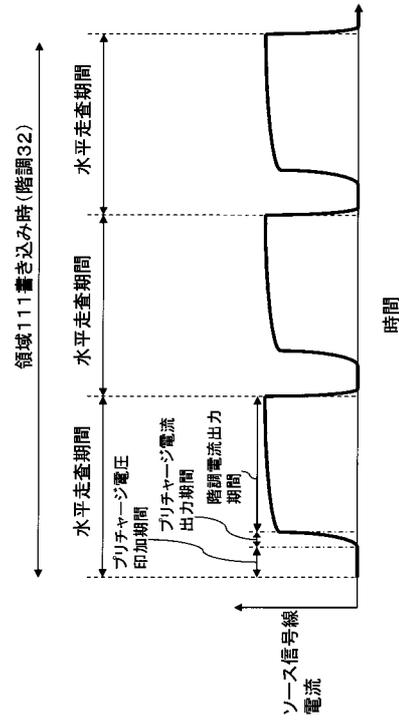
【図33】



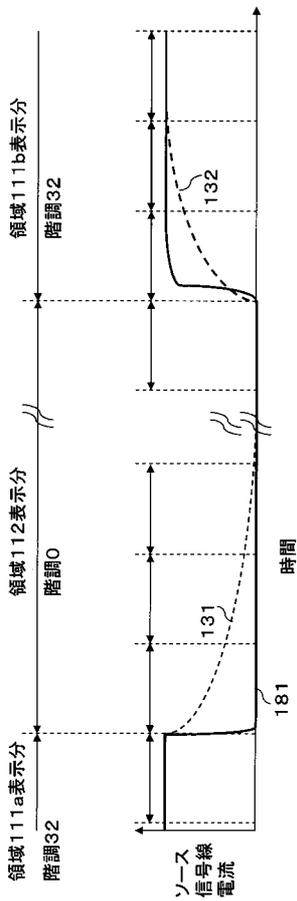
【 図 3 4 】



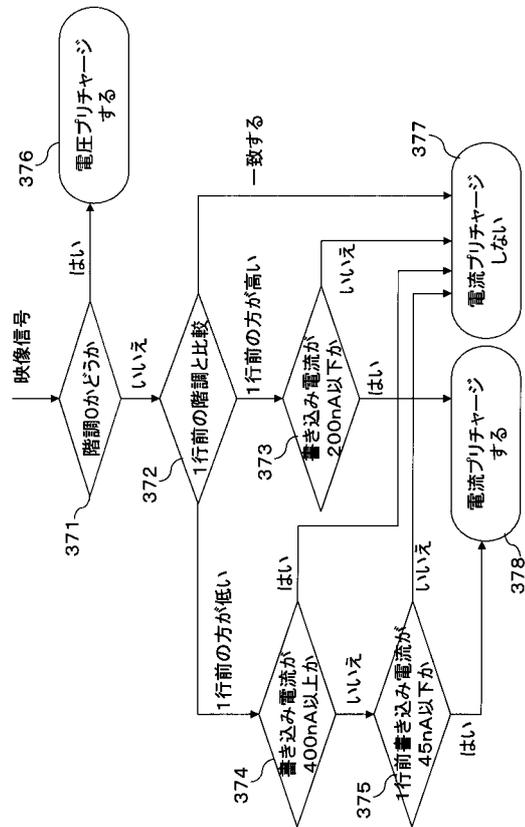
【 図 3 5 】



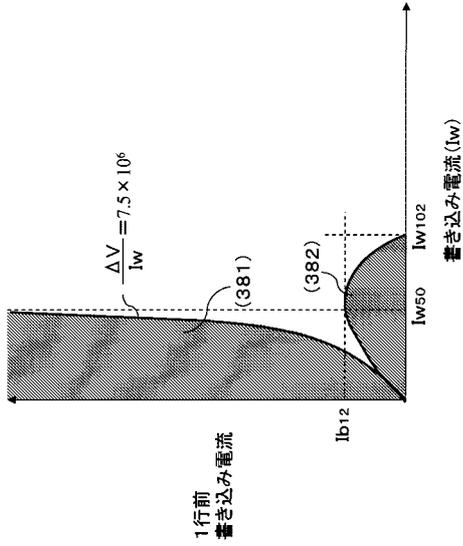
【 図 3 6 】



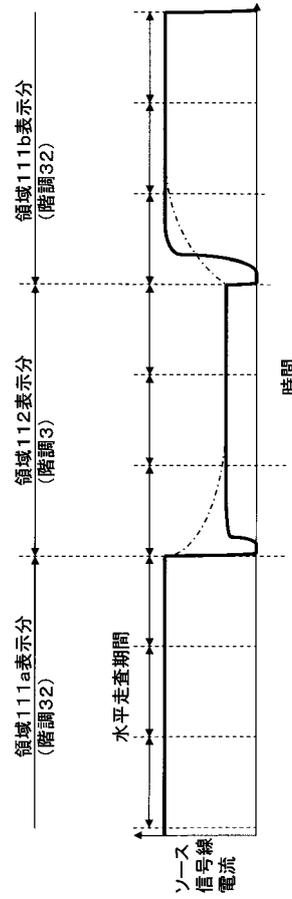
【 図 3 7 】



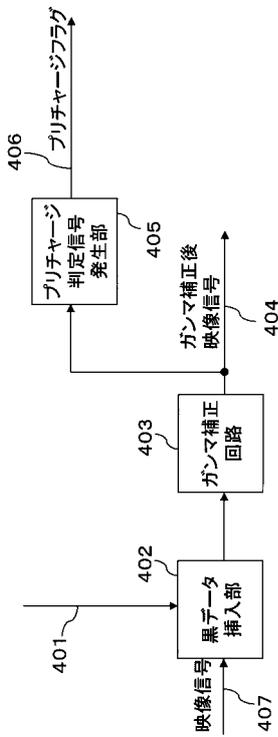
【 図 3 8 】



【 図 3 9 】



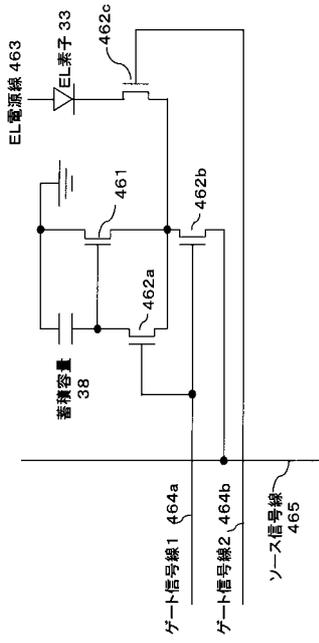
【 図 4 0 】



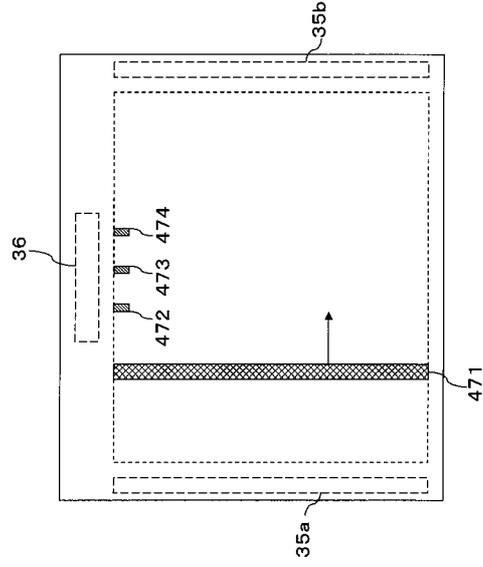
【 図 4 1 】

プリチャージ動作の判定	プリチャージ判定信号の値
プリチャージなし	0
電流プリチャージ1実行	1
電流プリチャージ2実行	2
電流プリチャージ3実行	3
電流プリチャージ4実行	4
電流プリチャージ5実行	5
電流プリチャージ6実行	6
電圧プリチャージ実行	7

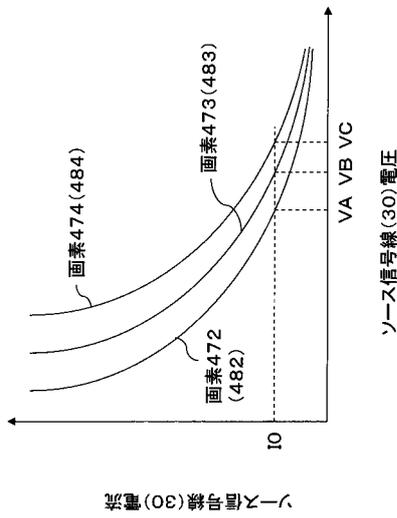
【図 46】



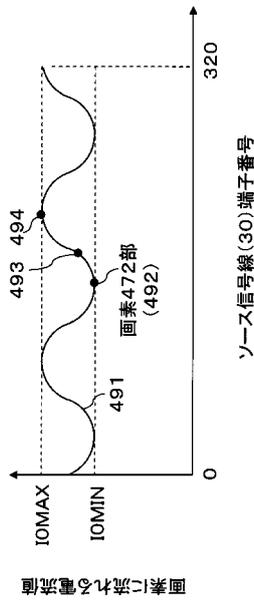
【図 47】



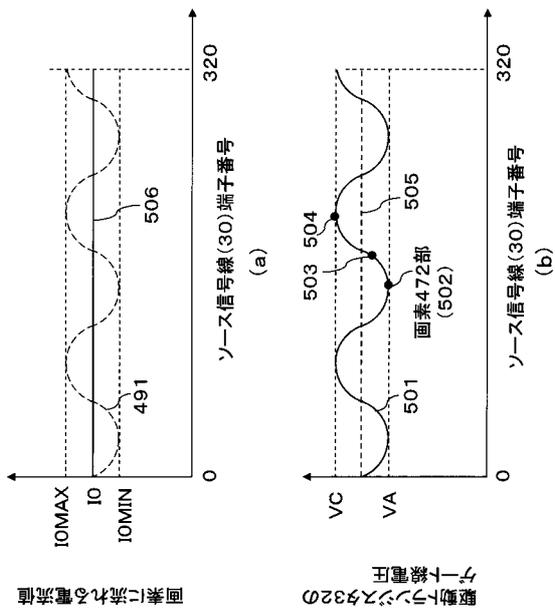
【図 48】



【図 49】



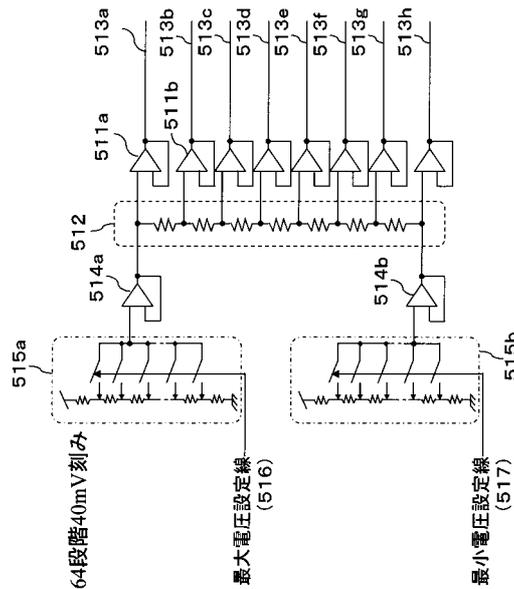
【図 50】



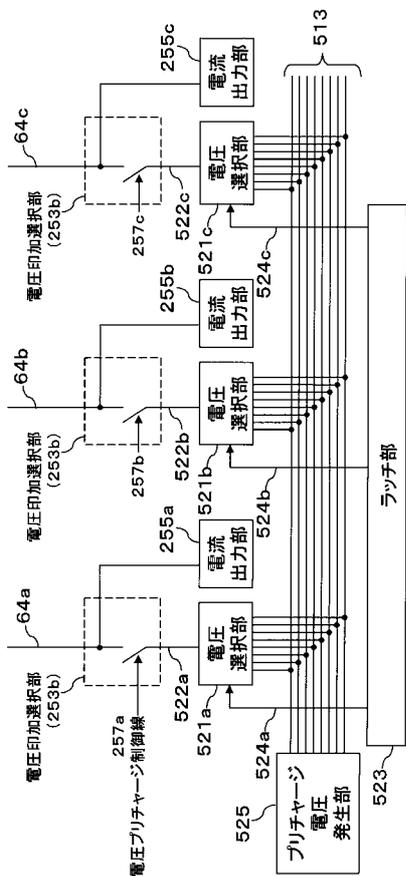
画面に於ける動作

動作のシナリオ

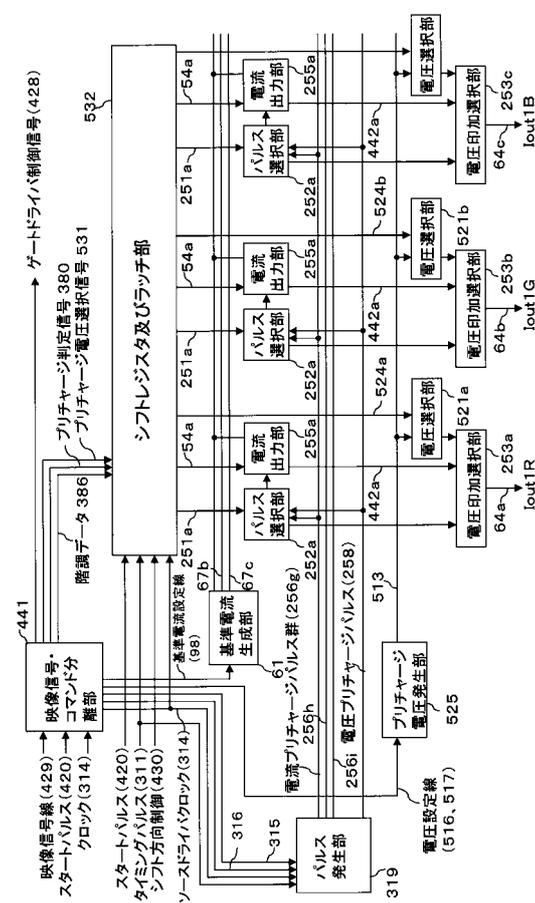
【図 51】



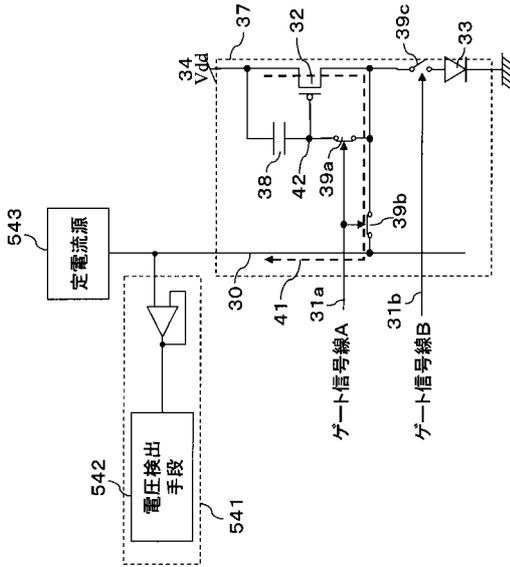
【図 52】



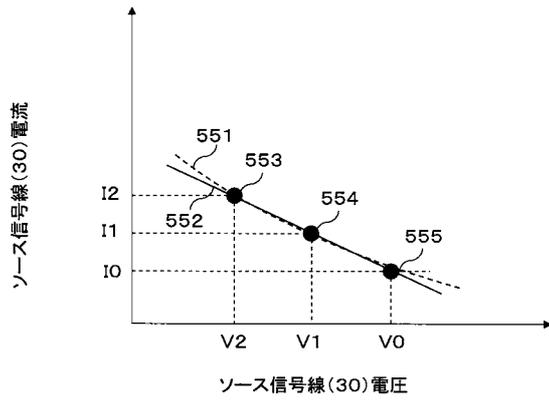
【図 53】



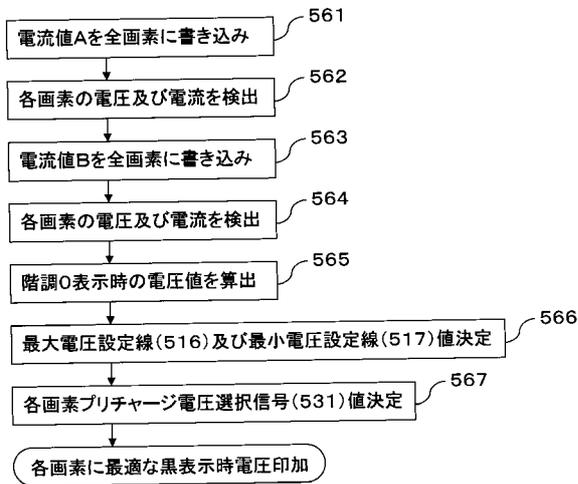
【図54】



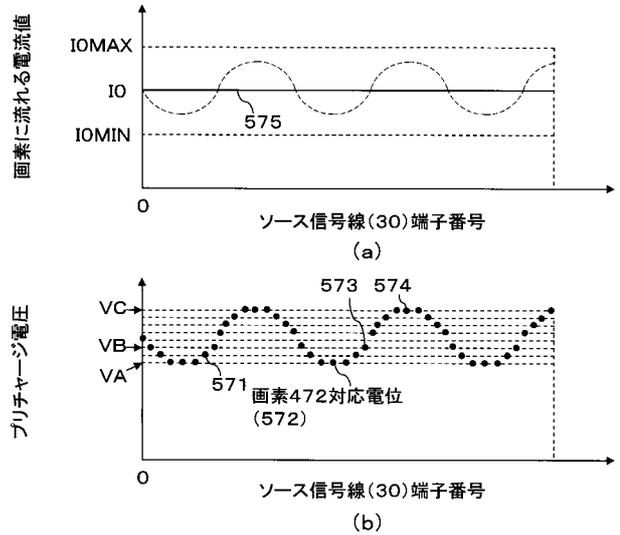
【図55】



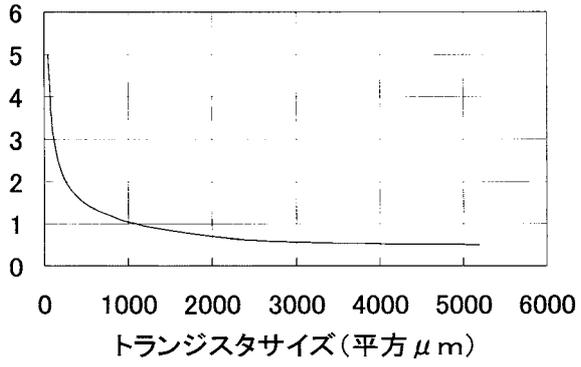
【図56】



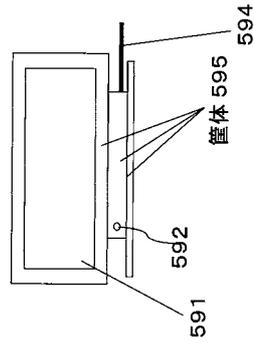
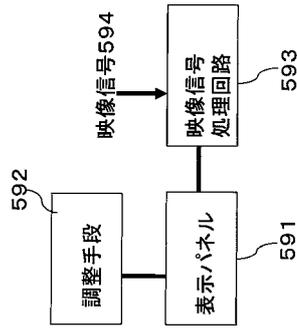
【図57】



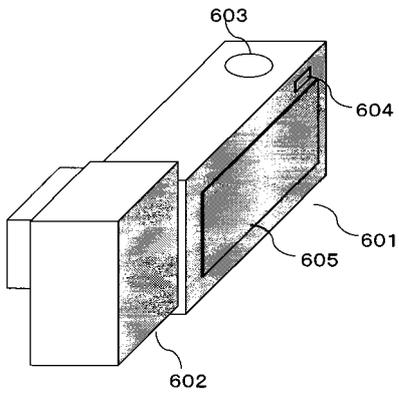
【図58】



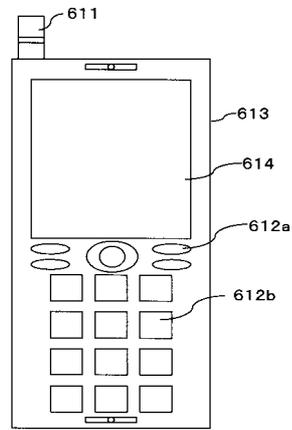
【図59】



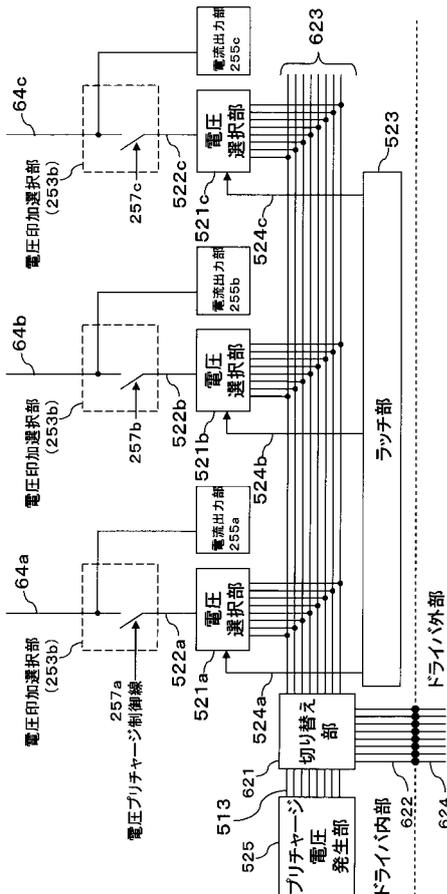
【図60】



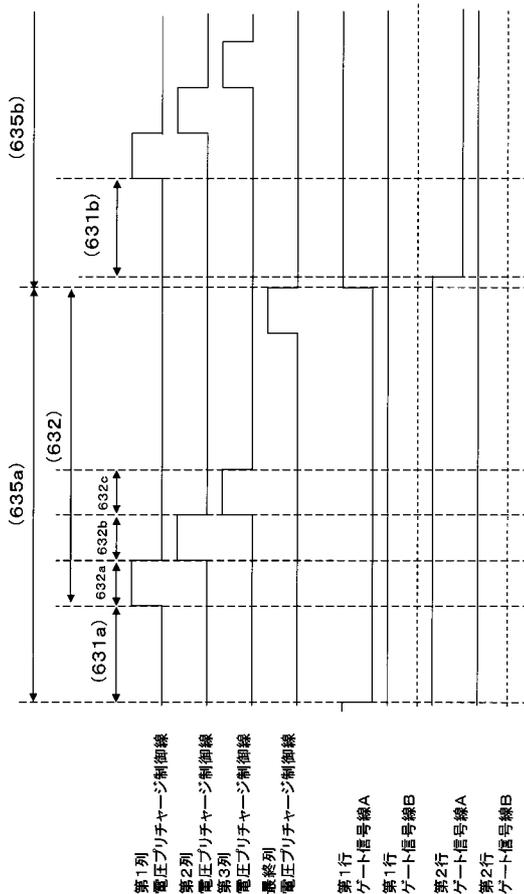
【図61】



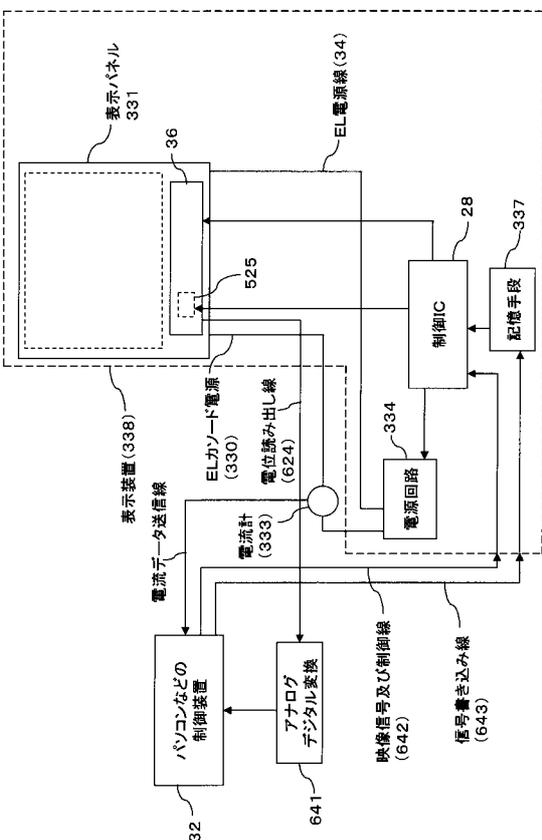
【 図 6 2 】



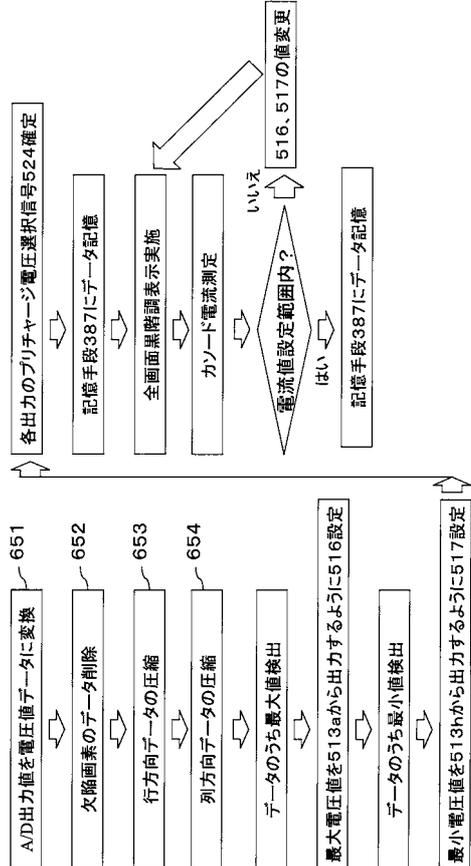
【 図 6 3 】



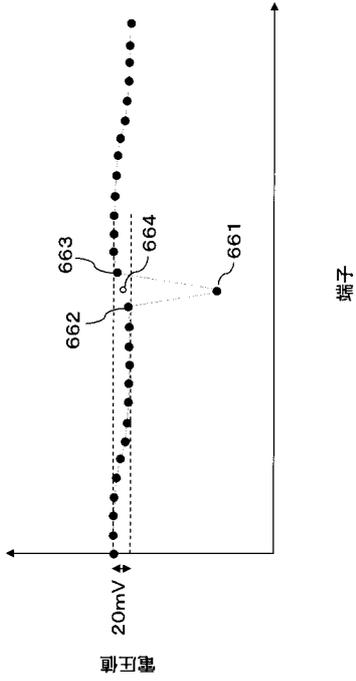
【 図 6 4 】



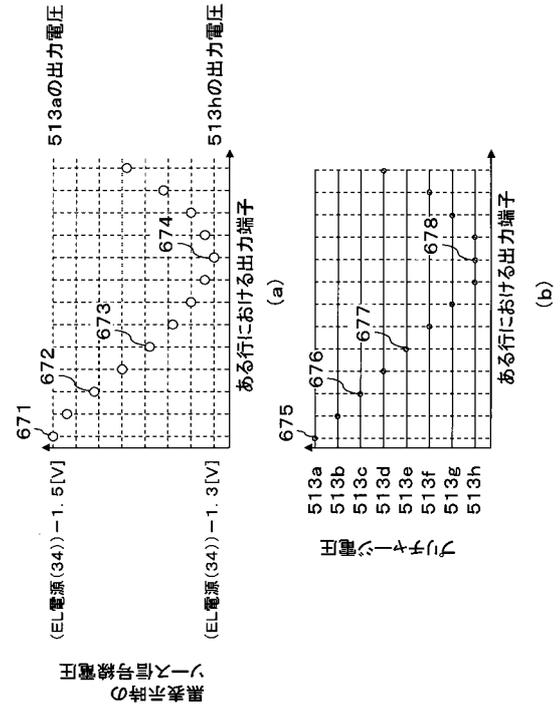
【 図 6 5 】



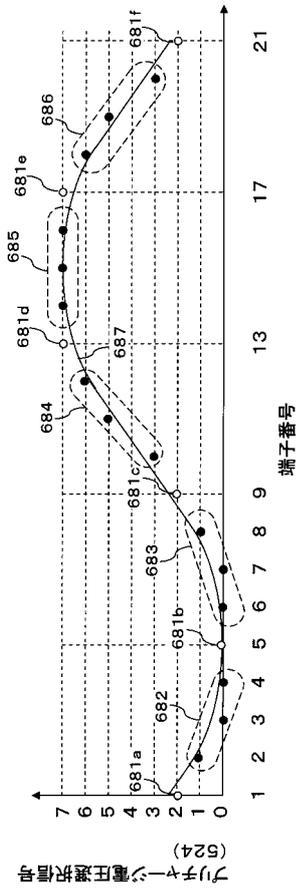
【図 66】



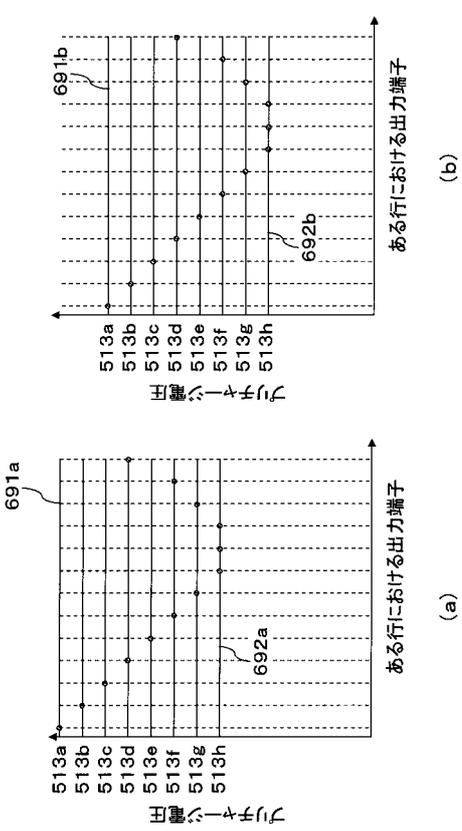
【図 67】



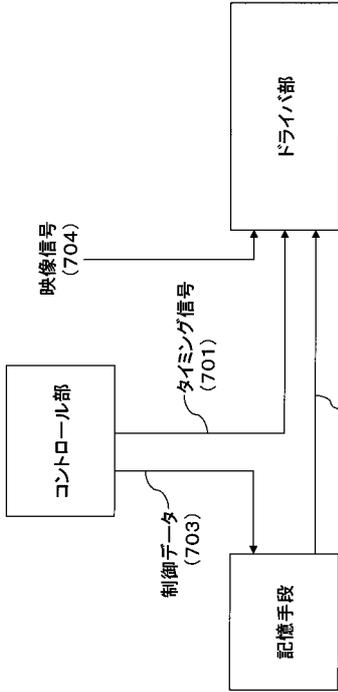
【図 68】



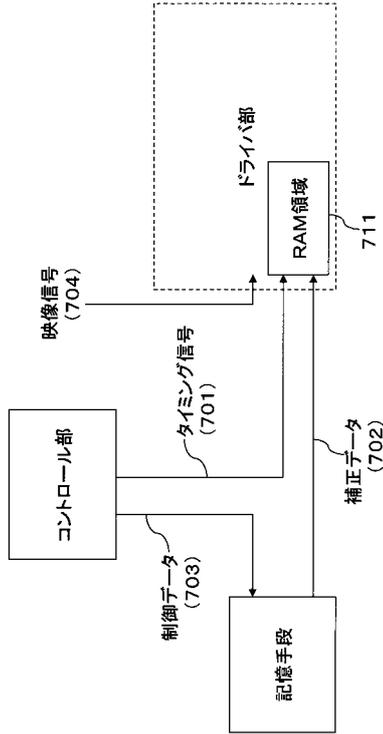
【図 69】



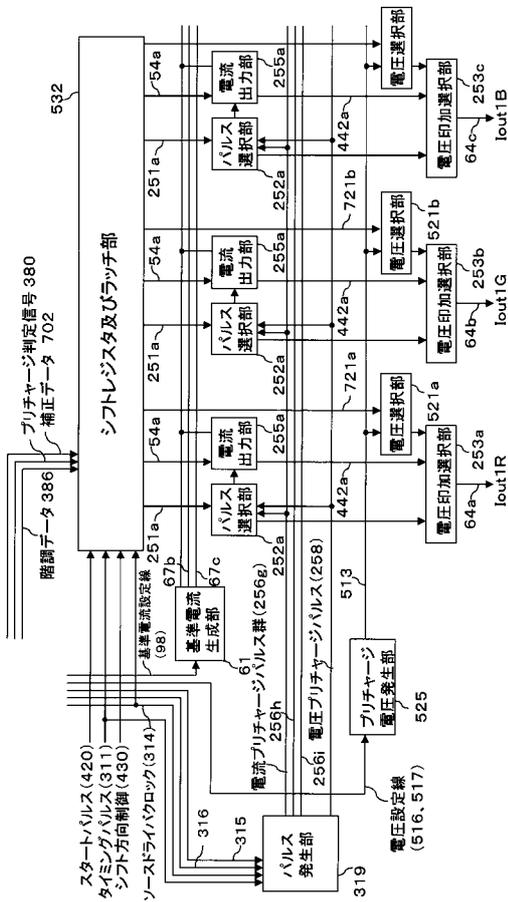
【図70】



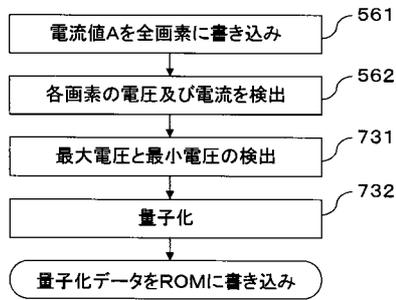
【図71】



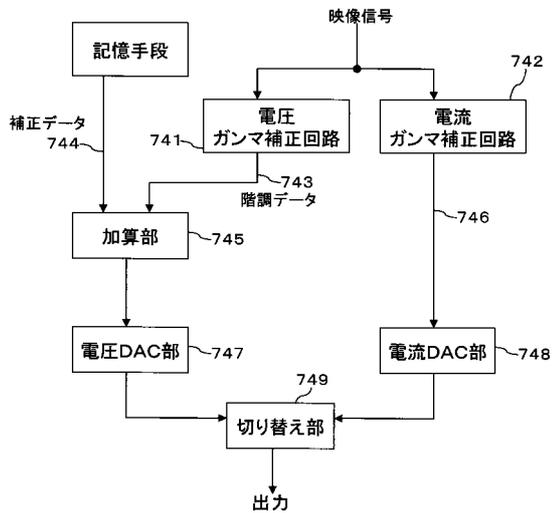
【図72】



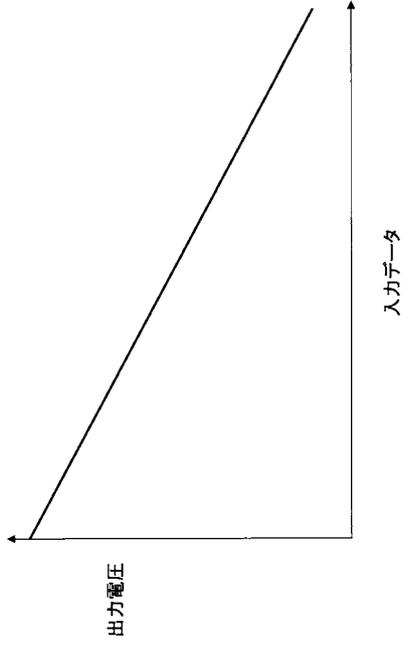
【図73】



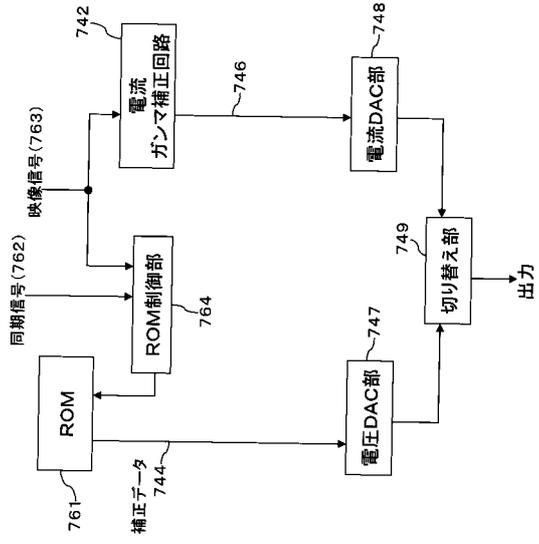
【図74】



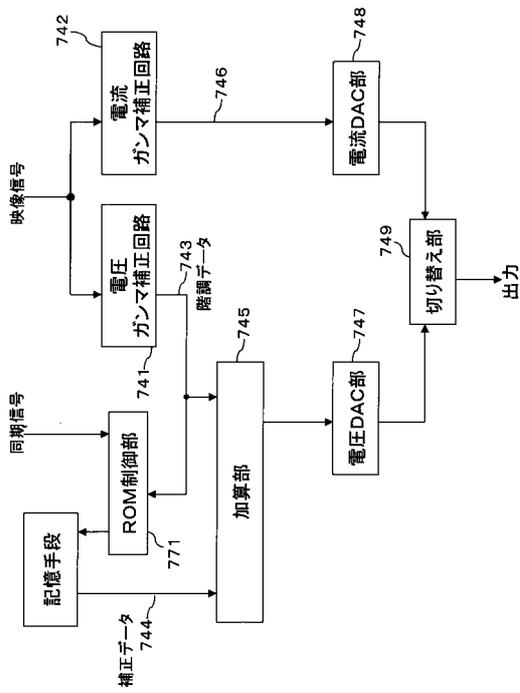
【図 75】



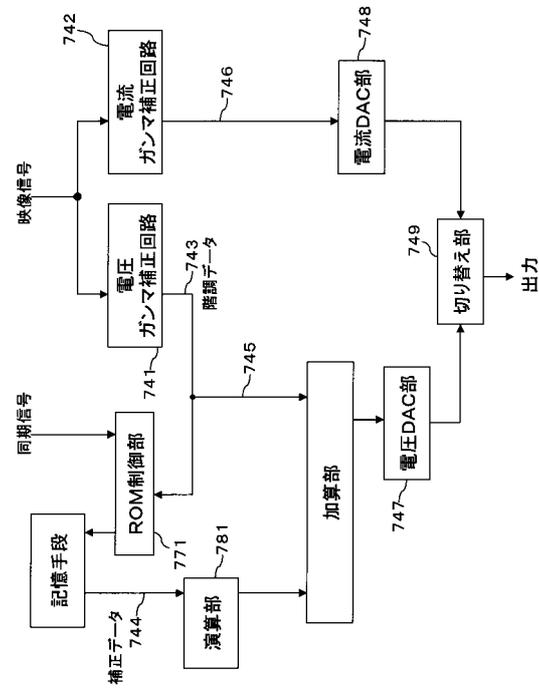
【図 76】



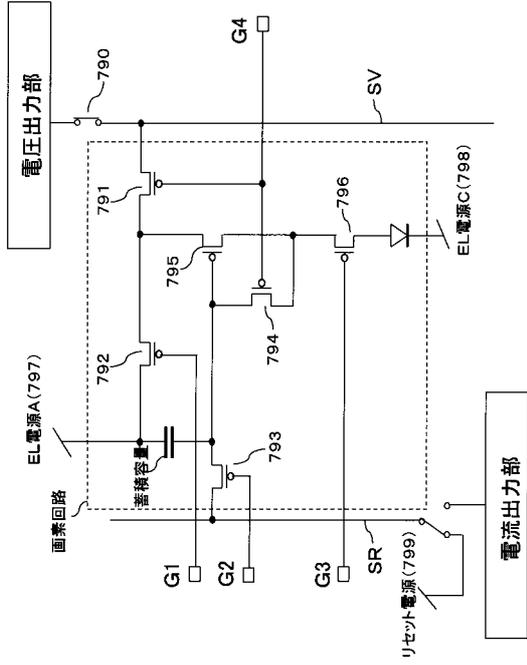
【図 77】



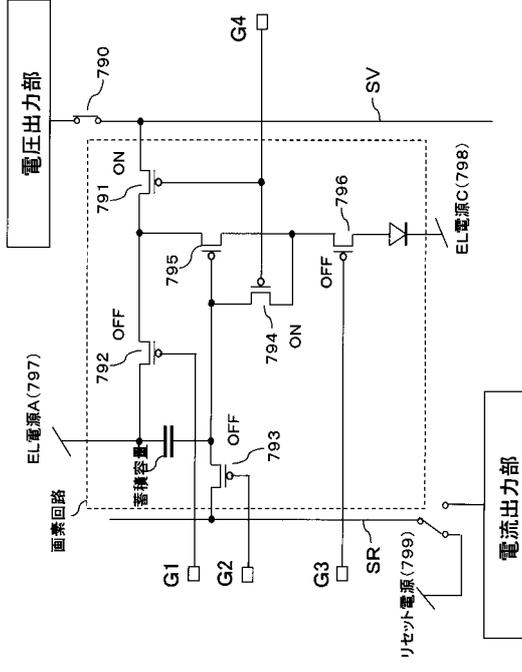
【図 78】



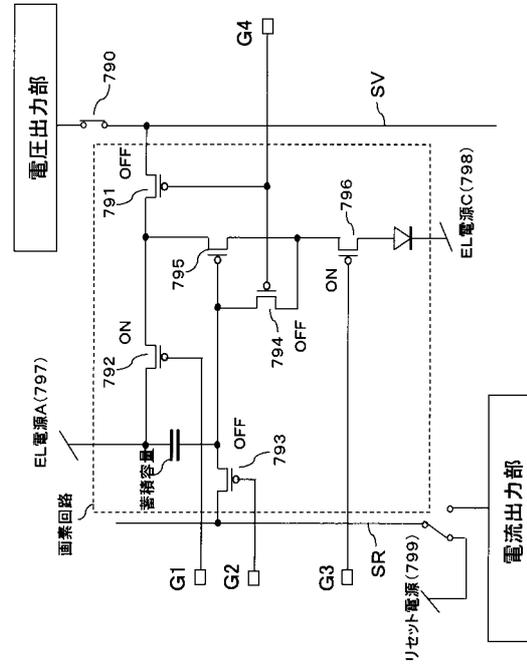
【 図 7 9 】



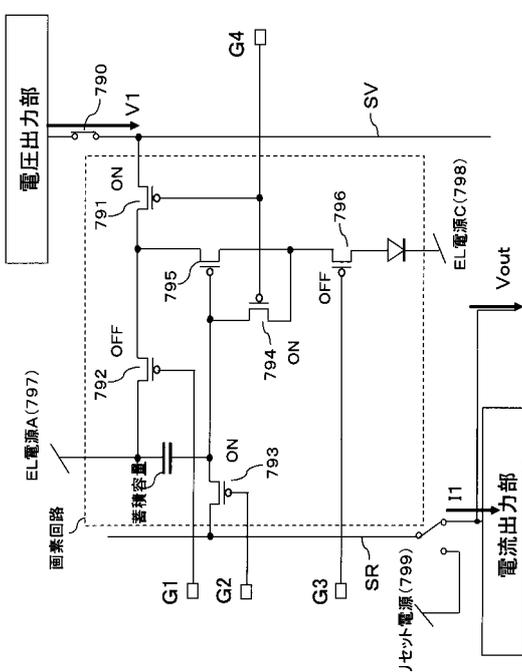
【 図 8 0 】



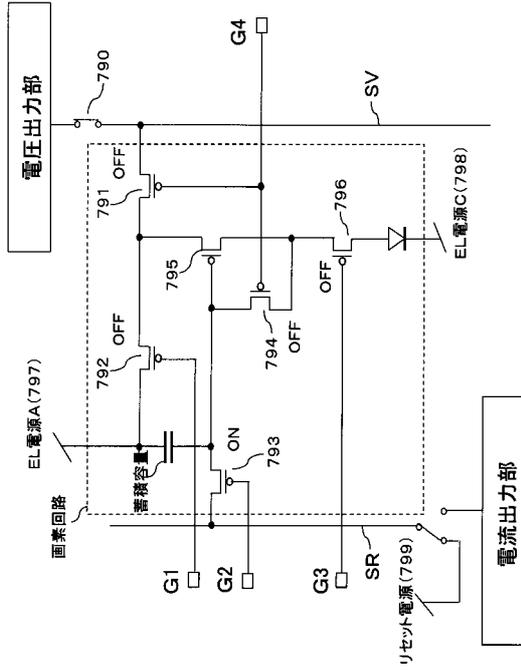
【 図 8 1 】



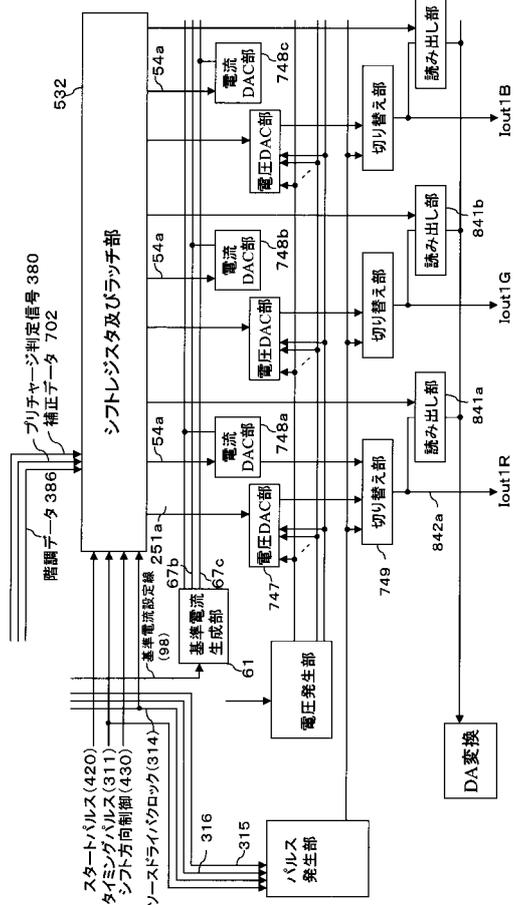
【 図 8 2 】



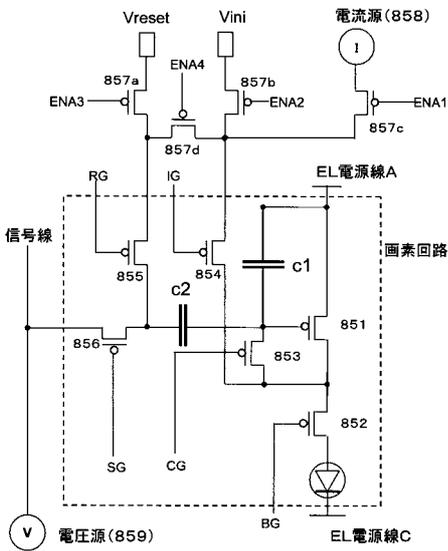
【図 8 3】



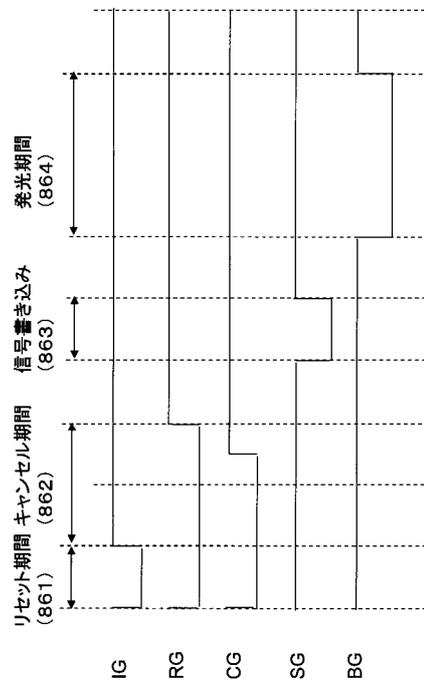
【図 8 4】



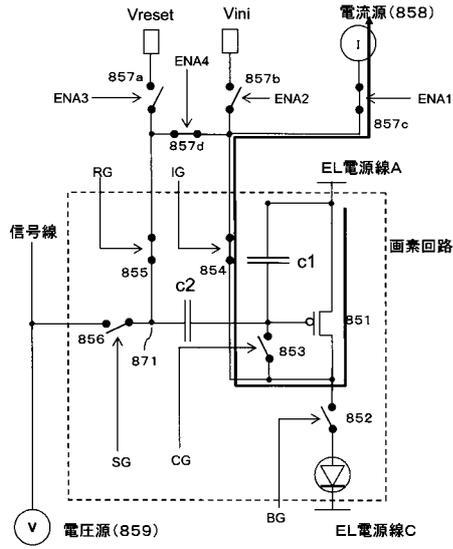
【図 8 5】



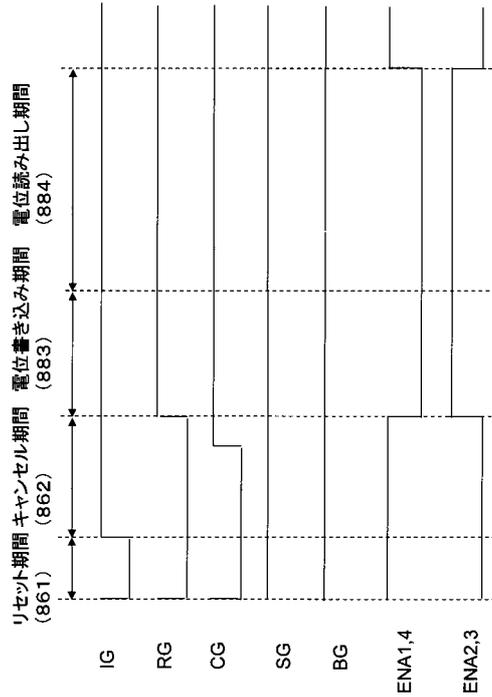
【図 8 6】



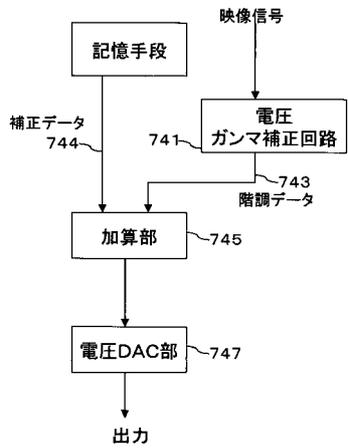
【図 87】



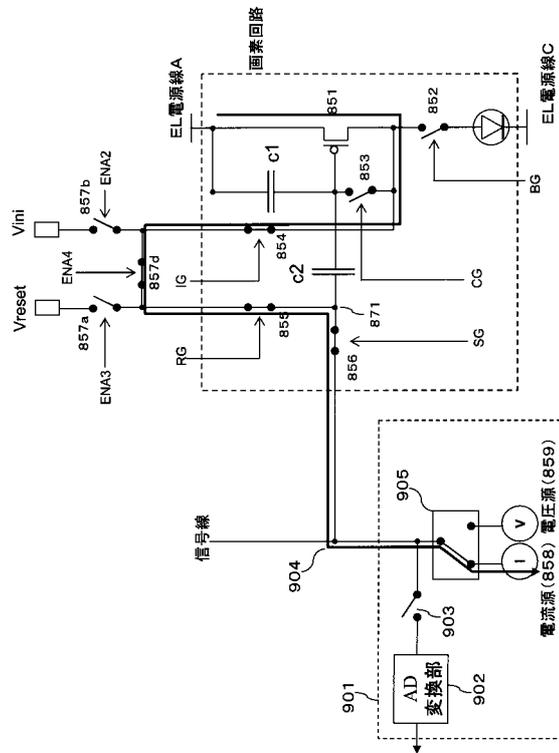
【図 88】



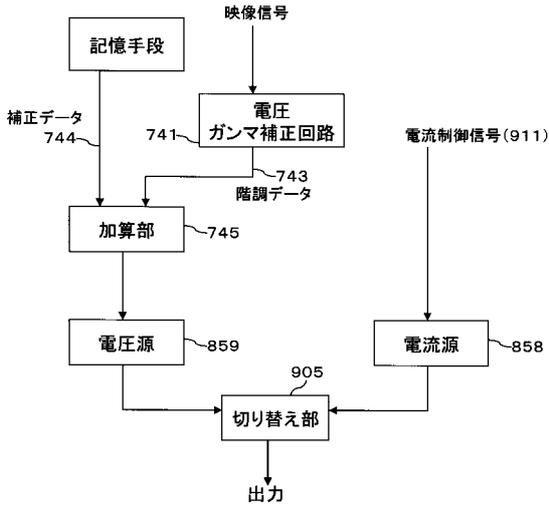
【図 89】



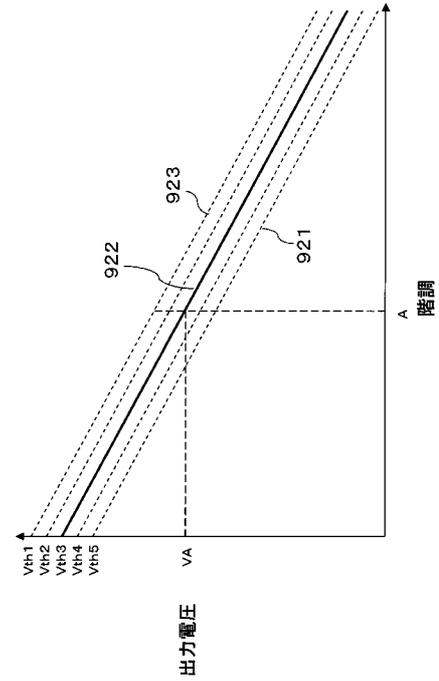
【図 90】



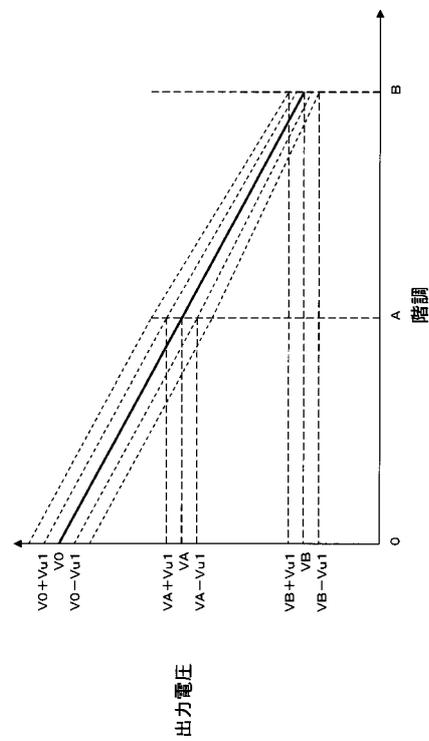
【図91】



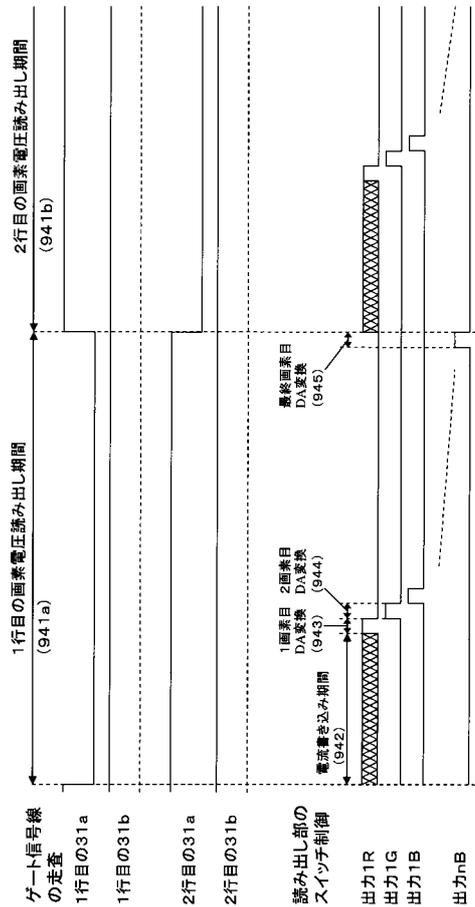
【図92】



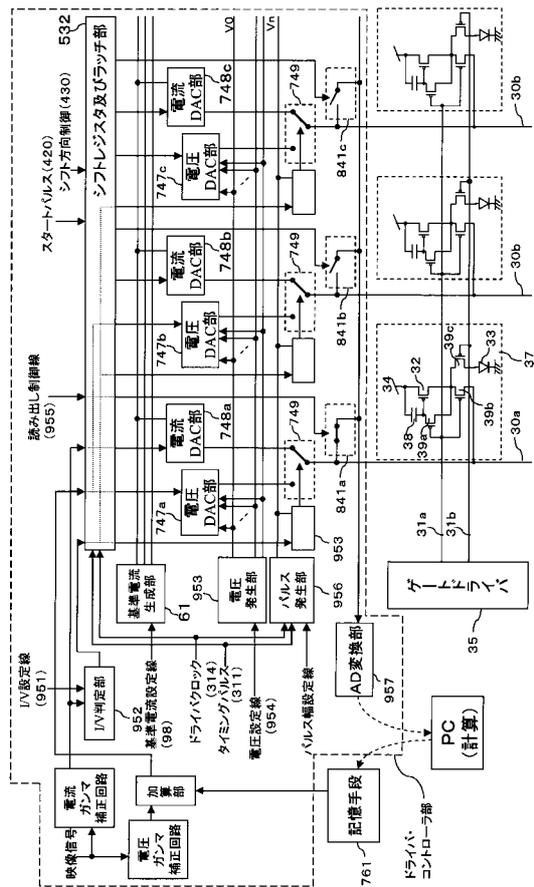
【図93】



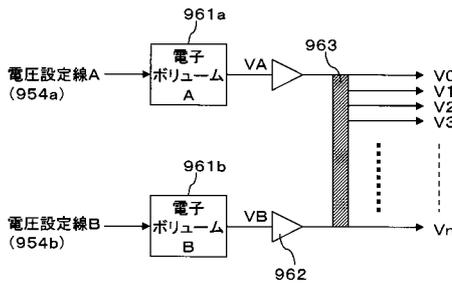
【図94】



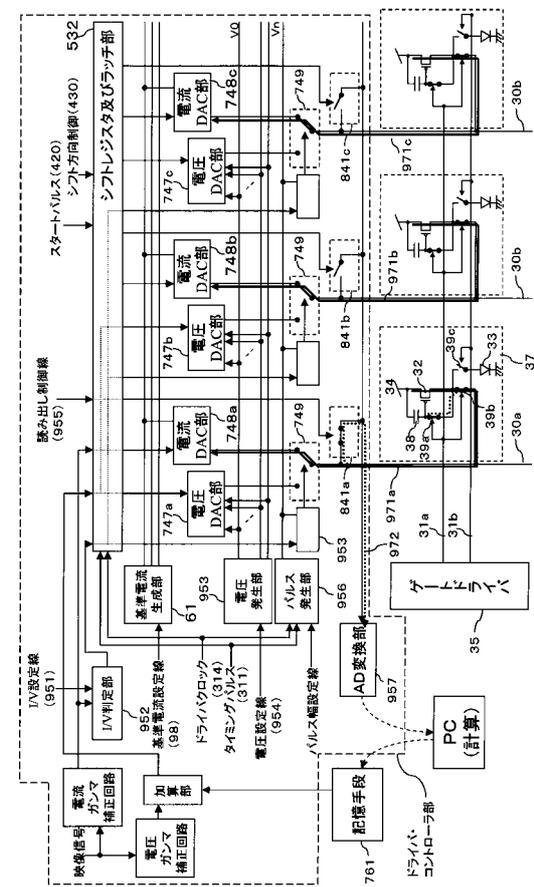
【図 95】



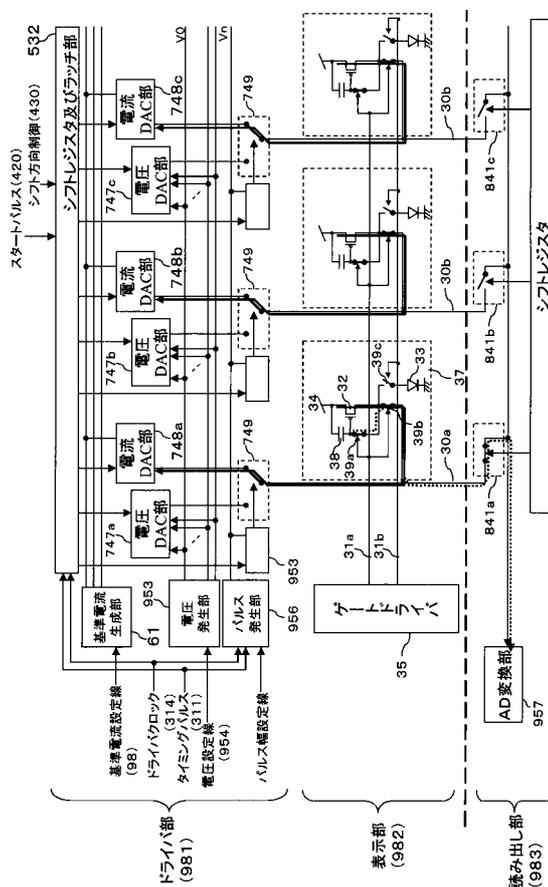
【図 96】



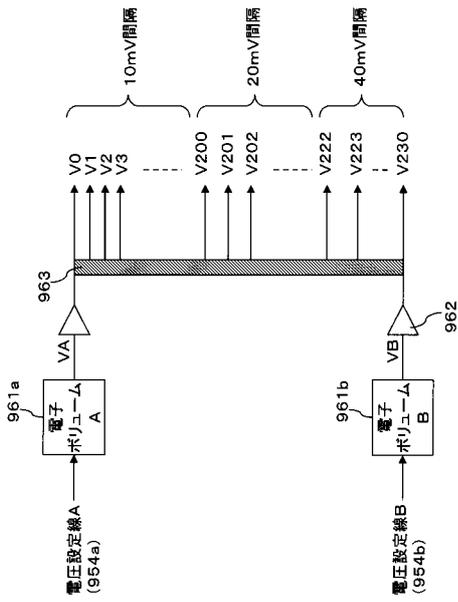
【図 97】



【図 98】



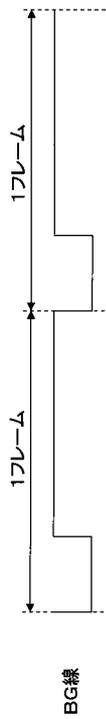
【図 103】



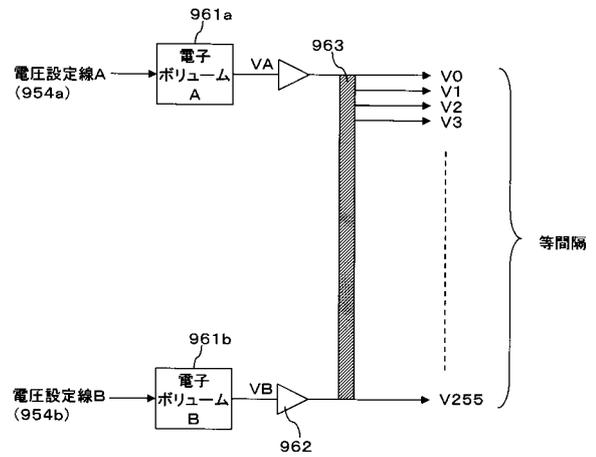
【図 104】

入力データ	出力	入力データ	出力	
0	V0	242	V221	
1	V1	243	V222	
2	V2	244		
3	V3	245		
4	V4	246		
...	...	247	V223	
199	V199	248		
200	V200	249		
201	V201	250	V230	
202		251		
203	V202
204		276		
205		277以上		

【図 105】



【図 106】



【 図 1 0 7 】

入力データ	出力
0	V0
1	V1
2	V2
3	V3
4	V4
⋮	⋮
255	V255

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 7 0 D
G 0 9 G	3/20	6 2 1 F
H 0 5 B	33/14	A

专利名称(译)	使用有机发光元件的有源矩阵型显示装置和使用有机发光元件的有源矩阵型显示装置的驱动方法		
公开(公告)号	JP2008139861A	公开(公告)日	2008-06-19
申请号	JP2007289081	申请日	2007-11-06
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	柘植仁志		
发明人	柘植 仁志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3241 G09G3/3283 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0218 G09G2310/0248 G09G2310/0262 G09G2310/027 G09G2310/063 G09G2310/065 G09G2320/0238 G09G2320/0276 G09G2320/043 G09G2330/028		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.A G09G3/20.642.P G09G3/20.611.H G09G3/20.641.D G09G3/20.631.V G09G3/20.612.F G09G3/20.623.F G09G3/20.641.P G09G3/20.670.D G09G3/20.621. F H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/EE67 3K107/HH00 3K107/HH05 5C080 /AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/EE29 5C080/FF01 5C080/FF07 5C080/FF11 5C080/GG09 5C080/GG12 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080 /JJ05 5C080/JJ06 5C080/JJ07 5C380/AA01 5C380/AA03 5C380/AA10 5C380/AB06 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC04 5C380/AC07 5C380/AC09 5C380 /AC11 5C380/BA01 5C380/BA08 5C380/BA11 5C380/BA13 5C380/BA14 5C380/BA15 5C380/BA21 5C380/BA24 5C380/BA36 5C380/BA37 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA45 5C380 /BA46 5C380/BB02 5C380/BB03 5C380/BB04 5C380/BB06 5C380/BB09 5C380/BB12 5C380/BB15 5C380/BB16 5C380/BC02 5C380/BC03 5C380/BC06 5C380/BC07 5C380/BC09 5C380/BC13 5C380 /BC14 5C380/BD04 5C380/BE05 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA26 5C380/CA29 5C380/CA32 5C380/CA34 5C380/CA35 5C380/CA36 5C380/CA53 5C380/CA54 5C380/CB01 5C380 /CB18 5C380/CB19 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC13 5C380/CC14 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380 /CC53 5C380/CC54 5C380/CC63 5C380/CC65 5C380/CC66 5C380/CD014 5C380/CD015 5C380 /CD016 5C380/CD026 5C380/CE05 5C380/CE06 5C380/CE08 5C380/CE16 5C380/CE19 5C380 /CF03 5C380/CF05 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF17 5C380/CF18 5C380/CF22 5C380/CF27 5C380/CF41 5C380/CF42 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF56 5C380 /CF59 5C380/CF61 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA19 5C380/DA31 5C380/DA32 5C380/DA33 5C380/DA39 5C380/DA47 5C380/DA49 5C380/DA50 5C380/DA55 5C380/DA58 5C380 /FA01 5C380/FA02 5C380/FA03 5C380/FA05 5C380/FA18 5C380/FA21 5C380/FA23 5C380/FA28 5C380/GA02 5C380/GA03 5C380/GA08 5C380/GA17 5C380/GA18 5C380/HA06 5C380/HA11 5C380 /HA13		
代理人(译)	松田 正道		
优先权	2006305797 2006-11-10 JP		
外部链接	Espacenet		
摘要(译)			

在使用有机发光元件的显示器中存在显示不均匀的问题。解决方案：存储装置761，用于存储补偿数据，该补偿数据用于使用有机发光元件33根据像素37的驱动晶体管32的特性向像素37施加电压，并由存储装置761存储。驱动器/控制器部分，用于基于补偿数据向像素37施加电压。[选择图]图97

