

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-133358
(P2007-133358A)

(43) 公開日 平成19年5月31日(2007.5.31)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 623G	5C080
HO1L 51/50 (2006.01)	G09G 3/20 623H	
	G09G 3/20 611A	
	G09G 3/20 621F	

審査請求 有 請求項の数 24 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2006-158771 (P2006-158771)
 (22) 出願日 平成18年6月7日(2006.6.7)
 (31) 優先権主張番号 10-2005-0106171
 (32) 優先日 平成17年11月7日(2005.11.7)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 590002817
 三星エスディアイ株式会社
 大韓民国京畿道水原市靈通区▲しん▼洞5
 75番地
 (74) 代理人 100072349
 弁理士 八田 幹雄
 (74) 代理人 100110995
 弁理士 奈良 泰男
 (74) 代理人 100114649
 弁理士 宇谷 勝幸
 (72) 発明者 申 東 蓉
 大韓民国ソウル特別市冠岳区奉天1洞96
 9-37
 Fターム(参考) 3K107 AA01 BB01 CC14 CC31 EE03
 HH00

最終頁に続く

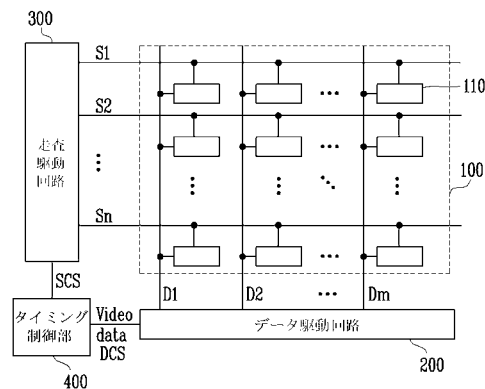
(54) 【発明の名称】 データ駆動回路とこれを利用した有機発光表示装置

(57) 【要約】

【課題】 シフトレジスタが複数のPMOSトランジスタ及びキャパシタを含んで構成され、2相クロック信号によって駆動されることで、スタティック電流が流れ得る経路を無くすことで、消費電力を減らし、ブートストラップを利用して出力電圧を正の電源電圧から負の電源電圧範囲までスイッチングするようにするデータ駆動回路及びこれを利用した有機発光表示装置を提供する。

【解決手段】 データ信号の入力を受けて前記データ信号を出力する複数のシステム制御部を含むシフトレジスタ部と、前記複数のシステム制御部の中で所定のシステム制御部に連結されて前記所定のシステム制御部から出力された前記データ信号の伝達を受ける複数のラッチを含むラッチ部と、を含み、前記複数のシステム制御部は、それぞれ直列に連結され、隣接したシステム制御部から出力された前記データ信号を受ける。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

データ信号の入力を受けて前記データ信号を出力する複数のシステム制御部を含むシフトレジスタ部と、

前記複数のシステム制御部の中で所定のシステム制御部に連結されて前記所定のシステム制御部から出力された前記データ信号の伝達を受ける複数のラッチを含むラッチ部と、
を含み、

前記複数のシステム制御部は、それぞれ直列に連結され、隣接したシステム制御部から出力された前記データ信号を受けることを特徴とするデータ駆動回路。

【請求項 2】

前記ラッチは、前記複数のシステム制御部の中で奇数番目のシステム制御部の出力線に連結されることを特徴とする請求項 1 記載のデータ駆動回路。

10

【請求項 3】

前記ラッチは、前記複数のシステム制御部の中で偶数番目のシステム制御部の出力線に連結されることを特徴とする請求項 1 記載のデータ駆動回路。

【請求項 4】

前記システム制御部は、第 1 クロックと第 2 クロックとによって動作して前記第 1 クロックと前記第 2 クロックとが同一の状態であるときにデータ信号を格納し、相異なる状態であるときに格納した前記データ信号を出力することを特徴とする請求項 1 記載のデータ駆動回路。

20

【請求項 5】

前記ラッチは、同一の周期で入力される第 1 イネーブル信号と第 2 イネーブル信号とによって動作して前記第 1 イネーブル信号と前記第 2 イネーブル信号とが同一の状態であるときに前記データ信号を格納し、相異なる状態であるときに格納した前記データ信号を出力することを特徴とする請求項 1 記載のデータ駆動回路。

【請求項 6】

前記システム制御部は、

前記第 1 クロックに対応して前記データ信号を第 1 ノードに伝達する第 1 トランジスタと、

前記第 1 ノードの電圧に対応して前記第 2 クロックを第 2 ノードに伝達する第 2 トランジスタと、

30

前記第 1 クロックに対応して第 1 電源を第 3 ノードに伝達する第 3 トランジスタと、

前記第 1 ノードの電圧に対応して前記第 1 クロックを前記第 3 ノードに伝達する第 4 トランジスタと、

前記第 3 ノードの電圧に対応して第 2 電源を出力端に伝達する第 5 トランジスタと、

前記出力端と前記第 1 ノードとの電圧を維持する第 1 キャパシタと、

を含むことを特徴とする請求項 4 記載のデータ駆動回路。

【請求項 7】

前記ラッチは、

前記第 1 イネーブル信号に対応して前記データ信号を第 4 ノードに伝達する第 6 トランジスタと、

40

前記第 4 ノードの電圧に対応して前記第 2 イネーブル信号を第 5 ノードに伝達する第 7 トランジスタと、

前記第 2 イネーブル信号に対応して第 1 電源を第 6 ノードに伝達する第 8 トランジスタと、

前記第 4 ノードの電圧に対応して前記第 2 イネーブル信号を前記第 6 ノードに伝達する第 9 トランジスタと、

前記第 6 ノードの電圧に対応して第 2 電源を出力端に伝達する第 10 トランジスタと、

前記出力端と前記第 4 ノードの電圧を維持する第 2 キャパシタと、

を含むことを特徴とする請求項 5 記載のデータ駆動回路。

50

【請求項 8】

前記第 1 クロックおよび前記第 2 クロックは、データを使用する区間とデータを伝達する区間とに区分され、前記データを使用する区間がデータを伝達する区間より短く具現されることを特徴とする請求項 4 記載のデータ駆動回路。

【請求項 9】

前記第 2 クロックは、前記第 1 クロックより一定時間遅延するパルスであることを特徴とする請求項 8 記載のデータ駆動回路。

【請求項 10】

前記第 1 イネーブル信号と前記第 2 イネーブル信号とによって前記ラッチは、前記データ信号を並列に出力することを特徴とする請求項 5 記載のデータ駆動回路。

10

【請求項 11】

前記第 1 イネーブル信号と前記第 2 イネーブル信号とは、印加される時点で第 1 クロックと第 2 クロックとの波形を有することを特徴とする請求項 10 記載のデータ駆動回路。

【請求項 12】

前記システム制御部は、すべて P 形 MOS 電界効果トランジスタまたは N 形 MOS 電界効果トランジスタで具現されることを特徴とする請求項 6 記載のデータ駆動回路。

【請求項 13】

前記ラッチは、すべて P 形 MOS 電界効果トランジスタまたは N 形 MOS 電界効果トランジスタで具現されることを特徴とする請求項 7 記載のデータ駆動回路。

【請求項 14】

前記ラッチ部と連結されて前記ラッチ部から出力される前記データ信号をアナログ信号に転換して出力する D/A コンバータを含むことを特徴とする請求項 1 記載のデータ駆動回路。

20

【請求項 15】

データ信号と走査信号との伝達を受けて発光する画素を含む画素部と、
前記画素に走査信号を伝達する走査駆動回路と、
前記画素にデータ信号を伝達するデータ駆動回路と、を含み、
前記データ駆動回路は、
前記データ信号の入力を受けて前記データ信号を出力する複数のシステム制御部を含むシフトレジスタ部と、前記複数のシステム制御部の中で所定のシステム制御部に連結されて前記所定のシステム制御部から出力された前記データ信号の伝達を受けて複数のラッチを含むラッチ部と、を含み、前記複数のシステム制御部は、それぞれ直列に連結され、隣接したシステム制御部から出力された前記データ信号を請けることを特徴とする有機発光表示装置。

30

【請求項 16】

前記ラッチは、前記複数のシステム制御部の中で奇数番目のシステム制御部の出力線に連結されることを特徴とする請求項 15 記載の有機発光表示装置。

【請求項 17】

前記ラッチは、前記複数のシステム制御部の中で偶数番目のシステム制御部の出力線に連結されることを特徴とする請求項 16 記載の有機発光表示装置。

40

【請求項 18】

前記システム制御部は、第 1 クロックと第 2 クロックとによって動作して前記第 1 クロックと前記第 2 クロックとが同一の状態であるときにデータ信号を格納し、相異なる状態であるときに格納した前記データ信号を出力することを特徴とする請求項 15 記載の有機発光表示装置。

【請求項 19】

前記ラッチは、同一の周期で入力される第 1 イネーブル信号と第 2 イネーブル信号とによって動作して前記第 1 イネーブル信号と前記第 2 イネーブル信号とが同一の状態であるときにデータ信号を格納し、相異なる状態であるときに格納した前記データ信号を出力することを特徴とする請求項 15 記載の有機発光表示装置。

50

【請求項 20】

前記システム制御部は、

前記第 1 クロックに対応して前記データ信号を第 1 ノードに伝達する第 1 トランジスタと、

前記第 1 ノードの電圧に対応して前記第 2 クロックを第 2 ノードに伝達する第 2 トランジスタと、

前記第 1 クロックに対応して第 1 電源を第 3 ノードに伝達する第 3 トランジスタと、

前記第 1 ノードの電圧に対応して前記第 1 クロックを前記第 3 ノードに伝達する第 4 トランジスタと、

前記第 3 ノードの電圧に対応して第 2 電源を出力端に伝達する第 5 トランジスタと、

前記出力端と前記第 1 ノードとの電圧を維持する第 1 キャパシタと、を含むことを特徴とする請求項 18 記載の有機発光表示装置。

10

【請求項 21】

前記ラッチは、

第 1 イネーブル信号に対応して前記データ信号を第 4 ノードに伝達する第 6 トランジスタと、

前記第 4 ノードの電圧に対応して第 2 イネーブル信号を第 5 ノードに伝達する第 7 トランジスタと、

第 2 イネーブル信号に対応して第 1 電源を第 6 ノードに伝達する第 8 トランジスタと、

前記第 4 ノードの電圧に対応して前記第 2 イネーブル信号を前記第 6 ノードに伝達する第 9 トランジスタと、

前記第 6 ノードの電圧に対応して第 2 電源を出力端に伝達する第 10 トランジスタと、

前記出力端と前記第 4 ノードの電圧を維持する第 2 キャパシタと、を含むことを特徴とする請求項 19 記載の有機発光表示装置。

20

【請求項 22】

前記第 1 クロックと前記第 2 クロックとは、データを使用する区間とデータを伝達する区間とに区分され、前記データを使用する区間がデータを伝達する区間より短く具現されることを特徴とする請求項 18 記載の有機発光表示装置。

【請求項 23】

前記第 2 クロックは、前記第 1 クロックが一定時間遅延するパルスであることを特徴とする請求項 22 記載の有機発光表示装置。

30

【請求項 24】

前記第 1 イネーブル信号と前記第 2 イネーブル信号とによって前記ラッチは、データ信号を並列に出力することを特徴とする請求項 19 記載のデータ駆動回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、アクティブマトリクス表示装置用駆動回路に係るもので、詳しくは、有機発光表示装置にデータ信号を印加するデータ駆動回路及び有機発光表示装置に関するものである。

40

【背景技術】**【0002】**

一般に、有機発光表示装置のようなアクティブマトリクス表示装置は、各データ線と各走査線との各交差部にマトリクス状に配列された画素アレイ (a r r a y) を備える。

【0003】

ここで、前記各データ線は、マトリクス画素部の各垂直ライン (コラムライン) を構成し、これは、データ駆動回路によって所定時間にデータ信号を前記マトリクス画素部に提供する。

【0004】

50

図1は、一般的なデータ駆動回路の構成を示したブロック図である。図1を参照して説明すると、データ駆動回路は、シフトレジスタ部、ラッチ部、及びD/Aコンバータを含む。

【0005】

シフトレジスタ部10は、スタートパルスとクロック信号との入力を受けて複数のシフト信号を生成する。シフト信号は、順次に生成されてラッチ部20に伝達する。

【0006】

ラッチ部20は、データ信号とシフト信号との入力を受ける。サンプリングラッチは、直列に入力されるデータ信号をシフト信号を利用して並列に出力する。したがって、一行分のデータ信号が同時に画素部の一行に印加されるようになる。

10

【0007】

D/Aコンバータ30は、ラッチ部20からデジタル信号で出力されるデータ信号をアナログ信号に変換して画素部に入力されるようにする。アナログ信号に変換されたデータ信号は、階調度によって色を表現する。

【0008】

図2は、図1に図示されたシフトレジスタ部の構成を示したブロック図である。図2を参照して説明すると、シフトレジスタ部は、マスタースレーブ型(Master-Slave型)のフリップフロップ(flip/flop)を使用する。このようなフリップフロップは、クロックclockがローレベルであるときに継続して入力を受け、出力は、前の状態の出力を維持する。

20

【0009】

反面、クロックclockがハイレベルである場合には、クロックclockがローレベルであるときに受けた入力を維持しながらこれを出力して、これ以上の入力を受けない。

【0010】

このような回路において、前記フリップフロップの内部に備えられるインバータ(inverter)の入力がローレベルであるときにスタティック電流が流れるという問題点がある。また、前記フリップフロップの内部において、ハイレベルの入力を受けるインバータとローレベルの入力を受けるインバータとの数が同一であるため、フリップフロップの内部の半分のインバータから前記スタティック電流が発生して消費電力が大きくなるという短所がある。

30

【0011】

そして、図2の回路において、出力電圧のハイレベルは、供給電圧と接地との間を連結する抵抗器の比による電圧で決定され、出力電圧のローレベルは、接地よりトランジスタのしきい値電圧だけ高い電圧になる。

【0012】

すなわち、トランジスタの特性偏差によってフリップフロップごとにハイレベルで受ける入力電圧のレベルが異なるため、このような回路を採用する場合、出力電圧のハイレベルも偏差が生じて回路が誤動作し得るという短所がある。

【0013】

また、前記出力電圧のローレベルの偏差は、図2の回路に備えられたインバータの入力トランジスタのオン抵抗の偏差に反映して出力電圧のハイレベルの偏差を加重し得る。特に、有機発光表示装置においては、使用されるトランジスタは、特性偏差が大きく発生するために、このような問題がもっと深刻になる。

40

【0014】

また、インバータは、入力トランジスタを通じて電流が流れて出力端を充電し、駆動トランジスタを通じて電流が流れて出力端を放電する。ここで、前記出力端を充電する場合、駆動トランジスタのソースゲート電圧が次第に減少して、放電電流が急激に減少して放電効率が低下するという問題点がある。

【0015】

なお、前記従来のデータ駆動回路とこれを利用した有機発光表示装置に関する技術を記

50

載した文献としては、下記特許文献 1 および 2 等がある。

【特許文献 1】米国特許第 6 8 6 1 8 7 8

【特許文献 2】米国特許第 6 3 7 3 3 2 5

【発明の開示】

【発明が解決しようとする課題】

【0016】

本発明は、従来技術の問題点に鑑みて成されたもので、シフトレジスタが複数の P 形 MOS 電界効果トランジスタ及びキャパシタを含んで構成され、2 相の (2 - p h a s e) クロック信号によって駆動して、スタティック電流 (S t a t i c c u r r e n t) が流れ得る経路を無くすことで、消費電力を減らし、ブートストラップ (b o o t s t r a p) を利用して出力電圧を正の電源電圧から負の電源電圧までの範囲でスイッチングするデータ駆動回路、及びこれを利用した有機発光表示装置を提供することを目的とする。

10

【課題を解決するための手段】

【0017】

前記目的を達成するために、本発明に係るデータ駆動回路の第 1 側面は、データ信号の入力を受けて前記データ信号を出力する複数のシステム制御部を含むシフトレジスタ部と、前記複数のシステム制御部の中で所定のシステム制御部に連結されて前記所定のシステム制御部から出力された前記データ信号の伝達を受ける複数のラッチを含むラッチ部と、を含み、前記複数のシステム制御部は、それぞれ直列に連結され、隣接したシステム制御部から出力された前記データ信号を受けるとして特徴とする。

20

【0018】

本発明の第 2 側面は、データ信号と走査信号との伝達を受けて発光する画素を含む画素部、前記画素に走査信号を伝達する走査駆動回路及び前記画素にデータ信号を伝達するデータ駆動回路を含み、前記データ駆動回路は、上述した本発明の第 1 側面によるデータ駆動回路である有機発光表示装置を提供することを特徴とする。

【発明の効果】

【0019】

上述したように本発明によれば、スタティック電流 (s t a t i c c u r r e n t) が流れ得る経路を無くすことで、消費電力を減らすことができる。また、データ駆動回路を通じてハイレベルの出力をするときに出力端を充電しないことによって漏洩電流 (l e a k a g e c u r r e n t) を最小化し、ローレベルの出力をするときにブートストラップ動作をすることによって、出力端を放電する電流の減少の程度を最小化して動作速度が速くなるという効果がある。

30

【発明を実施するための最良の形態】

【0020】

以下、添付された図面を参照して本発明の実施形態について詳しく説明する。

【0021】

図 3 は、本発明の実施形態による有機発光表示装置の構成を示したブロック図である。なお、これは、本発明の一実施形態にすぎなく、本発明による有機発光表示装置がこれに限定されるものではない。

40

【0022】

図 3 を参照すると、有機発光表示装置は、各走査線 (S 1 乃至 S n) 及びデータ線 (D 1 乃至 D m) と接続された複数の各画素 1 1 0 を含む画素部 1 0 0 と、データ線 (D 1 乃至 D m) を駆動するためのデータ駆動回路 (データ駆動部) 2 0 0 と、各走査線 (S 1 乃至 S n) を駆動するための走査駆動回路 (走査駆動部) 3 0 0 と、走査駆動回路 3 0 0 及びデータ駆動回路 2 0 0 を制御するためのタイミング制御部 4 0 0 と、を備える。

【0023】

画素部 1 0 0 は、外部から第 1 電源 (E L V D D) 及び第 2 電源 (E L V S S) の供給を受けてそれぞれの各画素 1 1 0 に供給する。第 1 電源 (E L V D D) 及び第 2 電源 (E L V S S) の供給を受けた各画素 1 1 0 は、データ信号に対応して第 1 電源 (E L V D D

50

)から発光素子(図示せず)を經由して第2電源(ELVSS)へ流れる電流を制御することで、データ信号に対応する光を生成する。

【0024】

データ駆動回路200は、タイミング制御部400からデータ駆動制御信号(DCS)の供給を受ける。データ駆動制御信号(DCS)の供給を受けたデータ駆動回路200は、データ信号を生成し、生成したデータ信号を走査信号と同期するようにデータ線(D1乃至Dm)に供給する。データ駆動回路200は、複数のスイッチング素子を含んで構成される。このスイッチング素子は、全部P形MOS電界効果トランジスタで具現され、またはN形MOS電界効果トランジスタで具現される。

【0025】

走査駆動回路300は、タイミング制御部400から走査駆動制御信号(SCS)の供給を受ける。走査駆動制御信号(SCS)の供給を受けた走査駆動回路300は、走査信号を生成し、生成した走査信号を各走査線(S1乃至Sn)に順次に供給する。

【0026】

すなわち、走査駆動回路300は、複数の各画素110を駆動するために、順次に前記走査信号を生成してこれを画素部100に提供する役目を担う。

【0027】

タイミング制御部400は、外部から供給される各同期信号に対応してデータ駆動制御信号(DCS)及び走査駆動制御信号(SCS)を生成する。タイミング制御部400で生成されたデータ駆動制御信号(DCS)は、データ駆動回路200に供給され、走査駆動制御信号(SCS)は、走査駆動回路300に供給される。そして、タイミング制御部400は、外部から供給されるデータ(Data)をデータ駆動回路200に供給する。

【0028】

図4は、図3に図示された有機発光表示装置で採用したデータ駆動回路の第1実施形態を示したブロック図である。図4を参照して説明すると、データ駆動回路200は、データ信号の入力を受けて前記データ信号を含んだ搬送波を出力する複数のシステム制御部SCU(以下、「第1ステージ」と称する)を含むシフトレジスタ部と、前記複数のシステム制御部の中で所定のシステム制御部に連結されて前記所定のシステム制御部から出力された前記搬送波の伝達を受ける複数のラッチLatch(以下、「第2ステージ」と称する)を含むラッチ部と、を含む。また、データ駆動回路は、ラッチ部と連結されてラッチ部から出力されるデータ信号をアナログ信号に変換して出力するD/Aコンバータを含んで構成されうる。

【0029】

前記シフトレジスタ部は、複数の第1ステージ(2101乃至2102n)を含み、それぞれの第1ステージは、第1クロック(CLK1)および第2クロック(CLK2)によって動作して第1ステージ2101は、一番目の搬送波(s[1])を出力して一番目の搬送波(s[1])を二番目の第1ステージ2102と一番目の第2ステージ2201に伝達する。一番目の搬送波(s[1])には、データ信号(Video data)が乗せられて出力される。そして、二番目の第1ステージ2102は、一番目の搬送波の伝達を受けて三番目の第1ステージに二番目の搬送波(s「2」)を伝達して、三番目の第1ステージ2103は、二番目の第2ステージ2202に三番目の搬送波(s「3」)を伝達する。すなわち、奇数番目の第1ステージ(2101、2103、・・・、2102n-3、2102n-1)は、隣接した第1ステージ(偶数番目の第1ステージ2102、2104、・・・、2102n-2、2102n)と第2ステージとに搬送波を伝達する。

【0030】

ラッチ部は、複数の第2ステージ(2201乃至220n)を含み、それぞれの第2ステージは、第1イネーブル信号(EN1)、第2イネーブル信号(EN2)によって動作する。そして、複数の第2ステージ(2201乃至220n)は、奇数番目の第1ステージ(2101、2103、・・・、2102n-3、2102n-1)の出力線に連結さ

10

20

30

40

50

れて、奇数番目の第1ステージ(2101、2103、・・・、2102n-3、2102n-1)から搬送波(s[1]、s[3]、・・・、s[2n-3]、s[2n-1])に乗せられるデータ信号(a1乃至an)の伝達を受けるようになる。したがって、複数の第2ステージ(2201乃至220n)の数は、複数の第1ステージ(2101乃至2102n)の数の半分になる。そして、それぞれの第2ステージは、第1イネーブル信号(EN1)と第2イネーブル信号(EN2)とによって伝達を受けたデータ信号(Video data)を同時に出力する。したがって、複数の第1ステージ(2101乃至2102n)に直列に入力されるデータ信号(Video data)を複数の第2ステージ(2201乃至220n)で並列に出力する。

【0031】

図5は、図3に図示されたデータ駆動回路の動作を示した波形図である。図5を参照して説明すると、第1クロック(CLK1)は、ハイレベル区間がローレベル区間より長く具現されて周期的に発生するパルスで、第2クロック(CLK2)は、第1クロック(CLK1)より一定期間遅延するパルスである。すなわち、第1クロック(CLK1)および第2クロック(CLK2)は、データを使用する区間とデータを伝達する区間とに区分され、データを使用する区間がデータを伝達する区間より短く具現される。そして、一番目の第1ステージ2101から出力される搬送波(s[1])は、第1クロック(CLK1)と同一の周期で発生して第1クロック(CLK1)がローレベルである時点で第一番目に入力されるデータ(a1)を出力する。そして、順次に入力されるデータの入力を受けて、順次に一番目のデータ(a1)からn番目データ(an)を継続して出力する。そして、二番目の搬送波(s[2])は、一番目の第1ステージから一番目の搬送波の入力を受けた後に出力されるから、一番目の搬送波(s[1])より一定時間遅延された後、一番目のデータ(a1)を出力して順次に一番目のデータ(a1)からn番目のデータ(an)まで出力する。このような方式によって一番目の搬送波(s[1])からn番目の搬送波(s[n])が出力される。そして、一番目の搬送波(s[1])からn番目の搬送波(s[n])を通じて、一番目のデータ(a1)からn番目のデータ(an)が出力されるときに第1及び第2イネーブル信号(EN1、EN2)を入力して複数の第2ステージ(2201乃至220n)で同時に一番目のデータ(a1)からn番目のデータ(an)まで出力されるようにする。第1ステージ(システム制御部)は、第1クロックと第2クロックとによって動作して、第1クロックと第2クロックとが同一の状態であるときにデータ信号を格納し、相異なる状態であるときに格納した前記データ信号を出力する。第2ステージ(ラッチ)は、同一の周期で入力される第1イネーブル信号と第2イネーブル信号とによって動作して第1イネーブル信号と第2イネーブル信号とが同一の状態であるときにデータ信号を格納し、相異なる状態であるときに格納したデータ信号を出力する。

【0032】

図6は、図3に図示されたデータ駆動回路200の第2実施形態を示したブロック図である。図6を参照して説明すると、データ駆動回路200は、シフトレジスタ部とラッチ部とを含む。

【0033】

シフトレジスタは、複数の第1ステージ(2101乃至2102n)を含み、それぞれの第1ステージは、第1クロック(CLK1)、第2クロック(CLK2)によって動作して、各第1ステージ2101は、一番目の搬送波(s[1])を出力して一番目の搬送波(s[1])を二番目の第1ステージ2102に伝達する。一番目の搬送波(s[1])には、データ信号(Video data)が乗せられて出力される。そして、二番目の第1ステージ2102は、一番目の搬送波(s[1])の伝達を受けて三番目の第1ステージ2103と一番目の第2ステージ2201に二番目の搬送波(s[2])を伝達し、三番目の第1ステージ2103は、四番目の第1ステージ2104に三番目の搬送波(s[3])を伝達する。すなわち、偶数番目の第1ステージ(2102、2104、・・・、2102n-4、2102n-2)は、隣接した第1ステージ(奇数番目の第1ステージ2103、2105、・・・、2102n-3、2102n-1)と第2ステージとに

10

20

30

40

50

搬送波を伝達する。

【0034】

ラッチ部は、複数の第2ステージ(2201乃至220n)を含み、それぞれの第2ステージは、第1イネーブル信号(EN1)および第2イネーブル信号(EN2)によって動作する。そして、複数の第2ステージ(2201乃至220n)は、偶数番目の第1ステージ(2102、2104、2102n-2、2102n)の出力線に連結されて、偶数番目の第1ステージ(2102、2104、・・・、2102n-2、2102n)から搬送波(s[2]、s[4]、・・・、s[2n-2]、s[2n])に乘せられるデータ信号の伝達を受けるようになる。したがって、複数の第2ステージ(2201乃至220n)の数は、複数の第1ステージ(2101乃至2102n)の数の半分になる。そして、それぞれの第2ステージは、第1イネーブル信号(EN1)と第2イネーブル信号(EN2)とによって伝達を受けたデータ信号(Video data)を同時に出力する。したがって、複数の第1ステージ(2101乃至2102n)に直列に入力されるデータ信号(Video data)を複数の第2ステージ(2201乃至220n)から並列に出力する。

10

【0035】

図7は、図6に図示されたデータ駆動回路の動作を示した波形図である。図7を参照して説明すると、データ駆動回路は、第1クロック(CLK1)は、ハイレベル区間がローレベル区間より長く具現されて周期的に発生するパルスで、第2クロック(CLK2)は、第1クロック(CLK1)より一定期間遅延されたパルスである。そして、一番目の第1ステージ2101から出力される搬送波(s[1])は、第1クロック(CLK1)と同一の周期で発生して第1クロック(CLK1)がローレベルである時点で一番目に入力されるデータ(a1)を出力する。そして、順次に入力されるデータの入力を受けて、順次に一番目のデータ(a1)からn番目データ(an)を継続して出力する。

20

【0036】

そして、二番目の搬送波(s[2])は、一番目の第1ステージから一番目の搬送波の入力を受けた後に出力されるから、一番目の搬送波(s[1])より一定時間遅延された後に一番目のデータ(a1)を出力して順次に一番目のデータ(a1)からn番目のデータ(an)まで出力する。

【0037】

このような方式によって、一番目の搬送波(s[1])からn番目の搬送波(s[n])が出力される。そして、一番目の搬送波(s[1])からn番目の搬送波(s[n])を通じて、一番目のデータ(a1)からn番目のデータ(an)が出力されるときに第1及び第2イネーブル信号(EN1、EN2)を入力して複数の第2ステージ(2201乃至220n)で同時に一番目のデータ(a1)からn番目のデータ(an)まで出力されるようにする。

30

【0038】

図8は、図4及び図6に図示されたデータ駆動回路で採用した第1ステージの第1実施形態を示した回路図で、図9は、図4及び図6に図示されたデータ駆動回路で採用した第2ステージの第1実施形態を示した回路図である。図8及び図9を参照して説明すると、第1及び第2ステージは、同一の構成で、差異点は、第1ステージは、第1及び第2クロック信号(CLK、/CLK)の伝達を受けて、第2ステージは、第1イネーブル信号(EN)と第2イネーブル信号(/EN)の伝達を受ける。また、第1及び第2ステージは、5個のP形MOS電界効果トランジスタと1個のキャパシタで具現される。

40

【0039】

第1及び第2ステージが同一の連結をするので、第1ステージの連結関係を通じて第1及び第2ステージについて説明する。

【0040】

第1トランジスタ(M1)は、ソースが入力端子(IN)に連結され、ドレインは第1ノード(N1)に連結され、ゲートは第1クロック(CLK)に連結される。第2トラン

50

ジスタ (M2) は、ソースは第2クロック (CLK) に接続され、ドレインは第2ノード (N2) に接続され、ゲートは第1ノード (N1) に接続される。第3トランジスタ (M3) は、ソースは第3ノード (N3) に接続され、ドレインは第2電源 (Vss) に接続され、ゲートは第2クロック (CLK) に接続される。そして、第4トランジスタ (M4) は、ソースは第2クロック (CLK) に接続され、ドレインは第3ノード (N3) に接続され、ゲートは第1ノード (N1) に接続される。また、第5トランジスタ (M5) は、ソースは第1電源 (VDD) に接続され、ドレインは出力端子 (OUT) に接続され、ゲートは第3ノード (N3) に接続される。最後にキャパシタ (C) は、第1電極は第1ノード (N1) に接続され、第2電極は第2ノード (N2) に接続される。第2ノード (N2) は、出力端子と接続される。

10

【0041】

したがって、入力端子 (IN) を通じて入力されるデータ信号をキャパシタ (C) で格納した後、一定時間が経過した後に出力端子 (OUT) を通じて出力する。

【0042】

図10は、図4及び図6に図示されたデータ駆動回路で採用した第1ステージの第2実施形態を示した回路図で、図11は、第2ステージの第2実施形態を示した回路図である。図10及び図11を参照して説明すると、第1及び第2ステージは、N形MOS電界効果トランジスタとキャパシタとで具現され、第1ステージは、第1クロックと第2クロックとの入力を受けて動作し、第2ステージは、第1イネーブル信号と第2イネーブル信号との伝達を受けて動作する。

20

【0043】

図12は、図4に図示されたデータ駆動回路で図10及び図11に図示された第1及び第2ステージが採用されたデータ駆動回路の動作を示した波形図であり、図13は、図6に図示されたデータ駆動回路で図10及び図11に図示された第1及び第2ステージが採用されたデータ駆動回路の動作を示した波形図である。図12及び図13は、N形MOS電界効果トランジスタで具現された第1及び第2ステージに入出力される信号の波形を示した図であり、データ駆動回路は、図12及び図13を参照すると、図5及び図7に図示されている信号が反転されて第1及び第2ステージに入力されて動作して図5及び図7の説明のような役目を同様に遂行する。

【0044】

以上、説明した内容を通じて当業者なら本発明の技術思想を脱しない範囲で多様な変更及び修正が可能であることが分かるであろう。したがって、本発明の技術的な範囲は、明細書の詳細な説明に記載した内容に限定されるものではなく、特許請求の範囲によって決定されなければならない。

30

【図面の簡単な説明】**【0045】**

【図1】一般的なデータ駆動回路の構成を示したブロック図である。

【図2】図1に図示されたデータ駆動部で採用したシフトレジスタの構成を示したブロック図である。

【図3】本発明の実施形態による有機発光表示装置の構成を示したブロック図である。

40

【図4】図3に図示された有機発光表示装置で採用したデータ駆動回路の第1実施形態を示したブロック図である。

【図5】図3に図示されたデータ駆動回路の動作を示した波形図である。

【図6】図3に図示された有機発光表示装置で採用したデータ駆動回路の第2実施形態を示したブロック図である。

【図7】図6に図示されたデータ駆動回路の動作を示した波形図である。

【図8】図4及び図6に図示されたデータ駆動回路で採用した第1ステージの第1実施形態を示した回路図である。

【図9】図4及び図6に図示されたデータ駆動回路で採用した第2ステージの第1実施形態を示した回路図である。

50

【図10】図4及び図6に図示されたデータ駆動回路で採用した第1ステージの第2実施形態を示した回路図である。

【図11】第2ステージの第2実施形態を示した回路図である。

【図12】図4に図示されたデータ駆動回路で図10及び図11に図示された第1及び第2ステージが採用されたデータ駆動回路の動作を示した波形図である。

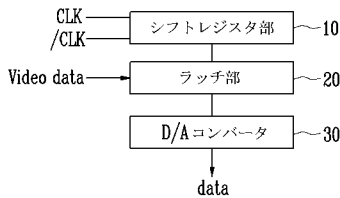
【図13】図6に図示されたデータ駆動回路で図10及び図11に図示された第1及び第2ステージが採用されたデータ駆動回路の動作を示した波形図である。

【符号の説明】

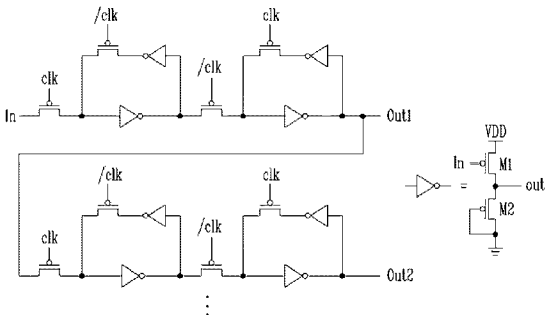
【0046】

- 100 画素部、
- 200 データ駆動回路、
- 300 走査駆動回路、
- 400 タイミング制御部。

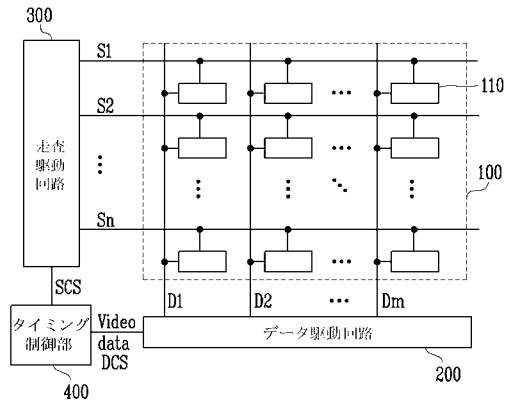
【図1】



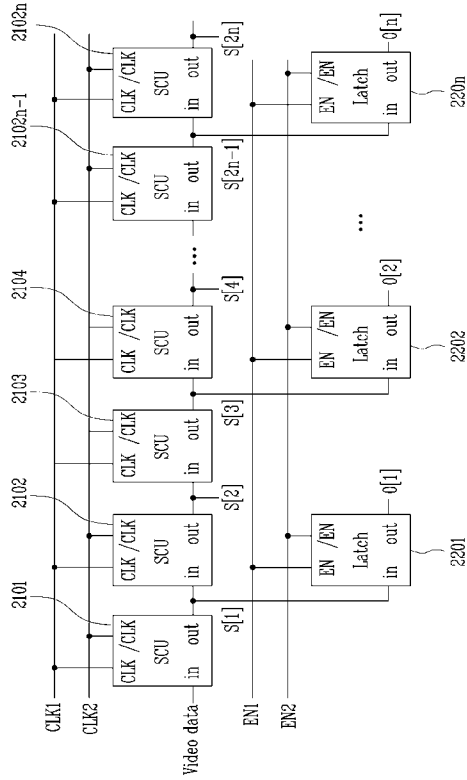
【図2】



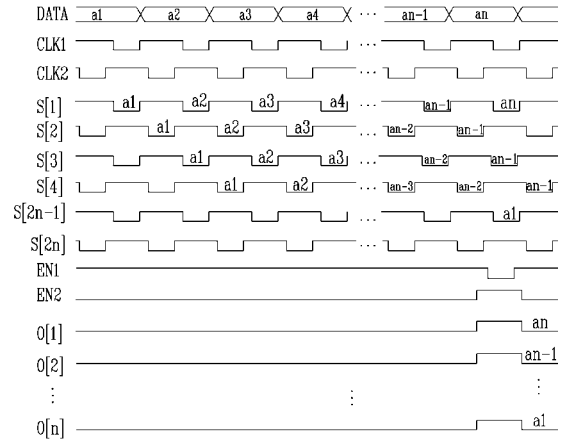
【図3】



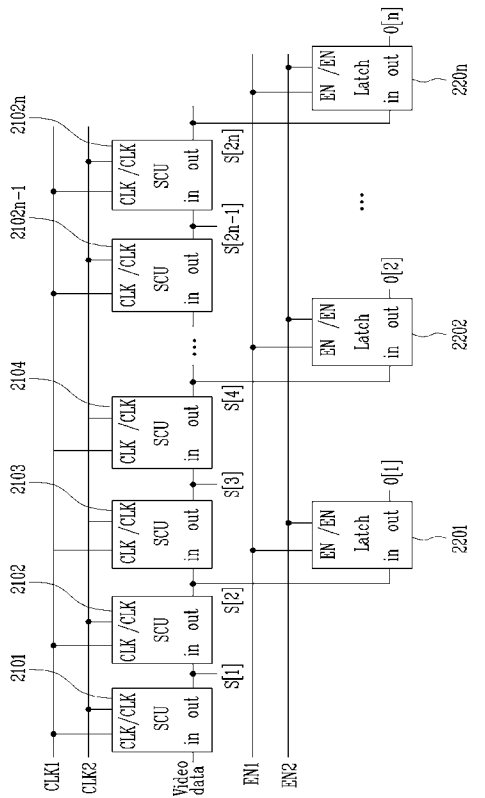
【 図 4 】



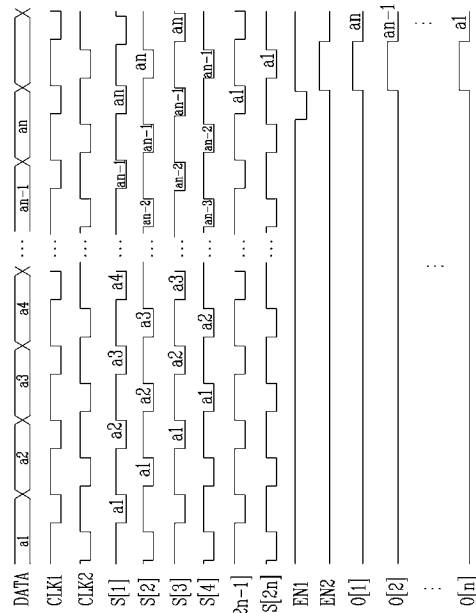
【 図 5 】



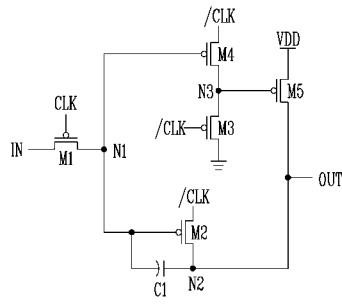
【 図 6 】



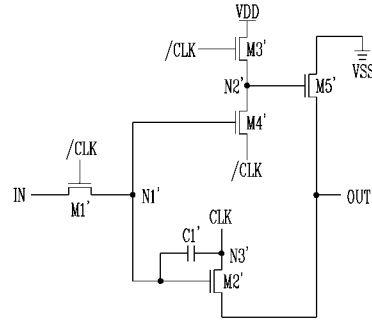
【 図 7 】



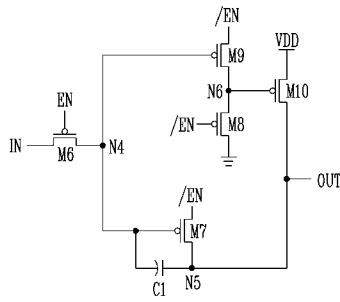
【 図 8 】



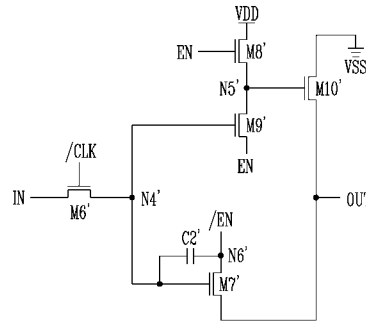
【 図 10 】



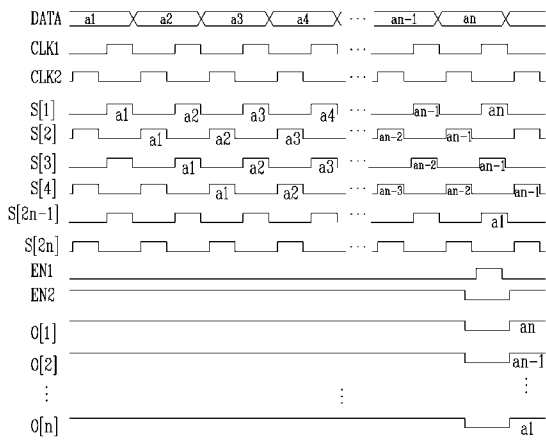
【 図 9 】



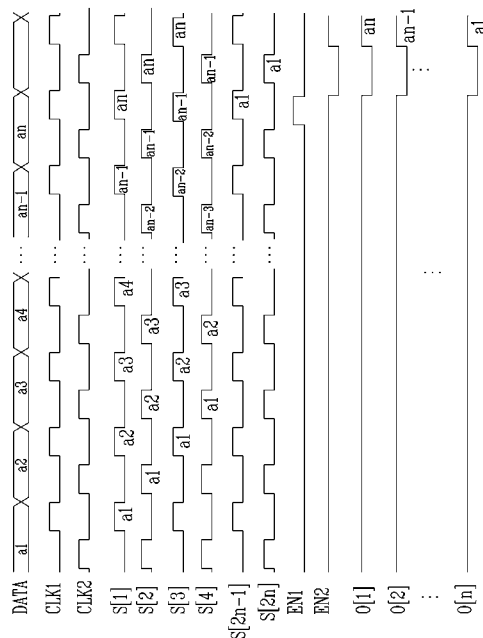
【 図 11 】



【 図 12 】



【 図 13 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 3 B
H 0 5 B	33/14	A

Fターム(参考) 5C080 AA06 BB05 DD08 DD26 JJ02 JJ03 JJ04

专利名称(译)	数据驱动电路和使用其的有机发光显示装置		
公开(公告)号	JP2007133358A	公开(公告)日	2007-05-31
申请号	JP2006158771	申请日	2006-06-07
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	申東蓉		
发明人	申東蓉		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3275 G09G2310/027 G09G2310/0286 G09G2330/021 G11C19/184 G11C19/28		
FI分类号	G09G3/30.J G09G3/20.623.G G09G3/20.623.H G09G3/20.611.A G09G3/20.621.F G09G3/20.623.F G09G3/20.621.A G09G3/20.623.B H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291 G11C19/00 G11C19/00.J		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC31 3K107/EE03 3K107/HH00 5C080/AA06 5C080/BB05 5C080/DD08 5C080/DD26 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA10 5B074/CA01 5C380/AA01 5C380/AB06 5C380/BA01 5C380/BA32 5C380/BA39 5C380/BB02 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA26 5C380/CA31 5C380/CB01 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF23 5C380/CF48		
代理人(译)	宇谷 胜幸		
优先权	1020050106171 2005-11-07 KR		
其他公开文献	JP5150812B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够通过去除静态电流可能流过的路径来降低功耗的数据驱动电路，以及通过使用以下方式切换正电源电压到负电源电压范围内的输出电压。自举技术，因为移位可以包括多个PMOS晶体管和电容器，并且可以由2相时钟信号操作，并且使用上述电路提供有机电致发光显示器。该解决方案：该电路包括移位寄存器单元，该移位寄存器单元还可包括：多个系统控制单元，接收输入的数据信号并输出数据信号；以及锁存单元，具有多个锁存器，连接到预定的系统控制单元。多个系统控制单元，从预定的系统控制单元接收发送的数据信号；其中，多个系统控制单元串联连接，每个系统控制单元接收从相邻系统控制单元输出的数据信号。之

