

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-523464
(P2005-523464A)

(43) 公表日 平成17年8月4日(2005.8.4)

(51) Int.Cl.⁷

G09G 3/30
G09G 3/20
H05B 33/14

F I

G09G 3/30 J
G09G 3/20 611H
G09G 3/20 624B
G09G 3/20 641D
G09G 3/20 642A

テーマコード(参考)

3K007
5C080

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2003-585059 (P2003-585059)
(86) (22) 出願日 平成15年4月1日(2003.4.1)
(85) 翻訳文提出日 平成16年10月14日(2004.10.14)
(86) 国際出願番号 PCT/IB2003/001338
(87) 国際公開番号 W02003/088199
(87) 国際公開日 平成15年10月23日(2003.10.23)
(31) 優先権主張番号 0208656.9
(32) 優先日 平成14年4月16日(2002.4.16)
(33) 優先権主張国 英国(GB)

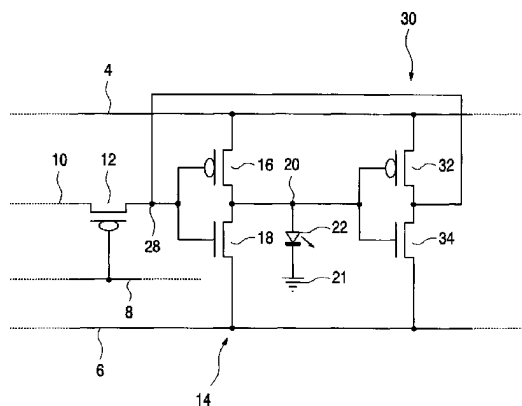
(71) 出願人 590000248
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
Koninklijke Philips Electronics N. V.
オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
(74) 代理人 100072051
弁理士 杉村 興作
(74) 代理人 100100125
弁理士 高見 和明

最終頁に続く

(54) 【発明の名称】 エレクトロルミネッセント・ディスプレイ

(57) 【要約】

エレクトロルミネッセント・ディスプレイを提供する。ディスプレイの駆動回路は、ディスプレイ素子(22)を駆動する回路内に、2トランジスタ・インバータ(14, 30)を有している。ディスプレイ素子は、有機発光ダイオードとすることができる。実施例は、入力ノード(28)へのフィードバックを含む。



【特許請求の範囲】

【請求項 1】

行および列に配列された画素のアレイを備えるアクティブ・マトリクス・ディスプレイであって、

各画素は、

定電流で駆動されるときに可視出力を生成するディスプレイ素子と、

前記画素を流れるほぼ一定の電流を制御可能に駆動し、インバータ入力端子と共通ノード出力端子とを有する 2 個のトランジスタ・インバータを含む駆動回路とを備え、

前記インバータの共通ノード出力端子は、直接的または間接的に接続されて、対応するディスプレイ素子を流れる電流を供給または制御する、アクティブ・マトリクス・ディスプレイ。

10

【請求項 2】

請求項 1 に記載のアクティブ・マトリクス・ディスプレイであって、

前記ディスプレイ素子は、有機発光ダイオードである、アクティブ・マトリクス・ディスプレイ。

【請求項 3】

請求項 1 または 2 に記載のアクティブ・マトリクス・ディスプレイであって、

デジタル信号を搬送する複数本のデータ・ラインと、

複数本のアドレス・ラインとをさらに備え、

各画素の前記駆動回路は、入力ノードと、デジタル信号を前記入力ノードに入力するアドレス・トランジスタとを有し、前記アドレス・トランジスタは、前記複数本のアドレス・ラインの 1 本と、前記複数本のデータ・ラインの 1 本と、前記入力ノードとに接続されている、アクティブ・マトリクス・ディスプレイ。

20

【請求項 4】

請求項 3 に記載のアクティブ・マトリクス・ディスプレイであって、

前記駆動回路は、第 1 の電源ラインと駆動ノードとの間に接続された駆動トランジスタを有し、前記駆動トランジスタは、前記入力ノードによる動作を反転させるように制御され、

前記インバータは、前記駆動ノードに接続された入力端子と、前記入力ノードに接続された共通ノード出力端子を有するフィードバック・インバータである、アクティブ・マトリクス・ディスプレイ。

30

【請求項 5】

請求項 4 に記載のアクティブ・マトリクス・ディスプレイであって、

前記駆動ノードと第 2 の電源ラインとの間に接続され、前記駆動トランジスタとは反対導電形の放電トランジスタをさらに備え、前記放電トランジスタと前記駆動トランジスタとはインバータを形成する、アクティブ・マトリクス・ディスプレイ。

【請求項 6】

請求項 3 , 4 または 5 に記載のアクティブ・マトリクス・ディスプレイであって、

前記共通ノードは、前記ディスプレイ素子を駆動するために接続され、前記インバータの入力端子は、前記入力ノードに接続されている、アクティブ・マトリクス・ディスプレイ。

40

【請求項 7】

請求項 3 , 4 , 5 または 6 に記載のアクティブ・マトリクス・ディスプレイであって、

単一共通ラインが、1 つの行の電源ラインと、隣接する行のアドレス・ラインとを構成する、アクティブ・マトリクス・ディスプレイ。

【請求項 8】

請求項 7 に記載のアクティブ・マトリクス・ディスプレイであって、

前記アドレス・トランジスタは、p 形トランジスタであり、前記共通ラインは、1 つの行の高電源ラインと、隣接する行のアドレス・ラインとである、アクティブ・マトリクス・ディスプレイ。

50

【請求項 9】

請求項 3 に記載のアクティブ・マトリクス・ディスプレイであって、

前記アドレス・トランジスタは、n 形トランジスタであり、前記共通ラインは、1 つの行の低電源ラインと、隣接する行のアドレス・ラインとである、アクティブ・マトリクス・ディスプレイ。

【請求項 10】

複数の画素を有し、各画素は、駆動トランジスタおよびインバータを含む駆動回路と、ディスプレイ素子とを有するアクティブ・マトリクス・ディスプレイを駆動する方法であって、

前記画素を順次アドレスするステップと、

デジタル・データを、アドレスされた画素に与えるステップと、

入力ノード上の信号で、駆動トランジスタの反転動作を制御して、前記ディスプレイ素子を流れる制御可能な一定電流を駆動するステップと、

インバータによってディスプレイ素子を駆動する電圧を、前記入力ノードにフィードバックするステップと、
を含む駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば高分子系 LED のような有機 LED デバイスを用いるエレクトロルミネッセント・ディスプレイ装置に関する。

20

【背景技術】

【0002】

エレクトロルミネッセント発光ディスプレイ素子を用いるマトリクス・ディスプレイ装置は、周知である。ディスプレイ素子は、例えば高分子材料を用いる有機薄膜エレクトロルミネッセント素子、または通常の III-V 族半導体化合物を用いる発光ダイオード (LED) を有することができる。有機エレクトロルミネッセント材料、特に高分子材料の最近の発展は、特にビデオ・ディスプレイ装置に用いられるべき機能を示してきた。これらの材料は、1 対の電極間に挟まれた半導体複合高分子より構成される 1 つ以上の層を典型的に有している。前記 1 対の電極のうち一方の電極は透明であり、他方の電極は、高分子層にホールまたは電子を注入するのに適した材料により構成される。有機材料は、CVD プロセスを用いて、または可溶性複合高分子の溶液を用いるスピン・コーティング方法によって簡単に作製することができる。有機エレクトロルミネッセント材料は、ダイオードのような I-V 特性を示すので、ディスプレイ機能およびスイッチング機能の両方を与えることができ、したがってパッシブ・タイプのディスプレイに用いることができる。あるいはまた、有機エレクトロルミネッセント材料は、アクティブ・マトリクス・ディスプレイ装置に用いることができる。アクティブ・マトリクス・ディスプレイ装置では、各画素は、ディスプレイ素子と、ディスプレイ素子に流れる電流を制御するスイッチング・デバイスとを有している。

30

【0003】

有機エレクトロルミネッセント材料は、非常に優れており、比較的低い (DC) 駆動電圧を必要とする点で利点を与える。さらに、従来の LCD とは対照的に、バックライトを必要としない。

40

【0004】

この種のディスプレイ装置は、電流アドレスされるディスプレイ素子を有しているので、通常のアナログ駆動方式は、制御可能な電流をディスプレイ素子に供給することを含んでいる。画素構造の一部として、電流源トランジスタを設け、電流源トランジスタに供給されるゲート電圧で、ディスプレイ素子を流れる電流を決定することは知られている。ストレージ・キャパシタは、アドレッシング後にゲート電圧を保持する。同様に、電流源トランジスタを、単一の (高) 電流レベルに設定することによって、または電流源トランジス

50

タを非導通にして流れる電流を阻止することによって、デジタル的にアドレスされるディスプレイ装置を実現することができる。

【0005】

このように、ディスプレイ素子はアクティブ・マトリクスに集積される。各ディスプレイ素子は、関連するスイッチング回路を有しており、スイッチング回路は、ディスプレイ素子へ駆動電流を供給して、ディスプレイ素子の光出力を、行アドレス期間よりもかなり長い期間保持するように動作する。したがって例えば、各ディスプレイ素子回路は、各行アドレス期間内で1フィールド周期あたり1回、アナログ(ディスプレイ・データ)駆動信号が負荷される。この駆動信号は、記憶され、当該ディスプレイ素子の行が次にアドレスされるまで、1フィールド周期の間、ディスプレイ素子に流れる必要駆動電流を保持するの

10

【0006】

このようなアクティブ・マトリクス・アドレス・エレクトロルミネッセント・ディスプレイ装置の一例が、欧州特許公開EP-A-0717446号公報に開示されている。LCDに用いられる従来の種類のアクティブ・マトリクス回路は、エレクトロルミネッセント・ディスプレイ素子には用いることができない。というのは、このようなエレクトロルミネッセント・ディスプレイ素子は、光を発生させるためには連続的に電流を流す必要があるが、LCディスプレイ素子は、キャパシティブであり、したがってほとんど電流を流さず、駆動信号電圧が全フィールド周期の間、キャパシタンスに記憶されることを可能にするからである。EP-A-0717446号公開公報では、各スイッチング回路は、2

20

【0007】

選択信号が除去された後、第1のTFTがターンオフし、キャパシタに記憶された電圧(第2のTFTのゲート電圧を構成する)は、ディスプレイ素子に電流を供給するように構成されている第2のTFTを動作させる。第1のTFTのゲートは、同一行内のすべてのディスプレイ素子に共通のゲート・ライン(行導体)へ接続され、第1のTFTのソースは、同一列内のすべてのディスプレイ素子に共通のソース・ライン(列導体)へ接続される。第2のTFTのドレイン電極およびソース電極は、ディスプレイ素子のアノードと、グラウンド・ラインとに接続される。グラウンド・ラインは、ソース・ラインに平行に延び、同一列内のすべてのディスプレイ素子に共通である。キャパシタの他方のサイドは、また、このグラウンド・ラインに接続される。

30

【0008】

アクティブ・マトリクス構造は、AMLCDの製造に用いられるのと同様の薄膜付着および製造方法を用いて、例えばガラスよりなる適切な透明絶縁支持体上に作製される。

【0009】

この構成によれば、発光ダイオード・ディスプレイ素子の駆動電流は、第2のTFTのゲートに供給される電圧によって決定される。したがって、この電流は、第2のTFTの特性に強く依存する。TFTのスレシヨルド電圧、移動度、寸法の変動は、ディスプレイ素子電流、したがって光出力に不所望な変化を生じさせる。例えば製造プロセスに起因する、アレイの領域にわたる、あるいは異なるアレイ間のディスプレイ素子に関連した第2TFTのこのような変動は、ディスプレイ素子からの光出力の不均一性につながる。

40

【0010】

この問題を解決するためには、デジタル駆動オプションが提案されてきた。これによれば、画素は、与えられる駆動電圧に対する最大値(デジタル“オン”)に輝度を設定することによって、または、電流が流れるのを阻止する(デジタル“オフ”)ことによって、

50

動作される。グレーレベルは、従来技術で知られている時間比法または面積比法を用いることによって、典型的に生成される。

【0011】

しかし、既知のデジタル画素回路は、電圧を記憶するメモリ素子として働くストレージ・キャパシタを依然として必要とする。画素における漏洩の故に、記憶された電圧値は、ドリフトする傾向にあり、これは回路の性能を低下させる。

【0012】

さらに、ストレージ・キャパシタは、大きくなり、画素の開口を小さくする傾向にある。

【0013】

さらに、電流サンプリング動作の結果、記憶されたゲート電圧は、TFT寄生キャパシタンスにより、変動を受ける。この影響は、“キックバック(kick back)”として知られている。

【0014】

従来技術の画素に対するさらなる問題は、ストレージ。キャパシタを充電するのに長い時間がかかり、画素の急速アドレッシングを妨げることである。このことは、時間比グレースケールを成巧裡に適用することを困難にする。というのは、短いアドレッシング時間を実現するのが難しいからである。

【発明の開示】

【0015】

したがって、これらの問題のいくつか、あるいはすべてを解決する改善されたディスプレイ装置に対する要求が存在している。

【0016】

本発明の第1の態様によれば、定電流で駆動されるときに可視出力を生成するディスプレイ素子と、画素を流れるほぼ一定の電流を制御可能に駆動し、インバータ入力端子と共通ノード出力端子とを有する2個のトランジスタ・インバータを含む駆動回路とを備え、インバータの共通ノード出力端子は、直接的または間接的に接続されて、対応するディスプレイ素子を流れる電流を供給または制御する、アクティブ・マトリクス・ディスプレイが提供される。

【0017】

1対のトランジスタを有するインバータを設けることによって、共通ノード出力端子の電圧を、1対のトランジスタの一方によって、各状態に保持し、共通ノードは、電圧の共振を生じない。このことは、キックバックをかなり低減させる。

【0018】

ディスプレイ素子は、好適には、有機発光ダイオードとすることができる。

【0019】

ディスプレイは、デジタル信号を搬送する複数本のデータ・ラインと、複数本のアドレス・ラインとを備えることができ、各画素の駆動回路は、入力ノードと、この入力ノードにデジタル信号を入力するアドレス・トランジスタとを有し、アドレス・トランジスタは、複数本のアドレス・ラインの1本と、複数本のデータ・ラインの1本と、入力ノードとに接続することができる。したがって、ディスプレイは、デジタル的にアドレスできる。

【0020】

本発明の他の様態によれば、行および列に配列された画素のアレイを備え、各画素は、駆動ノードに接続された有機発光ダイオード・ディスプレイ素子と、データ・ラインと入力ノードとの間に接続され、アドレス・ラインに接続された制御端子を有するアドレス・トランジスタと、第1の電源ラインと駆動ノードとの間に接続され、有機発光ダイオードを駆動し、入力ノードによる動作を反転させるように制御される駆動トランジスタと、駆動ノードに接続された入力端子および入力ノードに接続された出力端子を有するフィードバック・インバータとを備える、アクティブ・マトリクス・ディスプレイが提供される。

【0021】

10

20

30

40

50

このように、駆動回路は、リフレッシュの必要なく、データを保持するメモリとして働く。したがって、データが変更されるまで、リフレッシュ・サイクルを必要としない。これにより、電力を節約できる。

【0022】

フィードバック・ループは、安定性を保証する。また、フィードバック・ループは、メモリ機能を与えるので、ストレージ・キャパシタを省略できる。このことは、画素内の回路に必要とされる回路領域の低減を可能にする。ディスプレイは、さらに、駆動ノードと第2の電源ラインとの間に接続され、駆動トランジスタとは反対導電形の放電トランジスタを備える。放電キャパシタと駆動トランジスタとは、インバータを形成する。このような構成では、キックバックは、ほとんど零である。

10

【0023】

フィードバック・インバータは、第1の電源ラインと共通ノードとの間に接続された充電トランジスタと、共通ノードと第2の電源ラインとの間に接続され、充電トランジスタとは反対導電形の放電トランジスタとによって、好適に形成される。

【0024】

単一の共通ラインは、1つの行の電力ラインと、隣接する行のアドレス・ラインとを、好適に形成する。2つの機能を有するように1本のラインを共用することは、ディスプレイの開口を増大させ、ディスプレイに要求される行ラインの数を減らすことによって、製造を容易にする。

【0025】

アドレス・トランジスタは、P形トランジスタとすることができ、共通ラインは、1つの行の高電源ラインおよび隣接する行のアドレス・ラインとすることができる。あるいはまた、アドレス・トランジスタは、n形トランジスタとすることができ、共通ラインは、1つの行の低電源ラインおよび隣接する行のアドレス・ラインとすることができる。

20

【発明を実施する最良の形態】

【0026】

本発明の実施例を、図面に基づいて、一例として説明する。

【0027】

これら図面を通して、同一または類似の要素を示すために、同一の参照番号を用いる。

【0028】

図1は、本は発明による高分子系発光ダイオード・アレイの単一画素2を示す。

30

【0029】

画素は、電源ライン4およびグランド・ライン6とによって給電される。また、アドレス・ライン8とデータ・ライン10とが、画素に、アドレスおよびデータを供給する。

【0030】

駆動回路は、アドレス薄膜トランジスタ(TFT)12を有している。このトランジスタは、アドレッシング素子として働き、これがオンにスイッチされると、データ・ライン10から画素にデータが入力される。図示の実施例では、アドレスTFT12は、p形トランジスタであるが、当業者であれば、n形トランジスタをも使用できることはわかるであろう。

40

【0031】

2トランジスタ・インバータ14は、2個のTFT、すなわち電源ライン4とグランド・ライン6との間に直列に接続された充電TFT16と放電TFT18とによって構成される。充電TFT16は、正の電源ライン4と駆動ノード20との間に接続されたp形TFTであり、放電TFT18は、駆動ノード20とグランド・ライン6との間に接続されたn形TFTである。TFT16および18のゲート24は、入力ノード28に共通に接続され、入力ノード28はアドレッシングTFT12の出力端子に接続される。

【0032】

高分子系発光ダイオード(PLED)22ディスプレイ素子は、駆動ノード20とグランド21との間に接続される。

50

【0033】

使用時には、駆動回路は、“オン(on)”モードと“オフ(off)”モードとの間を切替える。“オン”モードでは、PLED22は駆動回路によって定電流で駆動され、PLEDをオンに切替えて発光させる。

【0034】

より詳細には、アドレス・ライン8はローにされ、アドレッシングTF T 12がオンに切替えられ、データ・ライン10上の信号がインバータ14の入力端子28に送られる。入力端子28がハイになると、放電TF T 18がオンに切替えられ、ノード20がローにされ、PLED22をオフに切替える。逆に、入力端子28がローになると、放電TF T 18がオフに切替えられ、ノード20がハイにされ、PLED22を駆動する。

10

【0035】

データ信号は、アドレス・ライン8がハイになった後にも、インバータTF T 16, 18のゲート24の寄生キャパシタンスに記憶される。寄生キャパシタンスは、画素が再びアドレスされるまで、インバータの状態を保持するほどに、十分大きい。

【0036】

画素駆動インバータに要求される領域は、キャパシタに通常必要とされる領域よりも十分に小さい。

【0037】

図2は、図1に示した構成とは、以下の点で異なる第2の実施例を示す。すなわち、ストレージ・キャパシタ26が、アドレスTF T 12の入力ノード28と、電力ライン4との間に設けられている。この構成では、ストレージ・キャパシタ26は、ストレージ・キャパシタのみが、LEDを駆動する単一トランジスタを駆動しなければならない従来の構成におけるよりも十分に小さくすることができる。

20

【0038】

図3は、充電TF T 32と放電TF T 34とを有する第2の2トランジスタ・フィードバック・インバータ30を付加する基本構成のさらなる実施例を示す。第2のインバータの入力端子は、駆動ノード20に接続され、出力端子はノード28に接続され、入力端子は第1のインバータに接続される。したがって、第2のインバータ30は、フィードバック・デバイスとして働く。

【0039】

使用中、2個のインバータ14, 30は、画素の状態をアクティブに保持するので、画素は無限にその状態に留まる。この構成では、キックバックはほとんどない。

30

【0040】

画素安定性は、データを記憶するためにキャパシタンスを単純に用いる従来の手法よりも、強化されている。

【0041】

駆動回路は、充電する大きなキャパシタンスがないので、非常に高速である。したがって、駆動回路は、画素を種々のオン/オフ時間比で駆動して、種々のグレー値、特に低グレー値を与えるには、極めて適切である。これらの駆動方式では、画素を駆動するのに必要な電力を、低減できる。

40

【0042】

図4は、第1の放電トランジスタ18が除かれていること以外は、図3の構成と類似する、さらなる変形例を示す。第1段は、PLED22を完全にオフに切替えるための放電TF T 18をもはや有していない。図4の構成では、この効果は、放電トランジスタ34によって実現される。フィードバック・インバータ30の放電TF T 34は、入力ノード28をプルダウンし、駆動TF T 16をオフに切替える。

【0043】

上述したすべての実施例の特徴は、PLEDグランド21が、そのインバータまたは複数のインバータのための低電源として働くように利用できないが故に、各画素に別個の電源ラインおよびグランド・ラインを設けることの必要性であることがわかるであろう。図

50

5 および図 6 は、本発明の第 5 および第 6 の実施例を示す。これら実施例では、アドレス・ラインは、隣接行のインバータ電源ラインと共用され、したがって、行ラインの数を 1 本減らしている。

【0044】

図 5 において、共通ライン 50 は、行 52 のインバータ 14, 30 のための電源 4 として接続される。共通ラインは、また、前行 54 の p 形アドレス T F T 12 のゲートに接続される。

【0045】

使用中、共通ライン 50 は、画素の 1 行 52 のための電源ライン、および前行 54 のためのアドレス・ラインとして働く。したがって、共通ライン 50 は、ハイのとき、行 52 のインバータ 14, 30 に電源を供給する電源ラインとして働くが、ローのとき、前行 54 の T F T 12 をオンに切換えて、その行を選択する。隣接する行は同時に選択されないため、共通ライン 50 の 2 つの役割の間に競合は存在しない。

10

【0046】

図 6 は、n 形アドレッシング方式における類似の構成を示す。この場合、共通ライン 60 は、行 52 のインバータ 14, 30 のための低電源 6 として接続される。共通ラインは、また、前行 54 の n 形アドレス T F T 12 のゲートに接続される。

【0047】

使用中、共通ライン 60 は、画素の 1 行 52 のための電源ライン、および前行 54 のためのアドレス・ラインとして働く。したがって、共通ライン 60 は、ローのとき、行 52 のインバータ 14, 30 に電源を供給する低電源ラインとして働くが、ハイのとき、前行 54 の T F T 12 をオンに切換えて、その行を選択する。

20

【0048】

図 7 に示すように、複数の画素 2 が、複数の行 70 および複数の列 72 で配列されて、完全なアクティブ・マトリクス・エレクトロルミネッセント・ディスプレイを形成している。データ・ライン 10 は、列方向に延びている。

【0049】

図 7 の例は、図 5 の実施例による完全なエレクトロルミネッセント・ディスプレイの構成を示している。その構成では、電源およびアドレス共通ライン 50、および低電源ライン 6 は、行方向に延びている。列ドライバ 74 は、データ・ライン 10 を駆動し、行ドライバ 76 は、アドレス・ライン 50, 6 を駆動する。行方向に延びる、別個の高電源ライン 4 および低電源ライン 6 とアドレス・ライン 8 とを設けることによって、実施例 1 ~ 4 の構成を用いて、同様の完全なディスプレイを作製できることは、容易にわかるであろう。

30

【0050】

この明細書を読めば、当業者には他の変形および変更は明らかであろう。このような変形および変更は、ディスプレイの設計、製造、使用において既知であり、ここで説明した特徴に加えて、あるいはその代わりに用いることのできる、同様の特徴および他の特徴を含むことができる。

【0051】

例えば、当業者には周知のように、高分子系発光ダイオードを、他の有機発光ダイオードで置き換えることができる。さらに、動作期間の間にほぼ一定の電流を供給する画素回路の原理で働く他のアクティブ・マトリクス・ディスプレイを、本発明の駆動回路を用いて、有利に駆動できる。このようなディスプレイの原理の例は、電界放出ディスプレイ、エレクトロクロミック・ディスプレイ、スイッチング・ミラー・ディスプレイ、ローカル画素オシレータを有するディスプレイなどである。

40

【図面の簡単な説明】

【0052】

【図 1】本発明の第 1 の実施例の単一画素の回路図である。

【図 2】本発明の第 2 の実施例の単一画素の回路図である。

50

- 【図3】本発明の第3の実施例の単一画素の回路図である。
- 【図4】本発明の第4の実施例の単一画素の回路図である。
- 【図5】本発明の第5の実施例の単一画素の回路図である。
- 【図6】本発明の第6の実施例の単一画素の回路図である。
- 【図7】完全なディスプレイの概略図である。

【図1】

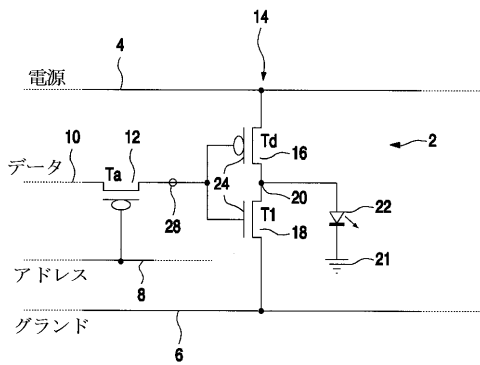


Fig.1

【図2】

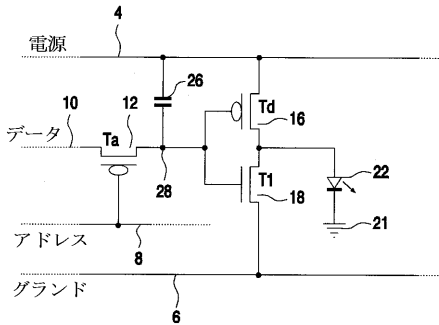


Fig.2

【図3】

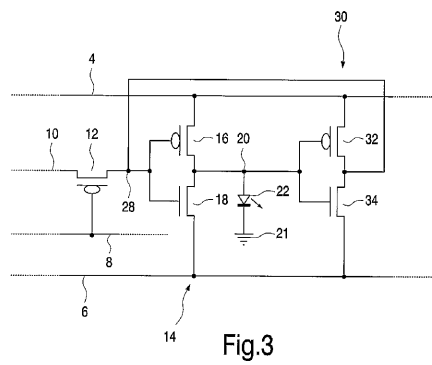


Fig.3

【図4】

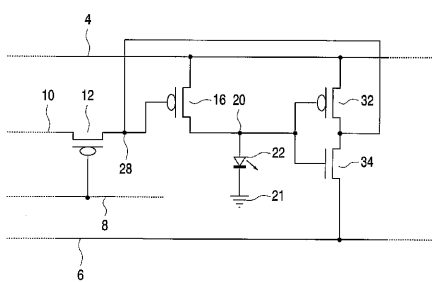


Fig.4

【 図 5 】

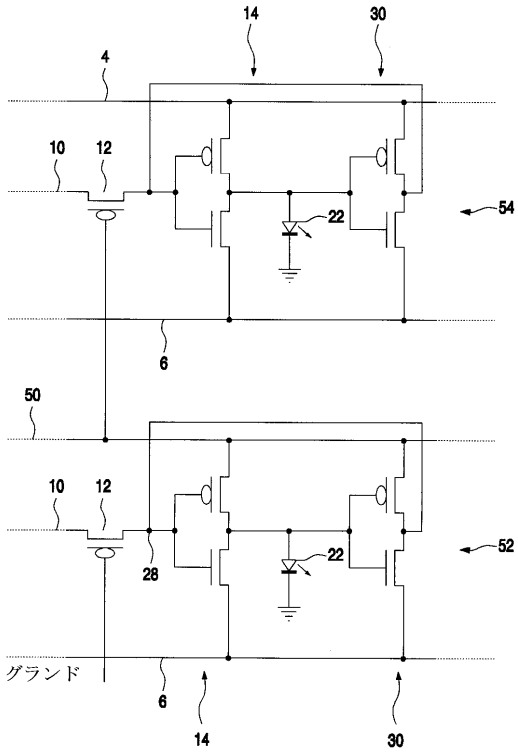


Fig.5

【 図 6 】

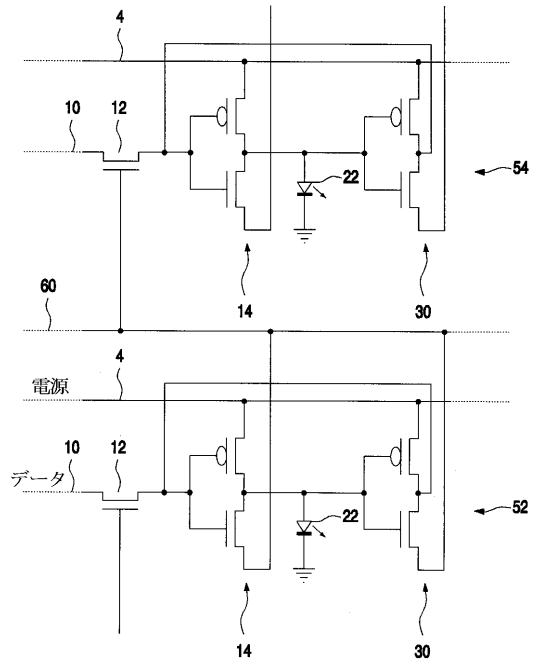


Fig.6

【 図 7 】

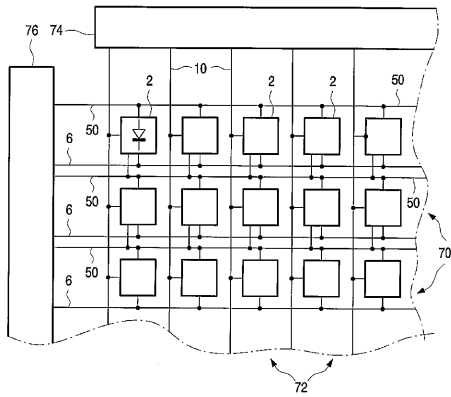


Fig.7

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

 Internat. Application No
 PCT/IB 03/01338

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, INSPEC, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2001/043173 A1 (TROUTMAN RONALD ROY) 22 November 2001 (2001-11-22) paragraph '0002! paragraph '0021! - paragraph '0026! figures 1,4-6 ---	1-3,6 7-9 4,10
X A	WO 02 17289 A (EMAGIN CORP) 28 February 2002 (2002-02-28) page 4, line 13 -page 6, line 21 figures 1-3 ---	1-3 4,6,10
Y	US 6 359 605 B1 (BIRD NEIL C ET AL) 19 March 2002 (2002-03-19) column 7, line 46 -column 8, line 27 figure 4 ---	7-9
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : 'A' document defining the general state of the art which is not considered to be of particular relevance 'E' earlier document but published on or after the international filing date 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) 'O' document referring to an oral disclosure, use, exhibition or other means 'P' document published prior to the international filing date but later than the priority date claimed 'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention 'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone 'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. '&' document member of the same patent family		
Date of the actual completion of the international search 28 July 2003		Date of mailing of the international search report 06/08/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Farricella, L

INTERNATIONAL SEARCH REPORT

International Application No PCT/IB 03/01338

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	US 2002/140642 A1 (OKAMOTO SHIGETSUGU) 3 October 2002 (2002-10-03)	1-5, 10
P, A	paragraph '0044! - paragraph '0051! figures 1,2	6-9
A	EP 1 098 290 A (SEMICONDUCTOR ENERGY LAB) 9 May 2001 (2001-05-09) paragraph '0098! figure 20B	4
A	EP 1 182 636 A (SEMICONDUCTOR ENERGY LAB) 27 February 2002 (2002-02-27)	

INTERNATIONAL SEARCH REPORT

Information on patent family members

Intern: Application No

PCT/IB 03/01338

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2001043173 A1	22-11-2001	NONE	
WO 0217289 A	28-02-2002	AU 8510101 A WO 0217289 A1 US 2002044110 A1	04-03-2002 28-02-2002 18-04-2002
US 6359605 B1	19-03-2002	EP 1034529 A2 WO 9965012 A2 JP 2002518691 T US 2002126073 A1	13-09-2000 16-12-1999 25-06-2002 12-09-2002
US 2002140642 A1	03-10-2002	JP 2002287695 A CN 1366344 A	04-10-2002 28-08-2002
EP 1098290 A	09-05-2001	CN 1303084 A EP 1098290 A2 JP 2001222256 A TW 484117 B	11-07-2001 09-05-2001 17-08-2001 21-04-2002
EP 1182636 A	27-02-2002	CN 1339876 A EP 1182636 A2 JP 2002140034 A US 2002036604 A1	13-03-2002 27-02-2002 17-05-2002 28-03-2002

フロントページの続き

(51) Int.Cl.⁷ F I テーマコード(参考)
H 0 5 B 33/14 A

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100101096
弁理士 徳永 博

(74) 代理人 100086645
弁理士 岩佐 義幸

(74) 代理人 100107227
弁理士 藤谷 史朗

(74) 代理人 100114292
弁理士 来間 清志

(74) 代理人 100119530
弁理士 富田 和幸

(72) 発明者 ハーバート リフカ
イギリス国 サリー アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン フ
ィリップス インテレクチュアル プロパティ アンド スタンダーズ内

(72) 発明者 マーク ジェイ チャイルズ
イギリス国 サリー アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン フ
ィリップス インテレクチュアル プロパティ アンド スタンダーズ内

(72) 発明者 マーク ジェイ ジョンソン
イギリス国 サリー アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン フ
ィリップス インテレクチュアル プロパティ アンド スタンダーズ内

F ターム(参考) 3K007 AB05 AB17 BA06 DB03 GA00 GA04
5C080 AA06 BB05 DD05 DD28 EE29 FF11 JJ02 JJ03

专利名称(译)	电致发光显示器		
公开(公告)号	JP2005523464A	公开(公告)日	2005-08-04
申请号	JP2003585059	申请日	2003-04-01
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ハーバートリフカ マークジェイチャイルズ マークジェイジョンソン		
发明人	ハーバートリフカ マークジェイチャイルズ マークジェイジョンソン		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/3233 G09G3/3258 G09G2300/0465 G09G2300/0842 G09G2300/0847 G09G2300/0857 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A		
F-TERM分类号	3K007/AB05 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03		
代理人(译)	高见和明 德永博 藤四郎 克利马清		
优先权	2002008656 2002-04-16 GB		
其他公开文献	JP2005523464A5		
外部链接	Espacenet		

摘要(译)

提供电致发光显示器。显示器的驱动电路在电路中具有双晶体管反相器 (14,30)，其驱动显示元件 (22)。显示元件可以是有机发光二极管。一个实施例包括对输入节点 (28) 的反馈。

