

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-326793

(P2005-326793A)

(43) 公開日 平成17年11月24日(2005.11.24)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611H	5C080
H05B 33/14	G09G 3/20 612R	
	G09G 3/20 621M	
	G09G 3/20 623R	
審査請求 未請求 請求項の数 10 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2004-147073 (P2004-147073)	(71) 出願人	590000846 イーストマン コダック カンパニー アメリカ合衆国, ニューヨーク14650 、ロチェスター, ステイト ストリート3 43
(22) 出願日	平成16年5月17日 (2004.5.17)	(74) 代理人	100075258 弁理士 吉田 研二
		(74) 代理人	100096976 弁理士 石田 純
		(72) 発明者	川辺 和佳 東京都中央区新川2-27-1 コダック 株式会社内
		Fターム(参考)	3K007 AB17 BA06 DB03 GA00 5C080 AA06 BB05 DD04 DD05 DD28 EE28 FF11 JJ02 JJ03 JJ04 JJ05

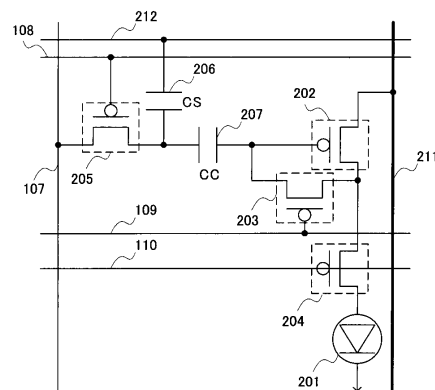
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 表示装置における発光素子に流れる電流を適正に設定する。

【解決手段】 有機EL素子201には、駆動TFT202、駆動制御TFT204を介し駆動電流が供給される。駆動TFT202のゲートドレイン間はリセットTFT203によって接続され、駆動TFT202のゲートはリセット容量207、選択TFT205を介しデータライン107に接続されている。また、選択TFT205とリセット容量207の接続部は、保持容量206によって、固定電位ライン212に接続されている。そして、データライン107を1水平期間の前半にリセット電位に設定し、後半にデータ電位に設定することで、駆動TFT202のゲートにそのしきい値電圧にリセットした後にデータ電位をセットする。また、他の水平ラインの画素回路についてデータ書き込みを行う際にリセットのみ行うことによって表示期間を限定することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

電流駆動されるダイオード型発光素子と前記ダイオード型発光素子を制御する複数の薄膜トランジスタとを 1 つの画素回路として、前記画素回路をマトリクス状に配置したアクティブマトリクス型表示アレイと、

前記マトリクスの各列に対応して設けられ、対応する列の画素回路にデータ信号を供給するデータラインと、

前記データラインへの前記データ信号の供給を制御するデータドライバと、

前記データラインをプリチャージするプリチャージ回路と、

前記マトリクスの各行に対応して設けられ、対応する行の画素回路に選択信号を供給する選択ラインと、

前記選択ラインに選択信号を供給する選択ドライバと、

前記データドライバ、プリチャージ回路、選択ドライバを制御する制御回路と、

を有する表示装置において、

前記画素回路は、

一端の電位が固定された保持容量と、

前記保持容量の非固定電位端子に一方の非制御端子が接続され、他方の非制御端子が前記データラインに接続され、制御端子が前記選択ラインに接続された選択トランジスタと

、前記ダイオード型発光素子への駆動電流を制御する駆動トランジスタと、

前記駆動トランジスタをダイオード接続するリセットトランジスタと、

前記駆動トランジスタに直列に接続され、前記ダイオード型発光素子の駆動電流のオンオフを制御する駆動制御トランジスタと、

一端が前記駆動トランジスタの制御端子に接続され、他端が前記選択トランジスタの前記保持容量が接続されている非制御端子にされたりセット容量と、

を有し、

前記選択ドライバは、選択ラインを、奇数ラインと偶数ラインで別々に制御することを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、

前記アクティブマトリクス型表示アレイと、前記データドライバと、前記プリチャージ回路と、前記選択ドライバが一つのガラス基板上に形成されることを特徴とする表示装置

【請求項 3】

請求項 1 に記載の表示装置において、

前記選択ラインの選択期間を 2 分割し、第 1 の期間で、映像を書き込むラインと、前記映像を書き込むラインが属さない偶奇いずれかの 1 以上のラインと、をリセット選択し、第 2 の期間で前記映像を書き込むラインのみを映像書き込み選択することで、1 フレーム期間に複数回リセット選択を行うことを特徴とする表示装置。

【請求項 4】

請求項 1 に記載の表示装置において、

1 フレーム期間に表示期間とリセット期間の割合を変えることが可能であることを特徴とする表示装置。

【請求項 5】

請求項 1 に記載の表示装置において、

さらに、

前記アクティブマトリクス型表示アレイに流れる全電流値を計測する電流計測回路を有し、

前記電流計測回路の電流値に応じて、前記表示期間とリセット期間の割合を変化させることを特徴とする表示装置。

10

20

30

40

50

【請求項 6】

請求項 5 に記載の表示装置において、

さらに、前記電流計測回路の電流値に応じて、前記複数回リセット選択の回数を変化させることを特徴とする表示装置。

【請求項 7】

請求項 1 に記載の表示装置において、

前記データドライバは、R G B 各 2 系統以上の信号バスを有し、

前記制御回路は、前記 2 系統以上の信号バスのそれぞれにビデオ信号を供給する 2 系統以上のビデオ回路と、前記ビデオ回路から供給されるビデオ信号をいずれの信号バスに供給するかを切り替える切り替え手段を有し、

10

前記切り替え手段によって、前記信号バスと前記ビデオ回路の接続をライン毎に切り替えるとともに、フレーム毎に接続が異なるように切り替えることを特徴とする表示装置。

【請求項 8】

電流駆動されるダイオード型発光素子と、このダイオード型発光素子への駆動電流の供給を制御する駆動トランジスタと、この駆動トランジスタの制御端子の電圧を保持する保持容量と、この保持容量へのデータ信号の供給を制御する選択トランジスタと、を含む画素回路を、マトリクス状に配置したアクティブマトリクス型表示アレイと、

前記マトリクスの各列に対応して設けられ、対応する列の画素回路にデータ信号またはリセット信号を供給するデータラインと、

前記マトリクスの各行に対応して設けられ、対応する行の画素回路における選択トランジスタを制御する選択信号を供給する選択ラインと、

20

前記選択ラインに前記選択信号を供給する選択ドライバと、

を有する表示装置において、

前記選択ドライバから、同時に複数の選択ラインに対し、1 水平期間分の選択信号を出力するとともに、

前記選択ドライバによって出力された複数の選択信号のうちの 1 つが供給される画素回路については選択信号が出力されている際に、駆動トランジスタの制御端電圧をリセットした後、データ信号を供給し、

他の画素回路については、駆動トランジスタの制御端電圧をリセットのみ行うことを特徴とする表示装置。

30

【請求項 9】

請求項 8 に記載の表示装置において、

前記データラインには、1 水平期間を 2 分割し、前半にリセット信号を供給し、後半にデータ信号を供給し、

1 つの選択ラインには、前半および後半の両方の選択信号を供給し、他の選択ラインには前半のみ選択信号を供給するよう制御することを特徴とする表示装置。

【請求項 10】

被制御端の一方がデータラインに接続され、他方がリセット容量の一端に接続され、制御端に接続された選択ラインの選択信号に応じてデータラインとリセット容量の接続を制御する選択トランジスタと、

40

一端が電位固定ラインに接続され、他端が選択トランジスタリセット容量側端に接続された保持容量と、

制御端が前記リセット容量の他端に接続されるとともに、被制御端の一方が電源ラインに接続された駆動トランジスタと、

この駆動トランジスタをダイオード接続するか否かを制御するリセットトランジスタと、

被制御端の一方が前記駆動トランジスタの他方の被制御端に接続された駆動トランジスタからの電流をオンオフする駆動制御トランジスタと、

この駆動制御トランジスタの被制御端の他方に接続され、駆動トランジスタおよび駆動制御トランジスタを介し供給される電流によって発光するダイオード型発光素子と、

50

を有し、

データラインを基準電圧にセットした状態で、選択トランジスタ、リセットトランジスタをオンし、駆動制御トランジスタをオフして、駆動トランジスタの制御端を駆動トランジスタのしきい値電圧をセットし、

その後、リセットトランジスタをオフし、データラインにデータ電圧をセットすることで、駆動トランジスタの制御端電圧をデータ電圧に応じてシフトさせ、その後駆動制御トランジスタをオンすることで前記データ電圧に応じてシフトさせた制御端電圧によって駆動トランジスタに流れる電流によりダイオード型発光素子を発光させることを特徴とする画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型表示装置に関し、特に表示素子として、駆動電流によって発光するダイオード型発光素子を利用するものに関する。

【背景技術】

【0002】

近年、情報化が進展し、携帯情報端末にも、かつてのパーソナルコンピュータに匹敵する処理能力を要求されるようになってきた。これに伴い、映像表示装置にも高精細化、高品質化が要求され、薄型、軽量、高視野角、低消費電力なものが望まれている。

【0003】

この要求に応えるべく、ガラス基盤上にマトリクス状に薄膜能動素子（薄膜トランジスタ、Thin Film Transistor、または単にTFT）を形成し、その上に電気光学素子を形成した表示装置（ディスプレイ）の開発がさかんに行われている。

【0004】

能動素子を形成する基盤はアモルファスシリコンやポリシリコンなどの半導体膜を成膜後、パターニングし、メタルで配線接続した形態が主流である。能動素子の電気的特性の違いから、前者は駆動用のIC（Integrated Circuit）を必要とし、後者は駆動用の回路を基盤上に形成できるという特徴がある。

【0005】

現在、広く用いられている液晶ディスプレイ（Liquid Crystal Display、または単にLCD）では、大型なものに関しては、前者のアモルファスシリコンタイプが普及しているが、中・小型では後者のポリシリコンタイプが主流になりつつある。

【0006】

自己発光型で、薄型、軽量、高視野角といった特長を有するエレクトロルミネッセンス型（有機EL）ディスプレイは、ポリシリコンタイプのみ量産されている。

【0007】

一般に、有機EL素子は、TFTと組み合わせることによって、その電圧電流制御作用を利用し、電流が制御される。ここで言う電流電圧制御作用とは、TFTのゲート端子に電圧を印加して、ソース・ドレイン間の電流を制御する作用のことを言う。そうすることで、発光強度を調整することができ、所望の階調を表示することが可能となる。

【0008】

しかし、このような構成を採用しているため、有機EL素子の発光強度はTFTの特性に非常に敏感に影響を受ける。特に、ポリシリコンTFT、中でも低温ポリシリコンと呼ばれる低温プロセスで形成されるポリシリコンTFTは、隣接画素間においても比較的大きな電気的特性の違いが生じることが確認されており、有機ELディスプレイの表示品質、特に画面内の表示均一性を劣化させる大きな要因の一つとなっている。

【0009】

それを改善する従来技術が特許文献1に開示されている。前記従来技術は、図12に示すように、有機EL素子を駆動するポリシリコンTFT365のしきい値電圧を補正する手段を開示している。

10

20

30

40

50

【0010】

照明ライン340およびオートゼロ照明ライン330をLレベルとして、TF T 375、TF T 370をオンするとともに、セレクトライン320をLレベルとしてデータライン310をデータ信号の最大電圧より高い基準電圧にする。これによって、TF T 365のゲート電圧をTF T 365のしきい値電圧にセットする。これによって、しきい値電圧 V_{th} と基準電圧の差分が容量350に充電され、しきい値電圧 V_{th} と電源電圧 $+V_d$ との差分が容量355に充電される。

【0011】

次に、照明ライン340およびオートゼロ照明ライン330をHレベルにして、TF T 375、TF T 370をオフし、この状態でデータライン340にデータ信号をセットする。これによって、TF T 365のゲート電圧がシフトされるが、このゲート電圧はTF T 365のしきい値電圧に応じたものであり、これによって各画素におけるTF T 365のしきい値電圧を補償することができる。

10

【0012】

そして、照明ライン340をLレベルとしてTF T 375がオンして、TF T 365がセットされたゲート電圧に応じた電流をOLE D 380に供給し、OLE D 380が発光する。また、セレクトライン320がHレベルとなった後も、TF T 365のゲート電圧はそのままの電圧に維持され、データ信号に応じた電流がOLE D 380に流れる。

【0013】

すなわち、図12に示す従来技術においては、TF T 365のゲート端子に印加される電位 V_g は $V_g = V_{th} + V_d * C_c / (C_c + C_s)$ で表される。ここで、 V_{th} はTF T 365のしきい値電圧、 V_d は階調電圧で、 C_c 、 C_s は図12に示される容量値である。このように各画素のTF T 365のしきい値電圧 V_{th} が常に V_g に加算されるため、 V_{th} が画素毎に異なる値であっても、階調電圧 V_d を変化させずに V_g にオフセットを与えることができる。

20

【0014】

なお、非特許文献1には図12の回路をディスプレイに適用した例が示されており、QVGA(320×240)のパネルが試作されている。

【0015】

【特許文献1】特表2002-514320

30

【非特許文献1】予稿集「SID99Digest」、1999年発行、P.438

【発明の開示】

【発明が解決しようとする課題】

【0016】

ここで、図12の従来例を実際にディスプレイパネルに適用するには、容量 C_c 、 C_s は1フレーム期間(例えば、約16.7ms)電位を保持する必要があるため、ある程度の値が必要となる。例えばそれぞれ0.2pF程度割り当てるとすると、 $V_g = V_{th} + 0.5 * V_d$ となり、この場合、入力階調電圧の半分のダイナミックレンジしか得られない。

【0017】

つまり、従来技術では、駆動TF T 365のダイナミックレンジ以上に入力階調電圧のダイナミックレンジが必要となり、ビデオ回路の消費電力が増大する。

40

【0018】

また、 C_c 、 C_s の製造プロセスによる容量値のばらつき、寄生容量の影響も無視できない。実際、 $n+$ ドープで容量を形成する場合、ドーズ量に数%程度の誤差が存在するであろうし、寄生容量も数fF程度は存在することが推察される。

【0019】

例えば、容量値のばらつきが±1%、寄生容量が5fFあるとして、 V_g を計算すると、4%程度の差が生じることとなり、暗い中間階調ではその差が目に見え認識できる程度に達してしまう。

50

【0020】

また、図12の従来例には画素内にTFTを4つ備えているが、これらはそれぞれ外光によりリーク電流が増大する。通常トップゲート型のポリシリコンTFTは、ボトムゲート型とは異なり、能動層が遮光層等で遮光されず、外光にさらされる。したがって、ある程度の照明下で使用される場合には、容量Cc、Csに保持されている電位がリークし、正常に動作しなくなる。

【課題を解決するための手段】

【0021】

本発明は、電流駆動されるダイオード型発光素子と前記ダイオード型発光素子を制御する複数の薄膜トランジスタとを1つの画素回路として、前記画素回路をマトリクス状に配置したアクティブマトリクス型表示アレイと、前記マトリクスの各列に対応して設けられ、対応する列の画素回路にデータ信号を供給するデータラインと、前記データラインへの前記データ信号の供給を制御するデータドライバと、前記データラインをプリチャージするプリチャージ回路と、前記マトリクスの各行に対応して設けられ、対応する行の画素回路に選択信号を供給する選択ラインと、前記選択ラインに選択信号を供給する選択ドライバと、前記データドライバ、プリチャージ回路、選択ドライバを制御する制御回路と、を有する表示装置において、前記画素回路は、一端の電位が固定された保持容量と、前記保持容量の非固定電位端子に一方の非制御端子が接続され、他方の非制御端子が前記データラインに接続され、制御端子が前記選択ラインに接続された選択トランジスタと、前記ダイオード型発光素子への駆動電流を制御する駆動トランジスタと、前記駆動トランジスタをダイオード接続するリセットトランジスタと、前記駆動トランジスタに直列に接続され、前記ダイオード型発光素子の駆動電流のオンオフを制御する駆動制御トランジスタと、一端が前記駆動トランジスタの制御端子に接続され、他端が前記選択トランジスタの前記保持容量が接続されている非制御端子に接続されたリセット容量と、を有し、前記選択ドライバは、選択ラインを、奇数ラインと偶数ラインで別々に制御することを特徴とする。

【0022】

また、前記アクティブマトリクス型表示アレイと、前記データドライバと、前記プリチャージ回路と、前記選択ドライバが一つのガラス基板上に形成されることが好適である。

【0023】

また、前記選択ラインの選択期間を2分割し、第1の期間で、映像を書き込むラインと、前記映像を書き込むラインが属さない偶奇いずれかの1以上のラインと、をリセット選択し、第2の期間で前記映像を書き込むラインのみを映像書き込み選択することで、1フレーム期間に複数回リセット選択を行うことが好適である。

【0024】

また、1フレーム期間に表示期間とリセット期間の割合を変えることが可能であることが好適である。

【0025】

さらに、前記アクティブマトリクス型表示アレイに流れる全電流値を計測する電流計測回路を有し、前記電流計測回路の電流値に応じて、前記表示期間とリセット期間の割合を変化させることが好適である。

【0026】

さらに、前記電流計測回路の電流値に応じて、前記複数回リセット選択の回数を変化させることが好適である。

【0027】

また、前記データドライバは、RGB各2系統以上の信号バスを有し、前記制御回路は、前記2系統以上の信号バスのそれぞれにビデオ信号を供給する2系統以上のビデオ回路と、前記ビデオ回路から供給されるビデオ信号をいずれの信号バスに供給するかを切り替える切り替え手段を有し、前記切り替え手段によって、前記信号バスと前記ビデオ回路の接続をライン毎に切り替えるとともに、フレーム毎に接続が異なるように切り替えることが好適である。

【0028】

また、本発明は、電流駆動されるダイオード型発光素子と、このダイオード型発光素子への駆動電流の供給を制御する駆動トランジスタと、この駆動トランジスタの制御端子の電圧を保持する保持容量と、この保持容量へのデータ信号の供給を制御する選択トランジスタと、を含む画素回路を、マトリクス状に配置したアクティブマトリクス型表示アレイと、前記マトリクスの各列に対応して設けられ、対応する列の画素回路にデータ信号またはリセット信号を供給するデータラインと、前記マトリクスの各行に対応して設けられ、対応する行の画素回路における選択トランジスタを制御する選択信号を供給する選択ラインと、前記選択ラインに前記選択信号を供給する選択ドライバと、を有する表示装置において、前記選択ドライバから、同時に複数の選択ラインに対し、1水平期間分の選択信号を出力するとともに、前記選択ドライバによって出力された複数の選択信号のうちの1つが供給される画素回路については選択信号が出力されている際に、駆動トランジスタの制御端電圧をリセットした後、データ信号を供給し、他の画素回路については、駆動トランジスタの制御端電圧をリセットのみ行うことを特徴とする。

10

【0029】

また、前記データラインには、1水平期間を2分割し、前半にリセット信号を供給し、後半にデータ信号を供給し、1つの選択ラインには、前半および後半の両方の選択信号を供給し、他の選択ラインには前半のみ選択信号を供給するよう制御することが好適である。

【0030】

また、本発明は、被制御端の一方がデータラインに接続され、他方がリセット容量の一端に接続され、制御端に接続された選択ラインの選択信号に応じてデータラインとリセット容量の接続を制御する選択トランジスタと、一端が電位固定ラインに接続され、他端が選択トランジスタリセット容量側端に接続された保持容量と、制御端が前記リセット容量の他端に接続されるとともに、被制御端の一方が電源ラインに接続された駆動トランジスタと、この駆動トランジスタをダイオード接続するか否かを制御するリセットトランジスタと、被制御端の一方が前記駆動トランジスタの他方の被制御端に接続された駆動トランジスタからの電流をオンオフする駆動制御トランジスタと、この駆動制御トランジスタの被制御端の他方に接続され、駆動トランジスタおよび駆動制御トランジスタを介し供給される電流によって発光するダイオード型発光素子と、を有し、データラインを基準電圧にセットした状態で、選択トランジスタ、リセットトランジスタをオンし、駆動制御トランジスタをオフして、駆動トランジスタの制御端を駆動トランジスタのしきい値電圧をセットし、その後、リセットトランジスタをオフし、データラインにデータ電圧をセットすることで、駆動トランジスタの制御端電圧をデータ電圧に応じてシフトさせ、その後駆動制御トランジスタをオンすることで前記データ電圧に応じてシフトさせた制御端電圧によって駆動トランジスタに流れる電流によりダイオード型発光素子を発光させることを特徴とする。

20

30

【発明の効果】

【0031】

本発明の一態様によれば、画素回路は有機EL素子を駆動する駆動TFTのゲート電圧 V_g を2つの保持容量値の比で生成しない構成としている。そのため、入力階調電圧のダイナミックレンジを、駆動TFTのゲート電圧のダイナミックレンジ以上に広く必要としない。また容量値のばらつきの影響を受けにくい。

40

【0032】

また、制御回路は、1フレーム期間に複数回、駆動TFTのしきい値リセットを行うことで、外光によるTFTのオフリークを補うことができ、同時に表示期間の割合を変化させることができるため、駆動TFTの電流増加分をキャンセルすることができる。

【0033】

また、任意のタイミングで、駆動トランジスタの制御端電圧をリセットできるため、各画素の表示期間を限定することができる。

50

【発明を実施するための最良の形態】

【0034】

以下、図面を用いて本発明の実施形態を詳細に説明する。

【0035】

「実施形態1」

図1は本実施形態における有機ELディスプレイの全体構成図である。101はマトリクス状に配置された画素に有機EL素子とTFTを配置したアクティブマトリクス型表示アレイ、102はデータドライバ、103はゲートドライバ(選択ドライバ)、104はプリチャージ回路である。

【0036】

107はデータドライバ102からのデータ電位、もしくはプリチャージ回路104からのプリチャージ電位を画素に供給するデータライン、108はゲートドライバからのゲート選択電位を供給するゲートライン(選択ライン)、109、110はそれぞれゲートドライバからのリセット電位を供給する第1リセットライン、第2リセットラインである。

10

【0037】

例えば、低温ポリシリコンプロセスを適用すれば、これらの回路はガラス基板上に構成でき、表示デバイス105を形成することが可能である。

【0038】

106は制御回路で、データ制御バス112を介してデータドライバ102にアナログビデオ信号と制御信号を、ゲート制御バス113を介してゲートドライバ103に制御信号を供給する。

20

【0039】

115は電流計測回路で、発光輝度の大きさによって変化する、アクティブマトリクス型表示アレイ101に流れる電流量を検出し、信号ライン116を介して制御回路106に伝送する。この電流計測回路115は、アクティブマトリクス型表示アレイ101に流れる全電流を計測するもので、アクティブマトリクス型表示アレイ101と電源との間に電流計を配置しても、アクティブマトリクス型表示アレイ101とグランドとの間に電流計を配置してもよい。

【0040】

このような有機ELディスプレイの動作については、簡単に説明する。データドライバ102は、1水平期間に1本のデータライン107を選択し、1水平期間の後半にデータ電位を供給する。一方、プリチャージ回路104はデータドライバ102と同じデータライン107を選択し、1水平期間の前半にプリセット電位を供給する。

30

【0041】

また、ゲートドライバ103は、1つのゲートライン108を1水平期間毎に1水平期間順次選択するとともに対応する第1リセットライン109、第2リセットライン110にリセット用の信号を供給する。これによって、対応する行の画素回路について、リセット動作の後のデータ書き込み動作が行われる。

【0042】

そして、本実施形態においては、上述したデータ書き込みを行う行ではなく、リセットのみを行う行を設定することができる。すなわち、上述した行と同時に他の行のゲートライン108についても前半のプリセット電位を供給するときのみに選択できるようになっている。従って、このような他の行の選択によって、当該行の画素回路についてリセットのみが行える。従って、上述のデータ書き込みを行った後、リセットを行うまでの期間を設定することによって、表示期間を任意に設定することができる。なお、動作の詳細については、後述する。

40

【0043】

図2を用いて、アクティブマトリクス型表示アレイ101内にマトリクス状に配置されている本発明の画素回路の構成を説明する。

50

【 0 0 4 4 】

2 0 1 は有機 E L 素子、2 0 2 は有機 E L 素子 2 0 1 を駆動する駆動 T F T、2 0 3 は駆動 T F T 2 0 2 のゲートとドレインをショートし、ダイオード化するリセット T F T、2 0 4 は有機 E L 2 0 1 に流れる電流をオフする駆動制御 T F T である。

【 0 0 4 5 】

2 0 5 はデータライン 1 0 7 からのデータ電位を画素内へ供給制御する選択 T F T、2 0 6 はデータライン 1 0 7 のデータ電位を保持する保持容量、2 0 7 はリセット電位を保持するリセット容量である。

【 0 0 4 6 】

2 1 1 は有機 E L 素子 2 0 1 に電流を供給する電源ライン、2 1 2 は保持容量の片方の端子電位を固定する固定電位ラインである。 10

【 0 0 4 7 】

駆動 T F T 2 0 2 のソース端子は電源ライン 2 1 1 に、ドレイン端子は駆動制御 T F T 2 0 4 のソース端子とリセット T F T 2 0 3 のソース端子に、ゲート端子はリセット容量 2 0 7 の片方の端子とリセット T F T 2 0 3 のドレイン端子に接続される。

【 0 0 4 8 】

リセット T F T 2 0 3 のゲート端子は第 1 リセットライン 1 0 9 に、駆動制御 T F T 2 0 4 のゲート端子は第 2 リセットライン 1 1 0 に接続され、駆動制御 T F T 2 0 4 のドレイン端子は有機 E L 素子 2 0 1 のアノードに接続される。

【 0 0 4 9 】

選択 T F T 2 0 5 のゲート端子はゲートライン 1 0 8 に、ドレイン端子はデータライン 1 0 7 に接続され、ソース端子は保持容量 2 0 6 の片方の端子とリセット容量 2 0 7 の片方の端子に接続される。 20

【 0 0 5 0 】

なお、選択 T F T 2 0 5、駆動 T F T 2 0 2、リセット T F T 2 0 3 および駆動制御 T F T 2 0 4 は、いずれも p チャネル T F T である。なお、これら T F T 2 0 5、2 0 3、2 0 4 は n チャネルでもよい。

【 0 0 5 1 】

このような画素回路において、まずゲートライン 1 0 8、第 1 リセットライン 1 0 9 を L レベルにするとともに、第 2 リセットライン 1 1 0 を L レベルから H レベルに移行する。これによって、選択 T F T 2 0 5 がオン、リセット T F T 2 0 3 がオンし、駆動制御 T F T 2 0 4 がオンからオフに移行する。また、データライン 1 0 7 の電圧をプリチャージ電位にセットする。従って、駆動 T F T 2 0 2 はダイオード接続され、電源ライン 2 1 1 からの電流駆動 T F T 2 0 2、駆動制御 T F T 2 0 4 を介し有機 E L 2 0 1 に流れた後、駆動制御 T F T 2 0 4 がオフする。リセット T F T 2 0 3 がオンして駆動 T F T 2 0 2 がダイオード接続されることで、駆動 T F T 2 0 2 のゲート電圧は、電源ライン 2 1 1 より駆動 T F T 2 0 2 のしきい値電圧だけ低い電圧にセットされる。一方、リセット容量 2 0 7 の他端はプリチャージ電位にセットされ、これらの差の電圧がリセット容量 2 0 7 にチャージされる。なお、保持容量 2 0 6 には、固定電位ライン 2 1 2 の固定電位とプリチャージ電位の差がチャージされる。 30 40

【 0 0 5 2 】

次に、リセットライン 1 0 9、1 1 0 を H レベルとして、リセット T F T 2 0 3、駆動制御 T F T 2 0 4 をオフし、その後データライン 1 0 7 にデータ電位を供給する。これによって、リセット容量 2 0 7 のゲート T F T 2 0 5 側の電位はデータ電位にセットされ、保持容量 2 0 6 には、データ電位と固定電位の差の電圧がチャージされ、この電圧が保持容量 2 0 6 によって保持される。一方、駆動 T F T 2 0 2 のゲート電圧は、プリチャージ電位とデータ電位の差分だけシフトする。例えば、ゲート電圧を V_g 、プリチャージ電圧を V_{pr} 、データ電圧を V_D 、電源ライン 2 1 1 の電圧を V_{DD} 、駆動 T F T 2 4 のしきい値電圧を V_{th} とすると、 $V_g = V_{th} - (V_{pr} - V_D)$ となる。

【 0 0 5 3 】

このようにして、駆動TF T 2 0 2のゲート電圧が、駆動TF T 2 0 2のしきい値電圧およびデータ電位に応じた電圧にセットできるため、第2リセットラインをLレベルとして駆動制御トランジスタ2 0 4をオンするとともに、1水平期間の終了に伴いゲートライン1 0 8をHレベルとしてゲートTF T 2 0 5をオフする。これによって、上述のようにして設定されたゲート電圧によって駆動TF T 2 0 2が駆動されて、その駆動電流が有機EL 2 0 1に供給され、駆動TF T 2 0 2のしきい値電圧を補償した駆動電流によって有機EL 2 0 1が発光する。

【0054】

図3を用いてデータドライバ1 0 2、プリチャージ回路1 0 4の構成を説明する。

【0055】

10

3 0 1はシフトレジスタ、3 0 2はビデオスイッチ、3 1 1はビデオ信号ラインで、図3のデータドライバ1 0 2はRGBそれぞれ1系統のデータドライバ構成を示している。

【0056】

シフトレジスタ3 0 1は入力パルス(例えば、1つHレベル)を所定のクロックに同期して順次シフトレジスタ1からnまでシフトする。出力端子Hi($i = 1 \sim n$)には入力パルスをシフトレジスタ1~nにシフトしたパルスが出力され、このパルスでビデオスイッチ3 0 2が制御され(順次オンされ)、該当するビデオ信号を対応するデータライン1 0 7に出力するとともにサンプルホールドする。

【0057】

また、プリチャージ回路1 0 4は、3 0 3のプリチャージスイッチ、3 1 2のプリチャージ制御ライン、3 1 3のプリチャージラインから構成され、プリチャージ制御ライン3 1 2を制御することでプリチャージライン3 1 3に供給されているプリチャージ電位をデータライン1 0 7に1ライン一括でチャージできる。

20

【0058】

すなわち、入力パルスが、1水平期間の中でシフトレジスタ1~nに順次シフトされ、RGB3系統のビデオ信号ラインからのビデオ信号が1水平ラインの後半に順次対応するデータライン1 0 7に供給される。なお、この例では、画素は1列ずつR(赤)、G(緑)、B(青)であり、これら列の画素については並列してデータが書き込まれる。このデータの書き込みは、1水平期間の後半に行われる。一方、これらデータライン1 0 7には、その水平期間の前半にプリチャージ電位が書き込まれる。このため、選択された水平ラインの画素については、プリチャージ電位が供給された後、データ電位が供給される。他の水平ラインについてはプリチャージ電位の書き込み(リセット)のみが行われるがこれについての説明は後述する。

30

【0059】

図4を用いてゲートドライバ1 0 3の構成を説明する。

【0060】

4 0 1はシフトレジスタ、4 0 2はゲートイネーブル回路、4 0 3は第1リセットイネーブル回路、4 0 4は第2リセットイネーブル回路、4 0 5はゲートバッファ、4 0 6は第1リセットバッファ、4 0 7は第2リセットバッファである。

【0061】

40

E 1、E 2はそれぞれ奇数ライン、偶数ラインのゲートイネーブル制御ライン、R 1、R 2はそれぞれ第1リセット制御ライン、第2リセット制御ラインである。

【0062】

奇数ラインのゲートイネーブル回路はゲートイネーブル制御ラインE 1に接続され、偶数ラインのゲートイネーブル回路はゲートイネーブル制御ラインE 2に接続されている。全ラインの第1リセットイネーブル回路は第1リセット制御ラインR 1に、全ラインの第2リセットイネーブル回路は第2リセット制御ラインR 2に接続されている。

【0063】

また、各ラインのイネーブル回路4 0 2、4 0 3、4 0 4は各シフトレジスタ出力Vi($i = 0 \sim n$)に接続され、シフトレジスタ出力ViとE 1、E 2、R 1、R 2により、

50

ゲートライン、第 1、第 2 リセットラインを制御する。

【 0 0 6 4 】

イネーブル回路 4 0 2 , 4 0 3 , 4 0 4 は、アンドゲートであり、入力される両方の信号が H レベルの時にのみ H レベルを出力する。従って、奇数行の V_i が入力されるイネーブル回路 4 0 2 からは、該当する V_i が H レベルの時に E 1 が出力され、これがゲートバッファ 4 0 5 で反転されてゲートライン 1 0 8 に出力される。従って、ゲートイネーブル制御信号 E 1 が H レベルの期間に画素回路の選択 T F T 2 0 5 がオンされる。一方、イネーブル回路 4 0 3 は、 V_i が H レベルの時に、R 1 を出力し、これが第 1 リセットバッファ 4 0 6 で反転されて第 1 リセットライン 1 0 9 に供給される。従って、第 1 リセット制御信号 R 1 が H レベルの期間、第 1 リセットライン 1 0 9 が L レベルになり、リセット T F T 2 0 3 がオンする。さらに、イネーブル回路 4 0 4 は、 V_i が H レベルの時に、R 2 を出力し、これが第 2 リセットバッファ 4 0 7 からそのままの極性で第 2 リセットライン 1 1 0 に供給される。従って、該当する V_i が H レベルの期間は、第 2 リセット制御信号 R 2 が H レベルの期間に、第 1 リセットライン 1 0 9 が L レベルになり、駆動制御 T F T 2 0 3 がオンする。また、該当する V_i が L レベルの期間は、第 2 リセットライン 1 1 0 が L レベルになり、駆動制御 T F T 2 0 4 がオンする。

10

【 0 0 6 5 】

図 5 を用いて本実施形態の駆動方法について説明する。

【 0 0 6 6 】

図 5 は、横軸に時間、縦軸にラインをとり、フレーム期間の表示状態を示す図である。このように、各ライン（水平走査ライン）は、1 フレーム期間が、映像データを表示する表示期間と駆動 T F T をリセットするリセット期間に分割されている。すなわち、一定期間の表示期間の後に一定期間のリセット期間が割り付けられている。

20

【 0 0 6 7 】

まず、第 1 ラインから映像データを順次書き込み、書き込みが終わったラインについては表示期間に移る。そして、所定の期間を置いて、全ラインの映像データの書き込みを終える前に、すでに映像データに応じた電流を流している水平ラインの画素についてリセットを行い、表示期間を終了してリセット期間に入る。なお、この実施形態では、画素のリセットすなわちその画素の駆動 T F T のリセットを複数回に分けて順次行う。

【 0 0 6 8 】

図 5 において、X - X' 区間に着目すると、第 k_0 ラインは映像データの書き込みが行われ、第 k_1 ライン、第 k_2 ラインはリセットが行われている。

30

【 0 0 6 9 】

例えば、垂直走査方向に 4 8 0 の水平ラインがあり、 k_0 が 1 1 番目のラインとし、表示期間とリセット期間を 5 0 % ずつとした場合を考える。この場合には、第 1 1 水平走査期間において、 $V_{k_0} = V_{11}$ が H レベルになる。これによって、第 1 1 水平ラインの画素についてリセットおよびデータ書き込みが行われ、次の第 1 2 水平走査期間から表示期間に入る。表示期間は 2 4 0 水平走査期間であり、第 2 5 2 水平走査期間において、 $V_{k_0} = V_{11}$ が H レベルになる。この第 2 5 2 水平走査期間においては、第 2 5 2 ラインにおいて、リセットおよびデータ書き込みが行われるが、第 1 1 ラインの画素については、リセットのみが行われる。従って、第 1 1 ラインの画素による表示は、このリセットによって終了し、リセット期間に入る。その後、第 2 5 4 水平走査期間～次フレームの第 1 0 水平走査期間の間の任意の偶数水平走査期間（ k_1 のライン）において、 V_{11} を H レベルにすることで、リセット期間中において一度リセットが行われる。なお、このリセット期間中のリセットの回数をさらに増やすことも好適である。

40

【 0 0 7 0 】

図 6、図 7、図 8 を用いて、データドライバ 1 0 2、ゲートドライバ 1 0 3、プリチャージ回路 1 0 4 の、図 5 で示した制御過程を詳細に説明する。

【 0 0 7 1 】

図 6 において、6 0 1 はゲートドライバ 1 0 3 のシフトレジスタに入力する入力パルス

50

、602は入力パルス601をシフトするためのクロック、603はシフトレジスタ出力V1のシフトパルスで、このパルスが順次垂直走査方向にシフトされ、Viに出力されていく。なお、クロック602の周期は、水平走査期間に対応している。

【0072】

604は第k0ラインのシフトレジスタ出力パルス、605は第k1ラインのシフトレジスタ出力パルス、606は第k2ラインのシフトレジスタ出力パルスで、X-X'区間ではいずれもアクティブである。上述したように、この例では、出力パルス604、605、606ともに、図における最初のパルスがリセットおよびデータ書き込みを行う表示期間の開始のパルスで、2つ目のパルスがリセットのみを行うリセット期間開始のパルス、3つ目がリセット期間中における再度のリセットのためのパルスである。

10

【0073】

図7において、701はX-X'区間におけるシフトレジスタ出力V_{k0}、V_{k1}、V_{k2}の出力パルス、702は同区間におけるシフトレジスタ出力V_{k0+1}、V_{k1+1}、V_{k2+1}の出力パルス、703は奇数ラインのイネーブル制御ラインE1、704は偶数ラインのイネーブル制御ラインE2、705は第1リセット制御ラインR1、706は第2リセット制御ラインR2、707はプリチャージ制御ライン、708はデータライン107のデータ電位である。

【0074】

図8は図2の画素回路の動作テーブルで、データドライバ102、ゲートドライバ103、プリチャージ回路104を本実施形態に示すように構成した場合に、各パルスレベルに応じた画素の動作を示している。

20

【0075】

図8の動作テーブルに基づいて、図7における画素の動作を説明する。

【0076】

図7ではk0は奇数、k1、k2は偶数となるように、入力パルス601を入力しているものとする、X-X'区間の前半であるX-Y区間は、E1がHレベル、R1、R2がHレベル、プリチャージがイネーブルであるから、図8(1)より、k0ラインはリセット期間である。また、E2がLレベルからHレベルに移行するので、図8(4)より、k1、k2ラインもリセット期間である。

【0077】

すなわち、k0、k1、k2のいずれのラインにおいても、ViはHレベルであり、ゲートライン108、第1リセットライン109がLレベル、第2リセットライン110がLレベルからHレベルに移行するので、駆動TF T202のゲート電位がしきい値電圧V_{th}にリセットされる。

30

【0078】

X-X'区間の後半であるY-X'区間は、E1とR2がHレベル、R1がLレベル、プリチャージがディスエーブルであるから、図8(2)より、k0のみデータ書き込みを行う。すなわち、k0においては、E1はY-X'もHレベルであることからk0ラインの選択TF T205はオンであり、データライン107のデータ電位が保持容量206に充電される。一方、k1、k2ラインにおいては、E2がY-X'においてLレベルであることから対応する選択TF T205がオフとなり、データライン107のデータ電位は保持容量206に充電されない。

40

【0079】

このように、X-X'区間ではk0ラインはリセット後データを書き込み、k1、k2ラインはリセットのみ行われる。

【0080】

X'-X''区間に入ると、図8(3)より、k0ラインは上述のようにしてデータが書き込まれているため、書き込まれたデータの表示を開始する。一方、k1、k2ラインでは、リセット状態であるため、リセット期間が継続される。

【0081】

50

また、 $X' - X''$ 区間では、偶数ラインの $k_0 + 1$ ライン、奇数ラインの $k_1 + 1$ 、 $k_2 + 1$ は、その前半 $X' - Y'$ で、それぞれ図 8 (4)、(1) の状態であるため、リセット期間となり、後半 $Y' - X''$ では $k_0 + 1$ ラインのみデータを書き込む。

【0082】

順次このように駆動することで、図 5 に示したようにフレーム期間に表示期間とリセット期間を設けることができる。

【0083】

本実施形態では各ラインで 1 フレーム期間に 3 回リセットが行っているが、1 回のリセット期間が十分に確保できない場合、さらに何度もリセットを行うと、リセット電位が安定するため望ましい。

【0084】

また、入力パルス 601 のパルス間隔 (リセットおよびデータ書き込みを行うパルスと、リセットのみを行う最初のパルスとの間隔) を制御することで、表示期間とリセット期間の割合を可変とすることが可能である。図 13 はリセット期間を 25%、50%、75% と変化させた場合のデータ電圧 V_d と輝度との関係を示す。リセット期間の割合を増加すると表示期間が短くなるため、同じ階調特性を維持して全体を暗くすることができる。

【0085】

これらの機能は、例えば電流計測回路 115 とともに用いることで、図 14 に示すような外光による TFT のリーク電流補償を行うことができる。

【0086】

図 2 の画素回路において、リーク電流による影響は選択 TFT 204 のリークによるものと駆動 TFT 202 の電流特性の変化によるものがある。前者は保持容量 206 に保持されるリセット電荷を流出させるため、時間の経過に伴い、階調電圧を変化させてしまう。また、後者は駆動 TFT 204 の電流がより流れるように作用するため、映像の黒レベルが浮いてしまい表示品質が維持できなくなる。すなわち、黒レベルにおける電流量が大きくなり、ある程度の輝度が生じてしまう。

【0087】

図 14 は、照明下で本実施形態のディスプレイを使用した場合のリーク電流補正システムの構成を示す図である。1401 は電流値予測回路、1402 は比較回路、1403 はリセット期間及びリセット回数制御回路である。

【0088】

このシステムにおいては、まず入力データから表示アレイに流れる全電流値を予測するため、まず電流値予測回路 1401 が電流値を予測する。そして、予測された電流値と、電流計測回路 115 からの電流値とを比較回路 1402 で比較し、予測値と検出電流値の差に応じてリセット期間とリセット回数を変化させる。

【0089】

制御回路 1403 でリセット回数を増加させることにより、リセット TFT 203 におけるリークが増大しても何度もリセットチャージすることで、リセット電荷を補うことができる。また、リセット期間を増加させることで、駆動 TFT 202 の電流増加分をキャンセルできる。

【0090】

なお、実際には、比較回路 1402 において、電流差を検出した場合、即座に表示に反映するとフリッカとなるため、電流差に対し、ヒステリシスを持たせ、シュミットトリガ型で反映させるような制御をすることが望ましい。

【0091】

さらに、これらのリセット期間、リセット回数についての調整機能は、リーク電流補正として使用しなくてもよい。例えば、リセット期間を長くして、表示期間を短くすることは、ブラウン管のような発光特性を擬似的に再現することになるため、動画視認性を向上させることができる。よって、表示期間を短くした分、電源電圧を高くし、電流値を増加させることで TV などの動画アプリケーションに応用できる。

10

20

30

40

50

【0092】

「実施形態2」

図9は、実施形態2におけるデータドライバ102の内部構成である。図9はより高精度なディスプレイを実現するために考案された例であり、ビデオ信号ライン311を、第1のビデオ信号ライン(R1、G1、B1)と第2のビデオ信号ライン(R2、G2、B2)を有する2系統のビデオ信号ラインに拡張している。そして、1つのシフトレジスタ1~nからの信号Hi(i=1~n)によって、2系統のビデオ信号ラインの3つずつ(計6つ)のラインをそれぞれ対応するデータライン107に接続する。これによって、シフトレジスタの1パルスで2倍の画素のビデオ信号をサンプルホールドできるため、より高解像度なパネルを駆動できる。

10

【0093】

ただし、ビデオ信号ライン311を2系統、もしくはそれ以上とすると、アナログビデオ信号を生成するビデオ回路が2系統、もしくはそれ以上必要となり、両者のゲインのばらつきによって、隣り合う画素に表示ばらつきが発生する。

【0094】

図10はその表示ばらつきを抑制するために設けた回路で、1001は2系統のビデオ回路の第1ビデオ回路、1002は第2ビデオ回路である。1003は2系統のビデオ信号ライン311の第1ビデオ信号ラインに接続される第1ビデオスイッチ、1004は第2のビデオ信号ラインに接続される第2ビデオスイッチである。

【0095】

ビデオ回路1001の出力は第1、第2ビデオスイッチ1003、1004の端子1に、ビデオ回路1002の出力は第1、第2ビデオスイッチ1003、1004の端子2に接続されている。従って、第1、第2ビデオスイッチ1003、1004において、第1ビデオ信号と、第2ビデオ信号を交互に選択し、かつ両者において異なるビデオ信号を選択することができる。

20

【0096】

図11は、ビデオスイッチ1003、1004の切り替えタイミングチャートである。1101はゲートドライバ103のシフトレジスタ401に入力する入力パルス、1102は入力パルス1101をシフトするクロック、1103はデータドライバ102のシフトレジスタ301に入力する入力パルス、1104はビデオスイッチ1103、1104を切り替える切り替え信号、1105は第1ビデオ信号ライン上のビデオ信号、1106は第2ビデオ信号ライン上のビデオ信号である。

30

【0097】

切り替えは切り替え信号1104のタイミングで、奇数ラインと偶数ライン、奇数フレームと偶数フレームで交互に切り替える。このようにすると、各画素はフレーム毎にビデオ回路1001と1002の信号が交互に書き込まれるため、表示ばらつきが平滑化される。

【0098】

また、ライン毎にも切り替えることで、フリッカを抑制することができ、ビデオ回路1001、1002の出力特性が異なっても表示ばらつきを目立たないようにすることができる。なお、この回路は制御回路106の内部に組み込んでもよいし、ガラス基板上に形成してもよい。

40

【0099】

「実施形態3」

図15は、従来から周知の画素回路であり、有機EL素子201の他に、選択TF T 205と、駆動TF T 202の2つのTF Tと、1つの保持容量206を有している。選択TF T 205のソースはデータライン107に接続され、ドレインは駆動TF T 202のゲートに接続されており、ゲートはゲートライン108に接続されている。また、駆動TF T 202のゲートには、他端が固定電位ライン212に接続された保持容量206の非固定電位端が接続されている。駆動TF T 202のソースは電源ライン211に接続され

50

、ドレインは有機EL素子201のアノードに接続されている。有機EL素子201のカソードはカソード電源に接続されている。

【0100】

この回路においても、上述との実施形態と同様に、1水平期間の前半において、データライン107にプリチャージ電圧が供給され、後半において書き込みが行われる水平走査ラインについてのみデータ書き込みを行う。

【0101】

なお、この実施形態の場合、リセットラインがないため、図4の回路におけるイネーブル回路403、404は不要で、イネーブル回路402のみを設ければよい。また、図7においても、R1、R2は不要である。

【0102】

このような回路を利用した場合においても、上述の実施形態と同様に、リセット時間を可変することができる。

【0103】

なお、本発明のリセット動作は、画素回路は図2および図15の画素回路に限定されることなく、図12に記載されているような画素回路など各種の画素回路、さらに対向電極で液晶等を挟持した画素においても適用することができる。

【0104】

また、ゲートドライバの構成は図4に限定されない。例えば、図16に示すように、3本、もしくはそれ以上のイネーブル制御ラインを用いてもよい。すなわち、3本のイネーブル制御ラインを用いる図16の構成の場合、イネーブル回路402は3ライン毎に3つのイネーブル制御ラインE1、E2、E3のいずれか同じイネーブル制御ラインに接続され、そのうち1本を映像書き込みのために選択し、残りの少なくとも1本をリセット書き込みのために選択してもよい。このようなゲートドライバによっても、上述と同様のリセット動作が達成される。

【図面の簡単な説明】

【0105】

【図1】実施形態1の全体構成図である。

【図2】画素回路の構成を示す図である。

【図3】実施形態1のデータドライバ及びプリチャージ回路を示す図である。

【図4】ゲートドライバの構成図である。

【図5】駆動シーケンス説明図である。

【図6】パネル駆動タイミングチャートである。

【図7】パネル駆動タイミングチャート拡大図である。

【図8】各行の画素回路の動作を示す動作テーブルである。

【図9】実施形態2のデータドライバ及びプリチャージ回路を示す図である。

【図10】表示ばらつき平滑化回路の構成を示す図である。

【図11】表示ばらつき平滑化回路の駆動タイミングチャートである。

【図12】従来例の画素回路を示す図である。

【図13】リセット期間と輝度との関係を示す図である。

【図14】電流計測値に基づく制御の構成を示す図である。

【図15】画素回路の他の構成例を示す図である。

【図16】ゲートドライバの他の構成例を示す図である。

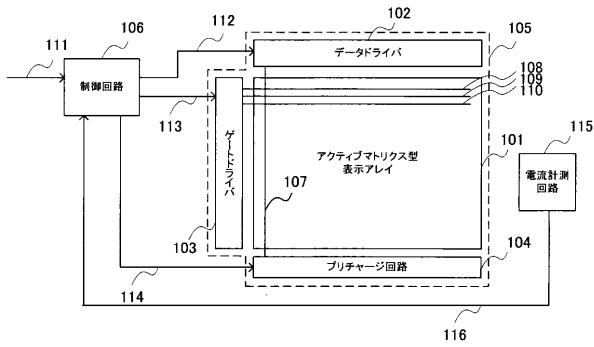
【符号の説明】

【0106】

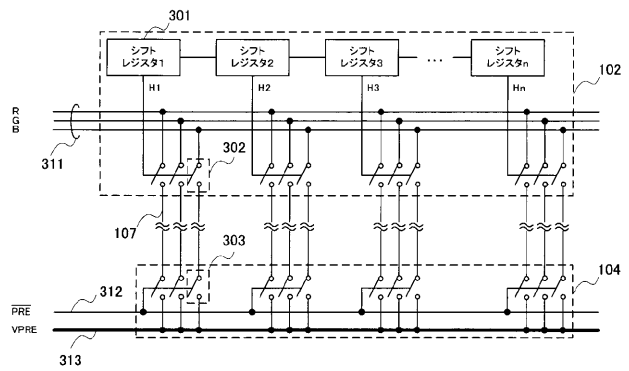
101 アクティブマトリクス型表示アレイ、102 データドライバ、103 ゲートドライバ、104 プリチャージ回路、105 表示デバイス、106 制御回路、107 データライン、108 ゲートライン、109 第1リセットライン、110 第2リセットライン、112 データ制御バス、113 ゲート制御バス、115 電流計測回路、116 信号ライン、201 有機EL素子、204 駆動制御TFT、206

保持容量、207 リセット容量、211 電源ライン、212 固定電位ライン、301 シフトレジスタ、302 ビデオスイッチ、310 データライン、311 ビデオ信号ライン、312 プリチャージ制御ライン、313 プリチャージライン、401 シフトレジスタ、402, 403, 404 イネーブル回路、405 ゲートバッファ、406 リセットバッファ、1001, 1002 ビデオ回路、1003, 1004 ビデオスイッチ、1401 電流値予測回路、1402 比較回路、1403 制御回路。

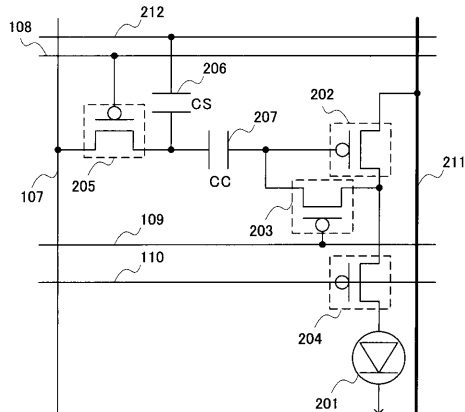
【図1】



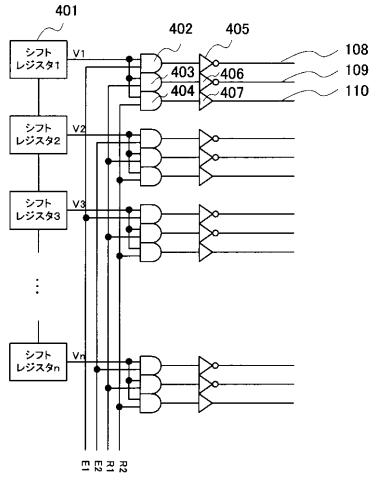
【図3】



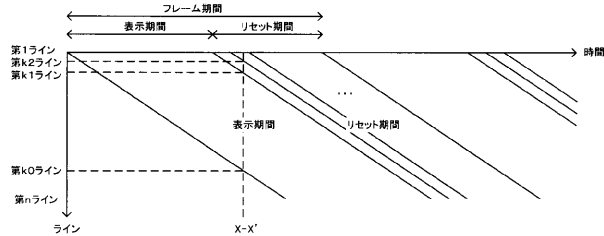
【図2】



【図4】



【図5】

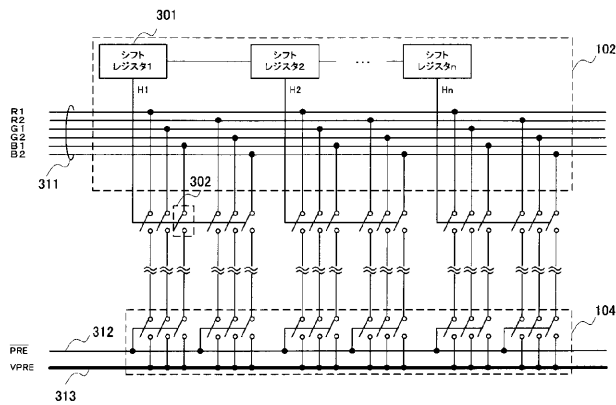


【図8】

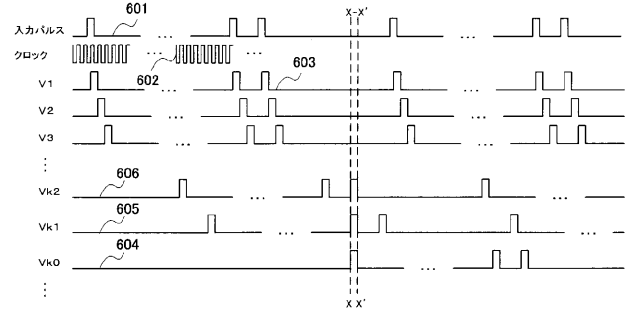
		V2n-1	V2n	E1	E2	R1	R2	$\overline{\text{PRE}}$	DATA
(1)	第2n-1ラインリセット	H	-	H	-	H	H	L	VRST
(2)	第2n-1ラインデータ書き込み	H	-	H	-	L	H	H	VDATA
(3)	第2n-1ライン点灯	L	-	-	-	-	-	-	-
(4)	第2nラインリセット	-	H	-	H	H	H	L	VRST
(5)	第2nラインデータ書き込み	-	H	-	H	L	H	H	VDATA
(6)	第2nライン点灯	-	L	-	-	-	-	-	-

- don't care

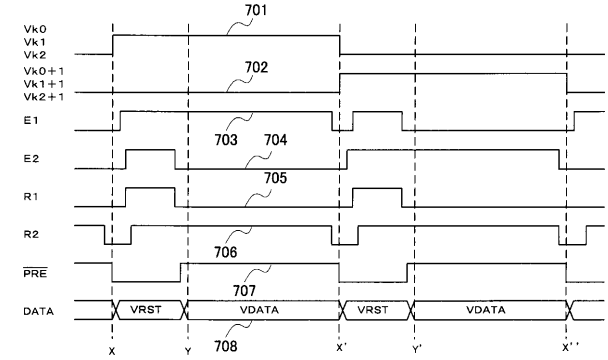
【図9】



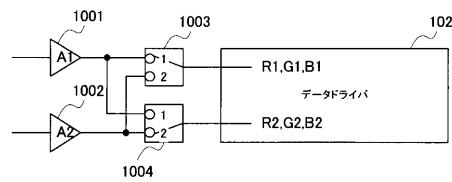
【図6】



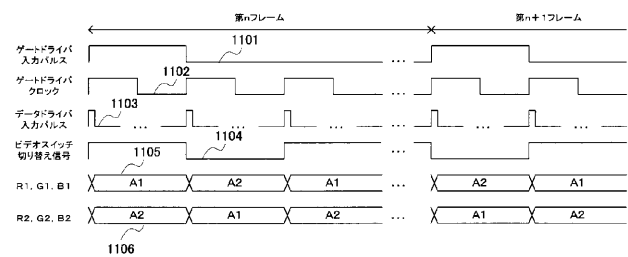
【図7】



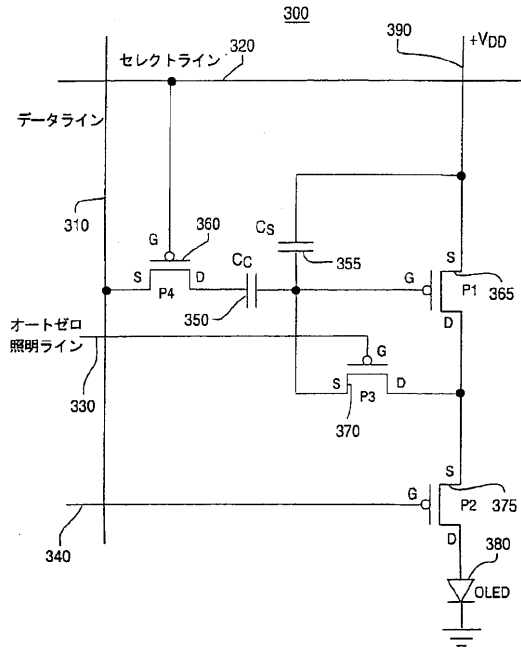
【図10】



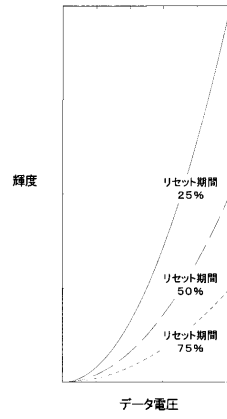
【図11】



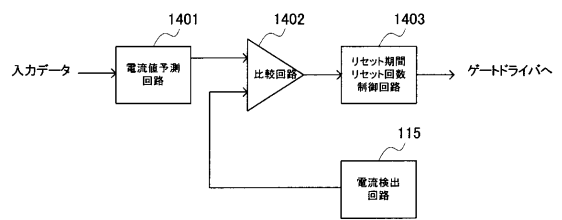
【図12】



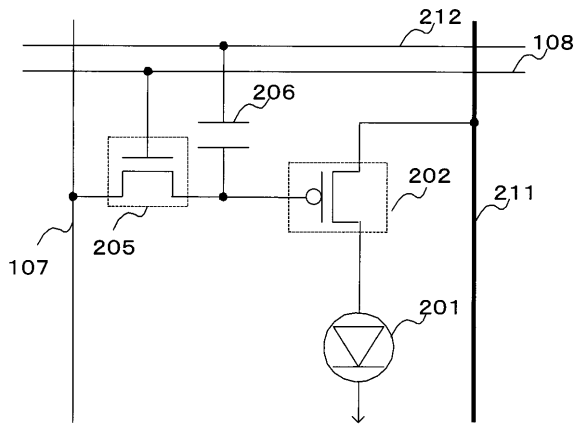
【図13】



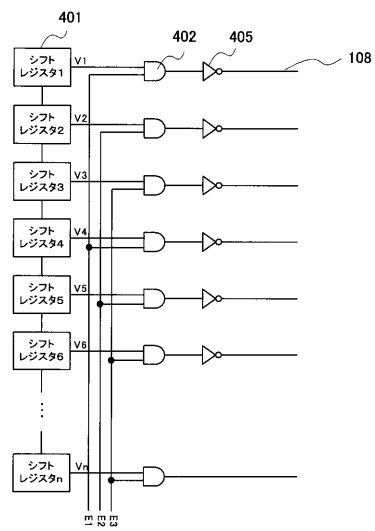
【図14】



【図15】



【図16】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 W
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 J
G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 8 0 G
H 0 5 B	33/14	A

【要約の続き】

专利名称(译)	表示装置		
公开(公告)号	JP2005326793A	公开(公告)日	2005-11-24
申请号	JP2004147073	申请日	2004-05-17
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
[标]发明人	川边和佳		
发明人	川边 和佳		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.612.R G09G3/20.621.M G09G3/20.623.R G09G3/20.623.W G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.J G09G3/20.642.P G09G3/20.680.G H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD04 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/EE59 3K107/EE66 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB24 5C380/AB34 5C380/AC12 5C380/BA01 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BA45 5C380/BB02 5C380/BB09 5C380/BB25 5C380/BE04 5C380/CA02 5C380/CA09 5C380/CA12 5C380/CA24 5C380/CA46 5C380/CA53 5C380/CB01 5C380/CB07 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB25 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC62 5C380/CC64 5C380/CD012 5C380/CD024 5C380/CF07 5C380/CF22 5C380/CF23 5C380/CF32 5C380/CF51 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA35 5C380/DA42 5C380/DA47 5C380/FA03 5C380/FA09		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP4855652B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：适当地设定在显示装置的发光元件中流动的电流。
 解决方案：驱动电流通过驱动TFT 202和驱动控制TFT 204提供给有机EL元件201。驱动TFT 202的栅极和漏极通过复位TFT 203和驱动TFT的栅极相互连接。202通过复位电容器207和选择TFT205连接到日期线107。此外，选择TFT205和复位电容器207的结点通过保持电容器206连接到固定电位线212。数据电位在栅极已经复位到其阈值电压之后，通过将数据线107设置在一个水平周期的前半部分中的复位电位并将其设置为数据电位，将栅极设置在驱动TFT202的栅极处。下半场。另外，当关于另一水平线的像素电路写入数据时，仅通过重置来限制显示周期。之

