

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5099069号
(P5099069)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年10月5日(2012.10.5)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 K
G09G 3/20 624B
G09G 3/20 611H
G09G 3/20 621A
G09G 3/20 642A

請求項の数 8 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2009-106686 (P2009-106686)
 (22) 出願日 平成21年4月24日(2009.4.24)
 (62) 分割の表示 特願2005-328334 (P2005-328334)
 の分割
 原出願日 平成17年11月14日(2005.11.14)
 (65) 公開番号 特開2009-169430 (P2009-169430A)
 (43) 公開日 平成21年7月30日(2009.7.30)
 審査請求日 平成21年5月25日(2009.5.25)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 画素回路及び画素回路の駆動方法、並びに、表示装置及び表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

少なくとも、サンプリングトランジスタと、ドライブトランジスタと、画素容量と、発
光素子とを含み、

サンプリングトランジスタにあっては、ゲートは走査線に接続されており、ソース及び
ドレインの一方は信号線に接続されており、ソース及びドレインの他方はドライブラン
ジスタのゲートに接続されており、

ドライブトランジスタにあっては、ソース及びドレインの一方は発光素子の一端に接続
されており、

画素容量は、ドライブトランジスタのゲートとソース及びドレインの一方との間に接続
されている画素回路であって、

ドライブトランジスタのソース及びドレインの他方が電源から切り離された後、基準電
位との差がドライブトランジスタの閾電圧より大きい一定電位がドライブトランジスタの
ゲートに供給され、且つ、ドライブトランジスタのソース及びドレインの一方に基準電位
が供給され、

その後、該一定電位がドライブトランジスタのゲートに複数回供給されると共に、ソー
ス及びドレインの他方が電源に接続されたドライブトランジスタを介して電流を流すこと
によって、ドライブトランジスタのソース及びドレインの一方の電位を該一定電位に近づ
け、

次いで、サンプリングトランジスタを介して信号線から信号電位がドライブトランジス

10

20

タのゲートに供給される画素回路。

【請求項 2】

信号線から信号電位がドライブトランジスタのゲートに供給されている間に、ソース及びドレインの他方が電源に接続されたドライブトランジスタを介して流れる電流によって、ドライブトランジスタのソース及びドレインの一方の電位を該信号電位に近づける請求項 1 に記載の画素回路。

【請求項 3】

行状に配された走査線、列状に配された信号線、及び、行列状に配された画素回路を備えており、

画素回路は、少なくとも、サンプリングトランジスタと、ドライブトランジスタと、画素容量と、発光素子とを含み、

サンプリングトランジスタにあっては、ゲートは走査線に接続されており、ソース及びドレインの一方は信号線に接続されており、ソース及びドレインの他方はドライブトランジスタのゲートに接続されており、

ドライブトランジスタにあっては、ソース及びドレインの一方は発光素子の一端に接続されており、

画素容量は、ドライブトランジスタのゲートとソース及びドレインの一方との間に接続されている表示装置であって、

ドライブトランジスタのソース及びドレインの他方が電源から切り離された後、基準電位との差がドライブトランジスタの閾電圧より大きい一定電位がドライブトランジスタのゲートに供給され、且つ、ドライブトランジスタのソース及びドレインの一方に基準電位が供給され、

その後、該一定電位がドライブトランジスタのゲートに複数回供給されると共に、ソース及びドレインの他方が電源に接続されたドライブトランジスタを介して電流を流すことによって、ドライブトランジスタのソース及びドレインの一方の電位を該一定電位に近づけ、

次いで、サンプリングトランジスタを介して信号線から信号電位がドライブトランジスタのゲートに供給される表示装置。

【請求項 4】

信号線から信号電位がドライブトランジスタのゲートに供給されている間に、ソース及びドレインの他方が電源に接続されたドライブトランジスタを介して流れる電流によって、ドライブトランジスタのソース及びドレインの一方の電位を該信号電位に近づける請求項 3 に記載の表示装置。

【請求項 5】

少なくとも、サンプリングトランジスタと、ドライブトランジスタと、画素容量と、発光素子とを含み、

サンプリングトランジスタにあっては、ゲートは走査線に接続されており、ソース及びドレインの一方は信号線に接続されており、ソース及びドレインの他方はドライブトランジスタのゲートに接続されており、

ドライブトランジスタにあっては、ソース及びドレインの一方は発光素子の一端に接続されており、

画素容量は、ドライブトランジスタのゲートとソース及びドレインの一方との間に接続されている画素回路の駆動方法であって、

ドライブトランジスタのソース及びドレインの他方を電源から切り離した後、基準電位との差がドライブトランジスタの閾電圧より大きい一定電位をドライブトランジスタのゲートに供給し、且つ、ドライブトランジスタのソース及びドレインの一方に基準電位を供給し、

その後、該一定電位をドライブトランジスタのゲートに複数回供給すると共に、ソース及びドレインの他方が電源に接続されたドライブトランジスタを介して電流を流すことによって、ドライブトランジスタのソース及びドレインの一方の電位を該一定電位に近づけ

10

20

30

40

50

、
次いで、サンプリングトランジスタを介して信号線から信号電位をドライブトランジスタのゲートに供給する画素回路の駆動方法。

【請求項 6】

信号線から信号電位をドライブトランジスタのゲートに供給している間に、ソース及びドレインの他方が電源に接続されたドライブトランジスタを介して流れる電流によって、ドライブトランジスタのソース及びドレインの一方の電位を該信号電位に近づける請求項 5 に記載の画素回路の駆動方法。

【請求項 7】

行状に配された走査線、列状に配された信号線、及び、行列状に配された画素回路を備えており、

画素回路は、少なくとも、サンプリングトランジスタと、ドライブトランジスタと、画素容量と、発光素子とを含み、

サンプリングトランジスタにあっては、ゲートは走査線に接続されており、ソース及びドレインの一方は信号線に接続されており、ソース及びドレインの他方はドライブトランジスタのゲートに接続されており、

ドライブトランジスタにあっては、ソース及びドレインの一方は発光素子の一端に接続されており、

画素容量は、ドライブトランジスタのゲートとソース及びドレインの一方との間に接続されている表示装置の駆動方法であって、

ドライブトランジスタのソース及びドレインの他方を電源から切り離した後、基準電位との差がドライブトランジスタの閾電圧より大きい一定電位をドライブトランジスタのゲートに供給し、且つ、ドライブトランジスタのソース及びドレインの一方に基準電位を供給し、

その後、該一定電位をドライブトランジスタのゲートに複数回供給すると共に、ソース及びドレインの他方が電源に接続されたドライブトランジスタを介して電流を流すことによって、ドライブトランジスタのソース及びドレインの一方の電位を該一定電位に近づけ

、
次いで、サンプリングトランジスタを介して信号線から信号電位をドライブトランジスタのゲートに供給する表示装置の駆動方法。

【請求項 8】

信号線から信号電位をドライブトランジスタのゲートに供給している間に、ソース及びドレインの他方が電源に接続されたドライブトランジスタを介して流れる電流によって、ドライブトランジスタのソース及びドレインの一方の電位を該信号電位に近づける請求項 7 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動する画素回路に関する。より詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機 EL 素子などの発光素子に流れる電流量を制御する、いわゆるアクティブマトリクス型の表示装置に適用する画素回路に関する。

【背景技術】

【0002】

画像表示装置、例えば、液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって、画像を表示する。これは、有機 EL 素子を画素に用いた有機 EL ディスプレイなどにおいても同様であるが、液晶画素と異なり、有機 EL 素子は自発光素子である。そのため、有機 EL ディスプレイは、液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レ

10

20

30

40

50

ベル（階調）は、それに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【 0 0 0 3 】

有機ＥＬディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として、単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型、且つ、高精細のディスプレイの実現が難しいなどの問題があるため、現在は、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、ＴＦＴ）によって制御するものであり、以下の特許文献に記載がある。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献１】特開 2 0 0 3 - 2 5 5 8 5 6

【特許文献２】特開 2 0 0 3 - 2 7 1 0 9 5

【特許文献３】特開 2 0 0 4 - 1 3 3 2 4 0

【特許文献４】特開 2 0 0 4 - 0 2 9 7 9 1

【特許文献５】特開 2 0 0 4 - 0 9 3 6 8 2

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくとも、サンプリングトランジスタと、画素容量と、ドライプトランジスタと、発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して、信号線から供給された映像信号をサンプリングする。画素容量は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライプトランジスタは、画素容量に保持された入力電圧に応じて、所定の発光期間に出力電流を供給する。尚、一般に、出力電流は、ドライプトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して、依存性を有する。発光素子は、ドライプトランジスタから供給された出力電流により、映像信号に応じた輝度で発光する。

【 0 0 0 6 】

ドライプトランジスタは、画素容量に保持された入力電圧に応じてソース／ドレイン間に出力電流が流れ、発光素子にこの電流が流れる。一般に、発光素子の発光輝度は電流量に比例している。更に、ドライプトランジスタの出力電流は、ゲート／ソース間電圧、即ち、画素容量に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライプトランジスタのゲート／ソース間に印加される入力電圧を映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

【 0 0 0 7 】

ここで、ドライプトランジスタの動作特性は、以下の式 1 で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式 1 において、 I_{ds} は、ソース／ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} は、ソースを基準としてゲートに印加されるゲート／ソース間電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} は、トランジスタの閾電圧である。又、 μ はトランジスタのチャネル領域を構成する半導体薄膜の移動度を表わしている。その他、 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート絶縁膜の容量を表わしている。このトランジスタ特性式 1 から明らかな様に、薄膜トランジスタは、飽和領域で動作する時、ゲート／ソース間電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると、上記のトランジスタ特性式 1 が示す様に、ゲート／ソース間電圧 V_{gs} が一定であれば、常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が

10

20

30

40

50

同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

【0008】

しかしながら、実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライフトランジスタの閾電圧 V_{th} がばらつくと、ゲート/ソース間電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまうため、画面のユニフォーミティを損なう。従来から、ドライフトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば、前記の特許文献3に開示がある。

10

【0009】

しかしながら、閾電圧のばらつきをキャンセルする機能（閾電圧補正機能）を組み込んだ従来の画素回路は、構成が複雑であり、画素の微細化もしくは高精細化の障害になっていた。また、従来の閾電圧補正機能を組み込んだ画素回路は、効率的でなく、回路設計の複雑化を招いていた。加えて、従来の閾電圧補正機能を備えた画素回路は、構成素子数が比較的多いため、歩留まりの低下を招いていた。

【課題を解決するための手段】

【0010】

上述した従来の技術の課題に鑑み、本発明は、閾電圧補正機能を備えた画素回路の効率化及び簡素化を図り、以て、表示装置の高精細化及び歩留まりの改善を達成することを目的とする。かかる目的を達成するために、以下の手段を講じた。即ち、本発明は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくとも、サンプリングトランジスタと、画素容量と、ドライフトランジスタと、発光素子とを含み、前記サンプリングトランジスタは、該走査線に割り当てられた水平走査期間に該走査線から供給される制御信号に応じ導通して、該信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライフトランジスタのゲートに入力電圧を印加し、前記ドライフトランジスタは、所定の発光期間中、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライフトランジスタのチャネル領域の閾電圧に対して依存性を有し、前記発光素子は、該ドライフトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、出力電流の該閾電圧に対する依存性を打ち消すために、水平走査期間の一部で動作し、該ドライフトランジスタの閾電圧を検出して、該画素容量に書き込んでおく補正手段を備えることを特徴とする。

20

30

【0011】

好ましくは、前記補正手段は、水平走査期間に該サンプリングトランジスタが導通して該画素容量の一端が該信号線により一定電位に保持された状態で動作し、該画素容量の他端から該一定電位に対する電位差が該閾電圧になるまで該画素容量を充電する。又、前記補正手段は、水平走査期間の前半で該ドライフトランジスタの閾電圧を検出して該画素容量に書き込む一方、前記サンプリングトランジスタは、該水平走査期間の後半で該信号線から供給される映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に該書き込まれた閾電圧を足し込んだ入力電圧を該ドライフトランジスタのゲートとソース間に印加し、以て、出力電流の該閾電圧に対する依存性を打ち消す。又、前記補正手段は、水平走査期間よりも前に導通して、該画素容量の両端の電位差が該閾電圧を超えるように設定する第1のスイッチングトランジスタと、該水平走査期間に導通して、該画素容量の両端の電位差が該閾電圧になるまで該画素容量を充電する第2のスイッチングトランジスタとを含む。又、前記第1のスイッチングトランジスタは、該走査線よりも前に位置する他の走査線に割り当てられた前の水平走査期間に該他の走査線から供給される制御信号に応じて導通し、以て、該画素容量の両端の電位差が該閾電圧を超えるように設定する。又、前記第1のスイッチングトランジスタは、該走査線の直前に位置する他の走査線に割り当てられた直前の水平走査期間に該他の走査線から供給される制御

40

50

信号に応じて導通し、以て、該画素容量の両端の電位差が該閾電圧を超えるように設定する。又、前記サンプリングトランジスタは、水平走査期間内で該信号線が映像信号の電位になる信号供給期間に、該信号線から供給された映像信号を該画素容量にサンプリングする一方、前記補正手段は、水平走査期間内で該信号線が一定電位になる信号固定期間に、該ドライブトランジスタの閾電圧を検出して、該画素容量に書き込む。又、前記補正手段は、他の走査線に割り当てられる水平走査期間内の信号固定期間でも動作し、各信号固定期間で時分割的に該画素容量を該閾電圧まで充電する。又、前記信号固定期間は、各走査線に順次割り当てられる各水平走査期間を互いに区切る水平ブランキング期間であり、前記補正手段は、各水平ブランキング期間で時分割的に該画素容量を該閾電圧まで充電する。又、前記補正手段が各信号固定期間で該画素容量を充電したら、該信号線が一定電位から映像信号の電位に切り替わる前に該サンプリングトランジスタを閉じて該画素容量を該信号線から電氣的に切り離す。又、前記ドライブトランジスタは、その出力電流がチャンネル領域の閾電圧に加えキャリア移動度に対しても依存性を有し、前記補正手段は、該出力電流のキャリア移動度に対する依存性を打ち消すために、該水平走査期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して、該入力電圧を補正する。

10

【0012】

本発明は又、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくとも、サンプリングトランジスタと、画素容量と、ドライブトランジスタと、発光素子とを含み、前記サンプリングトランジスタは、該走査線に割り当てられた水平走査期間に該走査線から供給される制御信号に応じ導通して、該信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャンネル領域の閾電圧に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、出力電流の該閾電圧に対する依存性を打ち消すために、該ドライブトランジスタの閾電圧を検出して該画素容量に書き込んでおく補正手段を備えており、前記補正手段は、第1のスイッチングトランジスタと第2のスイッチングトランジスタとを含み、前記第1のスイッチングトランジスタは、該走査線よりも前に位置する他の走査線に割り当てられた前の水平走査期間に該他の走査線から供給される制御信号に応じて導通し、以て、該画素容量の両端の電位差が閾電圧を超えるように設定し、前記第2のスイッチングトランジスタは、該水平走査期間に導通して、該画素容量の両端の電位差が該閾電圧になるまで該画素容量を充電することを特徴とする。

20

30

【0013】

好ましくは、前記第1のスイッチングトランジスタは、該走査線の直前に位置する他の走査線に割り当てられた直前の水平走査期間に該他の走査線から供給される制御信号に応じて導通し、以て、該画素容量の両端の電位差が該閾電圧を超えるように設定する。

【0014】

本発明は、更に、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくとも、サンプリングトランジスタと、画素容量と、ドライブトランジスタと、発光素子とを含み、前記サンプリングトランジスタは、該走査線に割り当てられた水平走査期間に該走査線から供給される制御信号に応じ導通して、該信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャンネル領域の閾電圧に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、出力電流の該閾電圧に対する依存性を打ち消すために、あらかじめ該映像信号のサンプリングに先立って、該ドライブトランジ

40

50

スタの閾電圧を検出して該画素容量に書き込んでおく補正手段を備えており、前記補正手段は、複数の走査線に割り当てられた複数の水平走査期間内で動作し、時分割的に該画素容量を該閾電圧まで充電することを特徴とする。

【0015】

好ましくは、前記サンプリングトランジスタは、該走査線に割り当てられた該水平走査期間内で該信号線が映像信号の電位になる信号供給期間に、該信号線から供給された映像信号を該画素容量にサンプリングする一方、前記補正手段は、複数の走査線に割り当てられた各水平走査期間内で該信号線が一定電位になる各信号固定期間に、該ドライブトランジスタの閾電圧を検出して、時分割的に該画素容量を該閾電圧まで充電する。又、前記信号固定期間は、各走査線に順次割り当てられる各水平走査期間を互いに区切る水平ブランキング期間であり、前記補正手段は、各水平ブランキング期間で時分割的に該画素容量を該閾電圧まで充電する。又、前記補正手段が各信号固定期間で該画素容量を充電したら、該信号線が一定電位から映像信号の電位に切り替わる前に該サンプリングトランジスタを閉じて、該画素容量を該信号線から電氣的に切り離す。

【発明の効果】

【0016】

本発明にかかる画素回路は、発光素子に供給する出力電流の閾電圧に対する依存性を打ち消すために、補正手段を備えている。特徴事項として、この補正手段は、水平走査期間の一部で動作し、予めドライブトランジスタの閾電圧を検出して画素容量に書き込んでおく。画素容量に対する映像信号のサンプリングを行う水平走査期間の一部を利用して、閾電圧の補正動作を実行するため、補正手段の構成を簡素化できる。具体的には、本発明にかかる補正手段は、水平走査期間よりも前に導通して画素容量を予めリセットする第1のスイッチングトランジスタと、水平走査期間に導通して、リセットされた画素容量に閾電圧を充電する第2のスイッチングトランジスタとで構成できる。従って、本発明の画素回路は、この補正手段を構成する第1及び第2のスイッチングトランジスタと、映像信号をサンプリングするサンプリングトランジスタと、発光素子を駆動するドライブトランジスタとで構成できる。本発明の画素回路は、この様に、合計4個のトランジスタで構成でき、素子数を削減可能である。これに伴い、電源ラインやゲートライン数を削減でき、配線クロスオーバーを減少させることで、歩留まりを改善することが出来る。同時に、パネルの高精細化も可能になる。

【0017】

また、本発明によれば、上述した第1のスイッチングトランジスタは、当該画素に割り当てられた当該走査線よりも前に位置する他の走査線を、制御用のゲートラインに利用している。具体的には、本発明の補正手段を構成する第1のスイッチングトランジスタは、当該走査線よりも前に位置する他の走査線に割り当てられた前の水平走査期間に、この他の走査線から供給される制御信号に応じて導通し、以て、画素容量のリセットを行っている。この様に、補正手段を構成する第1のスイッチングトランジスタのゲートラインとして、前の行に属する走査線を利用することで、トータルのゲートライン数を削減し、これにより配線クロスオーバーを減少させることで歩留まりの改善につながる。同時に、パネルの高精細化も可能になる。

【0018】

更に、本発明によれば、画素回路に組み込まれる補正手段が、複数の走査線に割り当てられた複数の水平走査期間内で動作し、時分割的に画素容量を閾電圧まで充電する。この様に、閾電圧補正動作を複数の水平走査期間に分散し、複数回に分割することで、1水平走査期間当りの閾電圧補正時間を短く設定できる。その分、1水平走査期間における映像信号のサンプリング時間を十分に確保可能である。従って、高精細で高周波駆動のパネルにおいても、十分に信号電位を画素容量に書き込むことが出来る。よって、一層表示パネルの高精細化や高周波数での駆動を可能としている。

【図面の簡単な説明】

【0019】

- 【図 1】本発明にかかる表示装置を示すブロック図である。
- 【図 2】図 1 に示した表示装置に含まれる画素回路の第 1 実施形態を示す回路図である。
- 【図 3】図 2 に示した表示装置に含まれる画素回路を取り出した模式図である。
- 【図 4】図 3 に示した画素回路の動作説明に供するタイミングチャートである。
- 【図 5】図 3 に示した画素回路の動作説明に供する模式図である。
- 【図 6】同じく動作説明に供するグラフである。
- 【図 7】同じく動作説明に供する模式図である。
- 【図 8】図 7 に示した画素回路に含まれるドライブトランジスタの動作特性を示すグラフである。
- 【図 9】本発明にかかる画素回路の第 2 実施形態を示すタイミングチャートである。
- 【図 10】本発明にかかる表示装置を示すブロック図である。
- 【図 11】図 10 に示した表示装置に含まれる画素回路の第 3 実施形態を示す回路図である。
- 【図 12】図 11 に示した表示装置に含まれる画素回路を取り出した模式図である。
- 【図 13】図 12 に示した画素回路の動作説明に供するタイミングチャートである。
- 【図 14】参考例にかかる表示装置を示すブロック図である。
- 【図 15】図 14 に示した表示装置に含まれる画素回路を取り出した模式図である。
- 【図 16】図 15 に示した画素回路の動作説明に供するタイミングチャートである。
- 【発明を実施するための形態】

【0020】

以下、図面を参照して、本発明の実施例を詳細に説明する。まず最初に、図 1 を参照して、閾電圧 (V_{th}) 補正機能を備えたアクティブマトリクス表示装置の全体構成を説明する。図示する様に、アクティブマトリクス表示装置は、主要部となる画素アレイ 1 と周辺の回路部とで構成されている。周辺の回路部は、水平セクタ 3、ライトスキャナ 4、ドライブスキャナ 5、補正用スキャナ 7 などを含んでいる。画素アレイ 1 は、行状の走査線 WS と、列状の信号線 SL と、両者の交差する部分にマトリクス状に配列した画素 R, G, B とで構成されている。カラー表示を可能とするため、 R, G, B の三原色画素を用意しているが、本発明はこれに限られるものではない。各画素 R, G, B は夫々画素回路 2 で構成されている。信号線 SL は水平セクタ 3 によって駆動される。水平セクタ 3 は、信号部を構成し、信号線 SL に映像信号を供給する。走査線 WS はライトスキャナ 4 によって走査される。尚、走査線 WS と平行に、別の走査線 DS 及び AZ も配線されている。走査線 DS はドライブスキャナ 5 によって走査される。走査線 AZ は補正用スキャナ 7 によって走査される。ライトスキャナ 4、ドライブスキャナ 5 及び補正用スキャナ 7 はスキャナ部を構成しており、1 水平走査期間毎に画素の行を順次走査する。各画素回路 2 は、走査線 WS によって選択された時、信号線 SL から映像信号をサンプリングする。更に、走査線 DS によって選択された時、サンプリングされた映像信号に応じて画素回路 2 内に含まれている発光素子を駆動する。加えて、画素回路 2 は走査線 AZ によって走査された時、あらかじめ決められた補正動作を行なう。

【0021】

上述した画素アレイ 1 は、通常、ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路 2 を構成するトランジスタは、アモルファスシリコン薄膜トランジスタ (TFT) 又は低温ポリシリコン TFT で形成されている。アモルファスシリコン TFT の場合、スキャナ部は、パネルとは別の TAB などで構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコン TFT の場合、信号部及びスキャナ部も同じ低温ポリシリコン TFT で形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。

【実施例】

【0022】

図 2 は、図 1 に示した表示装置に組み込まれる画素回路 2 の第 1 実施形態を示す回路図である。画素回路 2 は、4 個の薄膜トランジスタ Tr_1, Tr_3, Tr_4, Tr_d と、1 個の

容量素子（画素容量） C_s と、1個の発光素子 E_L とで構成されている。トランジスタ T_{r_1} 、 T_{r_3} 、 T_{r_d} は、Nチャネル型のポリシリコンTFTである。トランジスタ T_{r_4} のみPチャネル型のポリシリコンTFTである。1個の画素容量 C_s は、本画素回路2の画素容量を構成している。発光素子 E_L は、例えば、アノード及びカソードを備えたダイオード型の有機 E_L 素子である。但し、本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0023】

画素回路2の中心となるドライブトランジスタ T_{r_d} は、そのゲートGが画素容量 C_s の一端に接続され、そのソースSが同じく画素容量 C_s の他端に接続されている。ドライブトランジスタ T_{r_d} のドレインは、第2のスイッチングトランジスタ T_{r_4} を介して、電源 V_{cc} に接続されている。このスイッチングトランジスタ T_{r_4} のゲートは走査線DSに接続されている。発光素子 E_L のアノードは、ドライブトランジスタ T_{r_d} のソースSに接続されており、カソードは接地されている。この接地電位は V_{cath} で表される場合がある。また、ドライブトランジスタ T_{r_d} のソースSと所定の基準電位 V_{ss} との間に、第1のスイッチングトランジスタ T_{r_3} が介在している。このトランジスタ T_{r_3} のゲートは走査線AZに接続されている。一方、サンプリングトランジスタ T_{r_1} は、信号線SLとドライブトランジスタ T_{r_d} のゲートGとの間に接続されている。サンプリングトランジスタ T_{r_1} のゲートは走査線WSに接続されている。

【0024】

かかる構成において、サンプリングトランジスタ T_{r_1} は、走査線WSに割り当てられた水平走査期間（1H）に走査線WSから供給される制御信号WSに応じ導通して、信号線SLから供給された映像信号 V_{sig} を画素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号 V_{sig} に応じて、ドライブトランジスタ T_{r_d} のゲートGとソースS間に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{r_d} は、所定の発光期間中、入力電圧 V_{gs} に応じた出力電流 I_{ds} を、発光素子 E_L に供給する。この出力電流 I_{ds} は、ドライブトランジスタ T_{r_d} のチャネル領域の閾電圧 V_{th} に対して、依存性を有する。発光素子 E_L は、ドライブトランジスタ T_{r_d} から供給された出力電流 I_{ds} により、映像信号 V_{sig} に応じた輝度で発光する。

【0025】

本発明の特徴事項として、画素回路2は、第1のスイッチングトランジスタ T_{r_3} と第2のスイッチングトランジスタ T_{r_4} とで構成される補正手段を備えている。この補正手段は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、水平走査期間（1H）の一部で動作し、ドライブトランジスタ T_{r_d} の閾電圧 V_{th} を検出して、画素容量 C_s に書き込んでおく。この補正手段は、水平走査期間（1H）にサンプリングトランジスタ T_{r_1} が導通して画素容量 C_s の一端が信号線SLにより一定電位 V_{ss0} に保持された状態で動作し、画素容量 C_s の他端から一定電位 V_{ss0} に対する電位差が閾電圧 V_{th} になるまで、画素容量 C_s を充電する。この補正手段は、水平走査期間（1H）の前半で、ドライブトランジスタ T_{r_d} の閾電圧 V_{th} を検出して、画素容量 C_s に書き込む一方、サンプリングトランジスタ T_{r_1} は、水平走査期間（1H）の後半で信号線SLから供給される映像信号 V_{sig} を、画素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号 V_{sig} に予め書き込まれた閾電圧 V_{th} を足し込んだ入力電圧 V_{gs} を、ドライブトランジスタ T_{r_d} のゲートGとソースS間に印加し、以て、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消す。この補正手段は、水平走査期間（1H）よりも前に導通して画素容量 C_s の両端の電位差が閾電圧 V_{th} を超える様に設定（リセット）する第1のスイッチングトランジスタ T_{r_3} と、水平走査期間（1H）に導通して、画素容量 C_s の両端の電位差が閾電圧 V_{th} になるまで画素容量 C_s を充電する第2のスイッチングトランジスタ T_{r_4} とを含む。サンプリングトランジスタ T_{r_1} は、水平走査期間（1H）内で信号線SLが映像信号 V_{sig} の電位になる信号供給期間に、信号線SLから供給された映像信号 V_{sig} を画素容量 C_s にサンプリングする一方、補正手段は水平走査期間（1H）内で信号線SLが一定電位 V_{ss0} になる信号固定期間に、ドライブトランジスタ T_{r_d} の閾電圧 V_{th} を検出して

10

20

30

40

50

画素容量 C_s に書き込む。

【0026】

本実施形態では、ドライブトランジスタ T_{r_d} は、その出力電流 I_{ds} がチャネル領域の閾電圧 V_{th} に加えキャリア移動度 μ に対しても依存性を有する。これに対処するため、本発明の補正手段は、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すべく水平走査期間 (1H) の一部で動作し、映像信号 V_{sig} がサンプリングされている状態でドライブトランジスタ T_{r_d} から出力電流 I_{ds} を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正する。

【0027】

図3は、図2に示した表示装置から画素回路2の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r_1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{r_d} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、更には、発光素子 EL が有する容量成分 C_{oled} などを書き加えてある。また、各トランジスタのゲートに接続される走査線 WS、DS、AZ も書き込んである。この画素回路2は、水平走査期間内に V_{th} 補正動作と映像信号書き込み動作を行う。これにより、画素回路2は4個のトランジスタ T_{r_1} 、 T_{r_3} 、 T_{r_4} 、 T_{r_d} と1個の画素容量 C_s と1個の発光素子 EL とで構成可能である。従来の V_{th} 補正機能を組み込んだ画素回路に比べ、少なくともトランジスタを1個削減可能である。これにより、電源ラインを1本とゲートライン(走査線)を少なくとも1本ずつ削減することができ、パネルの歩留まりの改善につながる。また、画素回路のレイアウトを簡素化することで、高精細化も可能である。

【0028】

図4は、図2及び図3に示した画素回路のタイミングチャートである。図4を参照して、図2及び図3に示した画素回路の動作を、具体的、且つ、詳細に説明する。図4は、時間軸 T に沿って、各走査線 WS、AZ 及び DS に印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて、信号線に印加される映像信号 V_{sig} の波形も時間軸 T に沿って示してある。図示する様に、この映像信号 V_{sig} は、各水平走査期間 H の前半で一定電位 V_{ss0} となり、後半で信号電位となる。トランジスタ T_{r_1} 及び T_{r_3} は N チャネル型なので、走査線 WS、AZ がそれぞれハイレベルのときオンし、ローレベルのときオフする。一方、トランジスタ T_{r_4} は P チャネル型なので、走査線 DS がハイレベルのときオフし、ローレベルのときオンする。尚、このタイミングチャートは、各制御信号 WS、AZ、DS の波形や映像信号 V_{sig} の波形と共に、ドライブトランジスタ T_{r_d} のゲート G の電位変化及びソース S の電位変化も表してある。

【0029】

図4のタイミングチャートでは、タイミング T1 ~ T8 までを1フィールド (1f) としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、一行分の画素に印加される各制御信号 WS、AZ、DS の波形を表している。

【0030】

当該フィールドが始まる前のタイミング T0 で、全ての制御信号 WS、AZ、DS がローレベルにある。従って、Nチャネル型のトランジスタ T_{r_1} 及び T_{r_3} はオフ状態にある一方、Pチャネル型のトランジスタ T_{r_4} のみオン状態である。従って、ドライブトランジスタ T_{r_d} は、オン状態のトランジスタ T_{r_4} を介して電源 V_{cc} に接続されているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 EL に供給している。従って、タイミング T0 で発光素子 EL は発光している。このとき、ドライブトランジスタ T_{r_d} に印加される入力電圧 V_{gs} は、ゲート電位と (G) ソース電位 (S) の差で表される。

【0031】

当該フィールドが始まるタイミング T1 で、制御信号 DS がローレベルからハイレベルに切り替わる。これにより、トランジスタ T_{r_4} がオフし、ドライブトランジスタ T_{r_d} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。タイミング T1 に入ると、トランジスタ T_{r_1} 、 T_{r_3} 、 T_{r_4} がオフ状態になる。

【 0 0 3 2 】

続いて、タイミング T_2 になると、制御信号 AZ がローレベルからハイレベルに立ち上がり、スイッチングトランジスタ T_{r_3} がオンになる。これにより、画素容量 C_s の他端及びドライブトランジスタ T_{r_d} のソース S に基準電位 V_{ss0} を書き込む。このとき、ドライブトランジスタ T_{r_d} のゲート電位はハイインピーダンスなので、ソース電位 (S) の降下に追従して、ゲート電位 (G) も低下する。

【 0 0 3 3 】

この後、制御信号 AZ がローレベルに戻ってスイッチングトランジスタ T_{r_3} がオフした後、タイミング T_a で制御信号 WS がハイレベルになり、サンプリングトランジスタ T_{r_1} が導通する。このとき、信号線に現れる電位は、所定の一定電位 V_{ss0} に設定されている。ここで、 $V_{ss0} - V_{ss} > V_{th}$ を満たすように、 V_{ss0} 及び V_{ss} が設定されている。 $V_{ss0} - V_{ss}$ は、ドライブトランジスタ T_{r_d} の入力電圧 V_{gs} となっている。ここでは、 $V_{gs} > V_{th}$ とすることで、その後の V_{th} 補正動作の準備を行っている。換言すると、タイミング T_a で画素容量 C_s の両端は V_{th} を超える電圧に設定され、 V_{th} 補正動作に先立って、画素容量 C_s にリセットがかけられる。また、発光素子 EL の閾電圧を V_{thFl} とすると、 $V_{thFl} > V_{ss}$ と設定することで、発光素子 EL に逆バイアスを印加する。これは、その後の V_{th} 補正動作を正常に行うために必要である。

【 0 0 3 4 】

続いて、タイミング T_3 で制御信号 DS をローレベルに切り替え、スイッチングトランジスタ T_{r_4} をオンして、 V_{th} 補正を実行する。このとき、信号線の電位は、 V_{th} 補正を正確に行うため、依然として一定電位 V_{ss0} に保持されている。スイッチングトランジスタ T_{r_4} がオンすることで、ドライブトランジスタ T_{r_d} が電源 V_{cc} に接続され、出力電流 I_{ds} が流れる。これに伴い画素容量 C_s は充電されていき、その他端に接続されたソース電位 (S) が上昇していく。一方、画素容量 C_s の一端の電位 (ゲート電位 G) は、 V_{ss0} に固定されている。従って、画素容量 C_s の充電に伴いソース電位 (S) が上昇して行き、入力電圧 V_{gs} が丁度 V_{th} に達したところで、ドライブトランジスタ T_{r_d} がカットオフする。ドライブトランジスタ T_{r_d} がカットオフすると、そのソース電位 (S) は、タイミングチャート に示したように、 $V_{ss0} - V_{th}$ になる。

【 0 0 3 5 】

この後、タイミング T_4 で制御信号 DS をハイレベルに戻し、スイッチングトランジスタ T_{r_4} をオフすることで、 V_{th} 補正動作は終了する。この補正動作により、画素容量 C_s に閾電圧 V_{th} 相当の電圧が書き込まれる。

【 0 0 3 6 】

この様に、タイミング $T_3 \sim T_4$ で V_{th} 補正を行った後、1 水平走査期間 (1 H) の半分が経過し、信号線の電位が V_{ss0} から V_{sig} に変化する。これにより、映像信号 V_{sig} が画素容量 C_s に書き込まれる。発光素子 EL の等価容量 C_{oled} に比べて、画素容量 C_s は十分に小さい。この結果、映像信号 V_{sig} のほとんど大部分が、画素容量 C_s に書き込まれる。従って、ドライブトランジスタ T_{r_d} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた V_{sig} を加えたレベル、 $(V_{sig} + V_{th})$ となる。ゲート/ソース間電圧 V_{gs} は、図 4 のタイミングチャート に示すように、 $V_{sig} + V_{th}$ となる。かかる映像信号 V_{sig} のサンプリングは、制御信号 WS がローレベルに戻るタイミング T_7 まで行われる。即ち、タイミング $T_5 \sim T_7$ が、サンプリング期間 に相当する。

【 0 0 3 7 】

この様に、本発明では、 V_{th} 補正期間 $T_3 - T_4$ とサンプリング期間 $T_5 - T_7$ が、1 水平走査期間 (1 H) に含まれる。1 H の間、サンプリング用の制御信号 WS はハイレベルにある。本発明では、サンプリングトランジスタ T_{r_1} がオンした状態で V_{th} 補正及び V_{sig} 書き込みを行っている。これにより、画素回路 2 の構成を簡素化している。

【 0 0 3 8 】

本実施形態では、上述した V_{th} 補正に加え、移動度 μ の補正も同時に行っている。但し

、本発明はこれに限られるものではなく、移動度 μ 補正を行わない単純な V_{th} 補正動作のみの画素回路にも適用可能であることは言うまでもない。また、本実施形態の画素回路2は、ドライブトランジスタ T_{rd} 以外のトランジスタは、Nチャネル型とPチャネル型が混在しているが、本発明はこれに限られるものではなく、Nチャネル型トランジスタのみまたはPチャネル型トランジスタのみで構成することも可能である。

【0039】

移動度 μ の補正はタイミングT6～T7で行われる。以下、この点につき、詳細に説明する。サンプリング期間の終了するタイミングT7より前のタイミングT6で、制御信号DSがローレベルとなり、スイッチングトランジスタ T_{r4} がオンする。これにより、ドライブトランジスタ T_{rd} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様に、サンプリングトランジスタ T_{r1} がまだオン状態で、且つ、スイッチングトランジスタ T_{r4} がオン状態に入った期間T6～T7で、ドライブトランジスタ T_{rd} の移動度補正を行う。即ち、本実施形態では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T6～T7で移動度補正を行っている。尚、この移動度補正を行う発光期間の先頭では、発光素子ELは、実際には逆バイアス状態にあるので、発光する事はない。この移動度補正期間T6～T7では、ドライブトランジスタ T_{rd} のゲートGが映像信号 V_{sig} のレベルに固定された状態で、ドライブトランジスタ T_{rd} にドレイン電流 I_{ds} が流れる。ここで、 $V_{ss0} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子ELは逆バイアス状態におかれるため、ダイオード特性ではなく単純な容量特性を示すようになる。よって、ドライブトランジスタ T_{rd} に流れる電流 I_{ds} は、画素容量 C_s と発光素子ELの等価容量 C_{oled} の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これにより、ドライブトランジスタ T_{rd} のソース電位(S)は上昇していく。図4のタイミングチャートでは、この上昇分を V で表してある。この上昇分 V は、結局、画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様に、ドライブトランジスタ T_{rd} の出力電流 I_{ds} を同じくドライブトランジスタ T_{rd} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。尚、負帰還量 V は、移動度補正期間T6～T7の時間幅 t を調整する事で最適化可能である。

【0040】

タイミングT7では制御信号WSがローレベルとなり、サンプリングトランジスタ T_{r1} がオフする。この結果、ドライブトランジスタ T_{rd} のゲートGは信号線SLから切り離される。映像信号 V_{sig} の印加が解除されるので、ドライブトランジスタ T_{rd} のゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間、画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は、 $(V_{sig} - V + V_{th})$ の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により、発光素子ELは実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート/ソース間電圧 V_{gs} の関係は、先のトランジスタ特性式1の V_{gs} に $V_{sig} - V + V_{th}$ を代入する事で、以下の式2のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \cdots \text{式2}$$

上記式2において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式2から V_{th} の項がキャンセルされており、発光素子ELに供給される出力電流 I_{ds} は、ドライブトランジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的に、ドレイン電流 I_{ds} は映像信号 V_{sig} の電圧によって決まる。換言すると、発光素子ELは、映像信号 V_{sig} に応じた輝度で発光する事になる。その際、 V_{sig} から負帰還量 V が減じられている。この負帰還量 V は、特性式2の係数部に位置する移動度 μ の効果を打ち消すように働く。従って、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0041】

最後に、タイミングT8に至ると制御信号DSがハイレベルとなって、スイッチングトランジスタ T_{r4} がオフし、発光が終了すると共に、当該フィールドが終わる。この後、次のフィールドに移って、再び、 V_{th} 補正動作、移動度補正動作及び発光動作が、繰り返し返

10

20

30

40

50

される事になる。

【 0 0 4 2 】

図 5 は、移動度補正期間 $T_6 - T_7$ における画素回路 2 の状態を示す回路図である。図示するように、移動度補正期間 $T_6 - T_7$ では、サンプリングトランジスタ T_{r1} 及びスイッチングトランジスタ T_{r4} がオンしている一方、残りのスイッチングトランジスタ T_{r3} がオフしている。この状態で、ドライフトランジスタ T_{r4} のソース電位 (S) は、 $V_{ss0} - V_{th}$ である。このソース電位 S は発光素子 EL のアノード電位でもある。前述したように、 $V_{ss0} - V_{th} < V_{thFl}$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よって、ドライフトランジスタ T_{r4} に流れる電流 I_{ds} は、画素容量 C_s と発光素子 EL の等価容量 C_{oled} との合成容量 $C = C_s + C_{oled}$ に流れ込む事になる。換言すると、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

10

【 0 0 4 3 】

図 6 は、上述したトランジスタ特性式 2 をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取ってある。このグラフの下方に特性式 2 も合わせて示してある。図 6 のグラフは、画素 1 と画素 2 を比較した状態で特性カーブを描いてある。画素 1 のドライフトランジスタの移動度 μ は相対的に大きい。逆に、画素 2 に含まれるドライフトランジスタの移動度 μ は相対的に小さい。この様に、ドライフトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば、両画素 1, 2 に同レベルの映像信号 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素 1 に流れる出力電流 I_{ds1}' は、移動度 μ の小さい画素 2 に流れる出力電流 I_{ds2}' に比べて大きな差が生じてしまう。この様に、移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

20

【 0 0 4 4 】

そこで、本発明では、出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。従って、負帰還量 V は移動度が大きいほど大きくなる。図 6 のグラフに示すように、移動度 μ の大きな画素 1 の負帰還量 V_1 は、移動度の小さな画素 2 の負帰還量 V_2 に比べて大きい。従って、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素 1 で V_1 の補正をかけると、出力電流は I_{ds1}' から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素 2 の負帰還量 V_2 は小さいので、出力電流 I_{ds2}' は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは、黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素 1 と 2 があった場合、移動度の大きい画素 1 の負帰還量 V_1 は移動度の小さい画素 2 の負帰還量 V_2 に対して大きくなる。つまり、移動度が大きいほど V が大きくなり、 I_{ds} の減少値は大きくなる。これにより、移動度の異なる画素の電流値は均一化され、移動度のばらつきを補正する事ができる。

30

40

【 0 0 4 5 】

以下、参考のため、図 7 を参照して、上述した移動度補正の数値解析を行う。図 7 に示すように、トランジスタ T_{r1} 及び T_{r4} がオンした状態で、ドライフトランジスタ T_{r4} のソース電位を変数 V に取って解析を行う。ドライフトランジスタ T_{r4} のソース電位 (S) を V とすると、ドライフトランジスタ T_{r4} を流れるドレイン電流 I_{ds} は、以下の式 3 に示す通りである。

【数 1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【0046】

また、ドレイン電流 I_{ds} と容量 $C (= C_s + C_{load})$ の関係により、以下の式 4 に示す様に、 $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。

【数 2】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

10

20

【0047】

式 4 に式 3 を代入して、両辺を積分する。ここで、ソース電位 V の初期状態は、 $-V_{th}$ であり、移動度補正時間 (T6 - T7) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が、以下の数式 5 のように与えられる。

【数 3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

30

【0048】

図 8 は、式 5 をグラフ化した図であり、縦軸に出力電流 I_{ds} を取り、横軸に映像信号 V_{sig} を取っている。パラメータとして、移動度補正期間 $t = 0 \mu s$ 、 $2.5 \mu s$ 及び $5 \mu s$ の場合を設定している。更に、移動度 μ もパラメータとして、比較的大きい場合 1.2μ と比較的小さい場合 0.8μ をパラメータにとってある。 $t = 0 \mu s$ として実質的に移動度補正をかけない場合に比べ、 $t = 2.5 \mu s$ では移動度ばらつきに対する補正が充分にかかっていることがわかる。移動度補正なしでは I_{ds} に 40 % のばらつきがあったものが、移動度補正をかけると 10 % 以下に抑えられる。但し、 $t = 5 \mu s$ として補正期間を長くすると、逆に、移動度 μ の違いによる出力電流 I_{ds} のばらつきが大きくなってしまう。この様に、適切な移動度補正を掛けるために、 t は最適な値に設定する必要がある。図 8 に示したグラフの場合、最適値は $t = 2.5 \mu s$ の近辺である。

40

【0049】

次に、本発明にかかる画素回路の第 2 実施形態を説明する。上述した第 1 実施形態では、図 4 のタイミングチャートに示したように、1 水平走査期間 (1H) 内で、 V_{th} 補正と V_{sig} 書き込みを行っている。これにより、回路素子数を削減している。しかしながら、第 1 実施形態の画素回路では、パネルの画素数が増えて高精細化したり、高画質化のためにフィールド周波数を上げたりした場合、水平走査期間 (1H) が短くなるため、十分に V_{th} 補正をかけることが出来ない可能性がある。逆に、 V_{th} 補正期間をある程度確保する

50

と、 V_{sig} 書き込み時間が圧迫されるため、十分に映像信号を画素容量に書き込めないことも有り得る。本第2実施形態は第1実施形態を改良したもので、パネルの高精細化や高画質化に対応可能となっている。第2実施形態の画素回路構成は、基本的に、図2に示した第1実施形態の画素回路構成と同じである。但し、動作シーケンスが異なっており、図9のタイミングチャートを参照して、詳細に説明する。尚、理解を容易にするため、第1実施形態の動作を示すタイミングチャート図4と対応する部分には、対応する参照符号を用いてある。

【0050】

図9を参照すれば明らかな様に、本実施形態では、 V_{th} 補正期間を複数回に分割している。これにより、一回毎の V_{th} 補正期間は短くとも、複数回行うことで、十分に長い V_{th} 補正期間を確保することが出来る。これにより、回路素子数を削減した上に、更に、パネルの高精細化及び高周波数化にも対応することが出来る。各々の V_{th} 補正期間は数 μs と非常に短いものであっても、複数回にわたる補正量を合計することで、十分に V_{th} ばらつきを補正可能である。

【0051】

以下、図9のタイミングチャートに則り、第2実施形態の動作を詳細に説明する。まず、タイミングT1で制御信号DSをハイレベルにし、スイッチングトランジスタ T_{r4} をオフする。その後、タイミングT2で制御信号AZをハイレベルにし、スイッチングトランジスタ T_{r3} をオンする。これにより、ドライブトランジスタ T_{rd} のソース電位(S)に基準電位 V_{ss} を書き込む。このとき、ゲート電位(G)はハインピーダンスなので、ソース電位(S)の降下に追従して、ゲート電位(G)も下がる。

【0052】

この後、各水平走査期間を区切る水平ブランキング期間で、 V_{th} 補正を時分割的に行う。尚、各水平ブランキング期間では、信号線の電位が一定電位 V_{ss0} に設定されている。第1の V_{th} 補正期間では、制御信号WSがハイレベルになり、サンプリングトランジスタがオンする。このとき、前述したように、信号線の電位は V_{ss0} に設定しておく。ここで、 $V_{ss0} - V_{ss} = V_{gs} > V_{th}$ を満たしており、 $V_{gs} > V_{th}$ とすることで、その後の V_{th} 補正の準備を行う。また、発光素子ELの閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss}$ と設定することで、発光素子ELに逆バイアスを印加する。これは、その後の V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

【0053】

次に、サンプリングトランジスタをオン状態にしたまま、タイミングT31で制御信号DSをローレベルに切り替え、スイッチングトランジスタ T_{r4} をオンする。これにより、1回目の V_{th} 補正が実行される。このとき、信号線の電位は、 V_{th} 補正を正確に行うために、一定電位 V_{ss0} に保持しておく。ドライブトランジスタ T_{rd} は、スイッチングトランジスタ T_{r4} がオンすることで、カットオフに向かって出力電流 I_{ds} が流れる。その後、タイミングT41で制御信号DSをハイレベルに戻し、スイッチングトランジスタ T_{r4} をオフして、1回目の V_{th} 補正を終了する。この後、信号線の電位が変わらない内に制御信号WSをローレベルに戻して、サンプリングトランジスタをオフすることが望ましい。但し、その様にしなくとも、動作上問題はない。

【0054】

本実施形態では、一回の V_{th} 補正期間は、例えば、水平ブランキング期間内に収まる程度に設定している。そのため、一回の V_{th} 補正動作ではドライブトランジスタ T_{rd} はカットオフせず、そのソース電位(S)は、途中の動作点にて保持される。

【0055】

次の水平ブランキング期間が来て信号線の電位が再び V_{ss0} になったとき、2回目の V_{th} 補正動作を行う。即ち、WSをハイレベルに切り替えサンプリングトランジスタ T_{r1} を導通させると共に、制御信号DSをローレベルに切り替えてスイッチングトランジスタ T_{r4} を導通させ、以て、2回目の V_{th} 補正動作を行う。この2回目の V_{th} 補正期間が、T32 - T42で表されている。この一連の V_{th} 補正動作をドライブトランジスタがカット

10

20

30

40

50

オフするまで複数回行うことで、 V_{th} 補正を完了させる。

【0056】

図9のタイミングチャートに示した例では、当該走査線WSに割り当てられた水平走査期間(1H)の先頭に位置する水平ブランキング期間で3回目の V_{th} 補正を行った後、映像信号 V_{sig} を画素容量に書き込み、更に、その後、移動度 μ の補正を行っている。3回目の V_{th} 補正期間は、 $T_{33} - T_{43}$ で表されている。この3回目の V_{th} 補正が完了すると、ゲート電位(G)とソース電位(S)との間の差が、丁度 V_{th} に設定される。

【0057】

以上のように、本実施形態では、画素回路2に組み込まれた補正手段は、複数の走査線に割り当てられた複数の水平走査期間内で動作し、時分割的に画素容量 C_s を閾電圧 V_{th} まで充電する。サンプリングトランジスタは、当該走査線WSに割り当てられた当該水平走査期間(1H)内で信号線SLが映像信号の電位 V_{sig} になる信号供給期間に、信号線SLから供給された映像信号を画素容量 C_s にサンプリングする一方、補正手段は、複数の走査線WSに割り当てられた各水平走査期間内で信号線SLが一定電位 V_{ss0} になる信号固定期間に、ドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出して時分割的に画素容量 C_s を閾電圧 V_{th} まで充電する。この信号固定期間は、各走査線WSに順次割り当てられる各水平走査期間を互いに区切る水平ブランキング期間である。補正手段は、各水平ブランキング期間で、時分割的に、画素容量 C_s を閾電圧 V_{th} まで充電する。かかる補正手段が各信号固定期間で画素容量 C_s を充電したら、信号線SLが一定電位 V_{ss0} から映像信号の電位 V_{sig} に切り替わる前に、サンプリングトランジスタ T_{r1} を閉じて画素容量 C_s を信号線SLから電氣的に切り離しておくことが好ましい。

【0058】

図10は、本発明の第3実施形態にかかる表示装置を示す模式的なブロック図である。理解を容易にするため、図1に示した第1実施形態にかかる表示装置と対応する部分には、対応する参照番号を付してある。異なる点は、第1実施形態が3本の走査線(ゲートライン)WS, DS, AZを含んでいたのに対し、この第3実施形態は、画素アレイ1の走査線をWS, DSの2本とし、更なるゲートラインの削減を図っていることである。具体的には、走査線AZを削減し、この代わりに、前段の走査線WSを当段の走査線AZの代わりとして利用していることである。これにより、ゲートラインを1本削減できると共に、補正用スキャナも不要になる。

【0059】

図11は、図10に示した表示装置の画素アレイに含まれる画素回路の前段分1個、当段分1個の計2個を、模式的に表したものである。個々の画素回路2の構成は、基本的に、図2に示した第1実施形態と類似しており、対応する部分には、対応する参照番号を付してある。各画素回路2は、サンプリングトランジスタ T_{r1} 、ドライブトランジスタ T_{rd} 、第1のスイッチングトランジスタ T_{r3} 、第2のスイッチングトランジスタ T_{r4} 、画素容量 C_s 、発光素子ELで構成されている。異なる点は、第1のスイッチングトランジスタ T_{r3} のゲートに、前段の走査線WSが接続されていることである。但し、最初の段の画素回路2では前段の走査線WSがないので、別途供給する必要がある。

【0060】

図12は、図11に示した画素アレイから、1個分の画素回路を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、更には、発光素子ELが有する容量成分 C_{oled} などを書き加えてある。また、サンプリングトランジスタ T_{r1} のゲートに接続する当該段の走査線を WS_n で表し、第1のスイッチングトランジスタ T_{r3} のゲートに接続する前段の走査線を WS_{n-1} で表し、第2のスイッチングトランジスタ T_{r4} のゲートに接続する走査線をDSで表してある。

【0061】

図13は、図12に示した画素回路の動作を示すタイミングチャートである。理解を容易にするため、図4に示した第1実施形態のタイミングチャートと対応する部分には、対

10

20

30

40

50

応する参照符号を用いてある。このタイミングチャートは、時間軸 T に沿って、各走査線 WS_n, WS_{n-1}, DS に印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で表してある。尚、このタイミングチャートは、各制御信号 WS_n, WS_{n-1}, DS の波形と共に、ドライブトランジスタ Tr_d のゲート G の電位変化及びソース S の電位変化と、信号線に印加される映像信号 V_{sig} の波形も表してある。図示する様に、映像信号 V_{sig} は、各水平走査期間の前半で一定電位 V_{ss0} に固定され、後半で信号電位になる。タイミング T_1 で制御信号 DS がハイレベルとなり、スイッチングトランジスタ Tr_4 がオフして、画素回路は非発光状態に入る。タイミング T_2 で前段の制御信号 WS_{n-1} がハイレベルになり、スイッチングトランジスタ Tr_3 がオンする。これにより、画素容量 C_s がリセットされ、 $V_{gs} > V_{th}$ が設定される。即ち、 V_{th} 補正の準備動作が行われる。タイミング T_a で当段の制御信号 WS_n がハイレベルに立ち上がり、サンプリングトランジスタ Tr_1 が導通する。続いて、タイミング T_3 で制御信号 DS がローレベルとなり、第2のスイッチングトランジスタ Tr_4 がオンする。これにより、画素容量 C_s の一端を一定電位 V_{ss0} に固定した状態で画素容量 C_s の充電を行って、 V_{th} を書き込む。即ち、 V_{th} 補正動作を行う。続いて、タイミング T_5 で映像信号 V_{sig} を画素容量 C_s に書き込む。更に、タイミング T_6 で移動度 μ の補正動作を行い、発光状態に入る。

【0062】

以上説明したように、本第3実施形態は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、ドライブトランジスタ Tr_d の閾電圧 V_{th} を検出して画素容量 C_s に書き込んでおく補正手段を備えている。この補正手段は、第1のスイッチングトランジスタ Tr_3 と第2のスイッチングトランジスタ Tr_4 とを含む。第1のスイッチングトランジスタ Tr_3 は、自段の走査線 WS_n よりも前に位置する他の走査線 WS_{n-1} に割り当てられた前の水平走査期間に、他の走査線 WS_{n-1} から供給される制御信号 WS_{n-1} に応じて導通し、以て、画素容量 C_s の両端の電位差が閾電圧 V_{th} を超えるように設定する。第2のスイッチングトランジスタ Tr_4 は、当段に割り当てられた水平走査期間 (1H) に導通して、画素容量 C_s の両端の電位差 (V_{gs}) が閾電圧 V_{th} になるまで、画素容量 C_s を充電する。図13に示した実施形態では、前段の走査線として、当段の走査線 WS_n の直前に位置する走査線 WS_{n-1} を用いている。場合によっては、これに代えて、更に、その前の走査線 WS_{n-2} やもっと前の走査線を第1のスイッチングトランジスタ Tr_3 のゲートラインに用いることが出来る。この様に、本実施形態は走査線 WS を2つの画素間で共有化することで、更に、1本のゲートラインを削減することができ、パネルの歩留まりの改善につながると共に、レイアウトの簡素化によりパネルの高精細化も可能にしている。

【0063】

図14は、画素回路の参考例を示すブロック図である。理解を容易にするため、図2に示した第1実施形態と対応する部分には、対応する参照番号を付してある。異なる点は、本参考例が水平走査期間よりも前に V_{th} 補正動作を行っていることである。このため、 V_{th} 補正準備用に、スイッチングトランジスタ Tr_3 の他に、更にもう1個スイッチングトランジスタ Tr_2 が必要になる。一方のトランジスタ Tr_3 は画素容量 C_s のソース側端子をリセットする一方、追加のトランジスタ Tr_2 は画素容量 C_s のゲート側端子をリセットしている。追加のスイッチングトランジスタ Tr_2 を駆動するため、追加の走査線 AZ_1 や追加の補正用スキナ71が必要になる。本発明では、画素容量 C_s のゲート側端子のセッティングを水平走査期間内で行うことにより、トランジスタ Tr_2 を不要にしている。トランジスタ Tr_2 はゲート G に電源電圧 V_{ss1} を書き込んでいる。これに対し、本発明では信号線 SL から供給される固定電位 V_{ss0} を水平走査期間中に書き込んでいる。

【0064】

以下、図14に示した参考例の動作を説明する。このアクティブマトリクス表示装置は、主要部となる画素アレイ1と、周辺の回路部とで構成されている。周辺の回路部は、水平セクタ3、ライトスキナ4、ドライブスキナ5、第一補正用スキナ71、第二補正用スキナ72などを含んでいる。画素アレイ1は、行状の走査線 WS と、列状の信

10

20

30

40

50

号線 S_L と、両者の交差する部分にマトリクス状に配列した画素回路 2 とで構成されている。図では、理解を容易にするため、1 個の画素回路 2 のみを拡大表示してある。信号線 S_L は水平セクタ 3 によって駆動される。水平セクタ 3 は、信号部を構成し、信号線 S_L に映像信号を供給する。走査線 W_S はライトスキャナ 4 によって走査される。尚、走査線 W_S と平行に、別の走査線 D_S , AZ_1 及び AZ_2 も配線されている。走査線 D_S はドライブスキャナ 5 によって走査される。走査線 AZ_1 は第一補正用スキャナ 7 1 によって走査される。走査線 AZ_2 は第二補正用スキャナ 7 2 によって走査される。ライトスキャナ 4、ドライブスキャナ 5、第一補正用スキャナ 7 1 及び第二補正用スキャナ 7 2 はスキャナ部を構成しており、1 水平走査期間ごとに、画素の行を順次走査する。各画素回路 2 は、走査線 W_S によって選択されたとき、信号線 S_L から映像信号をサンプリングする。更に、走査線 D_S によって選択されたとき、サンプリングされた映像信号に応じて画素回路 2 内に含まれている発光素子 E_L を駆動する。加えて、画素回路 2 は、走査線 AZ_1 , AZ_2 によって走査された時、予め決められた補正動作を行う。

【0065】

画素回路 2 は、5 個の薄膜トランジスタ $T_{r_1} \sim T_{r_4}$ 及び T_{r_d} と、1 個の容量素子 (画素容量) C_s と、1 個の発光素子 E_L とで構成されている。トランジスタ $T_{r_1} \sim T_{r_3}$ と T_{r_d} は、N チャンネル型のポリシリコン T F T である。トランジスタ T_{r_4} のみ P チャンネル型のポリシリコン T F T である。1 個の画素容量 C_s は本画素回路 2 の容量部を構成している。発光素子 E_L は、例えば、アノード及びカソードを備えたダイオード型の有機 E_L 素子である。

【0066】

画素回路 2 の中心となるドライブトランジスタ T_{r_d} は、そのゲート G が画素容量 C_s の一端に接続され、そのソース S が同じく画素容量 C_s の他端に接続されている。また、ドライブトランジスタ T_{r_d} のゲート G は、スイッチングトランジスタ T_{r_2} を介して、別の基準電位 V_{ss1} に接続されている。ドライブトランジスタ T_{r_d} のドレインは、スイッチングトランジスタ T_{r_4} を介して、電源 V_{cc} に接続されている。このスイッチングトランジスタ T_{r_2} のゲートは走査線 AZ_1 に接続されている。スイッチングトランジスタ T_{r_4} のゲートは走査線 D_S に接続されている。発光素子 E_L のアノードはドライブトランジスタ T_{r_d} のソース S に接続されており、カソードは接地されている。この接地電位は V_{cath} で表される場合がある。また、ドライブトランジスタ T_{r_d} のソース S と所定の基準電位 V_{ss2} との間に、スイッチングトランジスタ T_{r_3} が介在している。このトランジスタ T_{r_3} のゲートは走査線 AZ_2 に接続している。一方、サンプリングトランジスタ T_{r_1} は、信号線 S_L とドライブトランジスタ T_{r_d} のゲート G との間に接続されている。サンプリングトランジスタ T_{r_1} のゲートは走査線 W_S に接続されている。

【0067】

かかる構成において、サンプリングトランジスタ T_{r_1} は、所定のサンプリング期間に走査線 W_S から供給される制御信号 W_S に応じ導通して、信号線 S_L から供給された映像信号 V_{sig} を画素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号 V_{sig} に応じてドライブトランジスタのゲート G とソース S 間に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{r_d} は、所定の発光期間中入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 E_L に供給する。尚、この出力電流 (ドレイン電流) I_{ds} は、ドライブトランジスタ T_{r_d} のチャネル領域のキャリア移動度 μ 及び閾電圧 V_{th} に対して依存性を有する。発光素子 E_L は、ドライブトランジスタ T_{r_d} から供給された出力電流 I_{ds} により、映像信号 V_{sig} に応じた輝度で発光する。

【0068】

画素回路 2 はスイッチングトランジスタ $T_{r_2} \sim T_{r_4}$ で構成される補正手段を備えており、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、予め発光期間の先頭で画素容量 C_s に保持された入力電圧 V_{gs} を補正する。具体的には、この補正手段 ($T_{r_2} \sim T_{r_4}$) は、走査線 W_S 及び D_S から供給される制御信号 W_S , D_S に応じてサンプリング期間の一部で動作し、映像信号 V_{sig} がサンプリングされている状態で、ドライ

10

20

30

40

50

ブトランジスタ T_{r_d} から出力電流 I_{ds} を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正する。更に、この補正手段 ($T_{r_2} \sim T_{r_4}$) は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ T_{r_d} の閾電圧 V_{th} を検出し、且つ、検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

【 0 0 6 9 】

ドライブトランジスタ T_{r_d} は、Nチャネル型トランジスタでドレインが電源 V_{cc} 側に接続される一方、ソース S が発光素子 E L 側に接続されている。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ T_{r_d} から出力電流 I_{ds} を取り出して、画素容量 C_s 側に負帰還する。その際、本補正手段は、発光期間の先頭部分でドライブトランジスタ T_{r_d} のソース S 側から取り出した出力電流 I_{ds} が、発光素子 E L の有する容量に流れ込むようにしている。具体的には、発光素子 E L は、アノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ T_{r_d} のソース S に接続されている一方、カソード側が接地されている。この構成で、本補正手段 ($T_{r_2} \sim T_{r_4}$) は、予め発光素子 E L のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ T_{r_d} のソース S 側から取り出した出力電流 I_{ds} が発光素子 E L に流れ込む時、このダイオード型の発光素子 E L を容量性素子として機能させている。尚、本補正手段は、サンプリング期間内でドライブトランジスタ T_{r_d} から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより、画素容量 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

【 0 0 7 0 】

図 1 5 は、図 1 4 に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r_1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{r_d} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、更には、発光素子 E L が有する容量成分 C_{oled} などを書き加えてある。以下、図 1 5 に基づいて、本画素回路 2 の基本的な動作を説明する。

【 0 0 7 1 】

図 1 6 は、図 1 5 に示した画素回路のタイミングチャートである。図 1 6 を参照して、図 1 5 に示した画素回路の動作を、より具体的に、且つ、詳細に説明する。図 1 6 は、時間軸 T に沿って、各走査線 W S , A Z 1 , A Z 2 及び D S に印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r_1} , T_{r_2} , T_{r_3} は Nチャネル型なので、走査線 W S , A Z 1 , A Z 2 がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方、トランジスタ T_{r_4} は Pチャネル型なので、走査線 D S がハイレベルの時オフし、ローレベルの時オンする。尚、このタイミングチャートは、各制御信号 W S , A Z 1 , A Z 2 , D S の波形と共に、ドライブトランジスタ T_{r_d} のゲート G の電位変化及びソース S の電位変化も表してある。

【 0 0 7 2 】

図 1 6 のタイミングチャートでは、タイミング T 1 ~ T 8 までを 1 フィールド (1 f) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1 行分の画素に印加される各制御信号 W S , A Z 1 , A Z 2 , D S の波形を表してある。

【 0 0 7 3 】

当該フィールドが始まる前のタイミング T 0 で、全ての制御線号 W S , A Z 1 , A Z 2 , D S がローレベルにある。従って、Nチャネル型のトランジスタ T_{r_1} , T_{r_2} , T_{r_3} はオフ状態にある一方、Pチャネル型のトランジスタ T_{r_4} のみオン状態である。従って、ドライブトランジスタ T_{r_d} は、オン状態のトランジスタ T_{r_4} を介して、電源 V_{cc} に接続されているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 E L に供給している。従って、タイミング T 0 で発光素子 E L は発光している。この時、ドライブトランジスタ T_{r_d} に印加される入力電圧 V_{gs} は、ゲート電位 (G) とソース電位 (S) の差で

表される。

【0074】

当該フィールドが始まるタイミングT1で、制御信号DSがローレベルからハイレベルに切り替わる。これにより、トランジスタ T_{r4} がオフし、ドライブトランジスタ T_{rd} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。従って、タイミングT1に入ると、全てのトランジスタ $T_{r1} \sim T_{r4}$ がオフ状態になる。

【0075】

続いて、タイミングT2に進むと、制御信号AZ1及びAZ2がハイレベルになるので、スイッチングトランジスタ T_{r2} 及び T_{r3} がオンする。この結果、ドライブトランジスタ T_{rd} のゲートGが基準電位 V_{ss1} に接続され、ソースSが基準電位 V_{ss2} に接続される。ここで、 $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後のタイミングT3で行われる V_{th} 補正の準備を行う。換言すると、期間T2 - T3は、ドライブトランジスタ T_{rd} のリセット期間に相当する。また、発光素子ELの閾電圧を V_{thFl} とすると、 $V_{thFl} > V_{ss2}$ に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

【0076】

タイミングT3では制御信号AZ2をローレベルにし、且つ、直後に制御信号DSもローレベルにしている。これにより、トランジスタ T_{r3} がオフする一方、トランジスタ T_{r4} がオンする。この結果、ドレイン電流 I_{ds} が画素容量 C_s に流れ込み、 V_{th} 補正動作を開始する。この時、ドライブトランジスタ T_{rd} のゲートGは V_{ss1} に保持されており、ドライブトランジスタ T_{rd} がカットオフするまで電流 I_{ds} が流れる。カットオフすると、ドライブトランジスタ T_{rd} のソース電位(S)は、 $V_{ss1} - V_{th}$ となる。ドレイン電流がカットオフした後のタイミングT4で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタ T_{r4} をオフする。更に、制御信号AZ1もローレベルに戻し、スイッチングトランジスタ T_{r2} もオフする。この結果、画素容量 C_s に V_{th} が保持固定される。この様に、タイミングT3 - T4はドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出する期間である。ここでは、この検出期間T3 - T4を、 V_{th} 補正期間と呼んでいる。

【0077】

この様に、 V_{th} 補正を行った後、タイミングT5で制御信号WSをハイレベルに切り替え、サンプリングトランジスタ T_{r1} をオンして映像信号 V_{sig} を画素容量 C_s に書き込む。発光素子ELの等価容量 C_{oled} に比べて、画素容量 C_s は十分に小さい。この結果、映像信号 V_{sig} のほとんど大部分が、画素容量 C_s に書き込まれる。正確には、 V_{ss1} に対する V_{sig} の差分 $V_{sig} - V_{ss1}$ が、画素容量 C_s に書き込まれる。従って、ドライブトランジスタ T_{rd} のゲートGとソースS間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル、 $(V_{sig} - V_{ss1} + V_{th})$ となる。以降、説明簡易化のため、 $V_{ss1} = 0$ ボルトとすると、ゲート/ソース間電圧 V_{gs} は、図7のタイミングチャートに示すように、 $V_{sig} + V_{th}$ となる。かかる映像信号 V_{sig} のサンプリングは、制御信号WSがローレベルに戻るタイミングT7まで行われる。即ち、タイミングT5 - T7がサンプリング期間に相当する。

【0078】

サンプリング期間の終了するタイミングT7より前のタイミングT6で、制御信号DSがローレベルとなり、スイッチングトランジスタ T_{r4} がオンする。これにより、ドライブトランジスタ T_{rd} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様に、サンプリングトランジスタ T_{r1} がまだオン状態で、且つ、スイッチングトランジスタ T_{r4} がオン状態に入った期間T6 - T7で、ドライブトランジスタ T_{rd} の移動度補正を行う。即ち、本実施形態では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T6 - T7で移動度補正を行っている。尚、この移動度補正を行う発光期間の先頭では、発光素子ELは、実際には逆バイアス状態にあるので、発光する事はない。この移動度補正期間T6 - T7では、ドライブトランジスタ T_{rd} のゲート

10

20

30

40

50

Gが映像信号 V_{sig} のレベルに固定された状態で、ドライブトランジスタ T_{rd} にドレイン電流 I_{ds} が流れる。ここで、 $V_{ss1} - V_{th} < V_{thFl}$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれるため、ダイオード特性ではなく単純な容量特性を示すようになる。よって、ドライブトランジスタ T_{rd} に流れる電流 I_{ds} は、画素容量 C_s と発光素子 EL の等価容量 C_{oled} の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これにより、ドライブトランジスタ T_{rd} のソース電位 (S) は上昇していく。図 16 のタイミングチャートでは、この上昇分を V で表してある。この上昇分 V は、結局、画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様に、ドライブトランジスタ T_{rd} の出力電流 I_{ds} を同じくドライブトランジスタ T_{rd} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。尚、負帰還量 V は移動度補正期間 $T_6 - T_7$ の時間幅 t を調整する事で最適化可能である。

【0079】

タイミング T_7 では制御信号 WS がローレベルとなり、サンプリングトランジスタ T_{r1} がオフする。この結果、ドライブトランジスタ T_{rd} のゲート G は信号線 SL から切り離される。映像信号 V_{sig} の印加が解除されるので、ドライブトランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間、画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は、 $(V_{sig} - V + V_{th})$ の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により、発光素子 EL は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート/ソース間電圧 V_{gs} の関係は、先のトランジスタ特性式 1 の V_{gs} に $V_{sig} - V + V_{th}$ を代入する事で、以下の式 2 のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \cdots \text{式 2}$$

上記式 2 において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式 2 から V_{th} の項がキャンセルされており、発光素子 EL に供給される出力電流 I_{ds} は、ドライブトランジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的に、ドレイン電流 I_{ds} は映像信号 V_{sig} の電圧によって決まる。換言すると、発光素子 EL は、映像信号 V_{sig} に応じた輝度で発光する事になる。その際、 V_{sig} から負帰還量 V が減じられている。この負帰還量 V は、特性式 2 の係数部に位置する移動度 μ の効果を打ち消すように働く。従って、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0080】

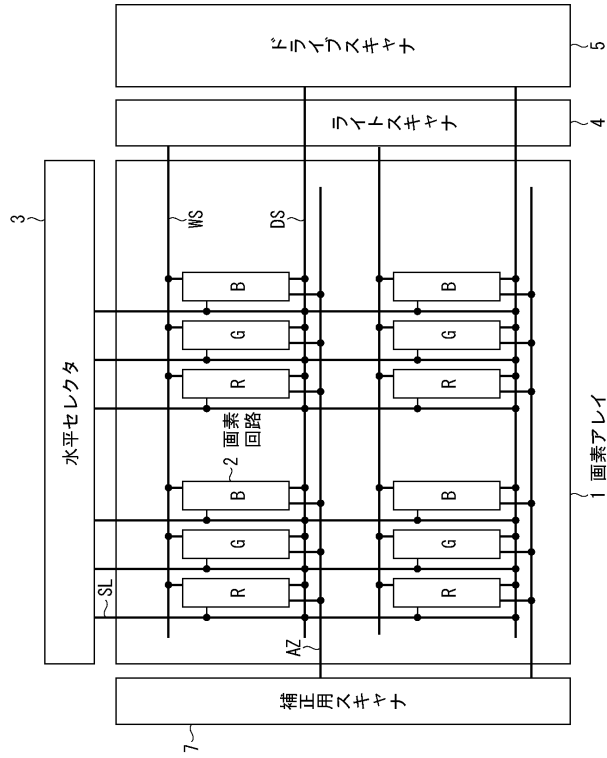
最後に、タイミング T_8 に至ると制御信号 DS がハイレベルとなって、スイッチングトランジスタ T_{r4} がオフし、発光が終了すると共に、当該フィールドが終わる。この後、次のフィールドに移って、再び、 V_{th} 補正動作、移動度補正動作及び発光動作が、繰り返される事になる。

【符号の説明】

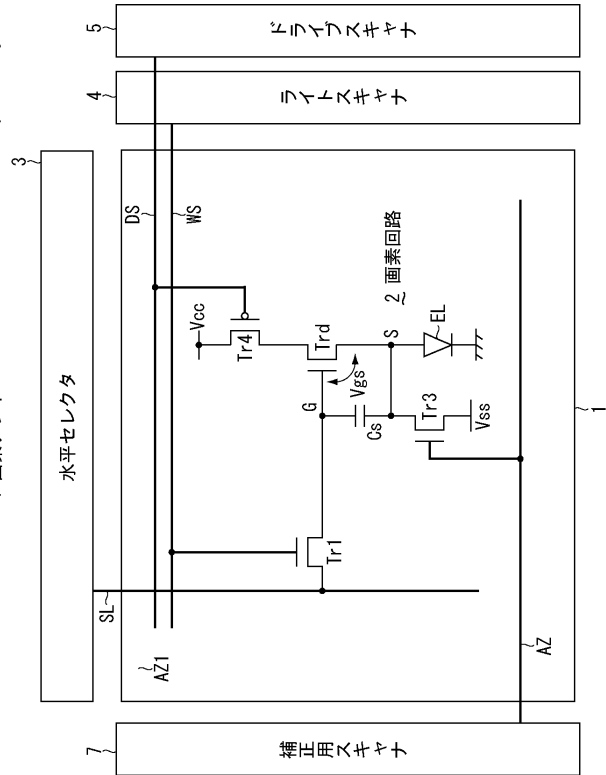
【0081】

1・・・画素アレイ、2・・・画素回路、3・・・水平セクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、7・・・補正用スキャナ、 T_{r1} ・・・サンプリングトランジスタ、 T_{r3} ・・・スイッチングトランジスタ、 T_{r4} ・・・スイッチングトランジスタ、 T_{rd} ・・・ドライブトランジスタ、EL・・・発光素子、 C_s ・・・容量素子(画素容量)

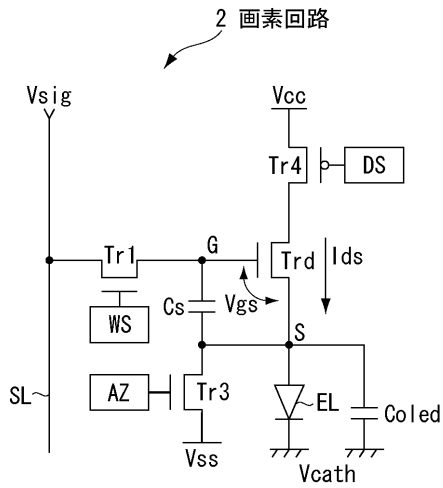
【 図 1 】



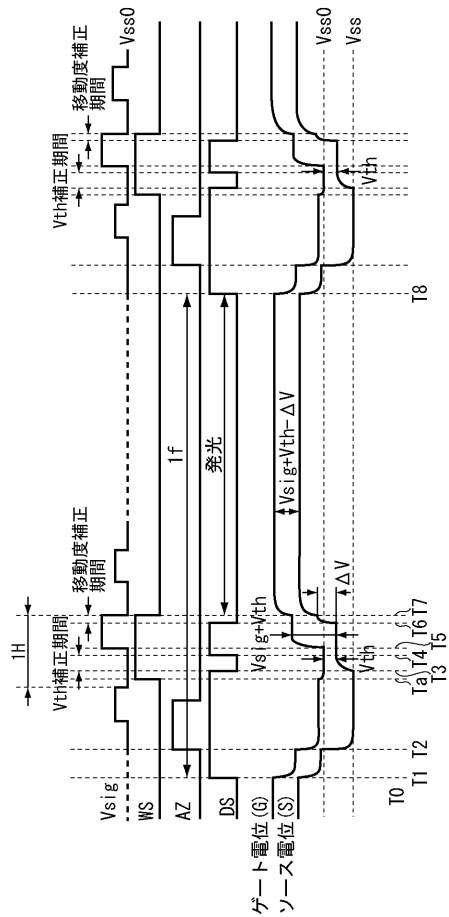
【 図 2 】



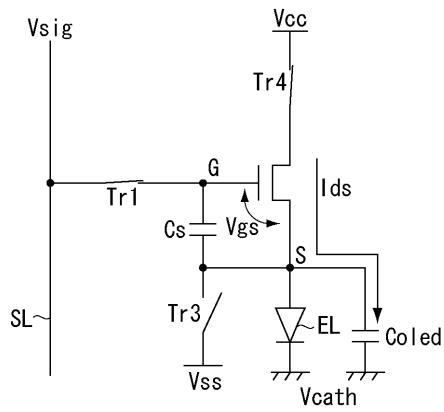
【 図 3 】



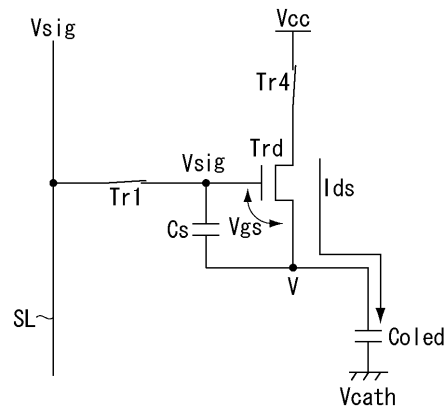
【 図 4 】



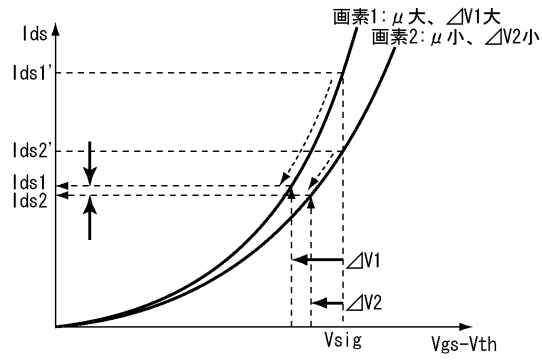
【図 5】



【図 7】

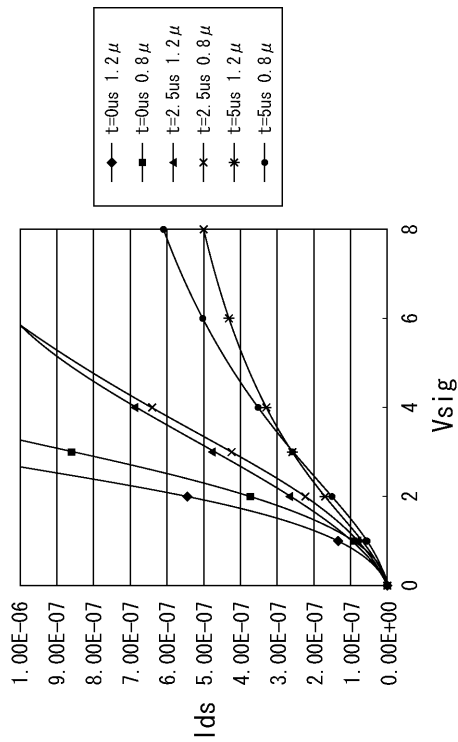


【図 6】

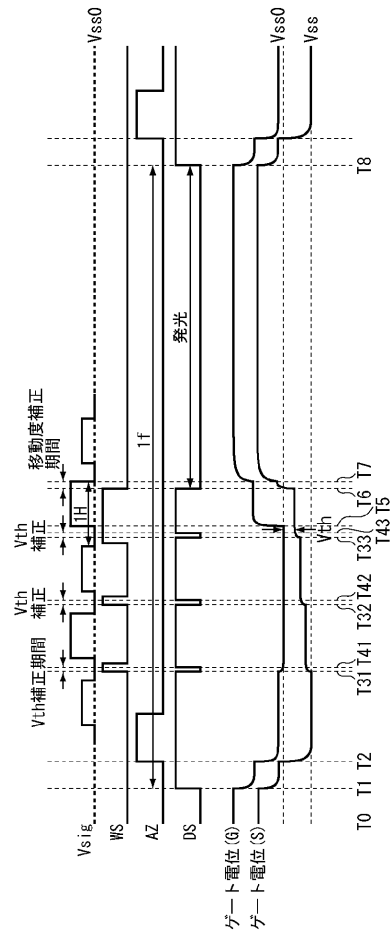


$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2$$

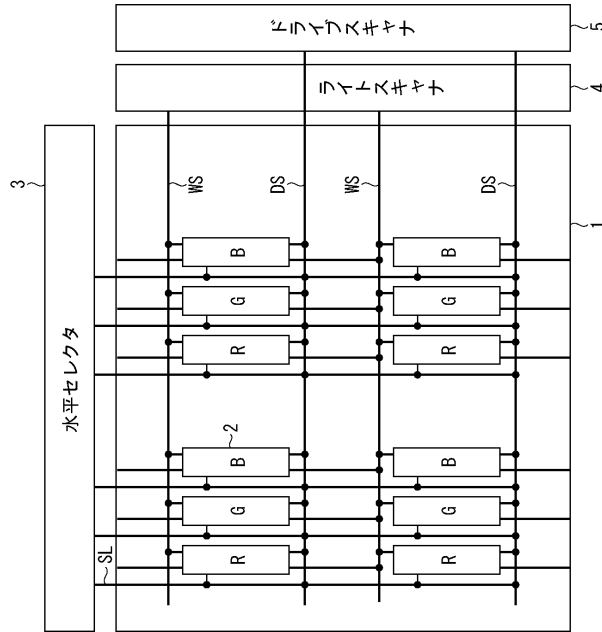
【図 8】



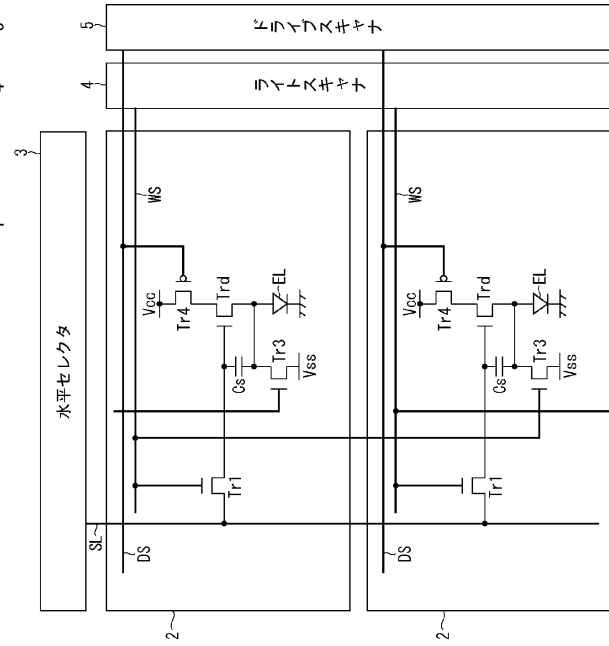
【図 9】



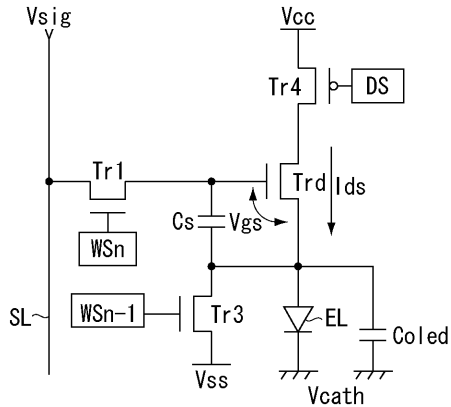
【図 10】



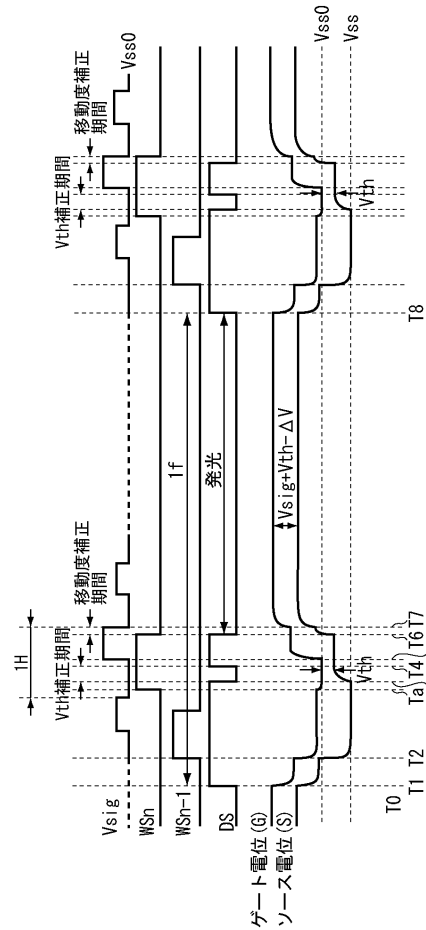
【図 11】



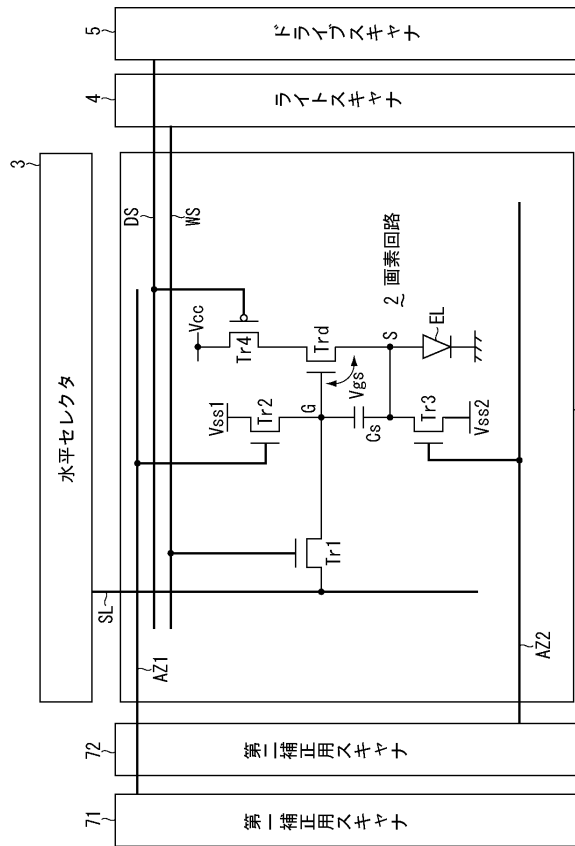
【図 12】



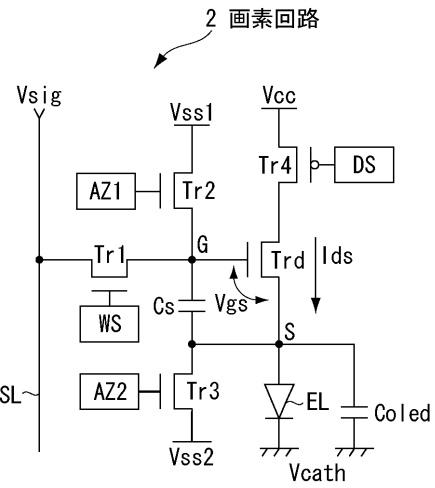
【図 13】



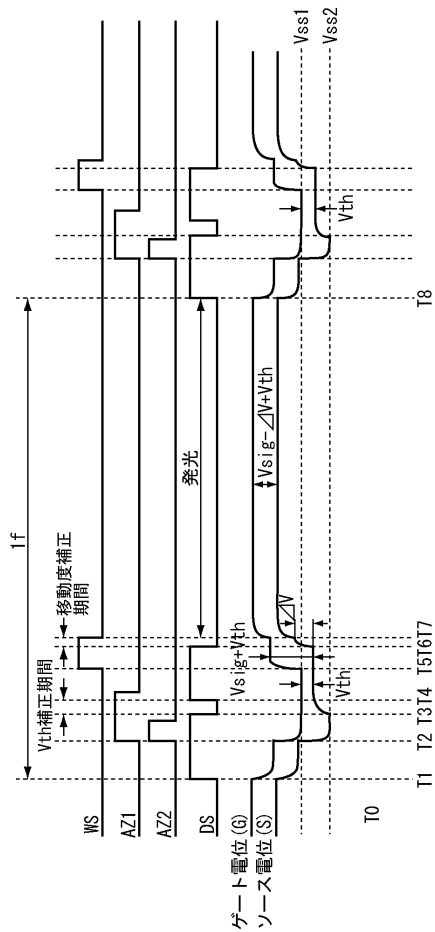
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/30 J

審査官 鳥居 祐樹

(56)参考文献 特開 2 0 0 3 - 2 7 1 0 9 5 (J P , A)
特開 2 0 0 4 - 3 4 1 3 5 9 (J P , A)
特開 2 0 0 3 - 2 5 5 8 9 7 (J P , A)
特開 2 0 0 5 - 1 7 2 9 1 7 (J P , A)
特開 2 0 0 2 - 0 8 2 6 5 1 (J P , A)
特開 2 0 0 9 - 1 6 3 2 7 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	像素电路，像素电路的驱动方法和显示装置		
公开(公告)号	JP5099069B2	公开(公告)日	2012-12-12
申请号	JP2009106686	申请日	2009-04-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一		
发明人	内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.611.H G09G3/20.621.A G09G3/20.642.A G09G3/30.J G09F9/30.338 G09F9/30.365 G09F9/30.365.Z G09G3/20.612.T G09G3/20.623.C G09G3/20.623.D G09G3/3258 G09G3/3275 G09G3/3291 H01L27/32 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD22 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA03 5C094/AA21 5C094/AA37 5C094/AA42 5C094/AA43 5C094/AA46 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB03 5C380/BC18 5C380/BD08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CC02 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC38 5C380/CC39 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD014 5C380/CD015 5C380/CD024 5C380/CD025 5C380/DA01 5C380/DA06 5C380/DA47 5C380/GA03		
代理人(译)	吉井正明 山本隆久 森浩一		
其他公开文献	JP2009169430A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高具有阈值电压校正功能的像素电路的效率，并简化像素电路。ŽSOLUTION：采样晶体管 (Tr1) 在水平扫描周期期间响应于从扫描线 (WS) 提供的控制信号而电连接，并且将从信号线 (SL) 提供的视频信号采样到像素电容器 (Cs)。像素电容器 (Cs) 响应于采样的视频信号将输入电压 (Vgs) 施加到驱动晶体管 (Trd) 的栅极 (G)。驱动晶体管 (Trd) 根据输入电压 (Vgs) 将输出电流提供给发光元件 (EL)。输出电流依赖于驱动晶体管 (Trd) 的阈值电压 (Vth)。为了消除输出电流对阈值电压 (Vth) 的依赖性，在水平扫描周期的一部分期间提供校正装置 (Tr3 , Tr4)，检测驱动晶体管 (Trd) 的阈值电压 (Vth)。，并将其写入像素电容 (Cs)。Ž

また、ドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ に、 $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。
 数 2]

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$