

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4438066号
(P4438066)

(45) 発行日 平成22年3月24日 (2010.3.24)

(24) 登録日 平成22年1月15日 (2010.1.15)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/30 K
HO1L 51/50 (2006.01)	G09G 3/20 611H
	G09G 3/20 612E
	G09G 3/20 623B

請求項の数 4 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2004-342126 (P2004-342126)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成16年11月26日 (2004.11.26)	(74) 代理人	100090538 弁理士 西山 恵三
(65) 公開番号	特開2006-154066 (P2006-154066A)	(74) 代理人	100096965 弁理士 内尾 裕一
(43) 公開日	平成18年6月15日 (2006.6.15)	(72) 発明者	川崎 素明 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成19年11月26日 (2007.11.26)	(72) 発明者	井関 正己 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置およびその電流プログラミング方法

(57) 【特許請求の範囲】

【請求項1】

電流駆動型表示素子と、該電流駆動型表示素子に流れる電流を制御する第1の電界効果トランジスタと、該第1の電界効果トランジスタの制御電極と一方の主電極の間に設けられた第1のスイッチと、前記第1の電界効果トランジスタの制御線と他方の主電極との間に設けられた第1の容量と、を備えた画素回路がマトリクス状に配されており、

前記画素回路は列ごとに共通のデータ線に接続され、

前記データ線にはそれぞれ電流供給回路が接続され、

前記画素回路を行ごとに選択する走査線によって前記データ線に接続された前記画素回路の第1のスイッチを選択し、所定期間導通させて前記データ線に流れる映像データ電流を選択された前記画素回路の前記第1の電界効果トランジスタの制御電極に供給し、前記映像データ電流の電流値を前記第1の電界効果トランジスタの他の主電極と前記制御電極との間の電圧値として書き込むアクティブマトリクス型表示装置であって、

前記電流供給回路は、

第4の電界効果トランジスタと、該第4の電界効果トランジスタの制御電極と一方の主電極の間に設けられた第4のスイッチと、前記第4の電界効果トランジスタの制御線と他方の主電極との間に設けられた第4の容量と、を備え、

垂直ブランキング期間に、前記データ線を通る電流が前記第4の電界効果トランジスタに供給されることにより、所定電流を発生するように設定され、

水平ブランキング期間に、前記所定電流を前記映像データ電流を増やすように前記デー

タ線に加え、前記データ線に接続され、かつ、前記走査線によって選択された前記画素回路の第1の電界効果トランジスタの前記他の主電極と前記制御電極との間の電圧を、前記データ線に接続された複数の前記画素回路に含まれる第1の電界効果トランジスタそれぞれのスレッシュホールド電圧を超える値に設定することを特徴とするアクティブマトリクス型表示装置。

【請求項2】

請求項1に記載のアクティブマトリクス型表示装置において、各画素回路の前記スイッチと前記データ線との間に設けられる第2のスイッチと、各画素回路の前記第1の電界効果トランジスタの一方の主電極に接続され、書き込まれた電流を各画素回路の前記所定期間外に前記電流駆動型表示素子に流す制御を行う第3のスイッチとを備えたアクティブマトリクス型表示装置。

10

【請求項3】

請求項1から2のいずれか1項に記載のアクティブマトリクス型表示装置において、前記電流駆動型表示素子はエレクトロルミネッセンス素子であることを特徴とするアクティブマトリクス型表示装置。

【請求項4】

電流駆動型表示素子と、該電流駆動型表示素子に流れる電流を制御する第1の電界効果トランジスタと、該第1の電界効果トランジスタの制御電極と一方の主電極の間に設けられた第1のスイッチと、前記第1の電界効果トランジスタの制御線と他方の主電極との間に設けられた第1の容量と、を備えた画素回路がマトリクス状に配されており、

20

前記画素回路は列ごとに共通のデータ線に接続され、

前記データ線には電流供給回路が接続され、

前記画素回路を行ごとに選択する走査線によって前記データ線に接続された前記画素回路の第1のスイッチを選択し、所定期間導通させて前記データ線に流れる映像データ電流を選択された前記画素回路の前記第1の電界効果トランジスタの制御電極に供給し、前記映像データ電流の電流値を前記第1の電界効果トランジスタの他の主電極と前記制御電極との間の電圧値として書き込むアクティブマトリクス型表示装置の電流プログラミング方法であって、

前記電流供給回路は、

第4の電界効果トランジスタと、該第4の電界効果トランジスタの制御電極と一方の主電極の間に設けられた第4のスイッチと、前記第4の電界効果トランジスタの制御線と他方の主電極との間に設けられた第4の容量と、を備え、

30

垂直ブランキング期間に、前記データ線を流れる電流が前記第4の電界効果トランジスタに供給されることにより所定電流を発生するように設定され、

水平ブランキング期間に、前記所定電流を前記映像データ電流を増やすように前記データ線に加え、前記データ線に接続され、かつ、前記走査線によって選択された前記画素回路の第1の電界効果トランジスタの前記他の主電極と前記制御電極との間の電圧を、前記データ線に接続された複数の前記画素回路に含まれる第1の電界効果トランジスタそれぞれのスレッシュホールド電圧を超える値に設定することを特徴とするアクティブマトリクス型表示装置の電流プログラミング方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明はアクティブマトリクス型表示装置およびその電流プログラミング方法に係わり、特に電流駆動型表示素子に用いたアクティブマトリクス型表示装置に好適に用いられるものである。

【背景技術】

【0002】

データ線に流す電流を、トランジスタのゲート・ソース電圧として保持する電流プログラミング回路は、特許文献1の図18に示すように、電界発光素子を用いたアクティブマ

50

トリクス型表示装置の、電界発光素子駆動電流を書き込むための電流書き込み型画素回路に用いられている。また、特許文献1では高品位な黒および低輝度階調表示を可能とするために、図3に示すような電流プログラミング回路を電流を書き込む電流駆動回路として設け、データ書き込みの際に書き込み電流を打ち消す方向に当該電流を流すことが記載されている。

【特許文献1】特開2002-351400号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明者は上記電流書き込み型画素回路を用いたときに、各画素回路において映像データ電流の書き込み動作を安定に行うことができない場合があることを見出した。

10

【0004】

本発明は上記映像データ電流の書き込み動作を安定して行うことができるアクティブマトリクス型表示装置およびその電流プログラミング方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明のアクティブマトリクス型表示装置は、電流駆動型表示素子と、該電流駆動型表示素子に流れる電流を制御する第1の電界効果トランジスタと、該第1の電界効果トランジスタの制御電極と一方の主電極の間に設けられたスイッチと、を備えた画素回路がマトリクス状に配され、一方向に配列された複数の前記画素回路が列ごとにデータ線に接続され、

20

前記複数の画素回路のスイッチを順次所定期間導通させて前記データ線に流れる映像データ電流を各画素回路の前記第1の電界効果トランジスタの制御電極に供給し、前記映像データ電流の電流値を前記第1の電界効果トランジスタの他の主電極と前記制御電極との間の電圧値として書き込むアクティブマトリクス型表示装置であって、

前記データ線に電流供給回路が接続され、該電流供給回路は、前記所定期間内の書き込み動作が終了する前に、所定電流値の電流を前記データ線の前記映像データ電流に、前記映像データ電流が増えるように加えることを特徴とするアクティブマトリクス型表示装置である。

【0008】

30

また本発明の電流プログラミング方法は、電流駆動型表示素子と、該電流駆動型表示素子に流れる電流を制御する第1の電界効果トランジスタと、該第1の電界効果トランジスタの制御電極と一方の主電極の間に設けられたスイッチと、を備えた画素回路がマトリクス状に配され、一方向に配列された複数の前記画素回路が列ごとにデータ線に接続され、

前記複数の画素回路のスイッチを順次所定期間導通させて前記データ線に流れる映像データ電流を各画素回路の前記第1の電界効果トランジスタの制御電極に供給し、前記映像データ電流の電流値を前記第1の電界効果トランジスタの他の主電極と前記制御電極との間の電圧値として書き込むアクティブマトリクス型表示装置の電流プログラミング方法であって、

前記所定期間内の書き込み動作が終了する前に、所定電流値の電流を前記データ線の前記映像データ電流に、前記映像データ電流が増えるように加えることを特徴とする電流プログラミング方法である。

40

【発明の効果】

【0009】

本発明によれば、データ線の寄生容量の影響を抑え、データ電流の書き込み動作を安定化させることができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について図面を用いて詳細に説明する。

【0011】

50

図4は本発明に係わるアクティブマトリクス電界発光表示装置の構成を示す構成図である。

【0012】

図4において、1はマトリクス状に配された画素回路からなる画素回路部、2は充電設定電流に基づく充電電流が書き込まれる電流供給回路となる、画素回路列ごとに設けられた事前充電回路、3はゼロ設定電流（基準電流）に基づく電流が書き込まれる、画素回路列ごとに設けられたゼロ電流設定回路、4は列方向に配された画素回路群と接続されるデータ線に線順次データ線電流信号I data、ゼロ設定電流及び充電設定電流を供給する列電流制御回路、5は列電流制御回路4に接続され、データ線に線順次データ線電流信号I data、ゼロ設定電流及び充電設定電流を与えるための列行走査回路、6は行方向に配された画素回路に接続され、画素回路に行ごとに順次行走査信号P 1 m、行走査信号P 2 mを出力する行走査回路である（mは1以上の正の自然数）。

10

【0013】

図1は本発明の第1の実施形態に係わる画素回路、ゼロ電流設定回路及び事前充電回路の一構成例を示す図である。図2は図1の各回路の動作を説明するためのタイミングチャートである。図3はデータ電流、充電電流及びデータ線の電位の変化を示すタイミングチャートである。図5は比較例として事前充電回路を設けない場合の画素回路の動作を説明するためのタイミングチャートである。図6は事前充電回路を設けない場合のデータ電流及びデータ線の電位の変化を示すタイミングチャートである。

【0014】

まず、本発明の理解の容易化のために、事前充電回路を設けない場合の画素回路の駆動電流プログラミング動作とその後の発光動作について図1及び図5を用いて説明する。また、ここではゼロ電流設定回路の動作も省いて説明を行う。なお、本実施形態において、第1の電界効果トランジスタはpMOSトランジスタM12、M16、制御電極はそのゲート、主電極はソース、ドレインが対応する。またスイッチはnMOSトランジスタM13、M17が対応する。

20

【0015】

今、あるデータ線に接続される、第1行画素回路の動作を考えると、図5において、行走査信号P 1 1がハイレベルとなると、第1のプログラム（行選択）用スイッチとなるnMOSトランジスタM14がオン、発光選択用スイッチとなるpMOSトランジスタM15がオフする。また行走査信号P 2 1がハイレベルになると、第2のプログラム用スイッチとなるnMOSトランジスタM13がオンする。そして、駆動用スイッチとなるpMOSトランジスタM12のゲートに接続されている容量C3の電圧は、データ線に流れる映像データ電流に基づき電界発光素子（エレクトロルミネッセンス素子）ELを駆動する電流がpMOSトランジスタM12を介して流れるに十分なゲート-ソース電圧に設定される。次に、行走査信号P 2 1がロウレベルになると、第2のプログラム用スイッチとなるnMOSトランジスタM13がオフし、容量C3の電圧が保持される。これまでの期間が第1行電流設定期間（駆動電流プログラミング期間）である。

30

【0016】

その後、行走査信号P 1 1がロウレベルになると、第1のプログラム（行選択）用スイッチとなるnMOSトランジスタM14がオフ、発光選択用スイッチとなるpMOSトランジスタM15がオンする。駆動用トランジスタM12のゲート電位により電界発光素子ELへの駆動電流の供給が制御され、電界発光素子ELに流れる電流が制御される。電界発光素子ELが発光（黒表示の場合は非発光）している期間が発光期間である。また第1行電流設定期間が終わると第2行電流設定期間が開始し、順次各行の電流設定期間に映像データ信号に基づき駆動電流が書き込まれていく。

40

【0017】

上述した電流プログラミングによって各画素回路を制御することは、基本的には各駆動トランジスタの特性バラツキに影響されない点において有効であるが、本発明者はデータ線の寄生容量の存在によって、各駆動トランジスタの特性バラツキによって小電流のプロ

50

グラミング動作が不安定になり、低輝度領域において黒ずんだビートを発生し画質を劣化させる場合があることを見出した。この現象はパネル上に配置された駆動トランジスタのバラツキによって発生するので固定パターンノイズとなり目立つ現象として現れる。これはデータ線の寄生容量の増加する大画面パネル及びEL素子の高効率化によってさらに顕著になる。

【0018】

以下、上記現象について図1、図5及び図6を用いて説明する。

【0019】

今、データ線に第1行画素回路～第4行画素回路が接続され、図5に示す第1行電流設定期間～第4行電流設定期間においてそれぞれ第1行画素回路～第4行画素回路における駆動電流のプログラミングが行われる。ここで映像データ電流は全て同一電流値の小電流（低階調又は黒表示時の電流）とする（ $I_{data1} = I_{data2} = I_{data3} = I_{data4}$ ）。第1行画素回路～第4行画素回路の駆動トランジスタとなるpMOSトランジスタのスレシヨルド電圧をそれぞれ V_{th1} 、 V_{th2} 、 V_{th3} 、 V_{th4} とし、その電圧レベルは $V_{th2} > V_{th1}$ 、 $V_{th3} = V_{th2}$ 、 $V_{th4} < V_{th3}$ なる関係にあるものとする。第1行電流設定期間に、nMOSトランジスタM14、M13がオンすると、第1行画素回路の駆動トランジスタM12のゲートにはゲート-ソース間電圧が V_{th} を超えるような電圧がかかって、ソース-ドレイン電流が流れ、ゲート電位が上昇していき一定電位に収束し、映像データ電流 I_{data1} に基づく電流がゲート-ソース間の電圧として書き込まれる。この時データ線の電位 V_{data} 、すなわちデータ線寄生容量 C_x の電位は第1行画素回路の駆動トランジスタのゲート電位に対応する電位となる。

【0020】

次に第2行電流設定期間において、第2行画素回路の駆動トランジスタM16のスレシヨルド電圧 V_{th2} は $V_{th2} > V_{th1}$ なので、nMOSトランジスタM18、M17がオンしても駆動トランジスタM16のソース-ドレイン電流が流れず、データ線電位の下降は微小なデータ線電流のみで行なわれるため、データ線の寄生容量 C_x から電流がながれデータ線の電位 V_{data} が低下していくが、データ線の寄生容量のためにその低下は緩やかで、第2行電流設定期間内では駆動トランジスタM16のゲート-ソース間の電圧が V_{th2} を超えず、映像データ電流 I_{data2} （ $= I_{data1}$ ）に基づく電流の書き込み、すなわち電流プログラミングが行えない（電流プログラミング不全が起こる）。

【0021】

次に第3行電流設定期間において、データ線の電位 V_{data} が引き続き低下していき（第3行画素回路の駆動トランジスタ（図1において不図示）のゲート電位も引き続き低下していき）、ゲート-ソース間の電圧が V_{th3} （ $V_{th3} = V_{th2}$ ）を超えると、駆動トランジスタのソース-ドレイン電流が流れ、ゲート電位は一定電位に収束し、映像データ電流 I_{data3} （ $I_{data3} = I_{data2}$ ）に基づく電流がゲート-ソース間の電圧として書き込まれる。

【0022】

次に第4行電流設定期間において、第4行画素回路の駆動トランジスタのスレシヨルド電圧 V_{th4} は $V_{th4} < V_{th3}$ なので、ゲート-ソース間の電圧が V_{th4} を超え、すぐに駆動トランジスタのソース-ドレイン電流が流れ、ゲート電位は上昇していき一定電位に収束し、映像データ電流 I_{data4} に基づく電流がゲート-ソース間の電圧として書き込まれる。

【0023】

上記の第2行電流設定期間での電流プログラミング不全は、画素回路の電流の電流設定期間で駆動トランジスタゲート-ソース間電圧が当該駆動トランジスタのスレシヨルド電圧を超えない、又は超えても当該駆動トランジスタのドレイン電流が非常に小さくデータ線の寄生容量の充放電動作に寄与できず、電流書き込み時間が不十分になるためである。

【0024】

本実施形態では、電流データによる電流プログラミング動作が終わる前に所定期間、所定電流でデータ線の寄生容量を充電する電流供給回路を設け、この充電動作により駆動ト

10

20

30

40

50

ランジスタのゲート - ソース間の電圧がスレシヨルドレベルを超えることができるようにした。これにより小電流における電流プログラミング動作において各画素の駆動トランジスタの自己放電動作が保証され電流プログラミング動作が改善される。

【 0 0 2 5 】

以下、本発明の実施形態について図 1 ~ 図 3 を用いて説明する。なお、図 2 に示すように充電電流設定期間の前にゼロ電流設定回路にゼロ電流設定を行うゼロ電流設定期間があるがゼロ電流設定回路及びゼロ電流設定期間については後述するものとし、ここでは充電電流設定期間と各画素回路の電流設定期間について説明する。

【 0 0 2 6 】

図 1 に示す電流供給回路となる事前充電回路は、各行の画素回路の電流設定期間において、所定期間、所定電流を供給する回路であり、映像データ電流が増えるように電流を加えるものである。事前充電回路は、各画素回路の電流設定回路と同じ構成の電流設定回路と、カレントミラー回路とから構成されている。電流供給回路となる事前充電回路は所定電流（定電流）を供給する回路であり、画素回路の電流設定期間の電流書き込み動作が終了するに至る前、すなわちゲート電位が一定値に収束する前に、所定電流が映像データ電流に加えられればよいが、駆動トランジスタのゲート - ソース間の電圧がスレシヨルドレベルを超える動作が早く行われることが好ましいため、図 2、図 3 に示すように、画素回路の電流設定期間開始時に所定電流を映像データ電流に加えるとよい。なお、電流プログラミングが不全となる電流設定期間を有する画素回路では電流書き込み動作が終了するまでの期間は画素回路の電流設定期間を超える場合があるが、画素回路の電流設定期間で電流書き込み動作が終了しうる複数の画素回路を基準として、所定電流を映像データ電流に加えるタイミングを設定すればよい。

所定電流を加える期間はデータ線の寄生容量 C_x の電位を十分さげることができるように、スイッチのスイッチ速度、データ線の寄生容量 C_x 等を考慮して決められる。また所定電流の電流値は各駆動トランジスタのスレシヨルド電圧のバラツキを考慮して設定される。所定電流の電流値は充電設定電流の値を変えることにより任意に設定することができる。

【 0 0 2 7 】

本実施形態においては、事前充電回路による電流供給により、データ線の電位を固定するように規定するものではなく、充電電位は各画素回路の駆動トランジスタ特性に委ねられる。事前充電回路は垂直ブランキング期間におけるデータ電流により所定電流（充電電流）を発生できるようにし、事前の充電は例えば水平ブランキング期間を使用して行う。

【 0 0 2 8 】

充電電流値 I_p (pMOS トランジスタ M5 のドレイン電流) は、所定の垂直ブランキング期間にデータ線 data に供給される電流を画素回路と同様に pMOS トランジスタ M5 に対して電流プログラミング(設定)して行なわれる (M6 = M7 = ON、M8 = OFF)。そして充電電流値 I_p による事前充電動作は各行(各水平走査期間)で行なわれる該当画素回路に対する電流プログラミング(設定)動作の所定の開始期間 ($P_c = 1$ 、例えば水平ブランキング期間)で行なわれる。

【 0 0 2 9 】

事前充電回路の電流設定回路は、データ線に接続される nMOS トランジスタ M7、pMOS トランジスタ M5 のゲートと nMOS トランジスタ M7 との間に設けられた nMOS トランジスタ M6、データ線に流れる充電設定電流に基づきゲート - ソース電圧として電流が書き込まれる pMOS トランジスタ M5、pMOS トランジスタ M5 とカレントミラー回路を構成する nMOS トランジスタ M9 との間に設けられた pMOS トランジスタ M8 を含んでいる。事前充電回路のカレントミラー回路は、ソース - ゲート間が接続された nMOS トランジスタ M9 と、nMOS トランジスタ M9 とゲートどうしが接続される nMOS トランジスタ M10 と、nMOS トランジスタ M10 とデータ線との間に設けられた nMOS トランジスタ M11 とを含んでいる。

【 0 0 3 0 】

以下、上記事前充電回路の充電電流設定動作（充電電流書き込み）動作と事前充電回路による電流供給が行われる場合の画素回路の駆動電流プログラミング動作について図1～図3を用いて説明する。まず、事前充電回路の充電電流設定動作（充電電流書き込み動作）について説明すると、信号P1p、P2pがハイレベルになり、nMOSトランジスタM7、M6がオンすると、pMOSトランジスタM5のゲートに接続されている容量C2の電圧は、データ線に流れる充電設定電流 $I_p (= I_{px} - I_z; I_z$ はゼロ電流設定回路からの設定電流である)に基づきゲート-ソース電圧が設定される。次に、信号P2pがロウレベルになると、nMOSトランジスタM6がオフし、容量C2の電圧が保持され、電流値として書き込まれる。その後、信号P1pがロウレベルになると、nMOSトランジスタM7がオフ、pMOSトランジスタM8がオンする。

10

【0031】

次に事前充電回路による電流供給が行われる場合の画素回路の駆動電流プログラミング動作について説明すると、例えば第2行電流設定期間において、信号Pcがハイレベルになると、事前充電回路において、pMOSトランジスタM5のゲート電位によりソース-ドレイン電流が流れ、そのソース-ドレイン電流がカレントミラーされ、nMOSトランジスタM11を介して充電電流 I_{pc} が流れる。この充電電流 I_{pc} は、第2行電流設定期間の信号Pcがハイレベルとなっている期間、データ線に流れる映像データ電流を増やすように流れ、結果的に $I_{data1}' (= I_{data1} + I_{pc}, I_{data1} = I_{data1x} - I_z; I_z$ はゼロ電流設定回路からの設定電流である)の電流が流れる。そのためデータ線の電位が低下し、同時に第2行電流設定期間ではnMOSトランジスタM18, M17がオンしている

20

【0032】

さらに、図3を用いて説明する。ここで映像データ電流は全て同一電流値の小電流（低階調又は黒表示時の電流）とする（ $I_{data1x} = I_{data2x}$ ）。第1行画素回路、第2行画素回路の駆動トランジスタとなるpMOSトランジスタM12、M16のスレシヨルド電圧を V_{th1}, V_{th2} とし、そのスレシヨルド電圧の電圧レベルが $V_{th1} < V_{th2}$ なる関係にあるものとする。今、第1行電流設定期間では電流プログラミング動作が正常に行われたものとする。pMOSトランジスタM12、M16のスレシヨルド電圧の電圧レベルが $V_{th1} (M12) < V_{th2} (M16)$ のときは、事前充電回路によりデータ線に電流を供給しない場合には、既に説明したように、データ線の寄生容量 C_x の影響により、第2行電流設定期間内では駆動トランジスタM16のゲート-ソース間の電圧が V_{th2} を超えず、映像データ電流 $I_{data2} (= I_{data2x} - I_z; I_z$ はゼロ電流設定回路からの設定電流である)に基づく電流の書き込み、すなわち電流プログラミングが行えない（電流プログラミング不全が起こる）。しかし、本実施形態のように事前充電回路で電流 I_{pc} をデータ線に供給することで、図3に示すように、第2行画素回路の駆動トランジスタM16のゲートには、 $V_{th1} (M12) < V_{th2} (M16)$ であっても、第2行電流設定期間の信号Pcがハイレベルとなっている期間、データ線の電位が低下し、同時に第2行電流設定期間ではnMOSトランジスタM18, M17がオンしているためにゲート-ソース間電圧として V_{th} を超えるような電圧がかかって、ソース-ドレイン電流が流れ、その後信号Pcがロウレベルとなりゲート電位が上昇していき一定電位に収束し、映像データ電流 $I_{data2}' (= I_{data2x} - I_z + I_{pc}; I_z$ はゼロ電流設定回路からの設定電流である)に基づく電流がゲート-ソース間の電圧として書き込まれる。図3では、pMOSトランジスタM12、M16のスレシヨルド電圧の電圧レベルが $V_{th1} (M12) = V_{th2} (M16)$ 、 $V_{th1} (M12) > V_{th2} (M16)$ のときも示している。

30

40

【0033】

50

以上、事前充電回路の充電電流設定動作（充電電流書き込み）動作と事前充電回路による電流供給が行われる場合の画素回路の駆動電流プログラミング動作について説明したが、本実施形態では、図1及び図4に示すように、ゼロ電流設定回路を設けている。

【0034】

黒表示において、線順次データ線電流信号は電流ゼロが好ましいが実際には回路構成上電流ゼロにすることは困難である。線順次データ線電流信号の電流がゼロにならないと、電界発光素子ELの駆動電流をゼロにすることはできずそのため黒表示の設定を十分にすることができない。そこで、黒表示の設定を十分にを行うためにゼロ電流設定回路を設けている。

【0035】

垂直ブランキング期間に図3の列電流制御回路4に入力される映像信号電圧をゼロ電流設定電圧（黒表示電圧レベル）として、列電流制御回路4に接続されるデータ線にゼロ設定電流（基準電流）を流す。この期間をゼロ電流設定期間（ゼロ電流プログラミング期間）という。ゼロ電流設定期間に制御信号P1z, P2zをそれぞれハイレベルとして、nMOSトランジスタM3, M2をそれぞれオンすると、pMOSトランジスタM1のゲートに接続されている容量C1の電圧は、ゼロ設定電流に相関のあるゼロ電流設定レベルに設定され、各画素回路の電流設定時にゼロ設定電流に基づく設定電流IzがpMOSトランジスタM1, M4を介してデータ線に流れるに十分なゲート-ソース電圧に設定される。次に、制御信号P1z, P2zがロウレベルになると、容量C1の電圧が保持される。

【0036】

次に第1行画素回路を映像表示（例えば黒表示）に設定するためにデータ電流Idata1xがデータ線に流れたとすると、上記ゼロ電流設定回路から設定電流IzがpMOSトランジスタM1, M4を介してデータ線に流れ、第1行画素回路の書込設定電流Idata1は $I_{data1} = I_{data1x} - I_z$ となる。このようにゼロ電流設定回路を設けることにより画素回路間の黒表示の設定が可能となる。

容量C1~C4は個別に容量素子として形成してもよいが、素子として形成しなくとも、ゲート-ソース間に形成される寄生容量（ゲート電極とソース領域との重なり容量等）を用いてもよい。

【0037】

以上本発明に係わる電流プログラミング装置を用いた例として、電流駆動表示素子を用いたアクティブマトリクス型の表示装置を取り上げて説明したが、本発明に係わる電流プログラミング装置はデータ線に流す電流を、トランジスタのゲート-ソース電圧として保持する電流設定回路を用いる用途であれば適用することができ、その用途はLED、電界発光素子、電子放出素子（電子放出素子から放出された電子を加速して蛍光体等の画像形成部材に照射することで表示を行うことが可能なので、かかる電子放出素子も電流駆動表示素子に含める）等の電流駆動表示素子を用いたアクティブマトリクス型の表示装置に限られず、アナログメモリ等の電流プログラミングのための回路として用いられる。また本発明はマトリクス状の表示装置に限られずライン状の表示装置にも適用可能である。

【0038】

なお、本実施形態において、ゼロ電流設定回路を必ずしも設けなくともよいが、黒表示の設定をより正確に行うためには設けることが好ましい。事前充電回路による電流は電流設定期間内の電流書き込み動作が終了するに至る一部の期間に加えられるので、最終的にはゲート-ソース間電圧としては電流値として残らない。したがって、ゼロ電流設定回路による電流と併存してもその機能を損なうものではない。

【産業上の利用可能性】

【0039】

本発明は電界発光素子（EL素子）等の電流駆動型発光素子のアクティブマトリクス型表示装置やアナログメモリに用いられるものである。

【図面の簡単な説明】

【0040】

10

20

30

40

50

【図1】本発明の第1の実施形態に係わる画素回路、ゼロ電流設定回路及び事前充電回路の一構成例を示す図である。

【図2】本発明の第1の実施形態に係わる各回路の動作を説明するためのタイミングチャートである。

【図3】データ電流、充電電流及びデータ線の電位の変化を示すタイミングチャートである。

【図4】本発明に係わるアクティブマトリクス電界発光表示装置の構成を示す構成図である。

【図5】比較例として事前充電回路を設けない場合の画素回路の動作を説明するためのタイミングチャートである。

【図6】事前充電回路を設けない場合のデータ電流及びデータ線の電位の変化を示すタイミングチャートである。

【符号の説明】

【0041】

- 1 画素回路部
- 2 事前充電回路
- 3 ゼロ電流設定回路
- 4 列電流制御回路
- 5 列走査回路
- 6 行走査回路

M1, M4, M5, M8, M12, M15, M16, M19 pMOSトランジスタ

M2, M3, M6, M7, M9 ~ M11, M13, M14, M17, M18 nMOSトランジスタ

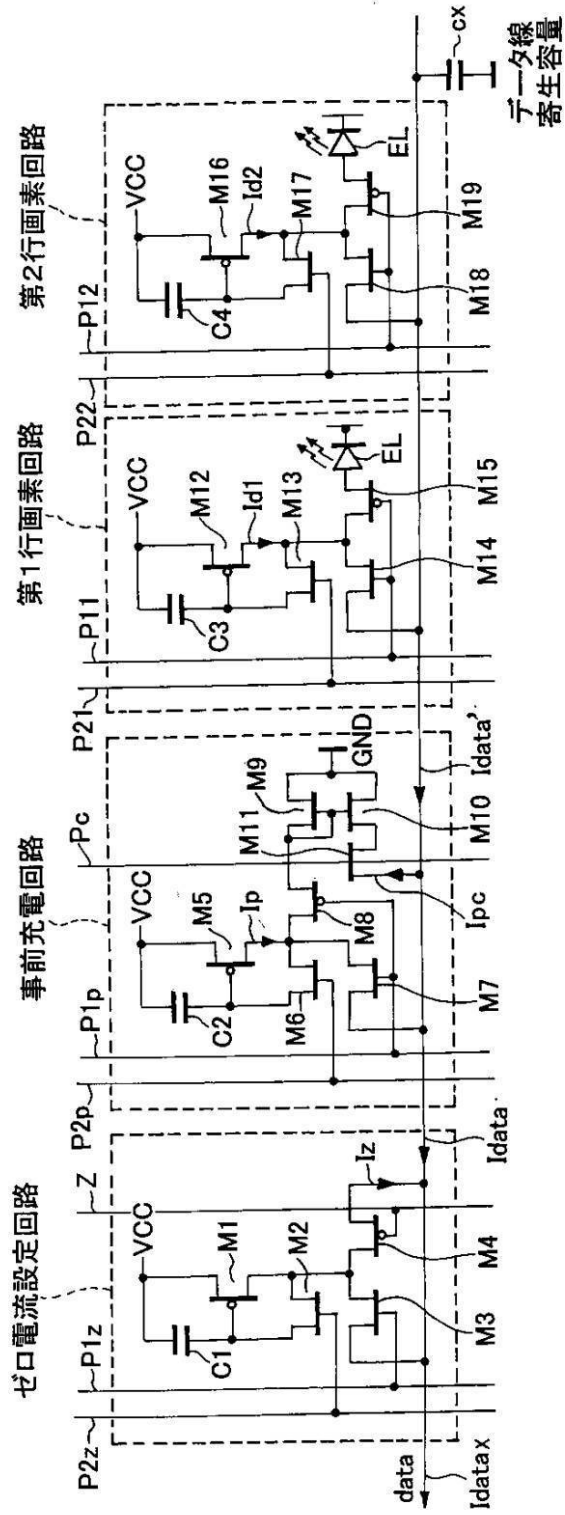
C1 ~ C4 容量

EL 電界発光素子

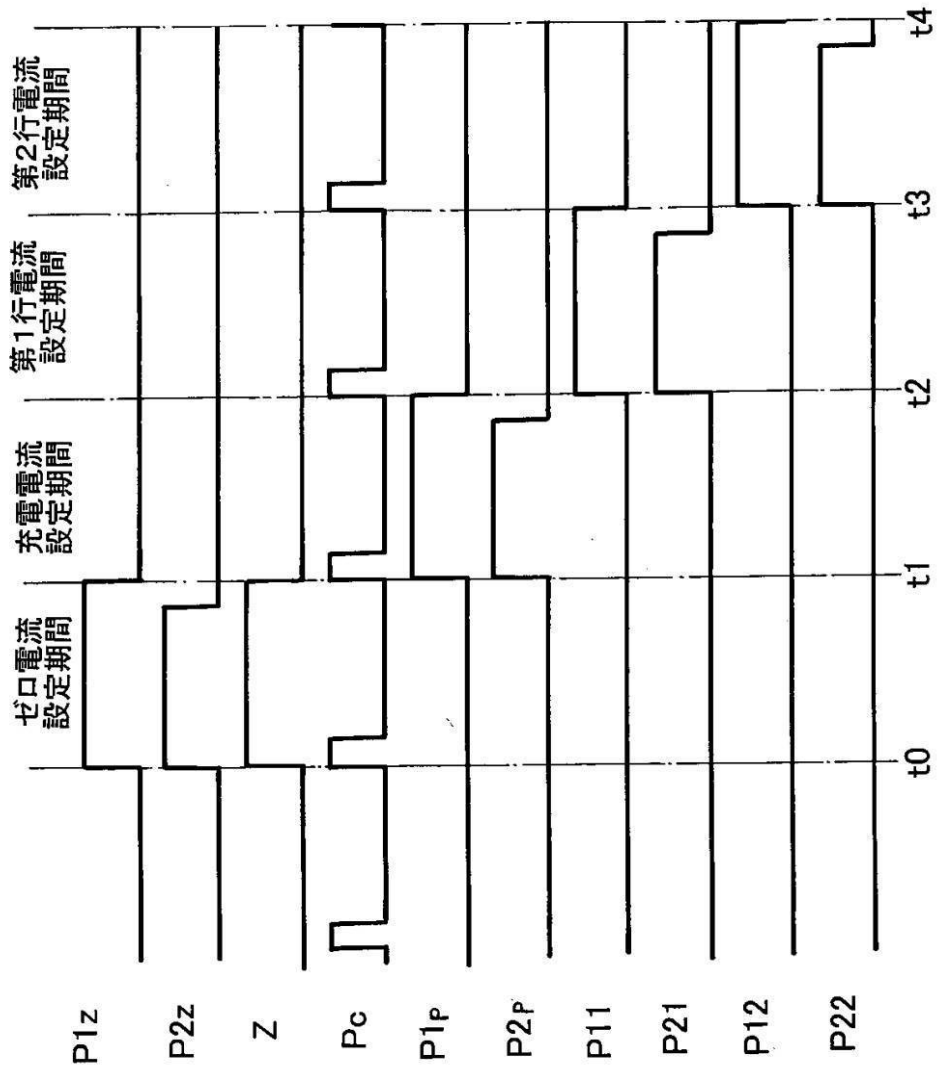
10

20

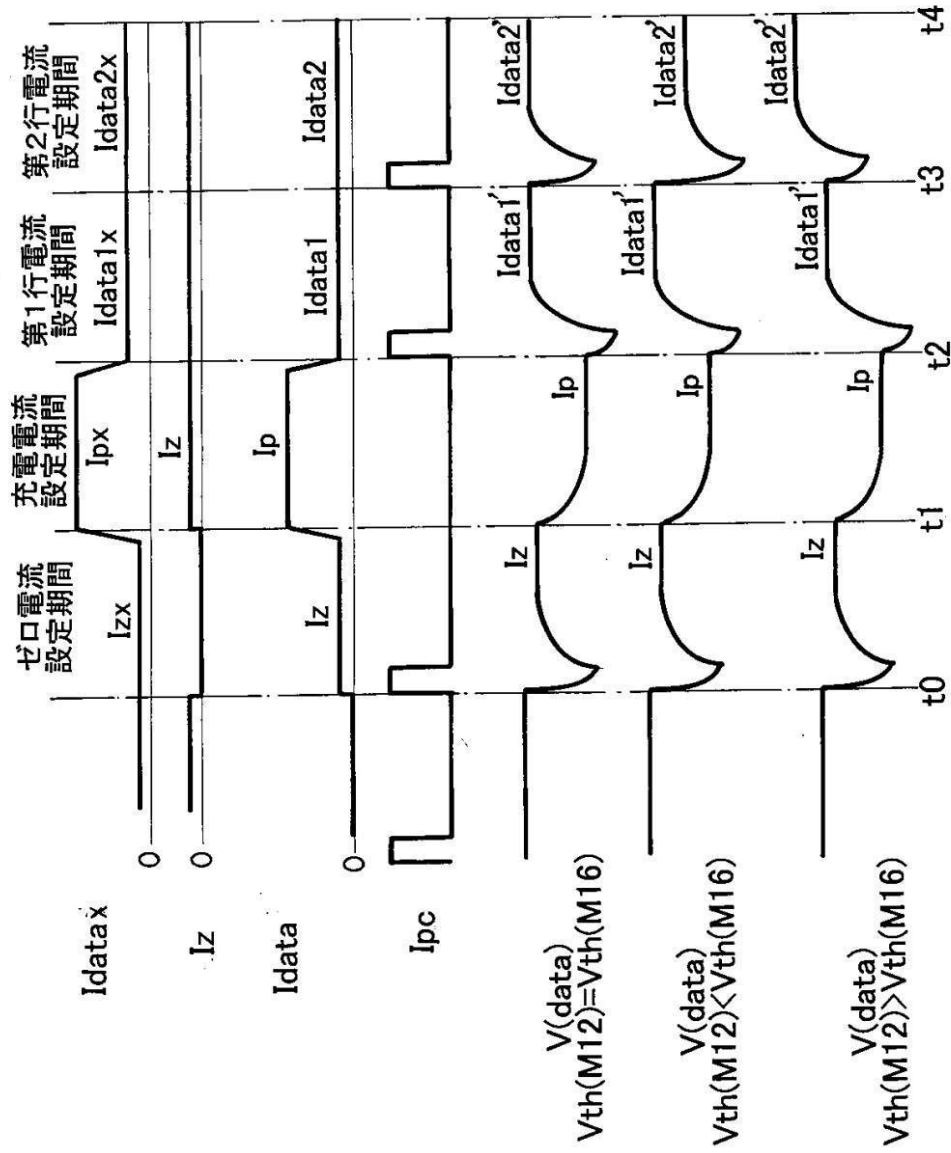
【 図 1 】



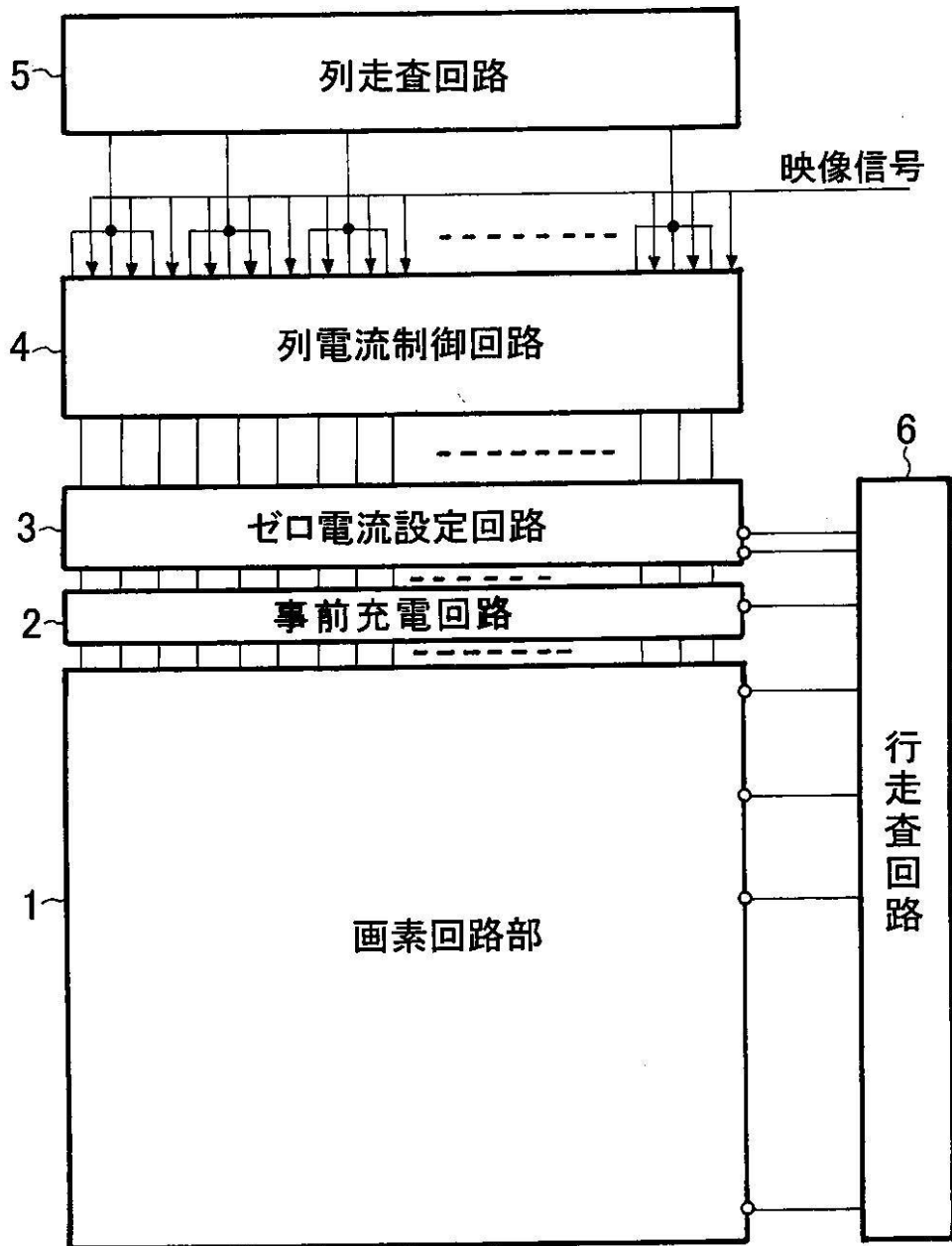
【 図 2 】



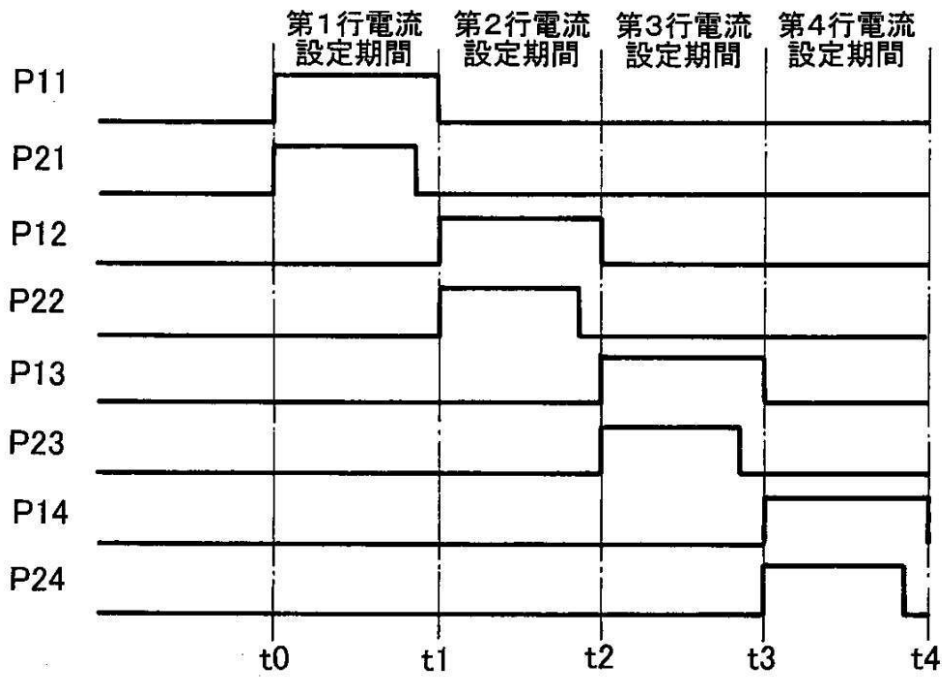
【 図 3 】



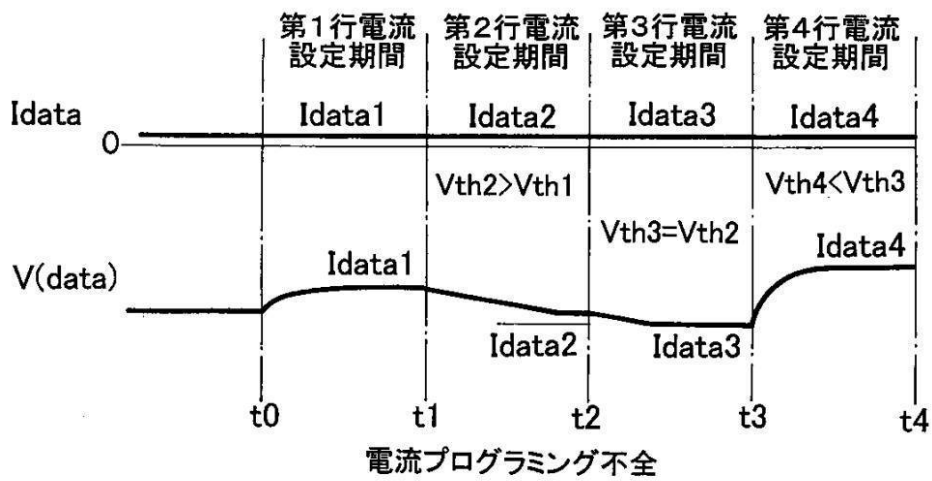
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 4 1 D
H 0 5 B 33/14 A

(72)発明者 川野 藤雄
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 山下 孝教
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 中村 直行

(56)参考文献 特開2003-050564(JP,A)
特開2003-076327(JP,A)
特開2004-004789(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0

专利名称(译)	有源矩阵型显示装置及其电流编程方法		
公开(公告)号	JP4438066B2	公开(公告)日	2010-03-24
申请号	JP2004342126	申请日	2004-11-26
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
当前申请(专利权)人(译)	佳能公司		
[标]发明人	川崎素明 井関正己 川野藤雄 山下孝教		
发明人	川崎 素明 井関 正己 川野 藤雄 山下 孝教		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/325 G09G2300/0842 G09G2310/0248 G09G2320/0223		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.612.E G09G3/20.623.B G09G3/20.624.B G09G3/20.641.D H05B33/14.A G09G3/20.612.T G09G3/20.621.F G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD30 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AC04 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB23 5C380/BC02 5C380/BC09 5C380/BC14 5C380/CA08 5C380/CA13 5C380/CA29 5C380/CB01 5C380/CC13 5C380/CC18 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC72 5C380/CD014 5C380/CF26 5C380/DA02 5C380/DA32 5C380/DA49		
代理人(译)	雄一Uchio		
审查员(译)	中村直之		
其他公开文献	JP2006154066A JP2006154066A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制数据线的寄生电容的影响以稳定电流的写入操作。ŽSOLUTION：在这种有源矩阵型显示装置中，其中像素电路具有电致发光装置EL，FET12控制流向EL的电流，FET13设置在第一FET的栅极和漏极之间。如同矩阵布置，沿一个方向布置的多个像素电路通过每列连接到数据线，FET 13导通预定时段，使得流到数据线的视频数据电流被提供给数据线。写入FET 12的栅极和视频数据电流的电流值，将提前电荷电路连接到数据线，并通过增加预定电流值的电流来消除FET 12的阈值电压变化导致的写入不足在预定时段内的写入操作完成之前，数据线的视频数据电流。Ž

【 图 1 】

