

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-255900
(P2012-255900A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30	J 5C080
G09G 3/20 (2006.01)	G09G 3/20	624B 5C380
	G09G 3/20	622C
	G09G 3/20	611A
	G09G 3/20	642D

審査請求 未請求 請求項の数 11 O L (全 19 頁) 最終頁に続く

(21) 出願番号	特願2011-128698 (P2011-128698)	(71) 出願人	000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成23年6月8日(2011.6.8)	(74) 代理人	100109210 弁理士 新居 広守
		(72) 発明者	新井 康弘 大阪府門真市大字門真1006番地 パナソニック株式会社内
		F ターム (参考)	5C080 AA06 BB05 DD26 FF11 FF12 JJ02 JJ03 JJ04 5C380 AA01 AA02 AB05 AB07 AC04 BA01 BA28 BA37 BB22 CA08 CA12 CA14 CA39 CA53 CA54 CB01 CB19 CB20 CB26 CC42 CD010 CD012 CF02 CF09 CF41 CF46 CF51 DA02 DA06 HA07

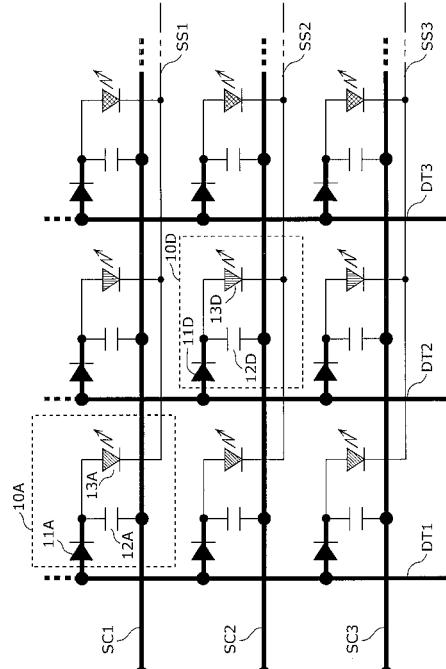
(54) 【発明の名称】表示装置及びその駆動方法

(57) 【要約】

【課題】書き込み電圧を大きくせずに高輝度が確保され、かつ、低損失なパッシブマトリクス型の表示装置及びその駆動方法を提供する。

【解決手段】マトリクス状に配置された複数の発光画素を有する表示装置1であって、走査線S C 1と、発光制御線S S 1と、データ線D T 1とを備え、画素10Aは、アノードがデータ線D T 1に接続されたダイオード11Aと、第1容量電極がダイオード11Aのカソードに接続され、第2容量電極が走査線S C 1に接続され、データ線D T 1から印加されたデータ電圧を保持するコンデンサ12Aと、アノードが第1容量電極に接続され、カソードが発光制御線に接続され、コンデンサで保持されたデータ電圧に対応した電流が流れることにより発光する有機EL素子13Aとを備える。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された複数の発光画素を有する表示装置であって、
発光画素行ごとに配置された第1走査線と、
発光画素行ごとに配置された、前記第1走査線と異なる第2走査線と、
発光画素列ごとに配置されたデータ線とを備え、
前記複数の発光画素のそれぞれは、
第1電極と第2電極とを有し、前記第1電極が前記データ線に接続され、前記第1電極
から前記第2電極への方向のみに電流を流す单方向制御素子と、
第1容量電極と第2容量電極とを有し、前記第1容量電極が前記第2電極に接続され、
前記第2容量電極が前記第1走査線に接続され、前記データ線から印加されたデータ電圧
を保持する保持容量素子と、
第1発光電極と第2発光電極とを有し、前記第1発光電極が前記第1容量電極に接続され、
前記第2発光電極が前記第2走査線に接続された電流駆動型の発光素子とを備える
表示装置。

【請求項 2】

前記单方向制御素子は、ダイオード素子である
請求項1に記載の表示装置。

【請求項 3】

前記第2走査線の抵抗率は、前記第1走査線の抵抗率よりも高い
請求項1に記載の表示装置。

【請求項 4】

さらに、
前記第2容量電極の電位と前記第2発光電極の電位とを、それぞれ、前記第1走査線及び前記第2走査線を介して、独立に制御する走査線制御部を備える
請求項1に記載の表示装置。

【請求項 5】

前記走査線制御部は、
前記保持容量素子に前記データ電圧を書き込む場合には、前記第1走査線の電位を基準電位に設定し、
前記発光素子に前記保持容量素子からの放電電流を流して前記発光素子を発光させる場合には、前記第1走査線の電位を、前記基準電位に対して前記発光素子の閾値電圧よりも小さい電圧分だけ高い電位に設定し、かつ、前記第2走査線の電位を、前記基準電位に設定する
請求項4に記載の表示装置。

【請求項 6】

前記保持容量素子に前記データ電圧を書き込む場合には、前記データ線の電位を制御するデータ線制御部及び前記走査線制御部は、前記データ線、前記单方向制御素子、前記保持容量素子、前記第1走査線という第1信号経路で電流を流し、
前記発光素子を発光させる場合には、前記走査線制御部は、前記保持容量素子、前記発光素子、前記第2走査線という第2信号経路で電流を流し、

前記第1信号経路の抵抗成分は、前記第2信号経路の抵抗成分よりも低い
請求項5に記載の表示装置。

【請求項 7】

前記保持容量素子に前記データ電圧を書き込む時間は、前記保持容量素子が前記データ電圧に対応する電荷を放電する時間よりも短い
請求項4に記載の表示装置。

【請求項 8】

前記発光素子を発光させる場合に前記第1走査線に設定される電位と前記基準電位との電位差は、前記データ電圧の最大値以上である

10

20

30

40

50

請求項 5 に記載の表示装置。

【請求項 9】

前記発光素子は、有機 E L 素子である

請求項 1 ~ 8 のうちいずれか 1 項に記載の表示装置。

【請求項 10】

前記発光素子は、無機 E L 素子である

請求項 1 ~ 8 のうちいずれか 1 項に記載の表示装置。

【請求項 11】

マトリクス状に配置された複数の発光画素を有する表示部と、発光画素行ごとに配置された第 1 走査線と、発光画素行ごとに配置された、前記第 1 走査線と異なる第 2 走査線と
10
、発光画素列ごとに配置されたデータ線とを備え、

前記複数の発光画素のそれぞれが、

第 1 電極と第 2 電極とを有し、前記第 1 電極が前記データ線に接続され、前記第 1 電極から前記第 2 電極への方向のみに電流を流す單方向制御素子と、

第 1 容量電極と第 2 容量電極とを有し、前記第 1 容量電極が前記第 2 電極に接続され、前記第 2 容量電極が前記第 1 走査線に接続された保持容量素子と、

第 1 発光電極と第 2 発光電極とを有し、前記第 1 発光電極が前記第 1 容量電極に接続され、前記第 2 発光電極が前記第 2 走査線に接続された電流駆動型の発光素子とを有する、表示装置の駆動方法であって、

前記第 1 走査線の電位を基準電位に設定することにより、前記保持容量素子にデータ電圧を書き込む書き込みステップと、
20

前記書き込みステップの後、前記第 1 走査線の電位を、前記基準電位に対して前記発光素子の閾値電圧よりも小さい電圧分だけ高い電位に設定し、かつ、前記第 2 走査線の電位を前記基準電位に設定することにより、前記発光素子に前記保持容量素子からの放電電流を流して前記発光素子を発光させる発光ステップとを含む

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、表示装置及びその駆動方法に関し、特に、画素毎にトランジスタを設けず画素の発光を制御するパッシブマトリクス型表示装置及びその駆動方法に関する。
30

【背景技術】

【0 0 0 2】

有機及び無機 E L (E l e c t r o L u m i n e s c e n c e) 、又は L E D (L i g h t E m i t t i n g D i o d e) 等のような発光素子をアレイ状に組み合わせ、ドットマトリクスにより文字表示を行うディスプレイは、テレビ、携帯端末等に広く利用されている。特に、自発光素子を用いたこれらのディスプレイは、液晶を用いたディスプレイと異なり、照明のためのバックライトを必要としない、視野角が広い、応答速度が速い等の特徴を有し、注目を集めている。中でも、低温ポリシリコン等による薄膜トランジスタとこれらの発光素子とを組み合わせたアクティブマトリクス型と呼ばれるディスプレイは、高輝度、高コントラスト、高精細等の優位性を持っており近年注目されている。
40

【0 0 0 3】

一般的に、コンピュータの端末、パソコンのモニタ、テレビ等の動画表示を行うためには、各画素の輝度が変化する階調表示が出来ることが必要不可欠である。階調表示方法としては、アナログ階調制御方式が用いられている。

【0 0 0 4】

図 8 は、アナログ階調制御方式による従来の電流駆動型表示パネルの構成の一例を示す回路ブロック図である。同図に記載された電流駆動型表示パネル 5 0 0 は、マトリクス状に配置された複数の画素 5 2 0 と、画素列ごとに配置された複数のデータ線 5 0 1 と、画素列ごとに配置された複数のラッチ 5 1 1 及び D / A コンバータ 5 1 2 と、画素行ごとに
50

配置された複数の走査線 502 と、ラッチ 511 及び D/A コンバータ 512 を介してデータ線 501 に接続されたフレームメモリ 510 と、走査線 502 に接続されたゲートドライバ 513 とを備える。画素 520 は、データ電圧の画素 520 への書き込みを制御するスイッチ 514 と、保持容量 515 と、データ電圧を発光電流に変換する P チャネル薄膜トランジスタ 516 と、発光素子 517 とを有する。

【0005】

フレームメモリ 510 からの N ビットのデジタル階調データ $D_0 \sim D_{N-1}$ は、一旦ラッチ 511 に保持された後、D/A コンバータ 512 によりアナログ電圧値に変換され、データ線 501 に伝達される。選択期間では、ゲートドライバ 513 によりスイッチ 514 が ON となり、データ線 501 のアナログ電圧値は P チャネル薄膜トランジスタ 516 のゲートに印加される。これにより、P チャネル薄膜トランジスタ 516 のゲート - ソース間には、(アナログ電圧値 - 電源電圧 (VDD)) の電圧がかかる。その結果、データ線 501 のアナログ電圧値は P チャネル薄膜トランジスタ 516 により電圧電流変換され、発光素子 517 には当該アナログ電圧値に応じた一定の電流値が流れ、発光素子 517 が発光する。また非選択期間では、スイッチ 514 が OFF となるが、保持容量 515 によりデータ線 501 のアナログ電圧値が保持されているので、P チャネル薄膜トランジスタ 516 のゲート - ソース間には上記電圧が印加され続け、非選択期間においても発光素子 517 には一定の電流が流れ続け、発光は持続される（特許文献 1）。

10

【0006】

以上は、アクティブマトリクス構造のディスプレイ駆動装置であるが、パネル内部に薄膜トランジスタを用いるため、特に大型のディスプレイ装置を作成する際に薄膜トランジスタの電気特性を均一に保つことは困難であるとともに、電気特性の優れる薄膜トランジスタの作成に高いコストが必要となる。

20

【0007】

そこで、構造が簡単で、安価かつ電気特性のばらつく薄膜トランジスタを用いないパッシブマトリクス方式で大型化可能なディスプレイ装置が提案されている（特許文献 2）。

【0008】

図 9 は、従来のパッシブマトリクス型表示装置の回路構成を示す回路ブロック図である。同図に記載されたパッシブマトリクス型表示装置 600 は、画素列ごとに配置されたデータ線 611 と、画素行ごとに配置された走査線 612 と、複数の発光画素とを備え、複数の発光画素のそれぞれは、電流逆流防止用のダイオード 613 と、有機 EL 素子 614 と、電荷蓄積用のコンデンサ 615 とを備える。この構成において、パッシブマトリクス型表示装置 600 は、例えば、走査線 612 を選択して LOW 電位とすることで、データ線 611 からデータ電圧をコンデンサ 615 に保持させるとともに、有機 EL 素子 614 に当該データ電圧に応じたデータ電流を流して有機 EL 素子 614 を発光させる。また、走査線 612 が非選択で HIGH 電位である場合には、ダイオード 613 の配置によりコンデンサ 615 に充電された電荷がデータ線 611 へ流出することが防止され、当該電荷が有機 EL 素子 614 へ向けて放電されることにより発光が持続される。

30

【0009】

これにより、パッシブマトリクス型表示装置 600 は、表示パネル内に薄膜トランジスタを配置することなく、非選択期間でも発光を持続できるので、低コストで高輝度化及び大面積化が可能であるとしている。

40

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開 2003-99000 号公報

【特許文献 2】特開 2000-21569 号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

50

しかしながら、前述したパッシブマトリクス型表示装置では、有機EL素子614の閾値電圧を考慮したデータ電圧を設定する必要がある。つまり、有機EL素子614の閾値電圧分だけデータ電圧を大きく設定しなければならない。そうすると、コンデンサ615の両端に印加する電位差Vが大きくなり、 $C V^2$ （C：静電容量）で表される静電エネルギーが増大し、表示効率が低下する。静電エネルギーを小さくするために発光時間を短くすると発光輝度が低下する。つまり、高輝度で、かつ、エネルギーの少ないパッシブマトリクス方式の表示装置が実現されない。

【0012】

さらに、データ電圧を大きく設定すると、コンデンサ615へのデータ電圧の書き込み時間が長くなる。このため、ライン数の多い、例えば4k×2kの解像度の高精細ディスプレイの実現が困難となる。10

【0013】

本発明は、上記課題に鑑みてなされたものであり、保持容量素子の両端に印加する電位差を大きくせずに高輝度が確保され、かつ、低損失なパッシブマトリクス型の表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記課題を解決するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素行ごとに配置された第1走査線と、発光画素行ごとに配置された、前記第1走査線と異なる第2走査線と、発光画素列ごとに配置されたデータ線とを備え、前記複数の発光画素のそれぞれは、第1電極と第2電極とを有し、前記第1電極が前記データ線に接続され、前記第1電極から前記第2電極への方向のみに電流を流す單方向制御素子と、第1容量電極と第2容量電極とを有し、前記第1容量電極が前記第2電極に接続され、前記第2容量電極が前記第1走査線に接続され、前記データ線から印加されたデータ電圧を保持する保持容量素子と、第1発光電極と第2発光電極とを有し、前記第1発光電極が前記第1容量電極に接続され、前記第2発光電極が前記第2走査線に接続された電流駆動型の発光素子とを備えることを特徴とする。20

【0015】

上記構成によれば、発光素子の発光開始電圧である閾値電圧を考慮しないデータ電圧を保持容量素子に保持させることができるとなる。これにより、階調表現に必要な最小量の電荷を保持容量素子に充電すれば良いため、データ電圧を小さく設定できる。よって、静電エネルギーに起因した無効電力を大幅に低減することができる。30

【0016】

また、前記単方向制御素子は、ダイオード素子であってもよい。

【0017】

これにより、薄膜トランジスタの製造プロセスを用いる必要がないので、安価かつ電気特性のばらつきの小さい画素回路が実現され、表示パネルの大型化にも有利である。

【0018】

また、前記第2走査線の抵抗率は、前記第1走査線の抵抗率よりも高いことが好ましい。40

【0019】

この構成によれば、保持容量素子からの放電経路を構成する第2走査線の抵抗率が、保持容量素子への充電経路を構成する第1走査線の抵抗率よりも高いので、各経路の抵抗及び容量からなる時定数により決定されるデータ電圧の書き込み期間を相対的に短くし発光期間を長くすることができる。よって、高精細な表示パネルを提供でき、また、有機EL素子に流れる電流のピーク値を低くすることができるので、高効率な輝度制御を実行することが可能となる。

【0020】

また、さらに、前記第2容量電極の電位と前記第2発光電極の電位とを、それぞれ、前記第1走査線及び前記第2走査線を介して、独立に制御する走査線制御部を備えてよい50

。

【0021】

これにより、保持容量素子に接続された第1走査線と発光素子に接続された第2走査線とを排他的に制御することにより、保持容量素子へのデータ電圧書き込み動作と、保持容量素子からの放電動作とを独立に制御できる。

【0022】

また、前記走査線制御部は、前記保持容量素子に前記データ電圧を書き込む場合には、前記第1走査線の電位を基準電位に設定し、前記発光素子に前記保持容量素子からの放電電流を流して前記発光素子を発光させる場合には、前記第1走査線の電位を、前記基準電位に対して前記発光素子の閾値電圧よりも小さい電圧分だけ高い電位に設定し、かつ、前記第2走査線の電位を、前記基準電位に設定することが好ましい。10

【0023】

これにより、発光素子の発光開始電圧である閾値電圧を考慮しないデータ電圧をコンデンサに保持できる。このため、階調表現に必要な量の電荷を保持容量素子に充電すれば良いため、データ電圧を小さく設定できる。よって、無効電力を大幅に低減することができる。

【0024】

また、保持容量素子に接続された第1走査線と発光素子に接続された第2走査線とを排他的に制御することにより、コンデンサへのデータ電圧書き込み動作と、コンデンサからの放電動作とを独立に制御できる。これにより、書き込み期間を短縮化し発光期間を長期間化することが可能となるので、高精細な表示パネルを提供でき、また、有機EL素子に流れる電流のピーク値を低くすることができるので、高効率な輝度制御を実行することが可能となる。20

【0025】

また、前記保持容量素子に前記データ電圧を書き込む場合には、前記データ線の電位を制御するデータ線制御部及び前記走査線制御部は、前記データ線、前記単方向制御素子、前記保持容量素子、前記第1走査線という第1信号経路で電流を流し、前記発光素子を発光させる場合には、前記走査線制御部は、前記保持容量素子、前記発光素子、前記第2走査線という第2信号経路で電流を流し、前記第1信号経路の抵抗成分は、前記第2信号経路の抵抗成分よりも低いことが好ましい。30

【0026】

また、前記保持容量素子に前記データ電圧を書き込む時間は、前記保持容量素子が前記データ電圧に対応する電荷を放電する時間よりも短いことが好ましい。

【0027】

これにより、書き込み期間を短く設定し発光期間を長く設定できるので高精細な表示パネルを提供できる。また、発光期間における時定数を長くすることで、有機EL素子に流れる電流のピーク値を低くすることができるので、高効率な輝度制御を実行することができる。40

【0028】

また、前記発光素子を発光させる場合に前記第1走査線に設定される電位と前記基準電位との電位差は、前記データ電圧の最大値以上であることが好ましい。

【0029】

これにより、発光動作させている画素行の第1走査線には、データ電圧の最大値以上の電圧が印加されているので、当該画素行の保持容量素子への充電動作は起こらず、データ電圧の書き込み動作をさせている画素行のみに対して、保持容量素子の充電動作を実行することが可能となる。

【0030】

また、前記発光素子は、有機EL素子であってもよい。

【0031】

また、前記発光素子は、無機EL素子であってもよい。50

【0032】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

【発明の効果】

【0033】

本発明の表示装置及びその駆動方法によれば、階調表現に必要な量の電荷を充電すれば良いため、データ電圧を小さく設定できる。よって、無効電力を大幅に低減することができる。その結果、ディスプレイの消費電力を大幅に低減することができる。

【画面の簡単な説明】

10

【0034】

【図1】本発明の実施の形態に係る表示装置の機能ブロック図である。

【図2】本発明の実施の形態に係る表示装置が有する画素部の回路構成図である。

【図3】本発明の実施の形態に係る表示装置が有する走査線制御回路の内部回路図である。

【図4】本発明の実施の形態に係る表示装置が有する発光線制御回路の内部回路図である。

【図5】本発明の実施の形態に係る表示装置が有するデータ線制御回路の内部回路図である。

【図6】本発明の実施の形態1に係る表示装置の駆動タイミングチャートである。

20

【図7A】本発明の表示装置が有する画素への書き込み動作を説明する状態遷移図である。

【図7B】本発明の表示装置が有する画素への発光動作を説明する状態遷移図である。

【図8】アナログ階調制御方式による従来の電流駆動型表示パネルの構成の一例を示す回路ブロック図である。

【図9】従来のパッシブマトリクス型表示装置の回路構成を示す回路ブロック図である。

【発明を実施するための形態】

【0035】

以下、本発明を実施するための形態について、図面を参照しながら説明する。

30

【0036】

<表示装置の構成>

図1は、本発明の実施の形態に係る表示装置の機能ブロック図である。同図に記載された表示装置1は、ライン選択信号処理回路2と、データ線制御回路3と、走査線制御回路4と、発光線制御回路5と、画素部10とを備える。

【0037】

ライン選択信号処理回路2は、入力された映像信号に応じて、画素部10の画素ごとに発光させる階調を割り当て、データ線制御回路3、走査線制御回路4及び発光線制御回路5に制御信号を出力する。

【0038】

走査線制御回路4は画素部10に走査電圧を印加し、データ線制御回路3は画素部10にデータ電圧を印加し、発光線制御回路5は基準電位(GND)に対応する発光制御電圧を印加する。以下、上述した表示装置1の構成要素について詳細に説明する。

40

【0039】

<画素部の構成>

図2は、本発明の実施の形態に係る表示装置が有する画素部の回路構成図である。画素部10は、ディスプレイの画素数($m \times n$)に応じてマトリクス状に配置された複数の発光画素が配置された表示部である。図2には、画素部10の一部である、隣接する9つの発光画素の回路構成が示されている。図2に記載された画素部10は、隣接する9つの発光画素と、画素列ごとに配置されたデータ線DT1、DT2及びDT3と、画素行ごとに配置された走査線SC1、SC2及びSC3と、発光制御線SS1、SS2及びSS3と

50

を備える。

【0040】

また、表示部である画素部10が有する発光画素は、全て同じ回路構成となっており、例えば、図2に記載された画素10Aは、有機EL素子13Aと、ダイオード11Aと、コンデンサ12Aとを備える発光画素である。また、画素10Dは、有機EL素子13Dと、ダイオード11Dと、コンデンサ12Dとを備える発光画素である。ここで、画素10Aの各構成要素及びそれらの接続状態を説明する。

【0041】

ダイオード11Aは、アノードである第1電極及びカソードである第2電極を有し、第1電極がデータ線DT1に接続され、第1電極から第2電極への方向のみに電流を流す單方向制御素子である。

10

【0042】

コンデンサ12Aは、第1容量電極及び第2容量電極を有し、第1容量電極がダイオード11Aの第2電極に接続され、第2容量電極が走査線SC1に接続され、データ線DT1から印加されたデータ電圧に対応した電荷を、ダイオード11Aを介して蓄積する保持容量素子である。また、コンデンサ12Aは、蓄積された電荷を、有機EL素子13Aを介して発光制御線SS1へ放電する。

20

【0043】

有機EL素子13Aは、アノードである第1発光電極及びカソードである第2発光電極を有し、第1発光電極がコンデンサ12Aの第1容量電極に接続され、第2発光電極が発光制御線SS1に接続され、コンデンサ12Aで保持されたデータ電圧に対応した電流が流れることにより発光する電流駆動型の発光素子である。

20

【0044】

走査線SC1は、1行目の画素行に配置され、走査線制御回路4から供給された正電圧パルス及び接地電圧パルスを、コンデンサ12Aの第2容量電極に印加する。走査線SC1～SCnは、表示部を画素行ごとに走査する第1走査線に相当する。

30

【0045】

発光制御線SS1は、1行目の画素行に配置され、発光線制御回路5から供給された接地電圧パルスを、有機EL素子13Aの第2発光電極に印加する。発光制御線SS1～SSnは、表示部を画素行ごとに走査する第2走査線に相当する。

30

【0046】

データ線DT1は、1行目の画素列に配置され、データ線制御回路3から供給されたデータ電圧を、ダイオード11Aの第1電極に印加する。

40

【0047】

上記回路構成により、データ線DT1が外部信号に連動したある階調のレベル(V1)となり、走査線SC1が基準電位であるLOWレベル(GND)となることで、コンデンサ12Aにはデータ線DT1から供給された電荷が蓄積される。その後、走査線SC1がHIGHレベル(非選択電圧Vf)となることで、有機EL素子13Aのアノード電位が、V1+Vfとなり、有機EL素子13Aの発光開始電圧を超えることで、コンデンサ12Aから有機EL素子13Aへ向かって所定の期間放電電流が流れる。この所定の期間は、放電経路におけるインピーダンスの大きさとコンデンサ12Aの容量値との積により調整可能である。つまり、走査線SC1のHIGHレベルと発光制御線SS1のLOWレベルとが排他的に印加されることにより、コンデンサ12Aの充放電が繰り返され、有機EL素子13Aの発光が連続的に行われる。

【0048】

なお、非選択電圧Vfとは、有機EL素子13Aの閾値電圧よりも小さい電圧である。また、有機EL素子の閾値電圧とは、当該有機EL素子の発光開始電圧である。

【0049】

なお、本実施の形態では、発光素子として有機EL素子を用いているが、当該発光素子は電流駆動型の発光素子であればよく、例えば、無機EL素子であってもよい。

50

【0050】

<走査線制御回路>

次に、走査線制御回路4の構成について説明する。走査線制御回路4は、ライン選択信号処理回路2からの制御信号により、書き込み期間において発光画素行を選択するための走査信号を、走査線を介して画素部に出力する走査線制御部である。以下、画素10Aとの関係を中心に説明する。

【0051】

走査線制御回路4は、コンデンサ12Aにデータ電圧を書き込む場合には、走査線SC1の電位を接地電位に設定する。また、走査線制御回路4は、有機EL素子13Aにコンデンサ12Aからの放電電流を流して有機EL素子13Aを発光させる場合には、走査線SC1の電位を有機EL素子13Aの閾値電圧よりも小さい電圧Vfだけ高い電位に設定する。なお、この場合には、走査線SC1の電位をVfに設定すると同時に、発光線制御回路5は、発光制御線SS1の電位を接地電位に設定する。これにより、発光期間において、有機EL素子13Aにはデータ電圧に応じた所望の電流が流れれる。

10

【0052】

図3は、本発明の実施の形態に係る表示装置が有する走査線制御回路の内部回路図である。走査線制御回路4は、画素行ごとに配置された走査線SC1～SCnに、それぞれ非選択電圧Vfまたは走査信号であるGND電圧パルスを供給するための2つのスイッチをライン毎に配置した回路構成となっている。画素行数がnである場合には、走査線制御回路4は、n本の走査線SC1～SCnを介して画素部10に接続されている。各走査線には、走査線制御回路4の信号に応じて、任意の順序で1ライン毎に走査線SC1～SCnに非選択電圧VfまたはGND電圧パルスを供給することが可能である。もちろん、走査線SC1、SC2、…、SCnという様に、行順次に走査電圧を印加することも可能であり、あるいは、全ての走査線に対し同時に非選択電圧VfまたはGND電圧パルスを供給することも可能である。非選択電圧またはGND電圧パルスを印加するタイミングについては、後述する。

20

【0053】

図3に記載された回路において、例えば、走査線SC1にGND電圧を印加し、他の走査線に非選択電圧Vfを印加する場合には、走査線制御回路4は、スイッチSW41B及びスイッチSW42A、SW43A、…、SW4nAをON状態とし、スイッチSW41A及びスイッチSW42B、SW43B、…、SW4nBをOFF状態とする。

30

【0054】

<発光線制御回路>

次に、発光線制御回路5の構成について説明する。発光線制御回路5は、ライン選択信号処理回路2からの制御信号により、発光期間において、選択された発光画素行に属する発光画素を発光させるための発光制御信号を、発光制御線を介して画素部に出力する走査線制御部である。以下、画素10Aとの関係について説明する。

40

【0055】

図4は、本発明の実施の形態に係る表示装置が有する発光線制御回路の内部回路図である。発光線制御回路5は、ライン毎に独立に、基準電位である接地電位を供給するか否かを切り替えるスイッチを持ち、ライン選択信号処理回路2からの制御信号により、発光期間において発光制御線SS1に接地電位を供給する。これにより、画素10Aに供給されたコンデンサ12Aの電荷が有機EL素子13Aを経由して放電する。

50

【0056】

<データ線制御回路>

次に、データ線制御回路3について、画素10Aとの関係を中心に説明する。データ線制御回路3は、ライン選択信号処理回路2からの制御信号により、書き込み期間において走査線制御回路4から出力される走査信号に同期して、映像信号に対応したデータ信号を、データ線DT1を介してコンデンサ12Aに出力する。

【0057】

50

図5は、本発明の実施の形態に係る表示装置が有するデータ線制御回路の内部回路図である。データ線制御回路3も走査線制御回路4とほぼ同様の回路構成である。データ線制御回路3は、映像信号に応じた駆動信号により、画素部10の解像度に応じた画素列数m本のデータ線を同時に制御可能とするためのメモリ機能を有している。

【0058】

なお、図5に示された回路構成では、スイッチVHがオン状態となっている時間幅を制御することによりコンデンサ12Aに蓄積される電荷量を変化させることで、画素10Aに供給すべきデータ電圧が設定されている。しかし、本発明の表示装置1の有するデータ線制御回路3は、電源電圧 V_{DT} の印加時間を制御する構成でなくとも、電源電圧 V_{DT} からの出力電圧の大きさを制御することによりデータ電圧の大きさを設定する構成であつてもよい。10

【0059】

<ライン選択信号処理回路>

ライン選択信号処理回路2は、発光線制御回路5の接地電圧パルスと走査線制御回路4の接地電圧パルスとを排他的に繰り返し出力させることにより、有機EL素子の発光輝度を制御する制御部として機能する。

【0060】

<表示装置の動作>

以下、図2、図6、図7A及び図7Bを用いて、表示装置1の動作について述べる。

【0061】

図6は、本発明の実施の形態に係る表示装置の駆動タイミングチャートである。20

【0062】

[書き込み期間]

書き込み期間における表示装置1は、入力された映像信号に基づき、各画素の有するコンデンサの初期電圧値を調整する。このため、走査線制御回路4は、走査線ごとに、非選択電圧 V_f または、選択電圧であるGND電圧パルスを印加する。これにより、選択された走査線が接続された画素行に属する画素に対して、対応するデータ線からのデータ電圧が印加され、コンデンサの初期電圧値が制御される。このとき、初期電圧値は、データ線制御回路3の電圧に対し、ある時定数の遅れをもって上昇する。このときの時定数は書き込み期間に形成される信号経路における、抵抗成分とキャパシタ容量の積で表される。よって、データ線制御回路3が印加する電圧値と印加時間の関係式より、実際に初期電圧値を設定することが可能となる。上述した書き込み動作は、走査線の電位を基準電位に設定することにより、コンデンサにデータ電圧を書き込む書き込みステップに相当する。30

【0063】

図6の駆動タイミングチャートは、例として、走査線SC1より行順次に走査した場合の、走査線SC1に接続された画素行に属する画素10A、及び、走査線SC2に接続された画素行に属する画素10Dについての動作を表している。同図において、 V_{12A} は、コンデンサ12Aの第1容量電極の電位を表し、 I_{13A} は、有機EL素子13Aの第1発光電極から第2発光電極へ流れる電流を表し、 V_{SC1} は、走査線SC1の電位を表し、 V_{SS1} は、発光制御線SS1の電位を表し、 V_{DT1} は、データ線DT1の電位を表す。また、同様に、 V_{12D} は、コンデンサ12Dの第1容量電極の電位を表し、 I_{13D} は、有機EL素子13Dの第1発光電極から第2発光電極へ流れる電流を表し、 V_{SC2} は、走査線SC2の電位を表し、 V_{SS2} は、発光制御線SS2の電位を表し、 V_{DT2} は、データ線DT2の電位を表す。40

【0064】

また、ライン選択信号処理回路2による処理により、図6におけるフィールド期間($t_0 \sim t_3$)は、画素10Aの発光期間であり、図6におけるフィールド期間($t_3 \sim t_6$)は、画素10Aの非発光期間であるものと仮定している。また、画素10Aの属する画素行の次画素行に属する画素10Dの発光期間($t_1 \sim t_4$)及び非発光期間($t_4 \sim t_7$)は、それぞれ、画素10Aの発光期間及び非発光期間に対して、期間($t_0 \sim t_1$: 50

$16 \mu\text{sec}$) 分だけ遅れた期間となる。

【0065】

時刻 t_0 ~ 時刻 t_1 、時刻 t_3 ~ 時刻 t_4 、及び、時刻 t_6 ~ 時刻 t_7 では、走査線制御回路4は、走査線SC1に対し、走査信号である接地電圧を供給し、それ以外の非選択の走査線に非選択電圧 V_f を供給する。

【0066】

まず、時刻 t_0 において、走査線制御回路4は、走査線SC1に接地電圧パルスを供給し、その他の走査線には、非選択電圧 V_f を供給する。

【0067】

次に、時刻 t_0 ~ t_1 における所定の時刻において、データ線制御回路3は、データ線DT1の電圧を V_{DT} とする。 10

【0068】

次に、時刻 t_1 において、走査線SC1及びデータ線DT1が接続された画素10Aの V_{12A} は、 V_1 となる。上記所定の時刻から時刻 t_1 の間に、データ線DT1からコンデンサ $12A$ へ V_{DT} が印加されることにより、上記所定の時刻から時刻 t_1 の期間に相当する電荷がコンデンサ $12A$ に蓄積される。これに対し、次フレームの発光期間では、時刻 t_6 から時刻 t_7 の間、データ線DT1からコンデンサ $12A$ へ V_{DT} が印加されることにより、時刻 t_6 から時刻 t_7 の期間に相当する電荷がコンデンサ $12A$ に蓄積される。データ線制御回路3は、書き込み期間 ($16 \mu\text{sec}$)におけるコンデンサへの V_{DT} の印加時間を制御することにより、フレームごと及び画素ごとのデータ電圧を設定する。 20

【0069】

なお、書き込み動作の開始タイミングは、時刻 t_0 で開始する方法と、本実施の形態のように時刻 t_1 で終了する方法がある。ここで、書き込み電位が低い場合には、当該電位の経時的低下を考慮すると、時刻 t_1 で書き込みが終了するタイミングの方が、書き込み完了から発光に移行する時間間隔が少ないと適している。

【0070】

また、時刻 t_3 ~ 時刻 t_4 において、データ線制御回路3は、データ線DT1の電圧を接地電圧とする。よって、画素10Aの V_{12A} は GND となり、画素10Aは、時刻 t_4 ~ 時刻 t_6 の間オフ状態(黒表示)となる。 30

【0071】

以上の時刻 t_0 ~ 時刻 t_1 、時刻 t_3 ~ 時刻 t_4 、及び、時刻 t_6 ~ 時刻 t_7 において、画素10Aの属する画素行に対する書き込み動作が実行される。

【0072】

次に、走査線制御回路4による、次の画素行に対する書き込み動作を説明する。

【0073】

時刻 t_1 ~ 時刻 t_2 、時刻 t_4 ~ 時刻 t_5 、及び、時刻 t_7 ~ 時刻 t_8 では、走査線制御回路4は、走査線SC2に対し、走査信号である接地電圧を供給し、それ以外の非選択の走査線に非選択電圧 V_f を供給する。

【0074】

まず、時刻 t_1 において、走査線制御回路4は、走査線SC2に接地電圧パルスを供給し、その他の走査線に非選択電圧 V_f を供給する。 40

【0075】

次に、時刻 t_1 から時刻 t_2 における所定の時刻において、データ線制御回路3は、データ線DT2の電圧を V_{DT} とする。

【0076】

次に、時刻 t_2 において、走査線SC2及びデータ線DT2が接続された画素10Dの V_{12D} は、 V_1 となる。上記所定の時刻から時刻 t_2 の間に、データ線DT2からコンデンサ $12D$ へ V_{DT} が印加されることにより、上記所定の時刻から時刻 t_2 の期間に相当する電荷がコンデンサ $12D$ に蓄積される。これに対し、次フレームの発光期間では 50

、時刻 t_7 から時刻 t_8 の間、データ線 $D_T 2$ からコンデンサ $12D$ へ V_{DT} が印加されることにより、時刻 t_7 から時刻 t_8 の期間に相当する電荷がコンデンサ $12D$ に蓄積される。

【0077】

また、時刻 t_4 ~ 時刻 t_5 において、データ線制御回路 3 は、データ線 $D_T 2$ の電圧を接地電圧とする。よって、画素 $10D$ の V_{12D} は GND となり、画素 $10D$ は、時刻 t_5 ~ 時刻 t_7 の間オフ状態（黒表示）となる。

【0078】

以上の時刻 t_1 ~ 時刻 t_2 、時刻 t_4 ~ 時刻 t_5 、及び、時刻 t_7 ~ 時刻 t_8 において、画素 $10D$ の属する画素行に対する書き込み動作が実行される。

10

【0079】

上述した走査線制御回路 4 の動作は、発光画素行を選択するための走査信号である接地電圧パルスを、発光画素行ごとに配置された走査線を介してコンデンサの第 1 容量電極に出力するステップに相当する。また、上述したデータ線制御回路 3 の動作は、走査線制御回路 4 が出力した走査信号に同期して、コンデンサの初期充電量を制御するためのデータ信号を、発光画素列ごとに配置されたデータ線及びダイオードを経由してコンデンサに出力するステップに相当する。

【0080】

図 7A は、本発明の表示装置の有する画素への書き込み動作を説明する状態遷移図である。すなわち、データ線 $D_T 1$ に V_{DT} が印加された場合、走査線 $SC 1$ は LOW レベル (GND) となっているので、データ線 $D_T 1$ ダイオード $11A$ コンデンサ $12A$ 走査線 $SC 1$ の順に電流が流れ、コンデンサ $12A$ が充電される。ここで、走査線 $SC 1$ の配線抵抗を R_1 とする。

20

【0081】

このとき、コンデンサ $12A$ の充電電圧は、ダイオード $11A$ の順電圧降下を無視すると、 V_1 となり、走査線 $SC 1$ による書き込み動作が終了する。

【0082】

図 6 における時刻 t_0 ~ 時刻 t_1 の期間の次フィールドである時刻 t_3 ~ 時刻 t_4 の期間においては、 $D_T 1$ の出力がゼロであるので、黒表示である。

30

【0083】

以上のように、所望の画素に対し走査線毎に書き込み動作を行うことで、フィールド毎に全画素に対して書き込み制御を行うことが可能となる。

【0084】

なお、データ電圧の最大値である V_{data_max} の値は、ダイオード $11A$ の順電圧降下 V_f_{11A} と許容無効電力仕様で決定される。具体的には、ディスプレイの仕様から決定される発光素子に必要な電流量 Q と、許容無効電力 P_{max} とを決定する。無効電力 $P_{max} = Q \times V_{c_max}$ の関係式から、コンデンサの充電最大電圧 V_{c_max} が求まる。よって、 $V_{data_max} = V_{c_max} + V_f_{11A}$ と設定することで、発光に必要な電圧のみを充放電するため、静電容量で消費される無効エネルギーを最小にすることができる。

40

【0085】

コンデンサ容量の最適値については、前述の計算式より、 $C_{min} = P_{max} / V_{c_max} / V_{c_max} [F]$ となる C_{min} を選べば良い。

【0086】

[発光期間]

発光期間における表示装置 1 は、データ電圧に対応した放電電流により有機 EL 素子を発光させる。このため、発光線制御回路 5 は、発光制御線ごとに、基準電位を印加し、走査線制御回路 4 は、走査線ごとに、非選択電圧 V_f を印加する。これにより、書き込み期間においてデータ電圧に対応した電荷が充電されたコンデンサから、有機 EL 素子に向けて放電がなされ、有機 EL 素子がデータ電圧に応じて発光する。このとき、コンデンサに

50

充電された電圧は、ある時定数の遅れを伴い放電する。このときの時定数は、発光期間に形成される信号経路における、抵抗成分と静電容量との積で表される。上述した発光動作は、書き込み動作の後、走査線の電位を、基準電位に対して有機EL素子の閾値電圧よりも小さい電圧分だけ高い電位に設定し、かつ、発光制御線の電位を基準電位に設定することにより、有機EL素子にコンデンサからの放電電流を流して有機EL素子を発光させる発光ステップに相当する。

【0087】

まず、時刻t0～時刻t1の書き込み期間の後、時刻t1～時刻t3の期間において、発光線制御回路5は、発光制御線SS1の電位V_SS1を接地電位(GND)に設定する。また、走査線制御回路4は、走査線SC1の電位V_SC1を非選択電位Vfに設定する。このとき、コンデンサ12Aの電位V_12Aは、V1+Vfとなる。一方、有機EL素子13Aの第1発光電極の電位V_13Aは、有機EL素子13Aの閾値電圧に相当する電位となっているため、(V_12A - V_13A)の電位差に相当する放電電流が有機EL素子13Aに流れ、有機EL素子13Aが発光する。上述した発光期間における画素10Aの発光電流の積算値は、コンデンサ12Aの電圧値に比例するため、画素10Aの発光輝度を制御することが可能となる。

10

【0088】

図7Bは、本発明の表示装置の有する画素への発光動作を説明する状態遷移図である。すなわち、データ線DT1はLOWレベル(GND)となり、走査線SC1はHIGHレベル(Vf)となり、発光制御線SS1はHIGHレベル(GND)となっているので、コンデンサ12A 有機EL素子13A 発光制御線SS1の順に電流が流れ、有機EL素子13Aが発光する。ここで、発光制御線SS1の配線抵抗をR₂とする。

20

【0089】

その後、コンデンサ12Aの電位V_12Aが有機EL素子の電位V_13A以下になったときに、放電電流がゼロとなり、発光が終了する。図6では、発光時間は7 msecとなっているが、この発光時間は本発光期間におけるコンデンサ12Aの放電経路における抵抗成分と静電容量との積であらわされる時定数によって決定される。

30

【0090】

本実施の形態においては、書き込み期間を可能な限り短く設定し、発光期間を可能な限り長く設定することで、高精細ディスプレイを効率よく輝度制御することが可能となるため、書き込み期間の時定数を小さく、発光期間の時定数を大きくすることが望ましい。効率よく輝度制御できる理由は、発光期間における時定数を長くすることで、有機EL素子に流れる電流のピーク値を低くすることができるからである。

【0091】

上記観点から、書き込み期間では、データ線制御回路3 データ線DT1 ダイオード11A コンデンサ12A 走査線SC1 走査線制御回路4という第1信号経路で書き込み電流が流れ、発光期間では、コンデンサ12A 有機EL素子13A 発光制御線SS1 発光線制御回路5という第2信号経路で発光電流が流れるので、当該第1信号経路の抵抗成分は、当該第2信号経路の抵抗成分よりも低いことが好ましい。

40

【0092】

また、上述した信号経路における抵抗成分の関係を実現するため、発光制御線の配線抵抗成分R₂は、走査線の配線抵抗成分R₁よりも高いことが好ましく、全ての発光画素に上記関係を実現するためには、発光制御線の配線抵抗率は、走査線の配線抵抗率よりも高い、若しくは発光制御線の配線断面積が走査線の配線断面積よりも小さいことが好ましい。

【0093】

また、上記信号経路の時定数は、走査線及び発光制御線の配線抵抗のみにより決定されるものではなく、例えば、走査線制御回路4及び発光線制御回路5の有するスイッチのRC成分を利用することにより調整が可能である。例えば、図7Bにおいて、SW41Aの容量を大きくすることで、発光放電時の時定数を高めることが可能となる。つまり、放電

50

時の時定数を高めるには、放電経路上の時定数を調整すればよい。より具体的には、図3において、SW4nA(上側)のRC成分を大きくし、SW4nB(下側)のRC成分を小さくすればよい。これを実現するためには、例えば、SW4nAのチャネル幅を小さくし、SW4nBのチャネル幅を大きくする。また、SW4nAにはPチャネルトランジスタを配置し、SW4nBにはNチャネルトランジスタを配置することによっても、上記信号経路の時定数を調整することが可能となる。

【0094】

また、非選択電圧V_fは、データ電圧の最大値V_{data_max}以上であることが望ましい。これにより、発光動作中である発光画素に接続された非選択の走査線にはV_{data_max}以上の非選択電圧(V_f)が印加されているので、発光動作中のコンデンサへの充電動作は起こらず、選択電圧(GND)が印加されている走査線が接続された発光画素行のみに対して、コンデンサへの充電動作が実行される。つまり、画素10Aでは、走査線SC1の電圧をV_fに保持することで、コンデンサ12Aに書き込まれた保持電圧は、データ線DT1の電圧V_{DT1}がV_{data_max}であってもGNDであっても、ダイオード11Aが逆バイアス状態となるため変動しない。

10

【0095】

また、図6における時刻t4～時刻t6において、画素10AのV_12AはGNDとなり、この期間、画素10Aはオフ状態(黒表示)となる。

【0096】

また、画素10Dの時刻t2～時刻t4の発光動作、及び、時刻t5～時刻t7の発光動作は、それぞれ、画素10Aの時刻t1～時刻t3の発光動作、及び、時刻t4～時刻t6の発光動作と同様であるため、説明を省略する。

20

【0097】

以上のように、所望の画素に対し画素行毎に放電動作を行うことで、フィールド毎に全画素に対して発光制御を行うことが可能となる。

【0098】

本発明の実施の形態に係る表示装置によれば、有機EL素子の発光開始電圧である閾値電圧を考慮しないデータ電圧をコンデンサに保持させることができるとなる。これにより、階調表現に必要な量の電荷をコンデンサに充電すれば良いため、データ電圧を小さく設定できる。よって、無効電力を大幅に低減することができる。

30

【0099】

また、コンデンサに接続された走査線と有機EL素子に接続された発光制御線とを独立に制御することにより、コンデンサへのデータ電圧書き込み動作と、コンデンサからの放電動作とを独立に制御できる。これにより、上記書き込み動作における信号経路と、上記放電動作における信号経路との時定数を個別に設定できる。よって、書き込み期間を短縮化し発光期間を長期間化できるので、高精細な表示パネルを提供でき、また、有機EL素子に流れる電流のピーク値を低くすることができるので、高効率な輝度制御を実行することができる。

【0100】

さらに、本発明の表示装置は、各発光画素の画素回路として薄膜トランジスタを用いないパッシブマトリクス型であるので、安価かつ電気特性のばらつきの小さい画素回路が実現され、表示パネルの大型化に有利である。

40

【0101】

以上、本発明に係る表示装置及びその駆動方法について実施に形態に基づき説明したが、本発明に係る表示装置及びその駆動方法は、上述した実施の形態に限定されるものではない。実施の形態に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0102】

なお、上記実施の形態では、各発光画素の有する単方向制御素子としてダイオードを用

50

いたが、これに限定されない。上記単方向制御素子としては、ゲート - ソース間またはゲート - ドレイン間が短絡された、ダイオード接続型の F E T であってもよいし、スイッチング F E T 等であってもよい。

【産業上の利用可能性】

【0 1 0 3】

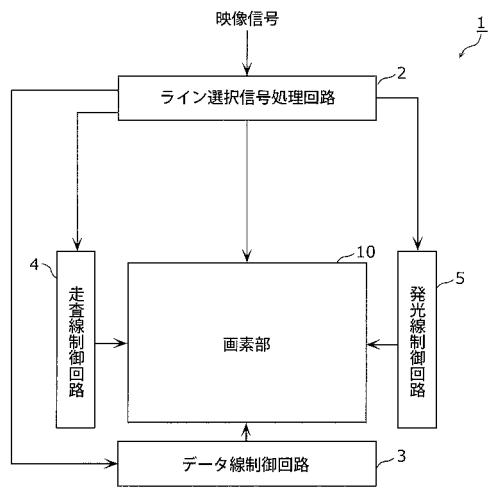
本発明の表示装置及びその駆動方法は、特に、アナログ階調制御方式で輝度を変動させるパッシブ型ディスプレイに有用である。

【符号の説明】

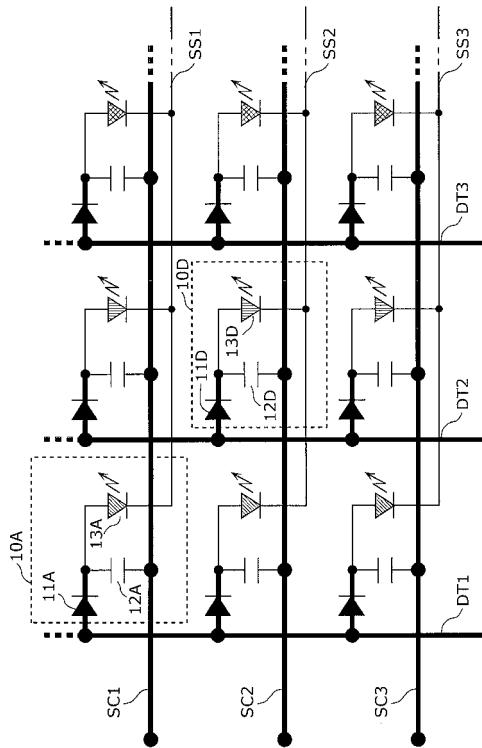
【0 1 0 4】

1	表示装置	10
2	ライン選択信号処理回路	
3	データ線制御回路	
4	走査線制御回路	
5	発光線制御回路	
1 0	画素部	
1 0 A、1 0 D、5 2 0	画素	
1 1 A、1 1 D、6 1 3	ダイオード	
1 2 A、1 2 D、6 1 5	コンデンサ	
1 3 A、1 3 D、6 1 4	有機 E L 素子	
5 0 0	電流駆動型表示パネル	20
5 0 1、6 1 1、D T 1、D T 2、D T 3	データ線	
5 0 2、6 1 2、S C 1、S C 2、S C 3、S C n	走査線	
5 1 0	フレームメモリ	
5 1 1	ラッチ	
5 1 2	D / A コンバータ	
5 1 3	ゲートドライバ	
5 1 4、S S 1 B、S S 2 B、S S 3 B、S S n B、S W 4 1 A、S W 4 1 B、S W 4 2 A、S W 4 2 B、S W 4 3 A、S W 4 3 B、S W 4 n A、S W 4 n B、V H、V L		
スイッチ		
5 1 5	保持容量	30
5 1 6	P チャネル薄膜トランジスタ	
5 1 7	発光素子	
6 0 0	パッシブマトリクス型表示装置	
S S 1、S S 2、S S 3、S S n	発光制御線	

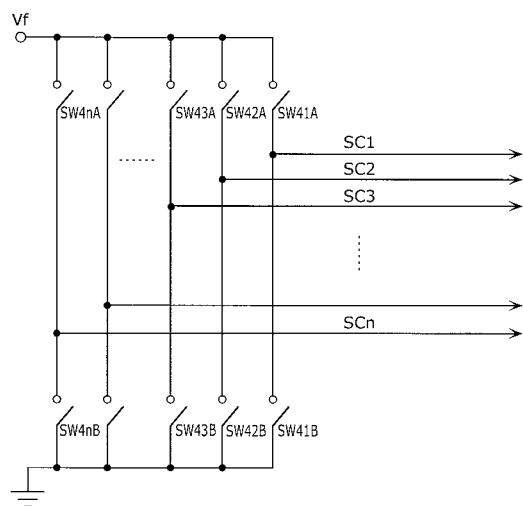
【図 1】



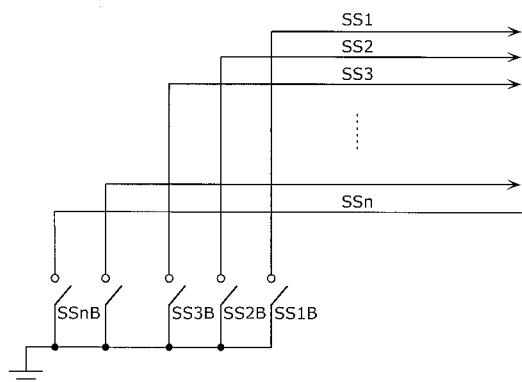
【図 2】



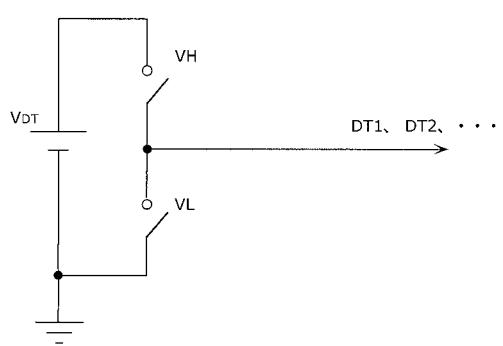
【図 3】



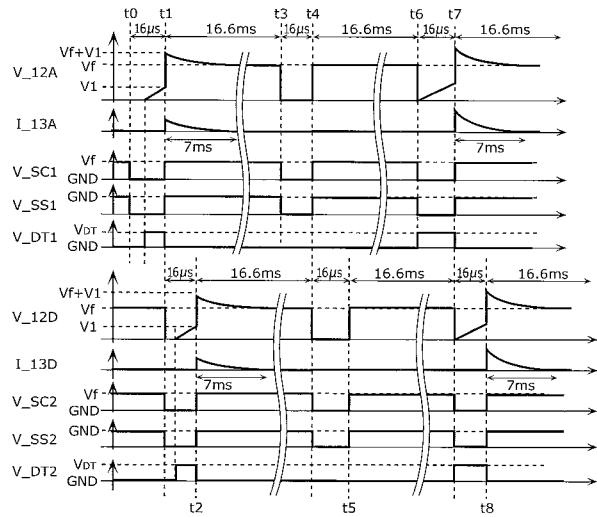
【図 4】



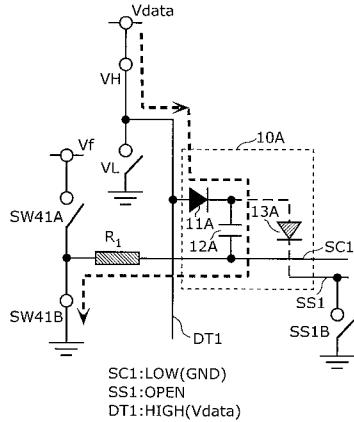
【図 5】



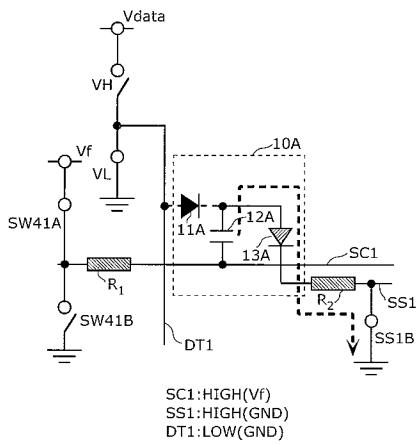
【図6】



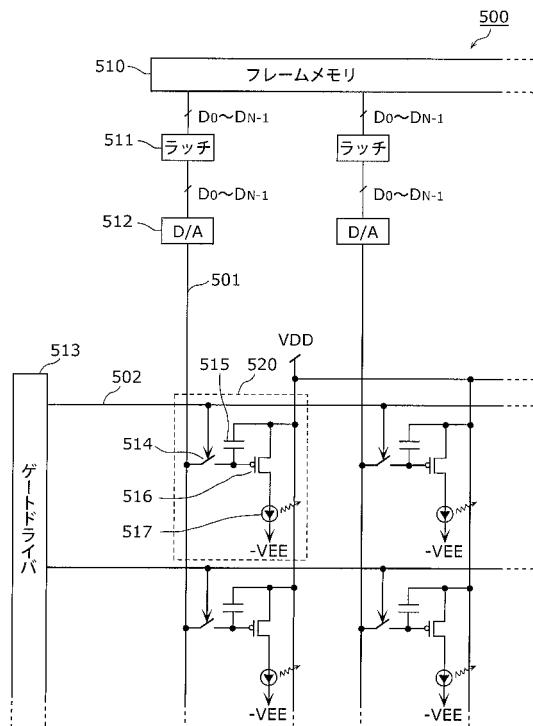
【図7A】



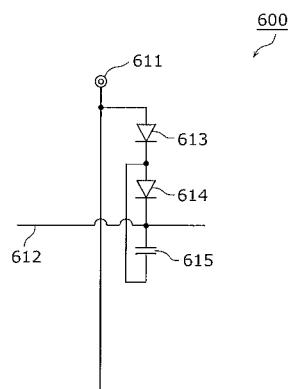
【図7B】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 3 C

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2012255900A	公开(公告)日	2012-12-27
申请号	JP2011128698	申请日	2011-06-08
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	新井 康弘		
发明人	新井 康弘		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.C G09G3/20.611.A G09G3/20.642.D G09G3/20.611.H G09G3/20.623.D G09G3/20.623.C G09G3/3216 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD26 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/ /JJ04 5C380/AA01 5C380/AA02 5C380/AB05 5C380/AB07 5C380/AC04 5C380/BA01 5C380/BA28 5C380/BA37 5C380/BB22 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA39 5C380/CA53 5C380/ /CA54 5C380/CB01 5C380/CB19 5C380/CB20 5C380/CB26 5C380/CC42 5C380/CD010 5C380/ /CD012 5C380/CF02 5C380/CF09 5C380/CF41 5C380/CF46 5C380/CF51 5C380/DA02 5C380/DA06 5C380/HA07		
代理人(译)	新居 広守		
外部链接	Espacenet		

摘要(译)

解决的问题：提供无源矩阵型显示装置及其驱动方法，该无源矩阵型显示装置在不增加写入电压的情况下确保高亮度并且损耗低。一种显示装置(1)，具有排列成矩阵的多个发光像素，包括扫描线(SC1)，发光控制线(SS1)和数据线(DT1)，以及其阳极是数据线(DT1)的像素(10A)。第一电容电极连接到二极管11A，第二电容电极连接到扫描线SC1，用于保持从数据线DT1施加的数据电压的电容器12A和阳极，第二电容电极连接到二极管11A的阴极。与第一电容电极连接，阴极与发光控制线连接，并且当与电容器保持的数据电压相对应的电流流动时，有机EL元件13A发光。[选择图]图2

