

(19)日本国特許庁（ J P ）

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2003 - 150112

(P2003 - 150112A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	621	3/20 621	M 5 C 0 8 0
	623	623	R
	624	624	B
	641	641	D

審査請求 未請求 請求項の数 27 O L (全 21数) 最終頁に続く

(21)出願番号 特願2001 - 348418(P2001 - 348418)

(22)出願日 平成13年11月14日(2001.11.14)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 太田 益幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

F タ-ム (参考) 3K007 AB02 AB05 AB17 AB18 BA06

BB07 DB03 EB00 GA04

5C080 AA06 BB05 DD05 EE28 FF11

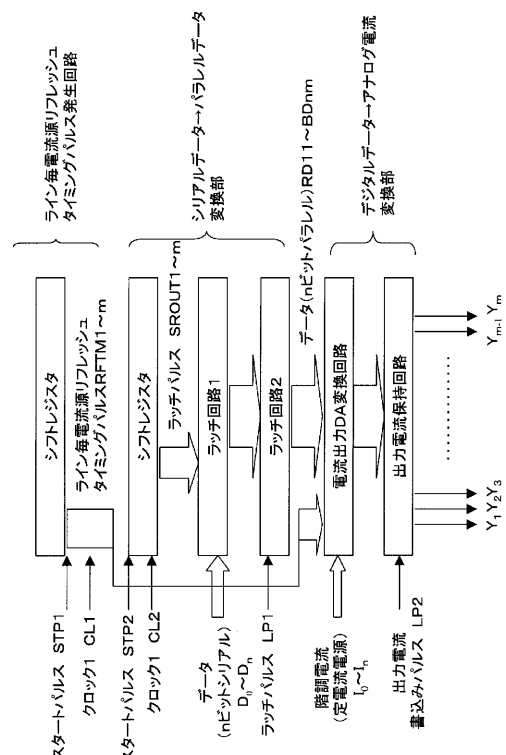
GG12 JJ02 JJ03 JJ04 JJ06

(54)【発明の名称】 O L E D表示装置およびその駆動方法

(57)【要約】

【課題】 ポリシリコントランジスタを用いて、電流出力の信号発生回路が、画素と同一の基板上に形成されると共に、スジヤムラの少ない良好な表示性能を有する、高表示品質、小型、軽量、高生産性のO L E D表示装置を得る。

【解決手段】 映像信号を示すデジタルデータに従い、複数の定電流値の少なくとも一つを選択し足し合わせて信号電流を得る第1の回路と、前記信号電流を前記信号線毎に順次記憶する第2の回路とを有するようにする。



【特許請求の範囲】

【請求項 1】 映像に対応した電流信号を前記単位画素に伝達する信号線を備え、O L E D 素子からなる表示装置において、前記信号線毎に、映像信号を示すデジタルデータに従い、複数の定電流値の少なくとも一つを選択し足し合わせて信号電流を得る第 1 の回路と、前記信号電流を前記信号線毎に順次記憶する第 2 の回路とを有することを特徴とする O L E D 表示装置。

【請求項 2】 映像に対応した電流信号を前記単位画素に伝達する信号線を備え、O L E D 素子からなる表示装置において、複数の定電流源からの複数の定電流値を、前記信号線毎に順次記憶する第 1 の回路と、映像信号を示すデジタルデータに従い、前記複数の定電流値の少なくとも一つを選択し足し合わせる第 2 回路とを有することを特徴とする O L E D 表示装置。

【請求項 3】 映像に対応した電流信号を前記単位画素に伝達する信号線を備え、O L E D 素子からなる表示装置において、複数の定電流源からの複数の定電流値を、映像信号を示すデジタルデータに従い、前記複数の定電流値の少なくとも一つを選択し足し合わせる第 1 の回路と、足し合わせた電流値を信号毎に順次記憶する第 2 の回路とを有することを特徴とする O L E D 表示装置。

【請求項 4】 信号電流発生回路を有する O L E D 素子からなる表示装置において、前記信号電流発生回路は、少なくとも信号ライン毎の電流記憶回路に、定電流を定期的に記憶させるためのタイミングパルス発生回路と、映像信号を表すデジタルデータを、1 画素毎に送られてくるシリアルデータから、パラレルデータに変換するための変換回路と、前記定電流記憶回路の出力を前記パラレルデータによって選択し、そのデータに応じた電流に変換する電流出力 D A 変換回路と、からなることを特徴とする O L E D 表示装置。

【請求項 5】 信号電流発生回路を有する O L E D 素子からなる表示装置において、前記信号電流発生回路は、少なくとも信号ライン毎の電流記憶回路と、前記電流記憶回路に所定電流を記憶させるためのタイミングパルス発生回路と、映像信号を表すデジタルデータを、1 画素毎に送られてくるシリアルデータから、パラレルデータに変換するための変換回路と、前記パラレルデータの値に応じた電流に変換し、前記電流記憶回路に記憶する電流出力 D A 変換回路と、からなることを特徴とする O L E D 表示装置。

【請求項 6】 信号電流発生回路を有する O L E D 素子からなる表示装置において、前記信号電流発生回路は、信号ライン毎に複数の定電流記憶回路と、前記定電流記憶回路に定電流を定期的に記憶させるためのタイミングパルス発生回路と、映像信号を表すデジタルデータを、1 画素毎に送られてくるシリアルデータからパラレルデータに変換するための変換回路と、前記定電流記憶回路の出力を前記パラレルデータによって選択し、そのデータ

タに応じた電流に変換する電流出力 D A 変換回路と、前記電流を、1 水平期間保持し、1 走査線毎に、信号ラインに一括出力するための出力回路と、からなることを特徴とする O L E D 表示装置。

【請求項 7】 信号電流発生回路を有する O L E D 素子からなる表示装置において、前記信号電流発生回路は、信号ライン毎の電流記憶回路と、前記電流記憶回路に所定電流を記憶させるためのタイミングパルス発生回路と、映像信号を表すデジタルデータを、1 画素毎に送られてくるシリアルデータから、パラレルデータに変換するための変換回路と、前記パラレルデータの値に応じた電流に変換し、前記電流記憶回路に記憶する電流出力 D A 変換回路と、前記電流を、1 水平期間保持し、1 走査線毎に、信号ラインに一括出力するための出力回路と、からなることを特徴とする O L E D 表示装置。

【請求項 8】 前記第 1 の回路には、第 1 のスイッチング素子と、前記第 1 のスイッチング素子の一方の被制御端子と制御端子とを接続する第 2 のトランジスタ素子と、前記第 1 のスイッチング素子の他方の被制御端子に接続された第 3 のスイッチング素子と、を有することを特徴とする、請求項 1、2 または 3 のいずれかに記載の O L E D 表示装置。

【請求項 9】 前記電流記憶回路には、第 1 のスイッチング素子と、前記第 1 のスイッチング素子の一方の被制御端子と制御端子とを接続する第 2 のトランジスタ素子と、前記第 1 のスイッチング素子の他方の被制御端子に接続された第 3 のスイッチング素子と、を有することを特徴とする、請求項 4 から 7 のいずれかに記載の O L E D 表示装置。

【請求項 10】 前記第 1 の回路には、第 1 のスイッチング素子と、選択信号により能動状態となり、前記第 1 のスイッチング素子の一方の被制御端子と制御端子とを接続する第 2 のトランジスタ素子と、選択信号により能動状態になり、前記第 1 のスイッチング素子の他方の被制御端子に駆動信号を与える導通路形成する第 3 のスイッチング素子と、を有し、選択時に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とでセルフバイアス回路を形成し、かつこの第 1 のスイッチング素子の駆動電流に対応した駆動信号を与え、非選択時には、これを前記第 1 のスイッチング素子の特性に応じた前記第 1 のスイッチング素子の動作電圧として保持して、選択時に前記第 1 のスイッチング素子を流れた電流を記憶する手段を有することを特徴とする、請求項 1、2 または 3 のいずれかに記載の O L E D 表示装置。

【請求項 11】 前記電流記憶回路には、第 1 のスイッチング素子と、選択信号により能動状態となり、前記第 1 のスイッチング素子の一方の被制御端子と制御端子とを接続する第 2 のトランジスタ素子と、選択信号により能動状態になり、前記第 1 のスイッチング素子の他方の被制御端子に駆動信号を与える導通路形成する第 3 のス

スイッチング素子とを有し、選択時に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とでセルフバイアス回路を形成し、かつこの第 1 のスイッチング素子の駆動電流に対応した駆動信号を与え、非選択時には、これを前記第 1 のスイッチング素子の特性に応じた前記第 1 のスイッチング素子の動作電圧として保持して、選択時に前記第 1 のスイッチング素子を流れた電流を記憶する手段を有することを特徴とする、請求項 4 から 7 のいずれかに記載の O L E D 表示装置。

【請求項 1 2】 前記タイミングパルス発生回路の中に構成されるシフトレジスタ回路と、シリアルデータをパラレルデータに変換するための変換回路の中に構成されるシフトレジスタ回路は、同一であることを特徴とする、請求項 4 から 7 のいずれかに記載の O L E D 表示装置。

【請求項 1 3】 前記 1 の回路および第 2 の回路は、表示領域を構成する画素群と同一の基板上に形成されることを特徴とする、請求項 1、2、3、8 または 10 のいずれかに記載の O L E D 表示装置。

【請求項 1 4】 前記信号電流発生回路は、表示領域を構成する画素群と同一の基板上に形成されることを特徴とする、請求項 4、5、6、7、9、11 または 12 のいずれかに記載の O L E D 表示装置。

【請求項 1 5】 階調電流発生回路は、表示領域を構成する画素群と同一の基板上に形成されることを特徴とする、請求項 1 3 または 1 4 のいずれかに記載の O L E D 表示装置。

【請求項 1 6】 前記 1 の回路および第 2 の回路は、ポリシリコンを用いた薄膜トランジスタ素子からなることを特徴とする、請求項 1、2、3、8、10 または 1 3 のいずれかに記載の O L E D 表示装置。

【請求項 1 7】 前記信号電流発生回路は、ポリシリコンを用いた薄膜トランジスタ素子からなることを特徴とする、請求項 4、5、6、7、9、11、12 または 1 4 のいずれかに記載の O L E D 表示装置。

【請求項 1 8】 前記階調電流発生回路は、ポリシリコンを用いた薄膜トランジスタ素子からなることを特徴とする、請求項 1 5 に記載の O L E D 表示装置。

【請求項 1 9】 前記画素群には、少なくとも一つのトランジスタ素子が構成されることを特徴とする、請求項 1 3、1 4 または 1 5 のいずれかに記載の O L E D 表示装置。

【請求項 2 0】 前記基板上には、垂直走査回路が構成されることを特徴とする、請求項 1 3 から 2 0 のいずれかに記載の O L E D 表示装置。

【請求項 2 1】 請求項 1 から 2 0 のいずれかに記載の O L E D 表示装置を用いることを特徴とする携帯端末用のディスプレイ。

【請求項 2 2】 請求項 1 から 2 0 のいずれかに記載のアクティブマトリックス型 O L E D 表示装置を用いるこ

*とを特徴とする大型テレビ。

【請求項 2 3】 請求項 1 から 2 0 のいずれかに記載のアクティブマトリックス型 O L E D 表示装置を用いることを特徴とする高精細モニタ。

【請求項 2 4】 映像に対応した電流信号を前記単位画素に伝達する信号線を備え、O L E D 素子からなる表示装置において、前記電流信号は、複数の定電流源からの複数の定電流値を、前記信号線毎に順次記憶し、映像信号を示すデジタルデータに従い、前記複数の定電流値の少なくとも一つを選択し足し合わせるにより得ることを特徴とする O L E D 表示装置の駆動方法。

【請求項 2 5】 前記複数の定電流値は、1 水平期間毎に記憶されることを特徴とする、請求項 2 4 に記載の O L E D 表示装置の駆動方法。

【請求項 2 6】 前記複数の定電流値は、1 垂直期間毎に記憶されることを特徴とする、請求項 2 4 に記載の O L E D 表示装置の駆動方法。

【請求項 2 7】 映像に対応した電流信号を前記単位画素に伝達する信号線を備え、O L E D 素子からなる表示装置において、前記電流信号は、複数の定電流源からの複数の定電流値を、映像信号を示すデジタルデータに従い、前記複数の定電流値を少なくとも一つを選択し足し合わせた電流値を、信号毎に順次記憶することにより得ることを特徴とする O L E D 表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像信号を電流信号として駆動する O L E D 表示装置に関する。(O L E D は、オーガニック・ライティング・エミッション・ダイオードの略称である。)

【0002】

【従来の技術】映像信号を電流信号として駆動する従来の O L E D 表示装置は、信号電流をつくるための電圧電流変換回路として、オペアンプとその出力にトランジスタの制御端子を接続した回路が用いられていた。この回路はオペアンプの一方の入力部に所定の電圧を印加すると、オペアンプのバーチャルショートにより、トランジスタの被制御端子の一方に接続された抵抗素子にその電圧が印加されるので、その電圧を抵抗で除した値の電流が、トランジスタの被制御端子間に流れるという回路である。

【0003】この回路は、極めて正確な電流値を出力することができるが、オペアンプ回路を必要とするため、モノリシック I C のような単結晶シリコントランジスタ素子でしか実現することができない回路であり、O L E D 表示装置の信号回路としては、外付けのドライバ I C として用いられている。

【0004】

【発明が解決しようとする課題】しかしながら、外付けのドライバ I C は、信号線と接続するための端子が必要

であるため、パネル端子部との接続点が多く、機械的な信頼性に問題が生じ易く、より高精細になり、信号線のピッチが狭くなると、信号線とドライバICの接続が困難になるという問題がある。また、端子の腐食がおこり、接続の信頼性が劣化しやすいという問題もある。更にオペアンプ回路を大量に構成したドライバICは、面積も大きく、それに従いより高価になるという問題もあり、また、パネルの周辺の額縁領域をが大きくなり、パネル全体の小型化、軽量化が難しい。

【0005】近年、液晶ディスプレイでは、低温ポリシリコンを用いて、ドライバ回路を画素と同一の基板上に内蔵することもできるようになったが、低温ポリシリコンTFT（薄膜トランジスタ）の特性バラツキでは、オペアンプ等のバラツキに厳しい回路を構成することは極めて困難であるため、液晶ディスプレイでは、離散的な階調電圧を、スイッチで選択して出力するだけの回路、所謂マルチプレクス回路を個々の信号線に構成している。しかしながら、液晶素子のように電圧で駆動する場合と異なり、OLED素子のように電流で駆動する場合、電流を多数のマルチプレクス回路で同時に選択すると、電流が分割されてしまい、所定の電流値が各々の信号線に流れない。そこで、電圧信号を個々の信号線で電流に変換し、所定の電流信号を得るが、この電圧から電流への変換はアナログ回路を用いなければならない。

【0006】この電圧電流変換回路は、単結晶で形成されたトランジスタであれば、電流 - 電圧（ $I - V$ ）特性がきわめて均一であるため、個々の信号線毎に、安定した信号電流値に変換することができるが、安価なガラス基板に形成することのできる低温多結晶トランジスタ（以下、低温ポリシリコンTFTとも表す）では、そのしきい値やモビリティなどの特性ばらつきが極めて大きいため、同じ電圧値を加えても、信号線毎に、出力される電流値が大きくばらつき、結果的にスジ状の強いムラが生じるという問題がある。

【0007】本発明は上記従来の問題点を解決し、OLEDを駆動するための信号電流を発生する回路を、画素と同一の基板上に内蔵することができ、高い生産性および信頼性を有し、かつ、スジムラ等の表示品位の劣化がない高い表示性能を得られるOLED表示装置およびその駆動方法を提供することを目的とする。

【0008】

【課題を解決するための手段】この目的を達成するために本発明のアクティブマトリクス型OLED表示装置およびその駆動方法は、以下の構成および方法を有している。

【0009】第1の構成として、映像に対応した電流信号を前記単位画素に伝達する信号線を備え、OLED素子からなる表示装置において、複数の定電流源からの複数の定電流値を、前記信号線毎に順次記憶する第1の回路と、映像信号を示すデジタルデータに従い、前記複数

の定電流値を少なくとも一つを選択し足し合わせる第2の回路とを有することを特徴とするOLED表示装置を提供する。

【0010】第2の構成として、映像に対応した電流信号を前記単位画素に伝達する信号線を備え、OLED素子からなる表示装置において、複数の定電流源からの複数の定電流値を、映像信号を示すデジタルデータに従い、前記複数の定電流値を少なくとも一つを選択し足し合わせる第2の回路と、足し合わせた電流値を信号毎に順次記憶する第1の回路とを有することを特徴とするOLED表示装置を提供する。

【0011】第3の構成として、前記第1の回路には、第1のスイッチング素子と、第1のスイッチング素子の一方の被制御端子と制御端子とを接続する第2のトランジスタ素子と、第1のスイッチング素子の他方の被制御端子に接続された第3のスイッチング素子とを有することを特徴とするOLED表示装置を提供する。

【0012】第4の構成として、前記第1の回路には、第1のスイッチング素子と、選択信号により能動状態となり、第1のスイッチング素子の一方の被制御端子と制御端子とを接続する第2のトランジスタ素子と、選択信号により能動状態になり、第1のスイッチング素子の他方の被制御端子に駆動信号を与える導通路形成する第3のスイッチング素子とを有し、選択時に前記第1のスイッチング素子と前記第2のスイッチング素子とでセルフバイアス回路を形成し、かつこの第1のスイッチング素子の駆動電流に対応した駆動信号を与え、非選択時には、これを第1のスイッチング素子の特性に応じた第1のスイッチング素子の動作電圧として保持して、選択時に第1のスイッチング素子を流れた電流を記憶する手段を有することを特徴とするOLED表示装置を提供する。

【0013】第5の構成として、前記第1の回路および第2の回路は、ポリシリコンを用いた薄膜トランジスタ素子からなることを特徴とするOLED表示装置を提供する。

【0014】第6の構成として、前記第1の回路および第2の回路は、表示領域を構成する画素群と同一の基板上に形成されることを特徴とするOLED表示装置を提供する。

【0015】第7の構成として、前記画素群には、少なくとも一つのトランジスタ素子が構成させることを特徴とするOLED表示装置を提供する。

【0016】第8の構成として、前記基板上には、垂直走査回路が構成されることを特徴とするOLED表示装置を提供する。

【0017】第9の構成として、第1から8の構成のOLED表示装置を用いることを特徴とする携帯端末用のディスプレイを提供する。

【0018】第10の構成として、第1から8の構成ア

クティブマトリックス型OLED表示装置を用いることを特徴とする大型テレビを提供する。

【0019】第11の構成として、第1から8の構成アクティブマトリックス型OLED表示装置を用いることを特徴とする高精細モニタを提供する。

【0020】第1の手段として、映像に対応した電流信号を前記単位画素に伝達する信号線を備え、OLED素子からなる表示装置において、前記電流信号は、複数の定電流源からの複数の定電流値を、前記信号線毎に順次記憶し、映像信号を示すデジタルデータに従い、前記複数の定電流値を少なくとも一つを選択し足し合わせるこ
10 により得ることを特徴とするOLED表示装置の駆動方法を提供する。

【0021】第2の手段として、前記複数の定電流値は、1水平期間毎に記憶されることを特徴とする型OLED表示装置の駆動方法を提供する。

【0022】第3の手段として、前記複数の定電流値は、1垂直期間毎に記憶されることを特徴とするOLED表示装置の駆動方法を提供する。

【0023】第4の手段として、映像に対応した電流信号を前記単位画素に伝達する信号線を備え、OLED素子からなる表示装置において、前記電流信号は、複数の定電流源からの複数の定電流値を、映像信号を示すデジタルデータに従い、前記複数の定電流値を少なくとも一つを選択し足し合わせた電流値を、信号毎に順次記憶することにより得ることを特徴とするOLED表示装置の
20 駆動方法を提供する。

【0024】

【発明の実施の形態】（発明の実施の形態1）図1に、本発明の信号電流発生回路の回路構成のブロック図を、
30 図6にOLED表示装置の全体の回路構成を示すブロック図を、図7に図6のsdriver部のブロック図、図8に図7の単位セル（4列分）のブロック図、図9にライン毎電流源リフレッシュタイミングパルス発生回路のブロック図、を示す。図15に本発明の信号電流発生回路の駆動波形のタイミングチャートを示す。

【0025】本発明の信号電流発生回路は、電流出力DA変換回路の中の信号ライン毎の定電流記憶回路に、定電流を定期的に記憶させるためのリフレッシュタイミングパルス発生回路と、映像信号を表すデジタルデータ
40 を、1画素毎に送られてくるシリアルデータから、1走査ライン毎に一括出力するためパラレルデータに変換するための変換回路と、そのパラレルデータから、そのデータの値に応じた電流に変換し、その電流を、1走査線毎に、信号ラインに一括出力するための回路との、大きく3つの構成からなる。

【0026】一つ目の構成は、シフトレジスタからなり、スタートパルスSTP1の入力で、クロック1CL1毎にパルスの位相がシフトし、信号ラインごとに1クロックずれたパルスが、1水平期間内に順次出力され
50

る。このパルスは、三つ目の構成の電流出力DA変換回路の中の定電流記憶回路の記憶電流を、1水平期間ごとに、リフレッシュするためのパルスである。具体的な回路構成の1実施例を図10に示す。この回路は、ハーフラッチ回路で構成されたシフトレジスタの自段と前段の出力（左右反転の場合は後段の出力）のOR（出力がLoアクティブの場合、Hiアクティブの場合はAND）をとり、1ラインごとにLoアクティブ（後述の電流記憶回路によってHiアクティブでも良い）のシフトパルスRFTM1～mを発生する。この一つ目の構成の回路は、従来の信号電流または信号電圧発生回路には不必要であり、本発明にのみ必要な新規な構成要素である。

【0027】本実施の形態では、クロックCL1は映像信号のラッチクロック（ドットクロック）と同一にしたが、図26に示すように、ゲートパルスの発生クロックと同一にしてもよい。本実施の形態では、1水平期間毎に定電流が記憶されるが、その場合は1垂直期間毎になる。これにより、電流記憶回路の書き込み期間が大幅に広がり、より安定した定電流回路となる。

【0028】二つ目の構成は、従来のデジタル信号に対応したの信号電流または信号電圧発生回路に、主に用いられている構成であり、2段のラッチ構成からなり、nビットのシリアルデータをシフトレジスタにより発生させたラッチパルスROUT1からmの立上りにより、1信号ラインごとに、シリアルデータをラッチ回路1に順次記憶させ、1水平期間中のデータ帰線期間中に、ラッチパルスLP1により、1走査ライン分のデータRD11からBDnmをラッチ回路2に一括記憶し、1水平期間だけ保持する回路である。この回路で用いるシフトレジスタの構成は図10のリフレッシュタイミングパルスRFTM1からmを発生するOR回路を除いた部分（ハーフラッチ回路および左右反転選択）をカスケードに接続する構成であり、ラッチ回路1はハーフラッチをビット数だけパラレルに並べたもので、シフトレジスタの出力ROUT1からmのタイミングでそれぞれ記憶し、ラッチ回路2もハーフラッチをビット数だけパラレルに並べたもので、ラッチパルスLP1のタイミングでデジタルデータを記憶する回路である。

【0029】また、図23、24に示すように2段目のラッチ回路はなくてもよい。これは出力電流保持回路がラッチ回路2の役割をするためである。

【0030】三つ目の構成は、一つ目の構成から出力されるリフレッシュタイミングパルスRFTM1からmにより、階調電流I0からInを、1信号ラインごとにそれぞれ記憶する回路を備え、二つ目の構成から出力されるnビットのパラレルデータにより、記憶した階調電流I0からInの選択／非選択を決定し、それらを出力を接続することにより、電流を足し合わせる。電流出力DA変換部の具体的な構成（4ビットデータの場合）を図11に示す。それぞれの位のデータ毎にカレントコピー回

路が並列に構成される。カレントコピー回路の具体的構成を図 12 に示す。

【0031】ここで、カレントコピー回路とは、第 1 のスイッチング素子と、選択信号により能動状態となり、第 1 のスイッチング素子の一方の被制御端子と制御端子とを接続する第 2 のトランジスタ素子と、選択信号により能動状態になり、第 1 のスイッチング素子の他方の被制御端子に駆動信号を与える導通路形成する第 3 のスイッチング素子とを有し、選択時に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とでセルフバイアス回路を形成し、かつこの第 1 のスイッチング素子の駆動電流に対応した駆動信号を与え、非選択時には、これを第 1 のスイッチング素子の特性に応じた第 1 のスイッチング素子の動作電圧として保持して、選択時に第 1 のスイッチング素子を流れた電流を記憶し、非選択時に、第 4 のトランジスタ素子を開いて、記憶した電流を出力する回路のことをいう。

【0032】各カレントコピー回路は、それぞれの位に相当する階調電流 I_0 から I_3 を RFTM がアクティブになった時に、それぞれの階調電流を記憶し、非アクティブの期間、電流値を保持する。この回路が各信号線毎に備えられているため、信号線毎に階調電流を発生する定電流源を有することができる。このカレントコピー回路は、デジタルデータ D_0 から 4 の信号に従い、電流を出力するかどうかを選択され、出力される場合は、それらが出力の接続点で、足し合わせることで、デジタルデータの値に応じた信号電流値を出力することができる。

【0033】この電流を出力電流保持回路により、1 水平期間の間、保持する。図 13 に出力電流保持回路の具体的構成を示す。この回路にもカレントコピー回路を用い、信号電流値を、出力電流書込みパルス LP_2 のタイミングにより、記憶、1 水平期間保持する。このとき、DA 変換部のカレントコピー回路とは、入力電流の向きが逆になるため、図 12 が、P チャンネルのトランジスタのカレントコピー回路であるが、この回路では、N チャンネルのトランジスタのカレントコピー回路である。この三つ目の構成の特長は、カレントコピー回路を用いているため、信号ラインごとに形成されるトランジスタ素子の特性がばらついていても、カレントコピー回路のセルフバイアス機能により、基本の入力部の階調電流値を、そのまま写しとることができる。これにより、安定した階調電流源を構成できることであり、本発明の新規な構成であり、主な特長である。

【0034】これにより、デジタルデータに応じた信号線毎に均一な信号電流値が各信号ラインに供給される。

【0035】本発明の構成は、特に特性バラツキの大きい低温ポリシリコンを用いた回路に効果があり、この回路を、低温ポリシリコンを用いて、例えばガラス基板上に、画素と同じ基板上に構成することにより、信号電流

発生回路を内蔵した高表示品質の OLED 表示装置を構成することができる。

【0036】次に画素の回路構成を示す。図 16 に本実施例の画素の回路図を示す。本実施例では、画素にもカレントコピー回路を用いる。単位画素は最低 4 つからなる複数のトランジスタならびに OLED 素子により形成され、第 1 の走査線 GL_1 をアクティブとすることにより、第 1 のトランジスタ MDR のゲートとドレイン間を短絡するように第 2 のトランジスタ MSH が開くと共に、第 2 の走査線 GL_2 をアクティブとすることにより第 1 のトランジスタ MDR および第 3 のトランジスタ MWR を通して、映像信号に対応した値の電流を流し、第 1 のトランジスタ MDR のゲートとソース間に接続されたコンデンサ CS に、信号電流を流すように第 1 のトランジスタ MDR のゲート電圧を記憶した後に、第 1 の走査線 GL_1 を非アクティブにし、第 2 のトランジスタ MSH をオフ状態にした後、第 2 の走査線 GL_2 を非アクティブにし、第 3 のトランジスタ MWR をオフ状態にし、その後、第 3 の走査線 GL_3 をアクティブとして、前記電流を第 4 のトランジスタ MCH ならびに OLED 素子に流すように画素回路を構成する。

【0037】この回路は 1 画素内に 4 つのトランジスタを有しており、第 1 のトランジスタ MDR のソースは電源線（電圧源）に、MDR のゲートは第 2 のトランジスタ MSH のソースに接続されており、第 2 のトランジスタ MSH のゲートは第 1 の走査線 GL_1 に、MSH のドレインは MDR のドレイン、第 3 のトランジスタ MWR のソースおよび第 4 のトランジスタ MCH のソースに接続されている。また、MWR のドレインは信号線 DATA に、ゲートは第 2 の走査線 GL_2 に接続され、MCH のゲートは第 3 の走査線 GL_3 に、ドレインは OLED のアノード電極に接続されている。

【0038】以下、カレントコピー回路の手段ならびに作用を画素回路のカレントコピー回路を例に説明する。

【0039】図 17 に本発明の画素の駆動方法（タイミングチャート）、図 18 には、本発明の画素の各タイミングでの等価回路図、図 19 は従来の画素の第 2 のタイミング（ $t_1 \sim t_2$ ）での画素の等価回路、図 20 に本発明および従来の画素の駆動トランジスタ MDR の動作点の変化を示す。尚、以下で、開くタイミングとは、トランジスタが導通状態（オン状態）になることを示し、閉じるタイミングとはトランジスタが非導通状態（オフ状態）になることを示す。

【0040】本発明の駆動回路は 3 つのタイミングにより制御される。第一の期間は必要な電流値を記憶させるタイミング（ $\sim t_1$ ）である。このタイミングで MWR ならびに MSH が開くことにより、等価回路として図 3A となる。ここで、MDR はゲートとドレインが接続された状態とされたダイオード接続状態になり、これにより、この MDR と MWR を通じて、信号線から映像信号

に対応した所定の電流 I_{SIG} が流れる。この時、 MSH にも電流 I_2 が流れ、 MDR のゲート電圧が、 $I_1 = I_{SIG}$ を流すようなゲート電圧 V_1 に達するまで流れ、 V_1 に達したら電流 I_2 は流れなくなる。

【0041】第二のタイミングは、 MSH を閉じるタイミング ($t_1 \sim t_2$) である。そのときの等価回路は図18Bとなる。これにより、電流 I_{SIG} は、 MWR に流れたまま、 MDR のゲート電圧は、 V_1 を保ったまま、電圧源および電流源から切り離される。第3のタイミング ($t_2 \sim$) は、 MWR を閉じ、 MCH を開くタイミ
10
ミングである。そのときの等価回路は図18Cとなる。このとき、 MCH が開くタイミングと MWR が閉じるタイミングは、どちらが早くてもどちらが遅くてもかまわない。必要なのは、 MCH が開くタイミングと MWR が閉じるタイミングが、 MSH を閉じるタイミングよりも後することである。これにより、 MDR に記憶された電流値 I_{SIG} は、 MCH を介して $OLED$ に流れ込む。 MDR の動作点は図21の V_2 に移動するが、 MDR のトランジスタは、飽和領域で動作するため、切り替え前後の MDR の電流値は基本的には変わらず、映像信号に
20
対応した所定の電流 I_{SIG}' (I_{SIG}) が $OLED$ に流れる。

【0042】一方、信号電流発生回路部では、走査線 GL_1 と GL_2 が共通であるため、 MSH と MWR の走査波形は同一になる。このとき、必ず、 MSH のソース電位またはドレイン電極の電位が、 MWR のソース電位またはドレイン電位よりも、 MDR のしきい値分 (p チャンネルの場合、 $-V_{th}$ 分) だけ低くなるので、同じゲート電圧で動作させれば、 MWR の方が、 MSH よりも先に閉じてしまう。そうすると、 MDR のゲート電圧は、
30
電源に接続されている自分自身のプログラムされた電流により電源電位に向かって、 MSH が完全に閉じるまでの間、再充電されるが、信号電流発生回路内は、高周波数で動作しているため、この再充電はほとんど起こらないので、制御線を低減する目的で共通にしている。また、走査線 GL_3 も $CMOS$ 構成を用いることにより、走査線 GL_1 と共通にしている。

【0043】また、本実施例では、垂直走査回路 (ゲート回路) も同一の基板上に形成している。垂直走査回路は、シフトレジスタの1つの出力から3つの異なるパルス幅と位相を有する走査波形を発生させる回路として、
40
ポリシリコンを用いてガラス基板上に形成した。一つのシフトレジスタの出力 INB を3つの NOR 回路の一方に入力し、他方に3本の制御線 OEA 、 OEB 、 OEC で制御することにより、異なるパルス幅と位相をもつ3仕様の垂直走査波形 1 から 3 を発生することができる。

【0044】更に、本実施の形態では、垂直走査期間の一部の期間において、映像信号に対応した電流を遮断し、信号線を一定の電位にするための充電回路 (以下、
50

プリチャージ回路と称する) を、ポリシリコンを用いてガラス基板上に形成した。

【0045】これにより、電流書き込み方式の本実施の形態の画素回路で問題となる黒レベルの浮きまたは尾引きを改善でき、コントラスト比の向上が図れた。

【0046】ここで、作製するトランジスタは、4つとも同じ P チャンネル型または N チャンネル型のトランジスタであっても良いが、先述したように、違う型のトランジスタを用いることによって制御線を低減できる。また、
本実施の形態では、トランジスタは、低温ポリシリコンの薄膜トランジスタ (TFT とも称する) を用いたが、トランジスタは、低温ポリシリコンの薄膜トランジスタに限ったものでなく、特性バラツキの大きいトランジスタ素子、パルク $CMOS$ 、連続粒界シリコン (CGS) 石英基板上に作成する高温ポリシリコンのトランジスタを用いる場合に効果がある。

【0047】また、トランジスタの断面構造は、本実施の形態では、トップゲートのプレーナー型の TFT を用いたが、ボトムゲートでも良く、また、スタガー型でも、逆スタガー型でも良い。更に、セルフアライン方式を用いて不純物領域 (ソース、ドレイン) が形成されたものでも、非セルフアライン方式によるものでも良く、
これらはすべてに本発明の範疇である。

【0048】図20に本実施の形態の画素の平面構成を示す。基板上には、マトリクス状に配置された画素に電圧および電流を供給するための配線電極群が設けられる。図20中の信号線 DAT_A は、映像信号電流を伝えるための配線であり、走査線 $GL_1 \sim GL_3$ は、画素のトランジスタをアクティブ/非アクティブにするための制御信号を伝えるための配線であり、電源線は、ホール注入電極 31 (画素電極、アノード) に、アノード電圧を供給するための配線である。それぞれの配線電極は抵抗が低い方が好ましく、その配線電極は、 Al 、 Ti または窒化チタン (TiN)、 Ta 、 Mo 、 Cr 、 W 、 Cu 、 Nd 、 Zr 等のいずれか1種または2種以上を含有する金属を単層または2層以上の積層構造にして使われる。但し、本発明においてはこの材料に限られるものではない。

【0049】また、第1のトランジスタ MDR のゲート電圧を保持するコンデンサ CS は、隣接する画素間の非表示領域におおむね形成する。低分子の $OLED$ でフルカラーパネルを作成する場合、 $OLED$ 層をメタルマスクによるマスク蒸着で形成するため、隣接する画素間の非表示領域の幅は約 $10 \sim 20 \mu m$ になる。この部分は発光に寄与しない部分となるため、保持コンデンサ CS をこの領域に形成することは、トランジスタを形成したガラス基板側から光を取り出す方式の場合、開口率向上のために有効な手段となる。 $OLED$ 素子の構造については、以下に、述べる。

【0050】本実施の形態の $OLED$ 表示装置の構成例

を図21に示す。本実施の形態では、トランジスタを形成したガラス基板側から光を取り出す方式(以下、下取出しを称する)を用いているので、ホール注入電極31に透明電極であるITOを用いた。

【0051】まず、基板上にトランジスタのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として透明電極であるITOをスパッタ法で成膜、パターンニングする。その後、OLED層、電子注入電極等を積層する。

【0052】図21に示されるOLED表示装置は、ガラス基板35上に、薄膜トランジスタTFTのアレイと、絶縁層38を介して、ホール注入電極31となるITO31と有機層22、電子注入電極32とを有するOLED構造体11が積層されている。基板材料としては基板の裏面方向より光が出射される必要があることから、ガラス、石英や樹脂等の透明ないし半透明材料を用いることができる。

【0053】OLED構造体11の下地となるホール注入電極31とTFTの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常100nmから1000nm程度とすればよい。

【0054】TFTの配線電極とOLED構造体11の有機層との間に設けられた絶縁層38は、SiO₂等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG(スピン・オン・グラス)で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよいが、より厚く平らな方がよいので、有機膜の方が好ましい。また、絶縁層38は、水分に弱いOLED素子11を守るため、吸湿性の高い有機膜は、外気に触れないような構造にすることが好ましい。

【0055】カラー化の手法としては、本実施の形態では、それぞれ異なるの発光ピーク(R、G、B)を持つ3種類の材料をメタルマスクで塗り分けることによって実現した。また、別の方法として、例えば、白色発光のOLED構造体と、RGBのカラーフィルタとの組み合わせによって得る方法もあり、また、青色発光のOLED構造体から波長変換層により、RGBの三色を得る方法もある。

【0056】次に、本発明のOLED表示装置を構成するOLED構造体11について説明する。本発明のOLED構造体11は、透明電極であるホール注入電極31と、1種以上の有機層22と、電子注入電極32とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、ホール輸送層、ホール注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明のOLED構造体11の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体とした

り、ホール注入輸送層と発光層とを混合してもよい。電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。

【0057】ホール注入電極31としては、ホール注入電極31側から発光した光を取り出す構造であるため、例えば、ITO(錫ドープ酸化インジウム)、IZO(亜鉛ドープ酸化インジウム)、ZnO、SnO₂、In₂O₃の透明性の材料等が挙げられるが、特にITO、IZOが好ましい。ホール注入電極31の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常、10~500nm程度とすることが好ましい。また、これらの膜は、端部でのカソードとの短絡を防止するため、透過率特性を損なわない範囲で、薄い方が好ましい。実際に使用する場合には、ITO等のホール注入電極31界面での反射による干渉効果が、光取り出し効率や色純度を十分に満足するように、電極の膜厚や光学定数を設定すればよい。ホール注入電極31は、蒸着法等によっても形成できるが、スパッタ法により形成することが好ましい。スパッタガスとしては、特に制限するものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0058】電子注入電極32は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。成膜される電子注入電極の構成材料としては例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg(Ag:1at%から20at%)、Al・Li(Li:0.3at%から14at%)、In・Mg(Mg:50at%から80at%)、Al・Ca(Ca:5at%から20at%)等が好ましい。

【0059】電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。

【0060】ホール注入層は、ホール注入電極31からのホールの注入を容易にする機能を有し、ホール輸送層は、ホールを輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0061】電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能およびホールを妨げる機能を有する。

【0062】ホール注入層、ホール輸送層および電子注入輸送層は、発光層へ注入されるホールや電子を増大・閉じ込めさせ、再結合領域を最適化させ、発光効率を改善する。

【0063】なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0064】発光層の厚さ、ホール注入層とホール輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常、5から100nm程度とすることが好ましい。

【0065】ホール注入層、ホール輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10倍から10倍程度とすればよい。ホール注入層、ホール輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1nm以上、輸送層は20nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100nm程度、輸送層で100nm程度である。このような膜厚については注入輸送層を2層設けるときも同じである。また、組み合わせる発光層や電子注入輸送層やホール注入輸送層のキャリア移動度やキャリア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら、膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0066】本発明のOLED素子の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、例えば、特開昭63-264692号公報等に開示されているようなトリス（8-キノリノラト）アルミニウム〔Alq3〕等の金属錯体色素、特開平6-110569号公報（フェニルアントラセン誘導体）、同6-114456号公報（テトラアリールエテン誘導体）、特開平6-100857号公報、同特開平2-247278号公報等に開示されているような青緑色発光材料が挙げられる。

【0067】また、ホール注入層・ホール輸送層には、例えば、特開昭63-295695号公報、特開平2-191694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。

【0068】ホール注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

【0069】さらに、OLED層に、水分が入らないように封止材40で封止する。本実施の形態では、メタル薄膜と、有機膜の積層構造を用いるが、シール材を用いてガラスを張り合わせる方法を用いても良い。

【0070】このようにして作製したOLED表示装置に直流電圧を印加し、10mA/cm²の一定電流密度

で連続駆動させた。OLED構造体は、5.0V、100cd/cm²、色座標がx=0.30、y=0.33の白色の発光が確認できた。青色発光部は、輝度100cd/cm²で、色座標がx=0.129、y=0.105、緑色発光部は、輝度200cd/cm²で、色座標がx=0.340、y=0.625、赤色発光部は、輝度125cd/cm²で、色座標がx=0.649、y=0.338の発光色が得られた。

【0071】以下に本実施の形態の効果を示す。本実施の形態では、信号側が53ピンの入力信号で、4ビット（4096色）のカラーOLED表示装置を作成することができ、かつ、トランジスタの閾値ばらつきが±1Vある状態で、2%以下の画素毎の表示輝度バラツキを達成し、スジやムラの発生のない高い表示品質を得ることができた。また本実施例では、ゲート回路も内蔵しているため、極めて小型で軽量のOLED表示装置を得ることができた。

【0072】以上のように、本実施の形態では、信号電流発生回路を内蔵することにより、外部回路との接続点数を削減することができ、機械的な信頼性が上がり、かつ、周辺の額縁領域をコンパクトにすることができ、パネル全体を軽量化することができる。また、カレントコピー回路を信号ライン毎に構成するした信号電流発生回路を用いることにより、電流源の配線の長さを、縮小できることにより、電流源の容量性負荷を抑制することができ、信号電流を安定して、画素のOLED素子に伝達することができ、かつ、トランジスタ素子の特性バラツキに対して高いマージンを持ち、スジやザラツキの無い良好な表示性能を有し、高い表示品質のOLED表示装置を提供することができる。その結果、歩留りが高く、生産性の良い、高表示品質のOLED表示パネルを得ることができる。

【0073】（発明の実施の形態2）本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0074】本実施の形態では、図2に示すように、ライン毎電流源リフレッシュタイミング発生回路のシフトレジスタと、シリアルパラレル変換部のシフトレジスタを共通にし、一つのシフトレジスタの出力から、ラッチパルスSROUTとリフレッシュタイミングパルスRFTMを出力できる回路構成とした。

【0075】本実施の形態では、実施の形態1の効果に加え、回路規模を大幅に低減することができ、周辺額縁の幅を縮小でき、パネルの小型、軽量化することができた。

【0076】（発明の実施の形態3）本実施の形態は、以下を除き、実施の形態2と同一の構成である。

【0077】本実施の形態では、図3に示すように、階調電流を発生させる階調電流発生回路を、基板上に内蔵した。

【0078】この階調電流発生回路の場合、1トランジ

スタにより電圧から電流の変換を行っているが、階調電流を決める電圧電流変換トランジスタのそれぞれに特性ばらつきがあっても、それぞれのゲート電圧を外部から調整することにより、出力電流を揃えることができる。この調整電圧は、ガンマ特性を調整するガンマ調整電圧としても用いることができる。

【0079】本実施の形態では、実施の形態2の効果に加え、外部からは電圧供給だけで良いので、外部回路の液晶表示装置とのコンパチビリティが良くなる。また、外部に定電流回路を構成する必要がないため、外部回路の回路規模が低減できる効果がある。

【0080】（発明の実施の形態4）本実施の形態は、以下を除き、実施の形態3と同一の構成である。

【0081】本実施の形態では、図4に示すように、出力電流保持回路を削除した。

【0082】出力電流保持回路は、1走査線毎に一括書き込みする線順次駆動の場合には、必須だが、ポリシリコンの充電能力では、点順次走査も可能なため、点順次走査する場合には、この出力電流保持回路は、必要ではない。したがって、本実施の形態では、点順次走査し、信号電流発生回路から出力電流発生回路を削除した。

【0083】本実施の形態では、実施の形態3の効果に加え、回路規模が削減でき、更に表示パネルの狭額縁化を実現することができた。

【0084】（発明の実施の形態5）本実施の形態は、以下を除き、実施の形態3と同一の構成である。

【0085】本実施の形態では、図5示すように、リセット信号RS、左右反転信号LR、アウトプットイネーブルOEを付け加えた。

【0086】本実施の形態では、実施の形態3の効果に加え、リセット、左右反転、アウトプットイネーブルの機能を実現することができた。

【0087】（発明の実施の形態6）本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0088】本実施の形態では、電流出力DA変換回路部のカレントコピー回路を差動型カレントコピー回路とした。差動型カレントコピー回路の具体的構成を図14に示す。

【0089】差動型カレントコピー回路の特長は、2つの電流入力経路を持ち、この2つの電流値の差分が、駆動トランジスタの電流として流れ、その電流を記憶保持する回路である。

【0090】カレントコピー回路の場合、電流入力部に容量性負荷があると、低い電流値では、その容量性負荷を充電するのに時間がかかり、駆動トランジスタが、その電流を記憶するまでの所定の動作状態になる前に、選択期間が終わってしまうという、所謂、電流書き込み不足状態が生じることがある。

【0091】これは、特に、低い電流値の場合、同じ容量でも、定電流であるため、充電により時間がかかって

しまう。

【0092】この差動型カレントコピー回路は、その問題を解決するもので、入力端子までの容量性負荷が大きい場合、より大きい定電流をことにより、充電不足の状態は解消される。しかしながら、低い電流状態を記憶できないので、もう一方の入力ぶから、一定の電流を引いてやることにより、駆動トランジスタを、素早く、低い電流動作状態に移行させ、低い電流を記憶保持する。すなわち、入力1からは $1\mu A + 0.01\mu A$ 、入力2からは $-1\mu A$ を入力することにより、駆動トランジスタには、 $+0.01\mu A$ の電流が流れる状態になる。それぞれの入力端子までの電流は $1\mu A$ 以上の電流が流れるため、例えばそれぞれ $10pF$ の容量が付いていたとしても、 $10\mu s$ 以内に充電し、駆動トランジスタを $+0.01\mu A$ を流す動作状態にすることができる。通常のカレントコピー回路の場合は、 $0.01\mu A$ の入力電流では、 $1ms$ の充電時間がかかってしまい、1クロックの間では、殆ど電流を書き込むことができない。

【0093】本実施の形態では、実施の形態3の効果に加え、低電流書き込み状態を改善し、より低階調の階調線形性（リニアリティ）を確保することができた。

【0094】（発明の実施の形態7）本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0095】本実施の形態では、電流出力DA変換回路で、データにより、階調電流を先に選択し、その出力を接続し、足し合わせた電流を、カレントコピー回路の入力することにより、信号電流値を記憶保持する回路とした。図25にその回路図を示す。

【0096】これにより、実施の形態1では、それぞれの位のビット毎にカレントコピー回路が必要であった（図11では4つ）が、一つのカレントコピー回路のみで良く、回路規模が大幅に低減し、より狭額縁のOLED表示装置を得ることができた。

【0097】（発明の実施の形態8）本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0098】本実施の形態では、実施の形態1でのシリアルデータパラレルデータ変換部のラッチ2を省略し、ラッチ1の出力を電流出力DA変換回路の入力とした。これにより、リフレッシュタイミングパルスRFTMもラッチパルスSROUTも後にアクティブになるようにリフレッシュタイミングパルスの回路構成を変更した。

【0099】これにより、実施の形態1では、ラッチ回路が2段必要であったが、ラッチ回路が1段になり、回路規模が大幅に低減し、より狭額縁のOLED表示装置を得ることができた。

【0100】（発明の実施の形態9）本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0101】本実施の形態では、本発明のOLED表示装置を携帯端末用のディスプレイに用いた。

【0102】これにより、コンパクトかつ表示品質の良

好なディスプレイを実現できる。この性質は、携帯端末用ディスプレイに求められる性能に一致する。

【0103】(発明の実施の形態10)本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0104】本実施の形態では、OLED表示装置を大型高精細のディスプレイに用いた。本発明のOLED素子をもちいることで、波形遅延の大きい大型高精細のディスプレイにおいても、表示品質の良好なディスプレイを実現できる。

【0105】(発明の実施の形態11)本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0106】本実施の形態では、まず、基板上にTFTのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として不透明な電極であるAgをスパッタ法で成膜、パターニングする。その後、OLED層、電子注入電極等を積層する。本発明のOLED表示装置の構成例を図22に示す。図22に示されるOLED表示装置は、ガラス基板11上に、薄膜トランジスタTFTのアレイと、絶縁層38を介してホール注入電極31となる金属膜33と有機層22、電子注入電極となるMgAg34とを有するOLED構造体が積層されている。図23に示すように、OLED素子のトランジスタ側と反対側から光を取り出す方式(以下、上取出しを称する)の場合、ホール注入電極31は、金属等の反射率が高いものの方が、発光効率が向上される。

【0107】基板材料としては基板の表面方向より光が出射されるから、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。また、OLED層に、水分が入らないように封止材40は、取り出し側を透明にする必要がある

ので、有機膜のみの積層構造を用いた。

【0108】本実施の形態では実施の形態1と比較して、発光層材料の条件等は基本的には同じである。

【0109】このようにして作製したOLED表示装置に直流電圧を印加し、 $10\text{mA}/\text{cm}^2$ の一定電流密度で連続駆動させた。OLED構造体は、 5.0V 、 $150\text{cd}/\text{cm}^2$ 、色座標が $x=0.30$ 、 $y=0.33$ の白色の発光が確認できた。青色発光部は、輝度 $150\text{cd}/\text{cm}^2$ で、色座標が $x=0.129$ 、 $y=0.105$ 、緑色発光部は、輝度 $300\text{cd}/\text{cm}^2$ で、色座標が $x=0.340$ 、 $y=0.625$ 、赤色発光部は、輝度 $200\text{cd}/\text{cm}^2$ で、色座標が $x=0.649$ 、 $y=0.338$ の発光色が得られ、実施の形態1と比較して、光取り出し効率が1.5倍向上した。

【0110】

【発明の効果】以上のように、本発明により、外部回路との接続点数を削減することができ、機械的な信頼性が上がり、かつ、周辺の額縁領域をコンパクトにすることができ、パネル全体を軽量化することができる。また、信号電流を安定して、画素のOLED素子に伝達するこ

とができ、かつ、トランジスタ素子の特性バラツキに対して高いマージンを持ち、スジやザラツキの無い良好な表示性能を有し、高い表示品質のOLED表示装置を提供することができる。その結果、歩留りが高く、生産性の良い、高表示品質のOLED表示パネルを得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の信号電流発生回路のブロック図

【図2】本発明の実施の形態2の信号電流発生回路のブロック図

【図3】本発明の実施の形態3の信号電流発生回路のブロック図

【図4】本発明の実施の形態4の信号電流発生回路のブロック図

【図5】本発明の実施の形態5の信号電流発生回路のブロック図

【図6】本発明の実施の形態1のOLED表示装置の全体ブロック図

【図7】図6中のsdriver部分の回路図

【図8】図7中の単位セル部分の回路図

【図9】図8中のリフレッシュタイミング発生回路部分の回路図

【図10】図9中のHラッチ回路部分の回路図

【図11】図8中の電流出力DA変換部分の回路図

【図12】図11中のカレントコピー回路部分の回路図

【図13】図8中の出力電流保持回路部分の回路図

【図14】本発明の実施の形態6のカレントコピー回路部分の回路図

【図15】本発明の実施の形態1の信号電流発生回路の駆動波形のタイミングチャート

【図16】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素回路の回路図

【図17】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素回路の駆動波形を示す図

【図18】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素回路の各タイミングにおける等価回路

【図19】本発明の実施の形態1および従来のアクティブマトリクス型OLED表示装置の画素回路の第1のトランジスタの動作点を示す図

【図20】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素の平面図

【図21】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素の断面図

【図22】本発明の実施の形態11のアクティブマトリクス型OLED表示装置の画素の断面図

【図23】信号電流発生回路のブロック図の1例を示す図

【図24】単位セル分の回路図の1例を示す図

【図25】電流出力PA変換部分の回路図の1例を示す図

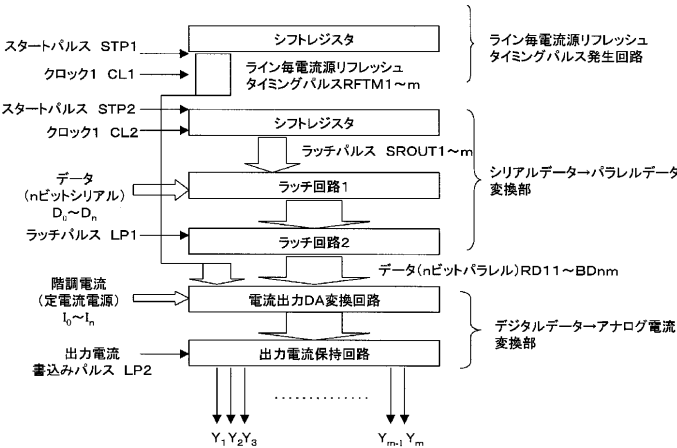
【図26】リフレッシュタイミングパルス発生回路の駆動タイミングチャートの1例を示す図

【符号の説明】

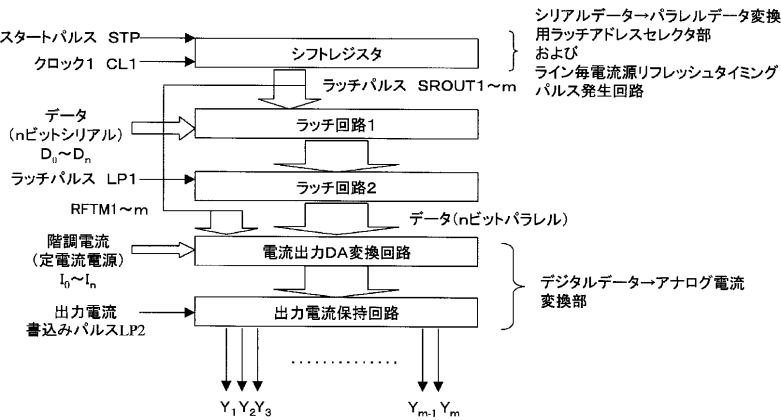
- MDR 第1のトランジスタ
- MSH 第2のトランジスタ
- MWR 第3のトランジスタ
- MCH 第4のトランジスタ

- *GL1 第1の走査線
- GL2 第2の走査線
- GL3 第3の走査線
- DATA 信号線
- VDD 電源線
- CS 保持用コンデンサ
- 31 画素電極（アノード電極）
- 22 OLED層
- * 32 カソード電極

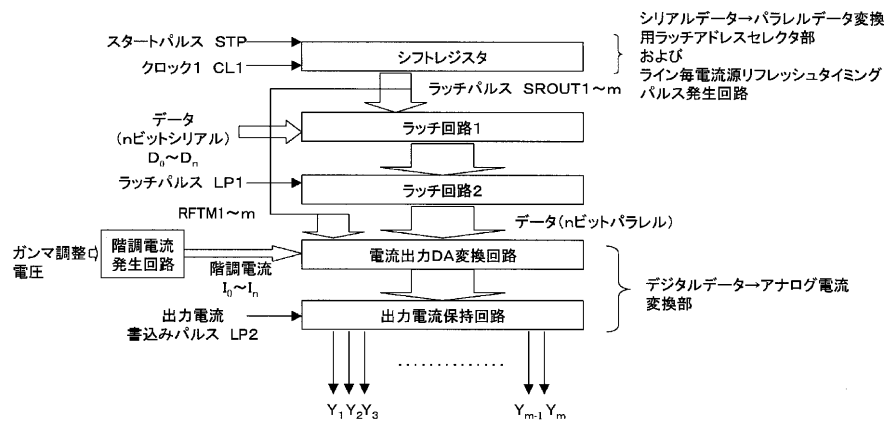
【図1】



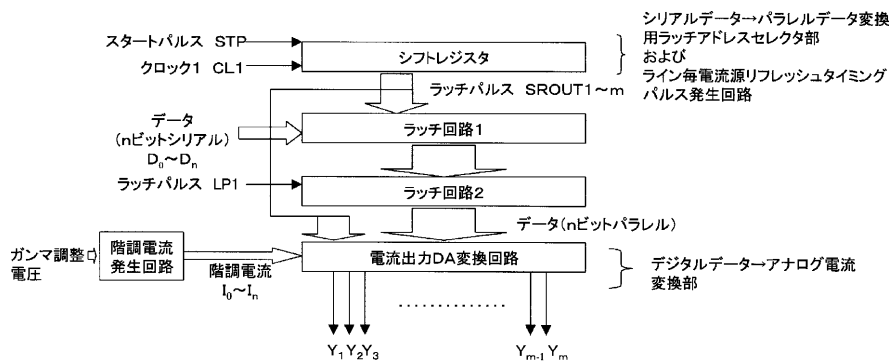
【図2】



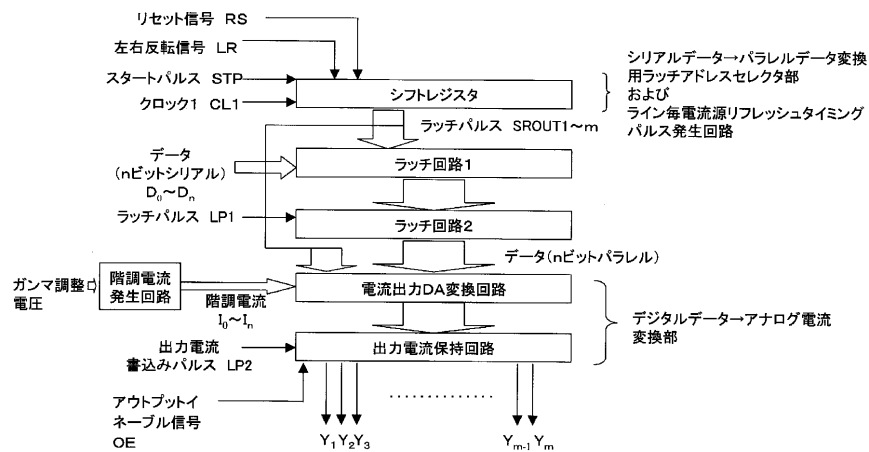
【図3】



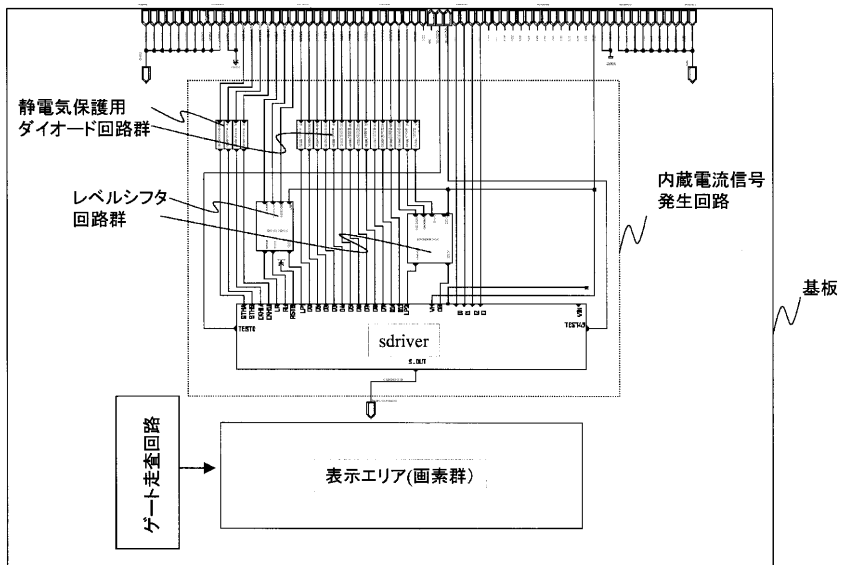
【図4】



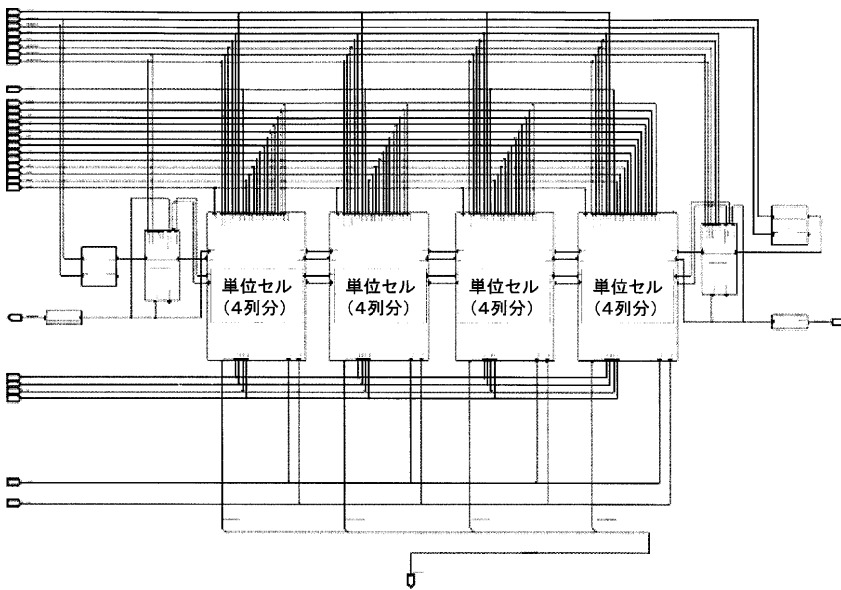
【図5】



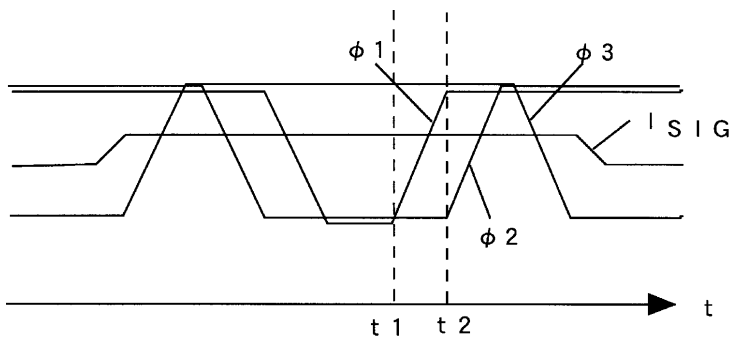
【図6】



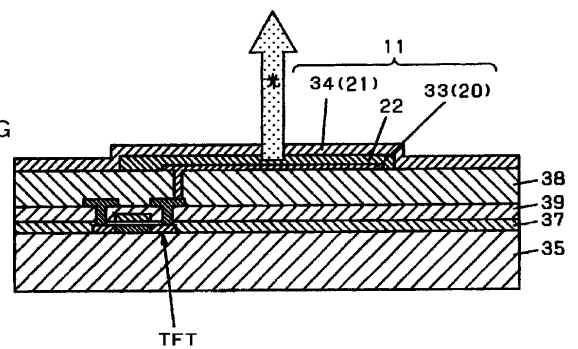
【図7】



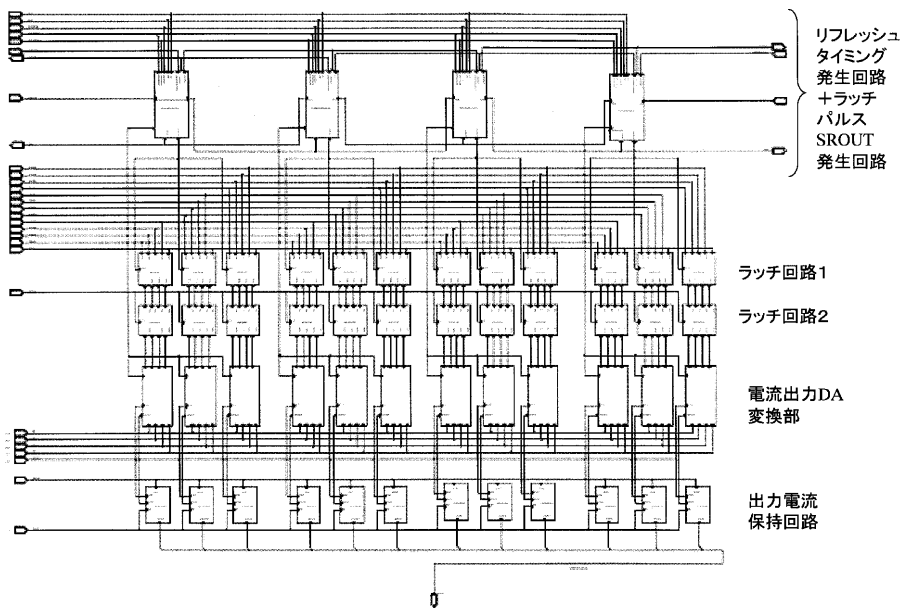
【図17】



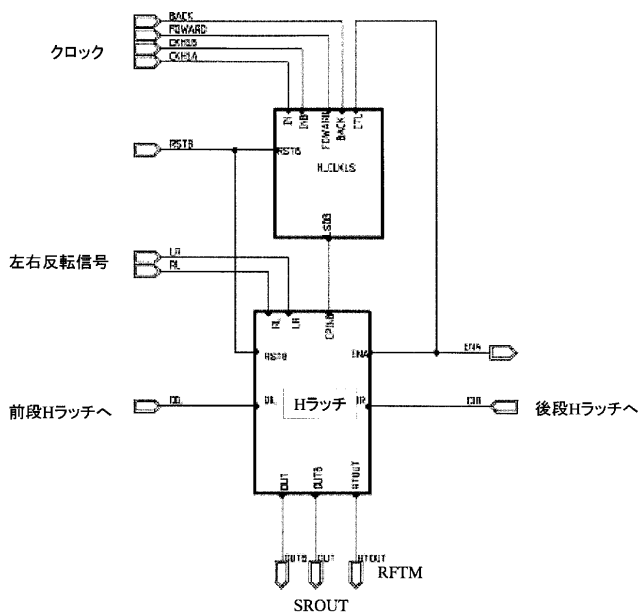
【図22】



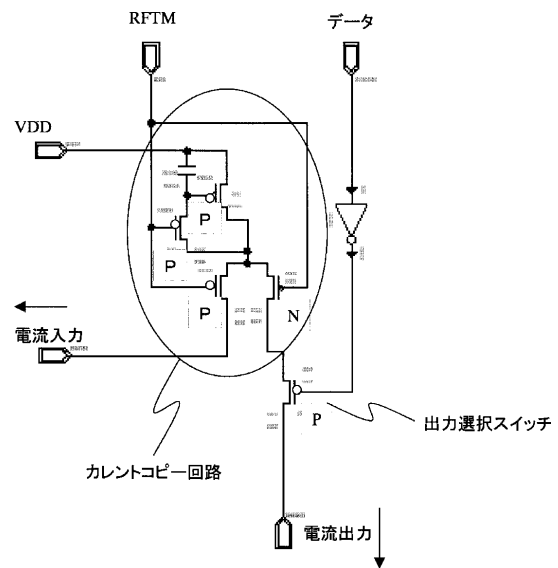
【図8】



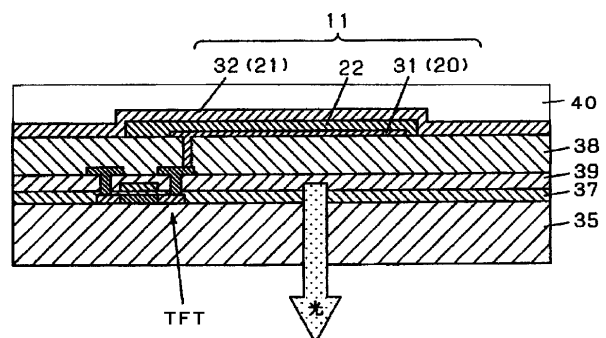
【図9】



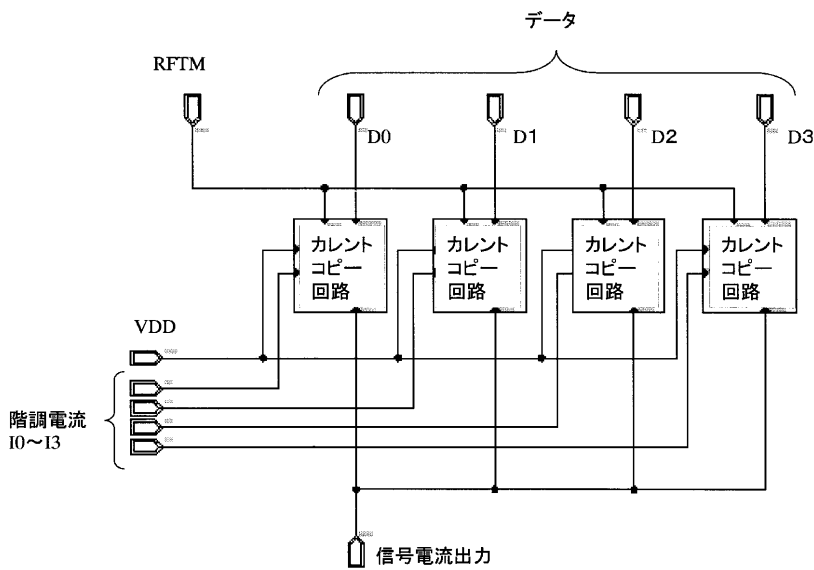
【図12】



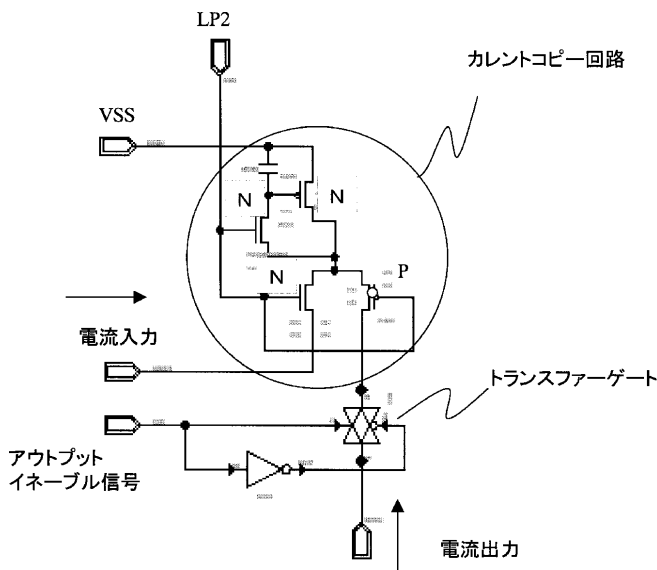
【図21】



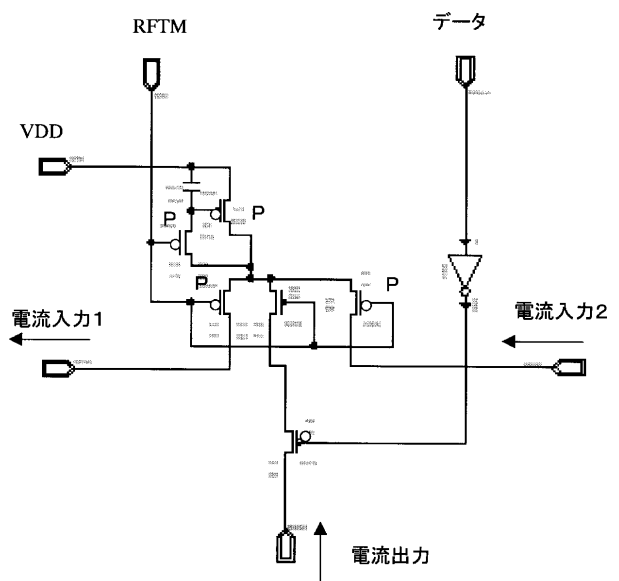
【図11】



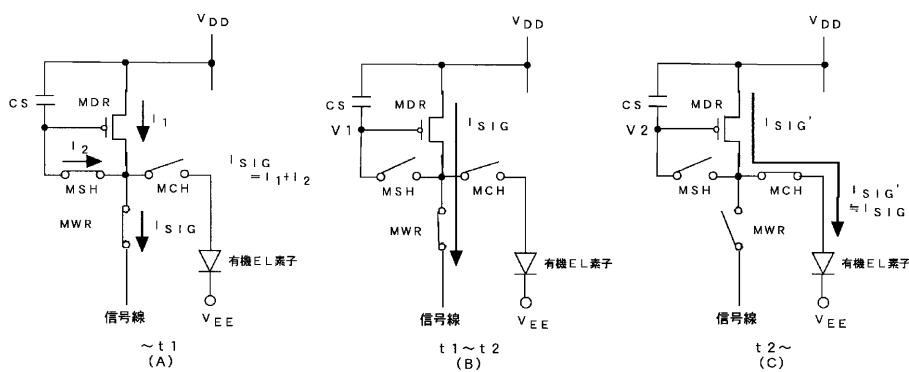
【図13】



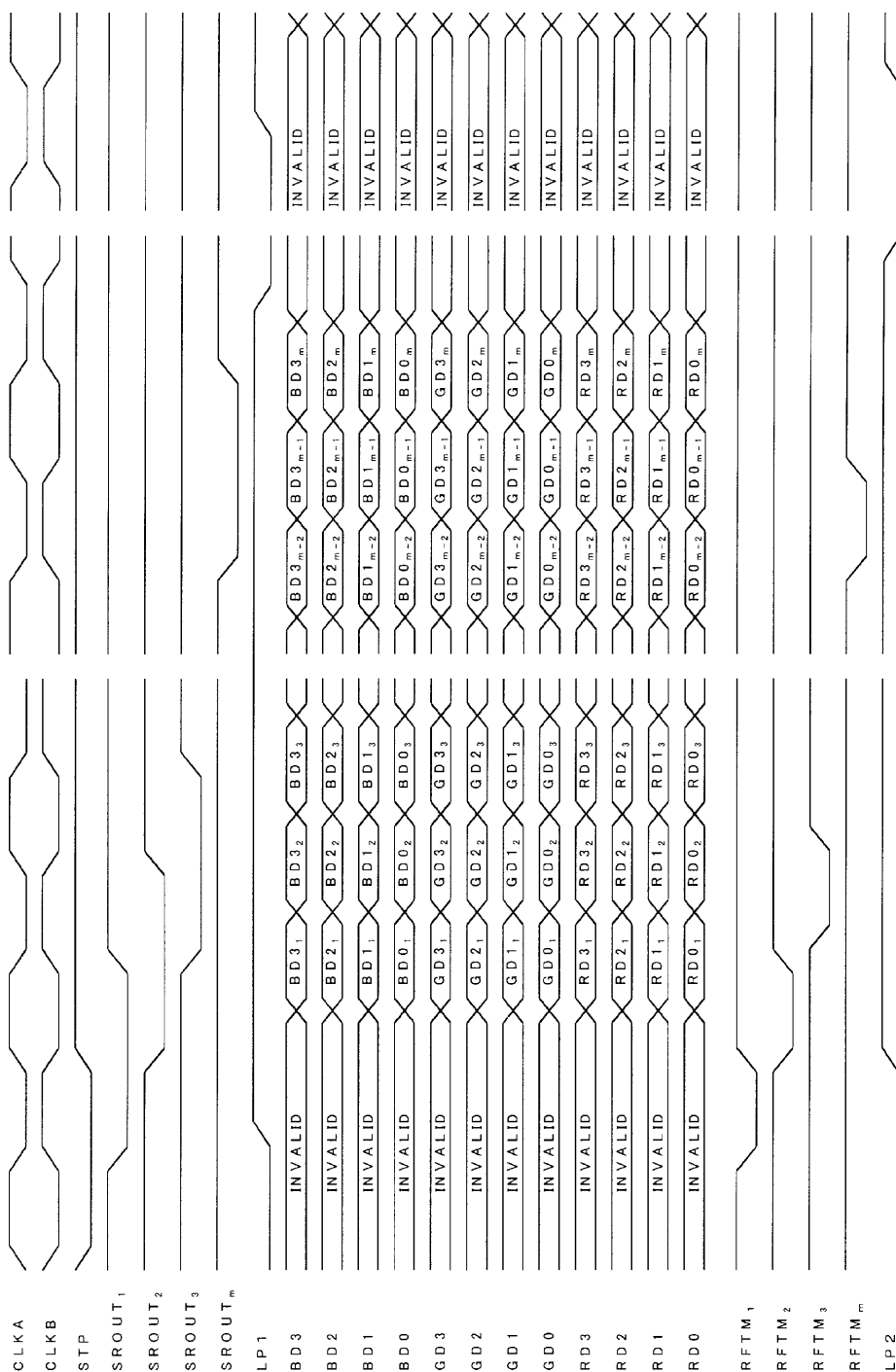
【図14】



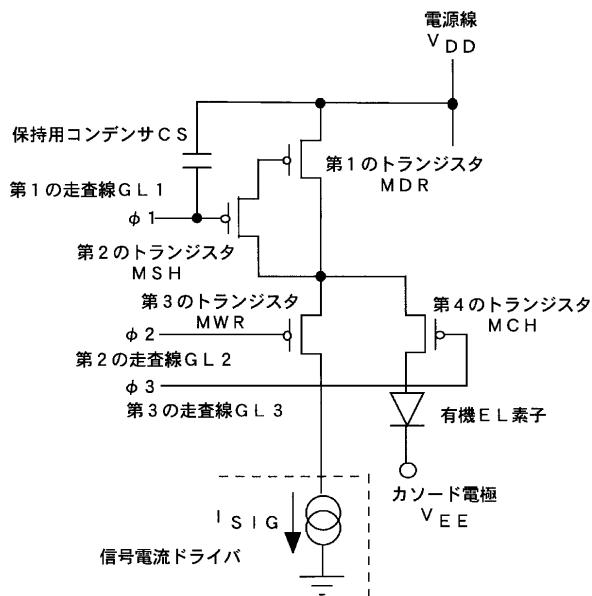
【図18】



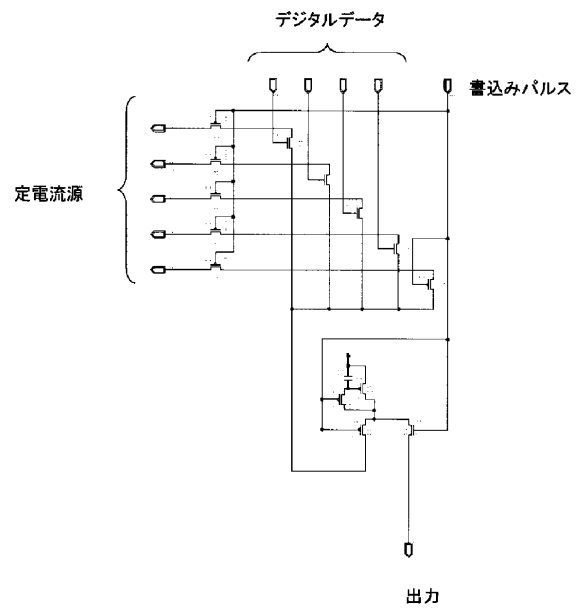
【図15】



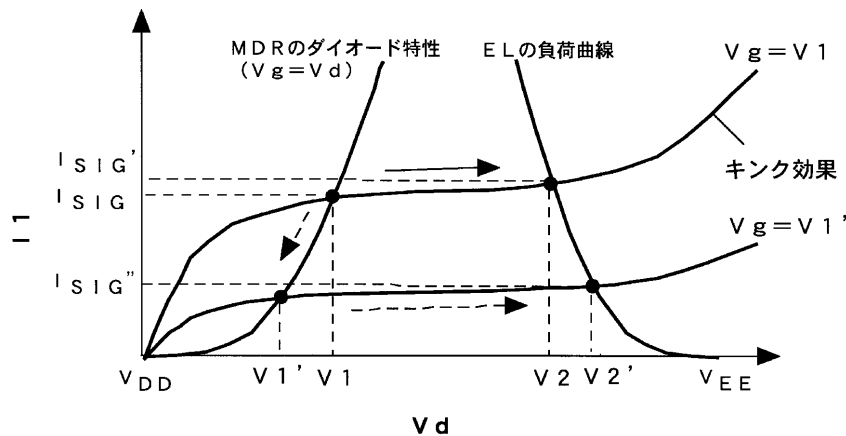
【圖 16】



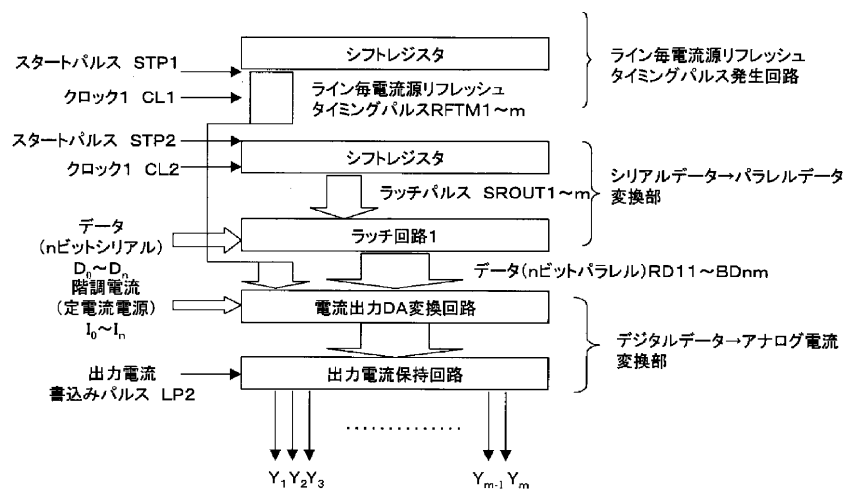
【図 25】



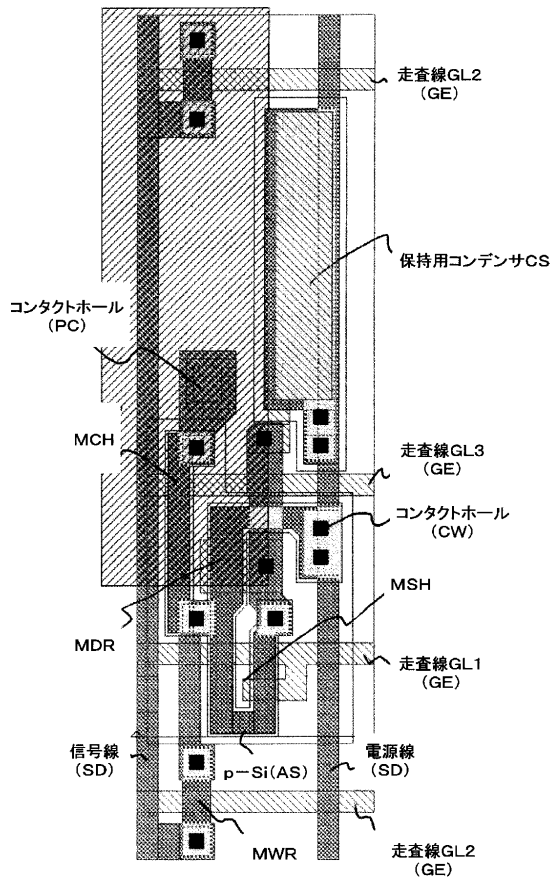
【図 19】



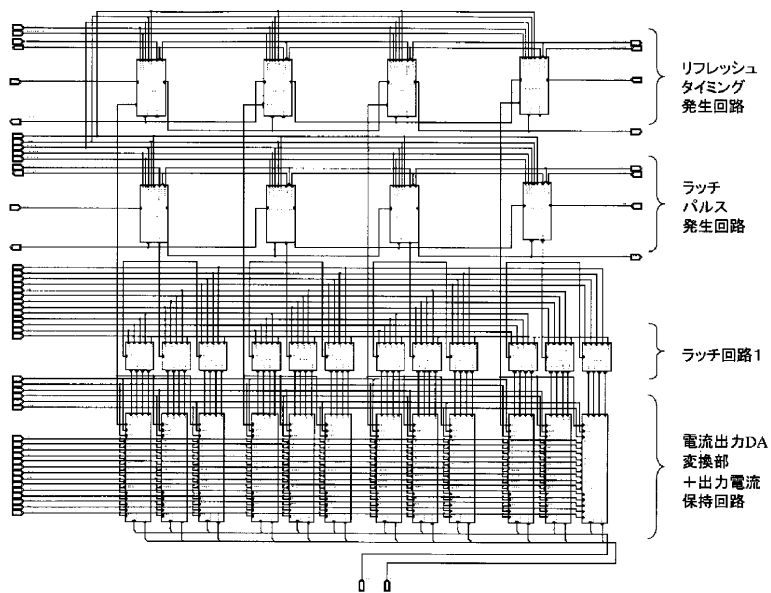
【圖 23】



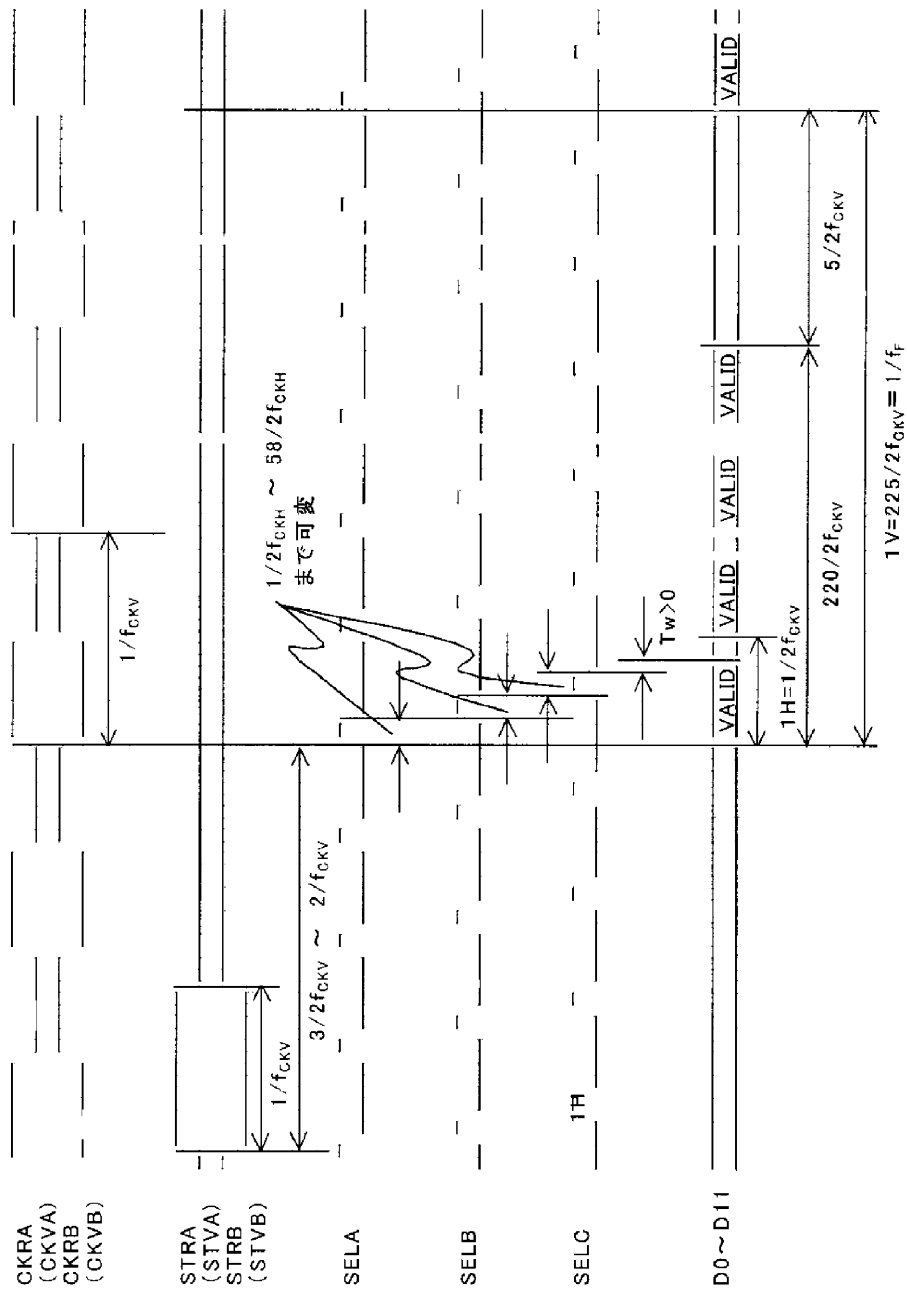
【図 20】



【圖 24】



【図26】



フロントページの続き

(51) Int.Cl.⁷

G 0 9 G 3/20

H 0 5 B 33/14

識別記号

6 4 2

6 8 0

F I

G 0 9 G 3/20

H 0 5 B 33/14

テ-マ-コ-ド (参考)

6 4 2 A

6 8 0 G

A

专利名称(译)	OLED显示装置及其驱动方法		
公开(公告)号	JP2003150112A	公开(公告)日	2003-05-23
申请号	JP2001348418	申请日	2001-11-14
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	太田益幸		
发明人	太田 益幸		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.621.M G09G3/20.623.R G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.680.G H05B33/14.A G09G3/20.623.F G09G3/325 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB02 3K007/AB05 3K007/AB17 3K007/AB18 3K007/BA06 3K007/BB07 3K007/DB03 3K007/EB00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC43 3K107/CC45 3K107/EE03 3K107/EE59 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB28 5C380/AB34 5C380/AC04 5C380/AC07 5C380/AC12 5C380/BA11 5C380/BA12 5C380/BA13 5C380/BA17 5C380/BA20 5C380/BA24 5C380/BA29 5C380/BA30 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB23 5C380/BC02 5C380/BC09 5C380/BC20 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA09 5C380/CA13 5C380/CA16 5C380/CA22 5C380/CA25 5C380/CA26 5C380/CA27 5C380/CA34 5C380/CA35 5C380/CA36 5C380/CC13 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC61 5C380/CC64 5C380/CC77 5C380/CD014 5C380/CE05 5C380/CE08 5C380/CE20 5C380/CF07 5C380/CF08 5C380/CF09 5C380/CF12 5C380/CF18 5C380/CF23 5C380/CF24 5C380/CF28 5C380/CF32 5C380/CF33 5C380/CF44 5C380/CF48 5C380/CF52 5C380/DA02 5C380/DA06 5C380/DA26 5C380/DA46 5C380/DA49 5C380/GA14		
外部链接	Espacenet		

摘要(译)

用于电流输出的信号输出电路通过使用多晶硅晶体管形成在与像素相同的基板上，并且具有良好的显示性能，具有较少的条纹和不均匀性，高的显示质量，小的尺寸和轻的重量。获得高生产率的OLED显示器。第一电路，其通过根据表示视频信号的数字数据选择并添加多个恒定电流值中的至少一个来获得信号电流，以及第一电路，其按顺序存储每个信号线的信号电流 和2的电路。

