

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 333846

(P2002 - 333846A)

(43)公開日 平成14年11月22日(2002.11.22)

(51) Int. Cl ⁷	識別記号	F I	テ-マコード* (参考)
G 0 9 F 9/30	338	G 0 9 F 9/30	3 K 0 0 7
	342	9/00	5 C 0 9 4
	365		5 F 0 4 8
H 0 1 L 21/336		H 0 1 L 27/08	5 F 1 1 0
21/8238		H 0 5 B 33/10	5 G 4 3 5

審査請求 未請求 請求項の数 15 O L (全 8 数) 最終頁に続く

(21)出願番号 特願2002 - 59218(P2002 - 59218)

(22)出願日 平成14年3月5日(2002.3.5)

(31)優先権主張番号 2001 - 011822

(32)優先日 平成13年3月7日(2001.3.7)

(33)優先権主張国 韓国(KR)

(71)出願人 590002817

三星エスディアイ株式会社

大韓民国京畿道水原市八達区 しん 洞57
5番地

(72)発明者 張 根浩

大韓民国ソウル特別市龍山区二村1洞(番地
なし)宇星エーピーティ 399 - 1

(74)代理人 100089037

弁理士 渡邊 隆 (外 1 名)

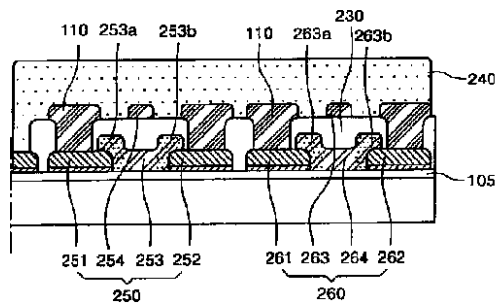
最終頁に続く

(54)【発明の名称】 有機 E L 表示装置製造方法

(57)【要約】

【課題】 歩留まりが高い有機 E L 表示装置の製造方法を提供する。

【解決手段】 基板上的の透明物質層と第1金属(M)層から画素電極と第1キャパシタ(C)電極と画素領域上に第1/第2ソース/ドレ-ン(SD)電極と非画素領域上に第1/第2型SD電極を形成し、第1/第2SD電極間に第1/第2半導体(S)層を、第1/第2型SD電極間に第1/第2型S層を各々形成し、基板全面に蒸着した第2M層から第1/第2ゲ-ト電極と第1型ゲ-ト電極と第2C電極と第1不純物遮断(IS)層を形成し、第1導電型不純物(I)をイオン注入して第1/第2S層と第1型S層の両端に各々第1/第2SD領域と第1型SD領域を形成し、基板全面に第2IS層を形成し、第1/第2IS層の一部から第2型ゲ-ト電極を形成し、第2導電型Iをイオン注入して第2型SD領域を第2型S層の両端に形成し、画素電極の露出部分に有機発光層を形成することを含むことを特徴とする。



【特許請求の範囲】

【請求項 1】 各々少なくとも二個の薄膜トランジスタ TFT を有した複数個の画素を含む画素領域と、互いに相異なる導電型を有した少なくとも二個の薄膜トランジスタを含む非画素領域を有した有機 EL 表示装置の製造方法において、
 基板上に透明物質層と第 1 金属層を連続で蒸着する段階と；前記透明物質層と前記第 1 金属層を同時にパターンして画素電極と、第 1 キャパシタ電極と、前記画素領域上に第 1 及び第 2 ソース/ドレイン電極と、前記非画素領域上に第 1 及び第 2 型ソースドレイン電極を形成する段階と；前記第 1 及び第 2 ソース/ドレイン電極間に第 1 及び第 2 半導体層を形成して、前記第 1 及び第 2 型ソース/ドレイン電極間に第 1 及び第 2 型半導体層を各々形成する段階と；前記基板にコンタクトホールを有した絶縁層を形成する段階と；前記基板全面に第 2 金属層を蒸着する段階と；前記第 2 金属層をパターンして第 1 及び第 2 ゲート電極と、第 1 型ゲート電極と、第 2 キャパシタ電極と、前記第 2 型半導体層上に形成された第 1 不純物遮断層を形成する段階と；第 1 導電型不純物をイオン注入して前記第 1 及び第 2 半導体層と前記第 1 型半導体層の両端部に各々第 1 及び第 2 ソース/ドレイン領域と第 1 型ソース/ドレイン領域を形成する段階と；前記基板全面に第 2 不純物遮断層を形成する段階と；前記第 1 不純物遮断層と前記第 2 不純物遮断層の一部をパターンして第 2 型ゲート電極を形成する段階と；第 2 導電型不純物をイオン注入して第 2 型ソース/ドレイン領域を前記第 2 型半導体層の両端に形成する段階と；前記画素電極の一部を露出させるように平坦化膜を形成する段階と；前記画素電極の露出された部分に有機発光層を形成する段階とを含むことを特徴とする有機 EL 表示装置の製造方法。

【請求項 2】 前記第 1 及び第 2 導電型不純物は、各々 p または n 型不純物であって、したがって、非画素領域上の薄膜トランジスタを PMOS TFT と NMOS TFT で形成することを特徴とする請求項 1 に記載の有機 EL 表示装置の製造方法。

【請求項 3】 前記第 1 キャパシタ電極は、前記第 1 ドレイン電極及び前記第 2 ゲート電極と電気的に連結されており、前記第 2 キャパシタ電極は前記第 2 ソース電極と電気的に連結されたことを特徴とする請求項 1 に記載の有機 EL 表示装置の製造方法。

【請求項 4】 前記透明物質層と前記第 1 金属層を蒸着する前に前記基板上にバッファ層を形成する段階をさらに含むことを特徴とする請求項 1 に記載の有機 EL 表示装置の製造方法。

【請求項 5】 前記バッファ層は、 SiO_2 で作られたことを特徴とする請求項 4 に記載の有機 EL 表示装置の製造方法。

【請求項 6】 前記画素電極は、ITO または IZO で

作られたことを特徴とする請求項 1 に記載の有機 EL 表示装置の製造方法。

【請求項 7】 前記平坦化膜は、アクリルで作られたことを特徴とする請求項 1 に記載の有機 EL 表示装置の製造方法。

【請求項 8】 前記第 2 不純物遮断層は、金属または感光膜で作られたことを特徴とする請求項 1 に記載の有機 EL 表示装置の製造方法。

【請求項 9】 複数個の画素を含む画素領域と、非画素領域を有した有機 EL 表示装置の製造方法において、
 基板上に透明物質層と第 1 金属層を連続で蒸着して、第 1 マスクを利用して前記透明物質層と前記第 1 金属層を同時にパターンニングして画素電極と、ストレージキャパシタの第 1 キャパシタ電極と、前記画素領域上にスイッチング薄膜トランジスタと駆動薄膜トランジスタの第 1 及び第 2 ソース/ドレイン電極と、前記非画素領域上に第 1 及び第 2 コントローラ薄膜トランジスタの第 1 及び第 2 型ソースドレイン電極を形成する段階と；前記基板上にシリコン層を蒸着して、第 2 マスクを利用して前記シリコン層をパターンニングして、前記第 1 及び第 2 ソース/ドレイン電極間と前記第 1 及び第 2 型ソース/ドレイン電極間に半導体層を各々形成する段階と；前記基板にコンタクトホールを有した絶縁層を蒸着して、第 3 マスクを利用してパターンニングしてコンタクトホールを形成する段階と；前記基板全面に第 2 金属層を蒸着して、第 4 マスクを利用して前記第 2 金属層をパターンニングして前記スイッチング薄膜トランジスタと駆動トランジスタのゲート電極と、前記ストレージキャパシタの第 2 キャパシタ電極と、第 1 型ゲート電極と、前記第 2 型ソース/ドレイン電極間の半導体層上に第 1 不純物遮断層を形成する段階と；第 1 導電型不純物をイオン注入して前記第 1 及び第 2 ソース/ドレイン電極間の前記半導体層の端部に第 1 及び第 2 ソース/ドレイン領域を形成して、第 1 型ソース/ドレイン電極間の前記半導体層の端部上に第 1 型ソース/ドレイン領域を形成して、前記第 1 不純物遮断層で前記第 2 型ソース/ドレイン電極を遮断する段階と；前記基板全面に第 2 不純物遮断層を蒸着して、前記第 1 不純物遮断層と前記第 2 不純物遮断層の一部を第 5 マスクを利用してパターンニングして前記第 2 コントローラ薄膜トランジスタの第 2 型ゲート電極を形成する段階と；第 2 導電型不純物をイオン注入して前記第 2 型ソース/ドレイン電極間の前記半導体層の端部上に第 2 型ソース/ドレイン領域を形成する段階と；前記基板上に第 2 絶縁層を蒸着して、第 6 マスクを利用して前記絶縁層をパターンニングして画素電極の一部を露出させる平坦化膜を形成する段階と；前記画素電極の露出された部分に有機発光層を形成する段階とを含むことを特徴とする有機 EL 表示装置の製造方法。

【請求項 10】 前記第 2 不純物遮断層は、金属で作られたことを特徴とする請求項 9 に記載の有機 EL 表示装

置の製造方法。

【請求項11】 前記第2不純物遮断層は、感光膜で作られたことを特徴とする請求項9に記載の有機EL表示装置の製造方法。

【請求項12】 前記第1キャパシタは、前記スイッチング薄膜トランジスタのドレーン電極から延びることを特徴とする請求項9に記載の有機EL表示装置の製造方法。

【請求項13】 前記半導体層を形成する段階は、前記基板上に非晶質シリコン層を蒸着する段階と；前記非晶質シリコン層を結晶化して多結晶シリコン層を形成する段階と；前記多結晶シリコン層をパターニングする段階とを含むことを特徴とする請求項9に記載の有機EL表示装置の製造方法。

【請求項14】 前記コンタクトホールは、前記第1キャパシタ電極と、前記駆動薄膜トランジスタのソース電極と、前記第1コントローラのソース電極と、前記第1コントローラ薄膜トランジスタのドレーン電極と、前記第2コントローラ薄膜トランジスタのソース電極と、前記第2コントローラ薄膜トランジスタのドレーン電極と、画素電極の一部とを露出させることを特徴とする請求項9に記載の有機EL表示装置の製造方法。

【請求項15】 前記第2キャパシタ電極は、前記コンタクトホール中の一つを通して前記駆動薄膜トランジスタの前記ソース電極と連結されて、前記電源印加線は前記第2キャパシタ電極から延ばして、信号線が前記コンタクトホール中の一つを通して前記第1コントローラ薄膜トランジスタのソース電極と連結されたことを特徴とする請求項10に記載の有機EL表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は有機EL電界表示装置に係り、特にCMOS薄膜トランジスタアクティブマトリックス型有機EL表示装置の製造方法に関する。

【0002】

【従来の技術】最近、有機EL表示装置は、LCD、CRTのような表示装置に比べて、例えば、薄くて、軽くて、消費電力が少ないために平板表示装置として注目されている。

【0003】有機EL表示装置は、その駆動方式によって大別してアクティブマトリックス型とパッシブマトリックス型の2種の形態に分けることができる。このような有機EL表示装置は低い電流密度と高い発光効率のために精力的に研究されている。

【0004】アクティブマトリックス型有機EL表示装置の製造工程は非常に複雑である。例えば、コプレーナCMOS TFT AM-OELDの場合には、チャネルドーピングとLDD (Lightly Doped Drain) 構造のためのマスクを除外すると、8個のマスク固定が必要である。したがって、歩留まりが低くて、製造費用が高

い。

【0005】

【発明が解決しようとする課題】前記問題点を克服するためのものであり、本発明の目的は、歩留まりが高く製造費用が低い有機EL表示装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】前記目的を達成するための本発明は、各々少なくとも二個の薄膜トランジスタTFTを有した複数個の画素を含む画素領域と、互いに他の導電型を有した少なくとも二個の薄膜トランジスタを含む非画素領域を有した有機EL表示装置の製造方法において、基板上に透明物質層と第1金属層を連続して蒸着する段階と；前記透明物質層と前記第1金属層を同時にパターンして画素電極と、第1キャパシタ電極と、前記画素領域上に第1及び第2ソース/ドレーン電極と、前記非画素領域上に第1及び第2型ソースドレーン電極を形成する段階と；前記第1及び第2ソース/ドレーン電極間に第1及び第2半導体層を形成して、前記第1及び第2型ソース/ドレーン電極間に第1及び第2型半導体層を各々形成する段階と；前記基板にコンタクトホールを有した絶縁層を形成する段階と；前記基板全面に第2金属層を蒸着する段階と；前記第2金属層をパターンして第1及び第2ゲート電極と、第1型ゲート電極と、第2キャパシタ電極と、前記第2型半導体層上に形成された第1不純物遮断層を形成する段階と；第1導電型不純物をイオン注入して前記第1及び第2半導体層と前記第1型半導体層の両端部に各々第1及び第2ソース/ドレーン領域と第1型ソース/ドレーン領域を形成する段階と；前記基板全面に第2不純物遮断層を形成する段階と；前記第1不純物遮断層と前記第2不純物遮断層の一部をパターンして第2型ゲート電極を形成する段階と；第2導電型不純物をイオン注入して第2型ソース/ドレーン領域を前記第2型半導体層の両端に形成する段階と；前記画素電極の一部を露出させるように平坦化膜を形成する段階と；前記画素電極の露出された部分に有機発光層を形成する段階とを含む有機EL表示装置の製造方法を提供する。

【0007】前記第1及び第2導電型不純物は、各々pまたはn型不純物であって、したがって、非画素領域上の薄膜トランジスタをPMOS TFTとNMOS TFTで形成する。前記第1キャパシタ電極は前記第1ドレーン電極及び前記第2ゲート電極と電気的に連結されており、前記第2キャパシタ電極は前記第2ソース電極と電気的に連結される。前記有機EL表示装置の製造方法は前記透明物質層と前記第1金属層を蒸着する前に前記基板上にバッファ層を形成する段階をさらに含む。

【0008】前記バッファ層は、SiO₂で作る。前記画素電極はITO (Indium Tin Oxide) またはIZO (Indium Zinc Oxide)

で作る。前記平坦化膜はアクリルで作る。前記第 2 不純物遮断層は金属または感光膜で作る。

【0009】本発明はまた、複数個の画素を含む画素領域と、非画素領域を有した有機 E L 表示装置の製造方法において、基板上に透明物質層と第 1 金属層を連続で蒸着して、第 1 マスクを利用して前記透明物質層と前記第 1 金属層を同時にパターンして画素電極と、ストレージキャパシタの第 1 キャパシタ電極と、前記画素領域上にスイッチング薄膜トランジスタと駆動薄膜トランジスタの第 1 及び第 2 ソース/ドレイン電極と、前記非画素領域上に第 1 及び第 2 コントローラ薄膜トランジスタの第 1 及び第 2 型ソースドレイン電極を形成する段階と；前記基板上にシリコン層を蒸着して、第 2 マスクを利用して前記シリコン層をパターンして、前記第 1 及び第 2 ソース/ドレイン電極間と前記第 1 及び第 2 型ソース/ドレイン電極間に半導体層を各々形成する段階と；前記基板にコンタクトホールを有した絶縁層を蒸着して、第 3 マスクを利用してパターンしてコンタクトホールを形成する段階と；前記基板全面に第 2 金属層を蒸着して、第 4 マスクを利用して前記第 2 金属層をパターンして前記 20 スwitching薄膜トランジスタと駆動トランジスタのゲート電極と、前記ストレージキャパシタの第 2 キャパシタ電極と、第 1 型ゲート電極と、前記第 2 型ソース/ドレイン電極間の半導体層上に第 1 不純物遮断層を形成する段階と；第 1 導電型不純物をイオン注入して前記第 1 及び第 2 ソース/ドレイン電極間の前記半導体層の端部に第 1 及び第 2 ソース/ドレイン領域を形成して、第 1 型ソース/ドレイン電極間の前記半導体層の端部上に第 1 型ソース/ドレイン領域を形成して、前記第 1 不純物遮断層で前記第 2 型ソース/ドレイン電極を遮断する段 30 階と；前記基板全面に第 2 不純物遮断層を蒸着して、前記第 1 不純物遮断層と前記第 2 不純物遮断層の一部を第 5 マスクを利用してパターンして前記第 2 コントローラ薄膜トランジスタの第 2 型ゲート電極を形成する段階と；第 2 導電型不純物をイオン注入して前記第 2 型ソース/ドレイン電極間の前記半導体層の端部上に第 2 型ソース/ドレイン領域を形成する段階と；前記基板上に第 2 絶縁層を蒸着して、第 6 マスクを利用して前記絶縁層をパターンして画素電極の一部を露出させる平坦化膜を形成する段階と；前記画素電極の露出された部分に有機 40 発光層を形成する段階とを含む有機 E L 表示装置の製造方法を提供する。

【0010】前記半導体層を形成する段階は、前記基板上に非晶質シリコン層を蒸着する段階と；前記非晶質シリコン層を結晶化して多結晶シリコン層を形成する段階と；前記多結晶シリコン層をパターンする段階とを含む。

【0011】前記コンタクトホールは、前記第 1 キャパシタ電極と、前記駆動薄膜トランジスタのソース電極と、前記第 1 コントローラのソース電極と、前記第 1 コ 50

ントローラ薄膜トランジスタのドレイン電極と、前記第 2 コントローラ薄膜トランジスタのソース電極と、前記第 2 コントローラ薄膜トランジスタのドレイン電極と、画素電極の一部を露出させる。前記第 2 キャパシタ電極は前記コンタクトホール中の一つを通して前記駆動薄膜トランジスタの前記ソース電極と連結されて、前記電源印加線は前記第 2 キャパシタ電極から延ばして、信号線が前記コンタクトホール中の一つを通して前記第 1 コントローラ薄膜トランジスタのソース電極と連結される。

【0012】

【発明の実施の形態】以下、添付した図面を参照して、本発明の一実施例を通して本発明をさらに詳細に説明する。

【0013】図 1 は、本発明の実施例による有機 E L 表示装置(O E L D)を示す断面図である。本発明の有機 E L 表示装置は画素領域と非画素領域に分けられる。前記画素領域には複数個の画素 120 がマトリックス状に配設されている。

【0014】図 1 は、有機 E L 表示装置の単位画素を示している。各々の単位画素は二個の T F T 220、210 を含んでいる。また、他の導電型を有した少なくとも二個の T F T が非画素領域に形成される。前記画素 120 各々は横方向に配設されたゲートライン 112 と前記ゲートラインと垂直で配設されたデータライン 111 とを含んでいる。

【0015】スイッチング T F T 200 が前記ゲートライン 112 と前記データライン 111 の接触点近所に配設されている。前記スイッチング T F T 200 はソース電極 201 と、ドレイン電極 202 と半導体層 203 とゲート電極 204 とを含んでいる。前記ソース電極 201 は前記データライン 111 から延ばして、前記ゲート電極 204 は前記ゲートライン 112 から延ばす。

【0016】ストレージキャパシタ 220 が前記スイッチング T F T 200 近所に形成されている。前記ストレージキャパシタ 220 は第 1 及び第 2 キャパシタ電極 222、221 とその間に介在された誘電層 223 (図 3 F 参照) を有している。前記第 1 キャパシタ電極 222 は前記スイッチング T F T 200 の前記ドレイン電極 202 から延ばす。

【0017】駆動 T F T 210 が有機発光層(図示せず)を駆動するように形成されている。前記駆動 T F T 210 はソース電極 211、ドレイン電極 212、半導体層 213 とゲート電極 214 を含んでいる。前記駆動 T F T 210 のゲート電極 214 はコンタクトホール C1 を通して前記第 1 キャパシタ電極 222 と連結されている。前記駆動 T F T 210 のソース電極 211 はコンタクトホール C2 を通して前記第 2 キャパシタ電極 221 と連結されている。

【0018】電源印加線 113 が前記ストレージキャパシタ 220 の第 2 キャパシタ電極と連結されている。

【0019】一方、ITOまたはIZO等で作られた透明物質層が第1金属層に対応する基板100上、すなわち、データライン111と、前記ソース/ドレイン電極201、202と、前記第1キャパシタ電極222と前記ソース/ドレイン電極下部に形成されている。

【0020】前記有機発光層を形成する領域を提供するように発光ホールC7が前記透明物質層の一部分を露出させるように形成されている。また、図示されなかったが、コントローラが前記データライン111と前記ゲートライン112と前記電源印加線113とに提供される10 信号を制御するように配設されている。前記コントローラはコントローラTFT 250、260(図3E及び3F参照)を含んでいる。

【0021】図2Aないし図2Fは、図1のII-IIラインを沿って切断された断面図であって、図3Aないし図3FはコントローラTFTを形成するための工程を示す断面図である。以下、本発明の実施例によるアクティブマトリクス型有機EL表示装置(AM-OELD)を製造する工程を図2Aないし2F及び3Aないし3Fを参照して説明する。

【0022】図2A及び図3Aに示したように、バッファ層105が前記基板全面に形成される。前記基板は例えばSiO₂で作る。

【0023】その後、透明物質層及び第1金属層を連続に前記バッファ層105全面に蒸着して、続いて第1マスクを利用してパターンして画素電極130と、データライン111と、スイッチングTFT 200のソース/ドレイン電極201、202と、前記ストレージキャパシタ220の前記第1キャパシタ電極222と、前記コントローラTFT 250のソース/ドレイン電極251、252を形成する。前記ピクセル電極はITOまたはIZOで作る。

【0024】その後、図2B及び図3Bに示したように、非晶質シリコン層を前記基板100に蒸着する。前記非晶質シリコン層を例を挙げると、レーザーアニーリング(laser annealing)を利用して結晶化して多結晶シリコン層を形成する。前記多結晶シリコン層を第2マスクを利用してパターンして前記TFT 200、210、250、260各々の半導体層203、213、253、263を形成する。

【0025】図2C及び図3Cに示したように、絶縁物質層を基板100全面に蒸着して第3マスクを利用してパターンして絶縁層230を形成する。前記絶縁層230はコンタクトホールC1~C7を含んでいる。

【0026】前記コンタクトホールC1(図1参照)は、前記第1キャパシタ電極222の一部を露出させるように形成される。前記コンタクトホールC2は前記駆動TFT 210のソース電極211の一部を露出させるように形成される。前記コンタクトホールC3は前記TFT 250のソース電極251の一部を露出させる

ように形成される。前記コンタクトホールC4は前記TFT 250のドレイン電極250の一部を露出させるように形成される。前記コンタクトホールC5は前記TFT 260のソース電極261の一部を露出させるように形成される。前記コンタクトホールC6は前記TFT 260のドレイン電極262の一部を露出させるように形成される。前記コンタクトホールC7(すなわち発光ホール)は前記画素電極130の一部を露出させるように形成される。前記ストレージキャパシタ220の第1及び第2キャパシタ電極222、221間の前記絶縁層230部分は前記ストレージキャパシタ220の誘電層223として役割をする。

【0027】望ましくは前記絶縁層230は酸化膜で形成される。

【0028】続いて、図2D及び図3Dに示したように、第2金属層を前記基板100全面に蒸着した後第4マスクを利用してパターンして前記スイッチングTFT 200のゲート電極204と、前記電源印加線113と、前記ストレージキャパシタ220の前記第2キャパシタ電極221と、前記駆動TFT 210の前記ゲート電極214と、信号線110と、前記PMOS TFT 250のゲート電極254とを形成する。

【0029】前記ストレージキャパシタ220の第2キャパシタ電極221は、前記コンタクトホールC2を通して前記駆動TFT 210の前記ソース電極211と連結される。前記電源印加線113は前記ストレージキャパシタ220の第2キャパシタ電極221から延ばす。

【0030】前記信号線100は、前記コンタクトホールC3を通して前記PMOS TFT 250の前記ソース電極251と連結される。

【0031】また、前記PMOS TFT 250のドレイン電極252とNMOS TFT 260全体に対応する前記第2金属層の一部150はパターンされない。すなわち、前記第2金属層の非パターン部150は前記NMOS TFT 260の全面を覆って、前記コンタクトホールC4を充填する。

【0032】その後、p型不純物を注入して前記スイッチングTFT 200のソース/ドレイン領域203a、203bと、前記駆動TFT 210のソース/ドレイン領域213a、213bを形成する。ここで、前記第2金属層の非パターン部150は不純物を遮断するマスクとして役割をする。

【0033】次に、図2E及び図3Eに示したように、第3金属層140を基板100全面に蒸着する。第5マスクを利用して、前記第2金属層の非パターン部150と前記第3金属層をパターンして前記NMOS TFT 260のゲート電極264を形成する。

【0034】引き続き、n型不純物をイオン注入して前記NMOS TFT 260のソース/ドレイン領域26

3 a、2 6 3 bを形成する。その後、前記発光ホールC 7 下の前記第3金属層1 4 0と前記第1金属層は除去される。ここで、前記第3金属層1 4 0の代わりに、感光膜を用いて不純物を遮断できる。しかし、前記金属層が感光膜よりは不純物遮断にさらに効果的である。

【0035】前記第4マスクは、前記TFT 200、210、250がすべてNMOSTFTである場合には要らない。また、第5マスクは前記TFT 260がPMOSTFTである場合には要らない。

【0036】図2F及び図3Fに示したように、第2絶縁物質層を前記基板100全面に蒸着した後、第6マスクを利用してパターンして平坦化膜240を形成して、また有機発光層が形成される前記画素電極130の一部を露出させる。前記平坦化膜を例を挙げると、アクリルで作る。

【0037】最後に、図示されなかったが、有機発光層とカソード電極を前記画素電極130の露出された部分に形成する。前記有機発光層は電子注入層、電子輸送層、発光物質層、正孔輸送層、正孔注入層を含んでいる。

【0038】

【発明の効果】上述したように、本発明によるCMOSTFTAM-OELDを製造する方法を利用し、製造工程が単純になり、したがって歩留まりが向上され、製造費用が低くなる。

【0039】前記では本発明の望ましい実施例を参照して説明したが、該技術分野の熟練された当業者は特許請求の範囲に記載された本発明の思想及び領域から外れない範囲内で本発明を多様に修正及び変更させることができることを理解することができる。

【図面の簡単な説明】

【図1】 本発明の実施例による有機EL表示装置を示す断面図である。

【図2A】 図1の有機EL表示装置のII-IIラインに沿って切断された断面図であって、製造工程の最初の工程を説明するための図である。

【図2B】 図2Aの次の工程を説明するための図である。

【図2C】 図2Bの次の工程を説明するための図である。

【図2D】 図2Cの次の工程を説明するための図である。

【図2E】 図2Dの次の工程を説明するための図である。

【図2F】 図2Eの次の工程を説明するための図であ

る。

【図3A】 コントローラTFTを形成するための工程を示す断面図であって、製造工程の最初の工程を説明するための図である。

【図3B】 図3Aの次の工程を説明するための図である。

【図3C】 図3Bの次の工程を説明するための図である。

【図3D】 図3Cの次の工程を説明するための図である。

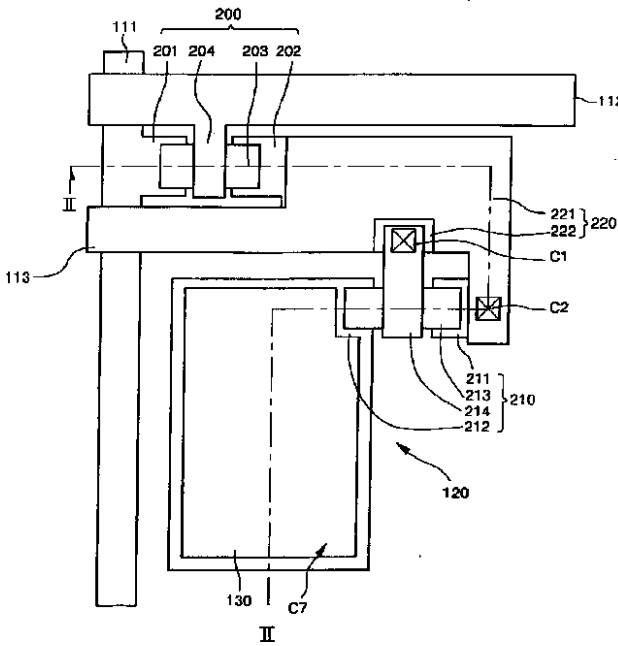
【図3E】 図3Dの次の工程を説明するための図である。

【図3F】 図3Eの次の工程を説明するための図である。

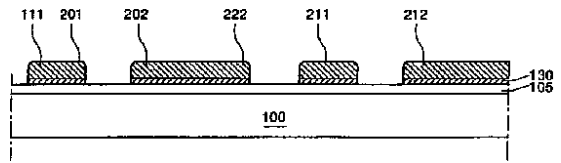
【符号の説明】

100 基板
 120 画素
 200 TFT
 201 TFT
 202 ドレーン電極
 203 半導体層
 203a ソース領域
 203b ドレーン領域
 204 ゲート電極
 210 TFT
 211 ソース電極
 212 ドレーン電極
 213 半導体層
 213a ソース領域
 213b ドレーン領域
 214 ゲート電極
 220 TFT
 221 第1キャパシタ
 222 第2のキャパシタ
 223 誘電層
 230 絶縁層
 250 TFT
 251 ソース電極
 254 ゲート電極
 260 TFT
 261 ソース電極
 262 ドレーン電極
 263a ソース領域
 263b ドレーン領域
 264 ゲート電極

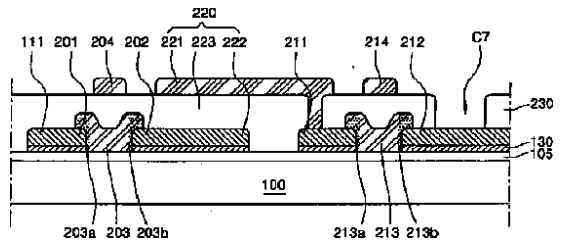
【図1】



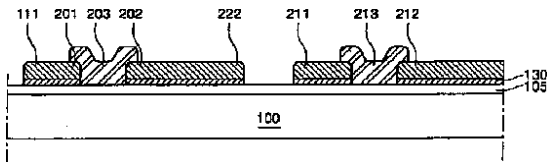
【図2A】



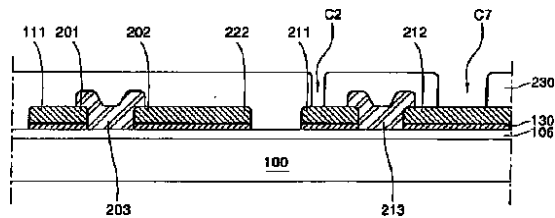
【図2D】



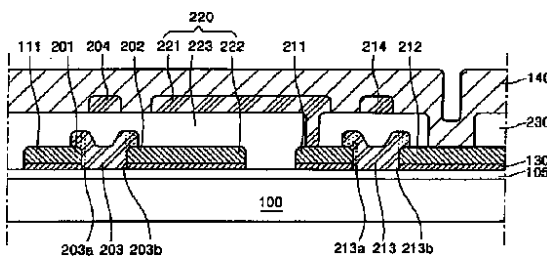
【図2B】



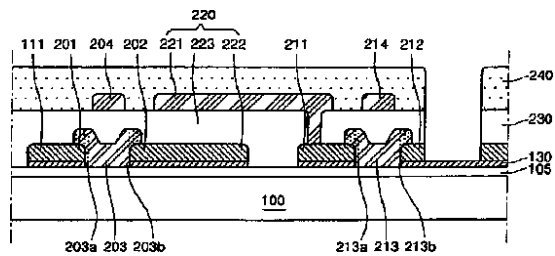
【図2C】



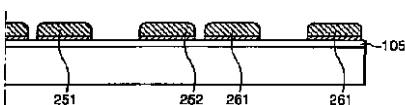
【図2E】



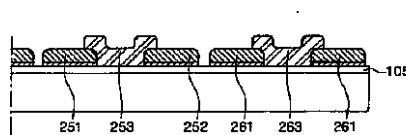
【図2F】



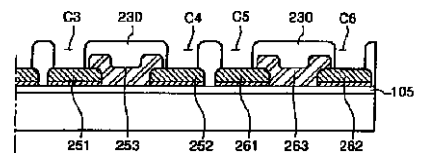
【図3A】



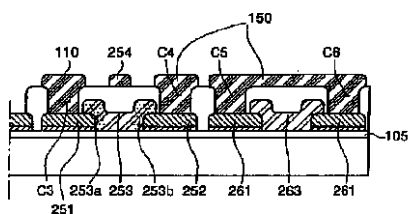
【図3B】



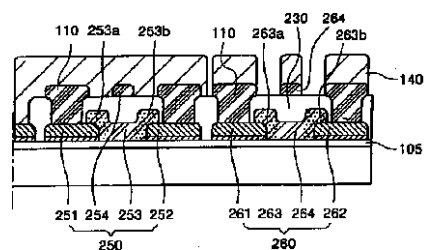
【図3C】



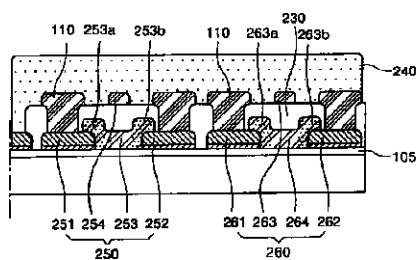
【図3D】



【図3E】



【図3F】



フロントページの続き

(51)Int.Cl.⁷

H 0 1 L 27/08
27/092
29/786

H 0 5 B 33/10
33/14

識別記号

3 3 1

F I

H 0 5 B 33/14
H 0 1 L 29/78
27/08
29/78

テ-マコード(参考)

A
6 1 2 B
3 2 1 N
6 1 2 D

Fターム(参考) 3K007 AB18 DB03 FA00 GA00
5C094 AA42 AA44 BA03 BA27 CA19
DA09 DA13 EA04 FB01 FB16
GB10
5F048 AA09 AB10 AC04 AC10 BA16
BB01 BC06 BC16 BF15 BF16
5F110 AA16 BB02 BB04 CC06 DD01
DD13 EE02 EE43 FF02 FF27
GG02 GG13 GG42 HJ13 HK02
HK07 HK21 HK32 HL02 HL22
NN02 NN27 NN33 NN73 PP03
QQ11
5G435 AA17 BB05 CC09 KK05

专利名称(译)	有机EL表示装置制造方法		
公开(公告)号	JP2002333846A	公开(公告)日	2002-11-22
申请号	JP2002059218	申请日	2002-03-05
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	張根浩		
发明人	張 根浩		
IPC分类号	H05B33/10 G09F9/00 G09F9/30 H01L21/336 H01L21/77 H01L21/8238 H01L21/84 H01L27/08 H01L27/092 H01L27/12 H01L27/32 H01L29/786 H01L51/50 H01L51/56 H05B33/14		
CPC分类号	H01L27/1288 H01L27/1214 H01L27/1255 H01L27/3244 H01L51/56		
FI分类号	G09F9/30.338 G09F9/00.342.Z G09F9/00.365.Z H01L27/08.331.E H05B33/10 H05B33/14.A H01L29/78.612.B H01L27/08.321.N H01L29/78.612.D G09F9/00.342 G09F9/00.362 H01L27/088.331.E H01L27/092.N		
F-TERM分类号	3K007/AB18 3K007/DB03 3K007/FA00 3K007/GA00 5C094/AA42 5C094/AA44 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DA13 5C094/EA04 5C094/FB01 5C094/FB16 5C094/GB10 5F048/AA09 5F048/AB10 5F048/AC04 5F048/AC10 5F048/BA16 5F048/BB01 5F048/BC06 5F048/BC16 5F048/BF15 5F048/BF16 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC06 5F110/DD01 5F110/DD13 5F110/EE02 5F110/EE43 5F110/FF02 5F110/FF27 5F110/GG02 5F110/GG13 5F110/GG42 5F110/HJ13 5F110/HK02 5F110/HK07 5F110/HK21 5F110/HK32 5F110/HL02 5F110/HL22 5F110/NN02 5F110/NN27 5F110/NN33 5F110/NN73 5F110/PP03 5F110/QQ11 5G435/AA17 5G435/BB05 5G435/CC09 5G435/KK05 3K107/AA01 3K107/BB01 3K107/CC45 3K107/DD24 3K107/DD29 3K107/DD44X 3K107/DD44Y 3K107/DD46X 3K107/DD46Y 3K107/DD91 3K107/DD96 3K107/EE03 3K107/GG04		
优先权	1020010011822 2001-03-07 KR		
其他公开文献	JP3748827B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于制造具有高成品率的有机EL显示装置的方法。基板上的透明材料层和第一金属(M)层，像素电极，第一电容器(C)电极，像素区域上的第一/第二源/漏(SD)电极和非像素区域。第一/第二类型SD电极形成在上表面上，第一/第二半导体(S)层设置在第一/第二SD电极之间，并且第一/第二类型SD电极设置在第一/第二类型SD电极之间。形成每个S层，由沉积在基板整个表面上的第二M层形成第一/第二栅电极，第一类型栅电极，第二C电极和第一杂质阻挡(IS)层，并形成第一导电类型。离子注入杂质(I)以分别在第一/第二S层和第一类型S层的两端形成第一/第二SD区域和第一类型SD区域，并且第二IS层形成在基板的整个表面上，第二类型栅电极由第一/第二IS层的一部分形成，第二导电类型I被离子注入以在第二类型S层的两端形成第二类型SD区域，并且并在暴露部分上形成有机发光层。

