

【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、

前記複数の発光画素のそれぞれは、

前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、

前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、

前記データ線と前記発光素子のアノード及びカソードの一方との間に挿入され、前記データ線と前記発光素子との導通及び非導通を切り換えるスイッチ素子とを備え、

前記表示装置は、

前記信号電圧を前記データ線に供給するデータ駆動回路と、

所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、

前記信号電流を前記発光素子に流さない期間内に、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通にし、かつ、前記スイッチ素子をオンにすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備える

ことを特徴とする表示装置。

【請求項 2】

前記表示装置は、さらに、

前記複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記発光画素のそれぞれは、さらに、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素への信号電圧の書き込みを制御する第2の書き込み制御線に接続された容量素子とを備え、

前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、

前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、

前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、

前記制御手段は、前記第2の書き込み制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間に、前記第1のバイアス制御線を電圧変化させることで前記スイッチ素子をオン状態とし前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する

ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記表示装置は、さらに、

前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線と、

20

30

40

50

前記発光素子の発光を制御する複数の発光制御線とを備え、

前記発光画素のそれぞれは、さらに、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記複数の発光制御線のうち第1の発光制御線に接続された容量素子とを備え、

前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され

10

、前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、

前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、

前記制御手段は、前記第1の発光制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間に、前記第1のバイアス制御線を電圧変化させることで前記スイッチ素子をオン状態とし前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する

20

ことを特徴とする請求項1記載の表示装置。

【請求項4】

前記表示装置は、さらに、

前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記発光画素のそれぞれは、さらに、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

30

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子とを備え、

前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され

、前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、

前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、

40

前記所定のバイアス電圧は、前記第1のトランジスタのゲートに印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、

前記制御手段は、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通させると同時に、前記第1の書き込み制御線を電圧変化させることで前記第2のトランジスタをオン状態とし前記第1のトランジスタをオフ状態とすることにより実現された、前記信号電流を前記発光素子に流さない期間と同期して、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオン状態とすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する

50

ことを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧であることを特徴とする請求項 1～4 のうちいずれか 1 項に記載の表示装置。

【請求項 6】

前記所定のバイアス電圧は、前記発光素子に 0 ボルトバイアスをかける電圧であることを特徴とする請求項 1～4 のうちいずれか 1 項に記載の表示装置。

【請求項 7】

前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線のうちの 1 本が信号電圧を書き込む制御をする期間と交互に設定される

ことを特徴とする請求項 2～6 のうちいずれか 1 項に記載の表示装置。

【請求項 8】

前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をする期間と交互に設定される

ことを特徴とする請求項 2～6 のうちいずれか 1 項に記載の表示装置。

【請求項 9】

複数のデータ線のうちいずれかのデータ線から供給された信号電圧を信号電流に変換する第 1 のトランジスタと、当該第 1 のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、前記データ線と前記発光素子のアノード及びカソードの一方との間に挿入され、前記データ線と前記発光素子との導通及び非導通を切り換えるスイッチ素子とを有する発光画素がマトリクス状に配置され、前記信号電圧を前記データ線に供給するデータ駆動回路と、所定のバイアス電圧を前記データ線に供給するバイアス供給回路とを備える表示装置の駆動方法であって、

前記信号電流を前記発光素子に流さないよう前記第 1 のトランジスタをオフ状態にする駆動トランジスタオフステップと、

前記駆動トランジスタオフステップにより前記第 1 のトランジスタがオフ状態である期間内に、または、当該期間に同期して、前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイアス供給回路との接続を導通させる接続切り換えステップと、

前記接続切り換えステップにより前記データ線と前記バイアス供給回路との接続がオン状態である期間内に、または、当該期間に同期して、前記スイッチ素子をオンにすることにより前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加するバイアス印加ステップとを含む

ことを特徴とする表示装置の駆動方法。

【請求項 10】

前記表示装置は、さらに、前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち第 1 の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第 1 のトランジスタのゲートに接続され、前記データ線と前記第 1 のトランジスタのゲートとの導通及び非導通を切り換える第 2 のトランジスタと、一方の端子が前記第 1 のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素への信号電圧の書き込みを制御する第 2 の書き込み制御線に接続された容量素子とを備え、

前記第 1 のトランジスタは、ソース及びドレインの他方が、第 1 の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、

前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、

前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、

前記駆動トランジスタオフステップでは、前記第2の書き込み制御線を電圧変化させることにより前記第1のトランジスタをオフ状態にし、

前記バイアス印加ステップでは、前記第1のバイアス制御線を電圧変化させることにより前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する

ことを特徴とする請求項9に記載の表示装置の駆動方法。

10

【請求項11】

前記表示装置は、さらに、前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線と、前記発光素子の発光を制御する複数の発光制御線とを備え、

前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記複数の発光制御線のうち第1の発光制御線に接続された容量素子とを備え、

20

前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、

前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、

前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、

前記駆動トランジスタオフステップでは、前記第1の発光制御線を電圧変化させることにより前記第1のトランジスタをオフ状態にし、

30

前記バイアス印加ステップでは、前記第1のバイアス制御線を電圧変化させることにより前記発光素子のアノード及びカソードの一方に所定のバイアス電圧を印加する

ことを特徴とする請求項9に記載の表示装置の駆動方法。

【請求項12】

前記表示装置は、さらに、前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子とを備え、

40

前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、

前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、

前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレイン

50

の他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、

前記所定のバイアス電圧は、前記第1のトランジスタのゲート電圧に印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、

前記接続切り換えステップでは、前記駆動トランジスタオンステップと同期して、前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイアス供給回路とを導通させ、

前記駆動トランジスタオフステップでは、前記第1の書き込み制御線を電圧変化させることにより前記第2のトランジスタをオン状態にし、同時に、前記接続切り換えステップにおいて前記データ線と接続された前記バイアス供給回路から前記所定のバイアス電圧を印加することにより前記第1のトランジスタをオフ状態にし、

前記バイアス印加ステップでは、前記駆動トランジスタオフステップおよび前記接続切り換えステップと同期して、前記第1のバイアス制御線を電圧変化させることにより前記第3のトランジスタをオン状態にすることで前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する

ことを特徴とする請求項9に記載の表示装置の駆動方法。

【請求項13】

前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧である

ことを特徴とする請求項9～12のうちいずれか1項に記載の表示装置の駆動方法。

【請求項14】

前記所定のバイアス電圧は、前記発光素子に0ボルトバイアスをかける電圧である

ことを特徴とする請求項9～12のうちいずれか1項に記載の表示装置の駆動方法。

【請求項15】

前記接続切り換えステップと前記バイアス印加ステップとは、前記複数の書き込み制御線のうちの1本が信号電圧を書き込む制御をするステップと交互に実行される

ことを特徴とする請求項10～14のうちいずれか1項に記載の表示装置の駆動方法。

【請求項16】

前記接続切り換えステップと前記バイアス電圧印加ステップとは、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をするステップと交互に実行される

ことを特徴とする請求項10～14のうちいずれか1項に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関し、特に電流駆動型の発光素子を用いた表示装置およびその駆動方法に関する。

【背景技術】

【0002】

従来より、表示装置には、明るく、鮮やかに、薄く、軽く、および大面積へという進歩が求められており、技術開発も着実に進められてきている。薄く、軽く、大面積へという要求を満足させるものとして、液晶ディスプレイやプラズマディスプレイが商品化されており、その開始から10年以上が経過した今もなお進化中である。

【0003】

このような環境の中、近年は電流量に応じて発光強度が制御され、応答速度が非常に速いエレクトロルミネッセンス（以下ELと記す）を用いたディスプレイも商品化され、技術開発が著しく進んでいる。その中でも、有機EL素子を用いた有機ELディスプレイは、視野角特性が良好で明るく、鮮やかであり、消費電力が小さいという利点を有する次世代のフラットパネルディスプレイとして注目されている。

【0004】

しかし、上述したような電流駆動型の有機ELディスプレイの場合、有機EL素子への電流印加につれ進行する輝度劣化が特に顕著である。この輝度劣化した有機EL素子を回

10

20

30

40

50

復させるために、有機EL素子に逆バイアス電圧を印加するという手法がよく用いられ、特許文献1では、EL素子に逆バイアス電圧を印加するための回路構成が開示されている。

【0005】

図12は、特許文献1に記載された従来の表示装置における発光画素の回路図である。同図における表示装置500は、発光素子501と、FET502、503、504および505と、容量素子506と、データ線507と、制御線508、509、510および511とを備える。

【0006】

図示していないデータドライバ回路からデータ線507を介して、信号電圧が発光画素へ供給される。このとき、制御線508からの電圧制御によりFET503がオン状態であれば、信号電圧はFET502のゲートに印加され、FET502により、発光素子501には当該信号電圧に応じた信号電流が流れる。次に、FET503がオフ状態となっても、発光素子501は、容量素子506の両端子間に充電された電圧に応じた輝度で発光を継続する。このように、表示装置500の基本的な表示動作は、発光素子501、FET502および503、容量素子506、データ線507および制御線508で実行される。

【0007】

上記基本動作に加えて、発光素子501の輝度劣化を回復させるためには、発光素子501に信号電流が流れていない間に、発光素子501のアノードに逆バイアス電圧が印加される。例えば、制御線509からの電圧制御により容量素子506の両端子間がショートされるとFET502のゲート電圧は V_{SS} となり、FET502はオフ状態となる。この間に、制御線510からの電圧制御により、FET505がオン状態となる。FET505のオン状態と同時に制御線511を介して逆バイアス電圧が発光素子501のアノードに印加されることにより、発光素子501の輝度劣化の回復措置がとられている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特許第3993117号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献1では、発光素子501に逆バイアスを印加するために、発光素子501に流す順方向電流を切断するためのFET504およびその制御線509、ならびに、逆バイアスを印加するためのFET505とその制御線510および511が付加されている。つまり、合計2個のトランジスタと3本の制御線が発光動作のための基本画素回路に追加されている。

【0010】

上述した回路構成の場合、発光素子への逆バイアス電圧印加は可能であるが、画素回路の構成要素の増加は製造歩留まりの低下を招くことになる。加えて、制御線が増加すると、データ線が複数の制御線と交差するため、それらの間での相互干渉が増大する。この相互干渉は、配線負荷の増加をもたらしてしまう結果、データ線の信号波形の劣化による表示ムラの原因となる。

【0011】

上記課題に鑑み、本発明は、簡単な画素回路構成で製造歩留まりの低下がなく、表示品質を維持しつつEL素子の輝度劣化の回復を実現できる表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置さ

れた複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、前記複数の発光画素のそれぞれは、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、前記データ線と前記発光素子のアノード及びカソードの一方との間に挿入され、前記データ線と前記発光素子との導通及び非導通を切り換えるスイッチ素子とを備え、前記表示装置は、前記信号電圧を前記データ線に供給するデータ駆動回路と、所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、前記信号電流を前記発光素子に流さない期間内に、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通にし、かつ、前記スイッチ素子をオンにすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備えることを特徴とする。

10

【0013】

これにより、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給できるので、発光素子へのバイアス印加に伴う制御線の本数増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0014】

また、前記表示装置は、さらに、前記複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素への信号電圧の書き込みを制御する第2の書き込み制御線に接続された容量素子とを備え、前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、前記制御手段は、前記第2の書き込み制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間に、前記第1のバイアス制御線を電圧変化させることで前記スイッチ素子をオン状態とし前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加してもよい。

20

30

【0015】

これにより、駆動トランジスタである第1のトランジスタのオンオフ状態を制御する容量素子の電圧レベルが、基本回路構成要素である前段の発光画素の書き込み制御線により制御されるので、当該容量素子の電圧レベルを制御するためのスイッチングトランジスタや専用の制御線を設ける必要がない。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、発光素子の輝度劣化の回復が可能となる。

40

【0016】

また、前記表示装置は、さらに、前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線と、前記発光素子の発光を制御する複数の発光制御線とを備え、前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され

50

、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記複数の発光制御線のうち第1の発光制御線に接続された容量素子とを備え、前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、前記制御手段は、前記第1の発光制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間に、前記第1のバイアス制御線を電圧変化させることで前記スイッチ素子をオン状態とし前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加してもよい。

10

【0017】

これにより、駆動トランジスタのオンオフ状態を制御する容量素子の電圧レベルが第1の発光制御線により制御されるので、当該容量素子の電圧レベルを制御するためのスイッチングトランジスタを設ける必要がない。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、発光素子の輝度劣化の回復が可能となる。また、第1の発光制御線は、発光素子の輝度回復のために専用に付加されているので、その制御電圧レベルは第1のトランジスタをオンオフするための2値でよいので、制御線の駆動回路の簡素化が図られる。

20

【0018】

また、前記表示装置は、さらに、前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子とを備え、前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、前記所定のバイアス電圧は、前記第1のトランジスタのゲートに印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、前記制御手段は、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通させると同時に、前記第1の書き込み制御線を電圧変化させることで前記第2のトランジスタをオン状態とし前記第1のトランジスタをオフ状態とすることにより実現された、前記信号電流を前記発光素子に流さない期間と同期して、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオン状態とすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加してもよい。

30

40

【0019】

これにより、発光素子に印加するバイアス電圧が第1のトランジスタをオフにするゲート電圧値となるよう電圧調整されているので、容量素子の電圧変化により第1のトランジ

50

スタをオフ状態とする必要がない。つまり、発光素子にバイアス電圧が印加されている時には、同時に第1のトランジスタのゲートにも当該逆バイアス電圧が印加されている。よって、容量素子の電圧レベルを変化させるための制御線を設ける必要がないので、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので発光素子の輝度劣化の回復が可能となる。

【0020】

また、前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧であってもよい。

【0021】

これにより、経時変化により劣化した発光素子の輝度を回復させることが可能となる。 10

【0022】

また、前記所定のバイアス電圧は、前記発光素子に0ボルトバイアスをかける電圧であってもよい。

【0023】

これにより、発光素子のアノードとカソードとが同電位となり、発光素子が電氣的にショートされるので、経時変化により劣化した発光素子の輝度を回復させることが可能となる。

【0024】

また、前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線のうちの1本が信号電圧を書き込む制御をする期間と交互に設定されてもよい。 20

【0025】

これにより、信号電圧を書き込む期間とバイアス電圧を印加する期間との比率を任意に設定することができるので、表示仕様に応じた輝度回復措置の最適化が可能となる。

【0026】

また、前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をする期間と交互に設定されてもよい。

【0027】

これにより、信号電圧が書き込まれないブランキング期間にまとめてバイアス電圧が印加されるので、当該信号電圧が書き込まれる期間を長く設定することが可能となる。また、バイアス電圧印加と信号電圧書き込みの動作周波数を低くすることができるので、発光素子におけるバイアス電圧の充放電特性の影響を小さくすることが可能となる。 30

【0028】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

【発明の効果】

【0029】

本発明の表示装置およびその駆動方法によれば、発光動作のための基本回路構成要素を、発光素子へのバイアス電圧印加動作に必要な付加回路構成要素として一部共用しているので、簡単な画素回路構成で製造歩留まりの低下がなく所定のバイアス電圧を発光素子に与えることができる。よって、表示品質を維持しつつEL素子の輝度劣化を回復することができる。 40

【0030】

(本願の技術的背景に関する情報)

2008年5月29日に出願された出願番号2008-141715の日本出願の明細書、図面および特許請求の範囲における開示は、その全体を、参照用として、本願に取り込む。

【図面の簡単な説明】

【0031】

【図1】図1は、本発明の実施の形態1に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図2】図2は、本発明の実施の形態1に係る表示装置の動作タイミングチャートである。

【図3】図3(a)～(d)は、本発明の実施の形態1に係る表示装置の状態遷移図である。

【図4】図4は、本発明の実施の形態1に係る表示装置の駆動タイミングの変形例を示す動作タイミングチャートである。

【図5】図5は、本発明の実施の形態2に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。 10

【図6】図6は、本発明の実施の形態2に係る表示装置の動作タイミングチャートである。

【図7】図7は、本発明の実施の形態3に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図8】図8は、本発明の実施の形態3に係る表示装置の動作タイミングチャートである。

【図9】図9は、本発明の実施の形態4に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図10】図10は、本発明の実施の形態4に係る表示装置の動作タイミングチャートである。 20

【図11】図11は、本発明の表示装置を内蔵した薄型フラットTVの外観図である。

【図12】図12は、特許文献1に記載された従来の表示装置における発光画素の回路図である。

【発明を実施するための形態】

【0032】

(実施の形態1)

本実施の形態における表示装置は、複数の発光画素と、複数のデータ線と、信号電圧を複数のデータ線に供給するデータ駆動回路と、所定のバイアス電圧を複数のデータ線に供給するバイアス供給回路とを備え、複数の発光画素のそれぞれは、データ線から供給された信号電圧を信号電流に変換する第1のトランジスタと、信号電流が流れることにより発光する発光素子と、データ線と発光素子との導通及び非導通を切り換える第3のトランジスタと、一方の端子が第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素へデータ書き込みを許可する書き込み制御線に接続された容量素子とを備え、信号電流を発光素子に流さない期間に、データ線とデータ駆動回路との接続を非導通にし、データ線とバイアス供給回路とを導通にし、かつ、第3のトランジスタをオンにすることにより、発光素子のアノード及びカソードの一方に所定のバイアス電圧を印加する。 30

【0033】

これにより、発光素子へのバイアス印加に伴う制御線の本数増加が抑制され、容量素子の電圧レベルを制御するためのスイッチングトランジスタや専用の制御線を設ける必要がないので、製造歩留まりを低下させることなく輝度劣化の回復が可能となる。 40

【0034】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0035】

図1は、本発明の実施の形態1に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置1は、発光画素10と、データ線11と、ゲート線12および17と、制御線13と、データ線ドライバ14と、ゲート線ドライバ15と、制御線ドライバ16と、タイミングコントローラ18とを備える。

【0036】

発光画素10は、マトリクス状に配置された複数の発光画素のうち、 n 行 m 列に配置さ 50

れた発光画素であり、データ線11を介して供給された信号電圧により発光する機能を有し、発光素子101と、駆動トランジスタ102と、スイッチングトランジスタ103および107と、電源104および105と、容量素子106とを備える。

【0037】

データ線11は、データ線ドライバ14に接続され、発光画素10を含み左からm列目の発光画素列の各発光画素へ、発光強度を決定する信号電圧を供給する機能を有する。

【0038】

また、表示装置1は、データ線11を含む画素列数分のデータ線を備える。

【0039】

ゲート線12は、第1の書き込み制御線であり、ゲート線ドライバ15に接続され、発光画素10を含み上からn行目の発光画素行の各発光画素へ、上記信号電圧を書き込むタイミングを供給する機能を有する。 10

【0040】

制御線13は、バイアス制御線であり、制御線ドライバ16に接続され、水平方向に配列された発光画素10を含み上からn行目の発光画素行の各発光画素へ、所定のバイアス電圧を書き込むタイミングを供給する機能を有する。

【0041】

また、表示装置1は、制御線13を含む画素行数分の制御線を備える。

【0042】

データ線ドライバ14は、データ線11を含む全データ線に接続され、当該全データ線を駆動する機能を有する。また、データ線ドライバ14は、データ駆動回路141と、バイアス供給回路142とを備え、タイミングコントローラ18により、データ線11とデータ駆動回路141との接続、または、データ線11とバイアス供給回路142との接続が選択される。 20

【0043】

データ駆動回路141は、各発光画素を発光させる信号電圧を各データ線に供給する機能を有する。本実施の形態の場合、データ線を介して各発光画素へ供給される信号電圧レベルは、例えば、2～8Vである。

【0044】

また、バイアス供給回路142は、各発光画素の有する発光素子に逆バイアスを与える機能を有する。本実施の形態の場合、データ線を介して各発光素子へ供給されるバイアス電圧レベルは、例えば、-3～-5Vである。 30

【0045】

なお、データ駆動回路141およびバイアス供給回路142は、データ線ドライバ14の構成要素として配置されている必要はなく、複数の画素領域の上部および下部に、それぞれ分離された構成要素として配置されていてもよい。

【0046】

ゲート線ドライバ15は、ゲート線12および17を含む全ゲート線に接続され、当該全ゲート線を駆動する機能を有する。本実施の形態の場合、ゲート線ドライバ15から出力される電圧レベルは、例えば、-15V～12Vである。 40

【0047】

制御線ドライバ16は、制御線13を含む全制御線に接続され、当該全制御線を駆動する機能を有する。本実施の形態の場合、制御線ドライバ16から出力される電圧レベルは、例えば、-5V～12Vである。

【0048】

ゲート線17は、第2の書き込み制御線であり、ゲート線ドライバ15に接続され、発光画素10への信号電圧書き込みの直前に信号電圧書き込みがなされる1行前段の発光画素へ信号電圧を書き込むタイミングを供給する機能を有する。また、ゲート線17は、発光画素10の有する駆動トランジスタ102のオンオフを決定するゲート電圧を制御する機能を有する。この機能については、後述する。 50

【0049】

また、表示装置1は、ゲート線12および17を含む画素行数分の制御線を備える。

【0050】

タイミングコントローラ18は、データ線ドライバ14、ゲート線ドライバ15および制御線ドライバ16に駆動タイミングを供給する機能を有する。

【0051】

次に、発光画素10の回路構成要素について説明する。

【0052】

発光素子101は、アノードが駆動トランジスタ102のソースおよびドレインの一方に接続され、カソードが電源105に接続されたEL（エレクトロルミネッセンス）素子である。発光素子101は、駆動トランジスタ102によって変換された信号電流が流れることにより発光する機能を有する。発光素子101は、例えば、有機EL素子である。

【0053】

駆動トランジスタ102は、第1のトランジスタであり、ゲートがスイッチングトランジスタ103を介してデータ線11に接続され、ソースおよびドレインの他方が電源104に接続されている。駆動トランジスタ102は、データ線11から供給された信号電圧を、その大きさに応じた信号電流に変換する機能を有する。駆動トランジスタ102は、例えば、nチャネルのFETである。

【0054】

スイッチングトランジスタ103は、第2のトランジスタであり、ゲートがゲート線12に接続され、ソース及びドレインの一方がデータ線11に接続され、ソース及びドレインの他方が駆動トランジスタ102のゲートに接続されている。スイッチングトランジスタ103は、データ線11と駆動トランジスタ102のゲートとの導通及び非導通を切り換える。つまり、スイッチングトランジスタ103は、発光画素10に対しデータ線11の信号電圧値を、ゲート線12がハイレベルの期間供給する機能を有する。スイッチングトランジスタ103は、例えば、nチャネルのFETである。

【0055】

電源104は、駆動トランジスタ102の定電圧源であり、例えば、10Vに設定されている。

【0056】

電源105は、発光素子101の定電圧源であり、例えば、アースされている。本実施の形態の場合、電源104の電位は、電源105の電位よりも高く設定されている。

【0057】

容量素子106は、一端が駆動トランジスタ102のゲートに接続され、他端がゲート線17に接続され、スイッチングトランジスタ103を介して供給された信号電圧レベルを蓄積する機能を有する。なお、前述したように、容量素子106の電圧レベルの変化による駆動トランジスタ102のオンオフ制御については、後述する。

【0058】

スイッチングトランジスタ107は、ゲートが制御線13に接続され、ソースおよびドレインの一方がデータ線11に接続され、ソースおよびドレインの他方が発光素子101のアノードに接続されている。スイッチングトランジスタ107は、データ線11と発光素子101のアノードとの導通及び非導通を切り換える。つまり、スイッチングトランジスタ107は、発光素子101に対しデータ線11の所定のバイアス電圧値を、制御線13がハイレベルの期間に供給する機能を有する。スイッチングトランジスタ107は、例えば、nチャネルのFETである。

【0059】

次に、本実施の形態に係る表示装置1の駆動方法について図2および図3を用いて説明する。

【0060】

図2は、本発明の実施の形態1に係る表示装置の動作タイミングチャートである。同図

において、横軸は時間を表している。また縦方向には、上から順に、ゲート線17、ゲート線12、制御線13、データ線11および発光素子101のアノードに発生する電圧の波形図が示されている。

【0061】

また、図3(a)～(d)は、本発明の実施の形態1に係る表示装置の状態遷移図である。

【0062】

まず、時刻 t_0 において、ゲート線12の電圧レベルを V_{goff2} から V_{gon} に変化させ、スイッチングトランジスタ103をオン状態とする。なお、本実施の形態において、例えば、 V_{gon} は12V、 V_{goff2} は-15Vに設定されている。 10

【0063】

$t_0 \sim t_1$ の期間、スイッチングトランジスタ103はオン状態を維持し、この期間に容量素子106に対してデータ線11に供給されている信号電圧を書き込む。図3(a)は、この $t_0 \sim t_1$ の期間での表示装置1の状態である。容量素子106に書き込まれた信号電圧値と電源104との電位差により、駆動トランジスタ102を流れる電流量が決定し、その電流量に対応する明るさで発光素子101が発光する。このとき、発光素子101のアノードAの電位は、信号電圧に対応する信号電流を流したときの発光素子101の順方向電圧分だけ、電源105の電位よりも高い電位 V_{and1} となる。

【0064】

次に、時刻 t_1 において、ゲート線12の電圧レベルを V_{goff1} に変化させ、スイッチングトランジスタ103をオフ状態とする。なお、本実施の形態において、例えば、 V_{goff1} は-5Vに設定されている。 20

【0065】

$t_1 \sim t_2$ の期間において、容量素子106に書き込まれた信号電圧と電源104との電位差により決定する信号電流で発光素子101は発光を継続する。図3(b)は、この $t_1 \sim t_2$ の期間での表示装置1の状態である。発光素子101のアノードAの電位は V_{and1} を維持している。

【0066】

次に、時刻 t_2 において、ゲート線17の電圧レベルを V_{goff2} に変化させることにより、駆動トランジスタ102のゲート電圧が容量結合により負側に変化し、駆動トランジスタ102をオフ状態とする。同時に、制御線13の電圧レベルを V_{ctlon} に変化させ、スイッチングトランジスタ107をオン状態とするので、発光素子101のアノードにデータ線11の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ14において、データ駆動回路141とデータ線11との接続をオフとしバイアス供給回路142とデータ線11との接続をオンとすることにより、発光素子101のアノードの電位は、所定のバイアス電圧へと変化する。なお、本実施の形態において、例えば、 V_{ctlon} は12Vに設定されている。 30

【0067】

$t_2 \sim t_3$ の期間において、発光素子101のアノードの電位は所定のバイアス電圧 V_{bias} へと到達する。図3(c)は、この $t_2 \sim t_3$ の期間での表示装置1の状態である。この V_{bias} を電源105よりも低い電圧に設定することで $t_2 \sim t_3$ の期間に、発光素子101に逆バイアスを印加することができ、発光素子101の輝度劣化が回復される。なお、本実施の形態において、例えば、 V_{bias} は-3～-5Vに設定されている。 40

【0068】

次に、時刻 t_3 において、制御線13の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ107をオフ状態とする。同時に、データ線ドライバ14において、バイアス供給回路142とデータ線11との接続をオフとし、データ駆動回路141とデータ線11との接続をオンとすることにより、データ線11は発光強度を決定する信号電圧レベルに切り替わる。このとき、ゲート線17の電位レベルは V_{goff2} を維持し 50

ているので駆動トランジスタ102はオフ状態のままとなり、発光素子101のアノードの電位は固定されない。なお、本実施の形態において、例えば、 V_{ctloff} は $-5V$ に設定されている。図3(d)は、この $t_3 \sim t_4$ の期間での表示装置1の状態である。

【0069】

$t_2 \sim t_4$ の期間は、ゲート線12に接続される画素群を1行とした場合に、データ線に供給する信号電圧を1行ずつ切り替える時間に相当し、 $t_2 \sim t_3$ の期間は、ある1行の信号電圧を書き換える期間のうちの一部の時間に相当する。 t_2 から t_4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置1全面の画素内容が書き換わることになる。

【0070】

なお、 t_2 から t_4 の期間において、 $t_2 \sim t_3$ の期間と $t_3 \sim t_4$ の期間との比率を調整することが可能である。つまり、ゲート線17を用いて駆動トランジスタ102をオフ状態にし、スイッチングトランジスタ107を用いて発光素子101にバイアス電圧を印加する期間を、1フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

【0071】

次に、 $t_4 \sim t_5$ の期間において、 $t_2 \sim t_4$ の期間が繰り返され、駆動トランジスタ102およびスイッチングトランジスタ103はオフ状態となり、スイッチングトランジスタ107が周期的にオン状態になり所定のバイアス電圧 V_{bias} を発光素子101のアノードに印加して逆バイアスをかけ続ける。

【0072】

次に、時刻 t_5 において、ゲート線17の電圧レベルを V_{gon} に変化させることにより、容量素子106の容量結合により駆動トランジスタ102のゲート電圧が上がり、発光素子101には再び容量素子106と電源104の電位差で決まる電流が流れる。

【0073】

最後に時刻 t_6 にはゲート線12の電圧レベルを V_{gon} に変化させ、スイッチングトランジスタ103をオン状態とするため、容量素子106には新たな信号電圧が書き込まれ、発光素子101は新たな強度で発光を始める。

【0074】

$t_0 \sim t_6$ の期間は、表示装置1の全発光画素の発光強度が書き換えられる1フレーム期間に相当し、以降、 $t_0 \sim t_6$ の期間の動作が繰り返される。

【0075】

以上のように、本実施の形態によれば、表示装置1は、基本画素回路にスイッチングトランジスタ107を、また、画素行毎に当該スイッチングトランジスタ107をオンオフする制御線13を付加した簡単な構成となる。また、表示装置1は制御線ドライバ16を具備し、データ線は、画像データの書込みと発光素子へのバイアス電圧書込みの2種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子106の電圧レベルを前段の画素のゲート線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0076】

なお、所定のバイアス電圧 V_{bias} は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子101に逆バイアスをかける電圧でもよく、あるいは、発光素子101のカソードと同じ電圧値にして発光素子101に0ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。

【0077】

図4は、本発明の実施の形態1に係る表示装置の駆動タイミングの変形例を示す動作タイミングチャートである。

10

20

30

40

50

【0078】

まず、時刻 t_0 において、ゲート線 12 の電圧レベルを $V_{g\ on}$ に変化させ、スイッチングトランジスタ 103 をオン状態とする。

【0079】

t_0 から t_1 の期間、スイッチングトランジスタ 103 はオン状態を維持し、この期間に容量素子 106 に対してデータ線 11 に供給されている信号電圧を書き込む。図 3 (a) は、この $t_0 \sim t_1$ の期間での表示装置 1 の状態である。容量素子 106 に書き込まれた信号電圧値と電源 104 の電位差との電位差により、駆動トランジスタ 102 を流れる電流量が決定し、その電流量に対応する明るさで発光素子 101 が発光する。このとき、発光素子 101 のアノード A の電位は、信号電圧に対応する信号電流を流したときの発光素子 101 の順方向電圧分だけ、電源 105 の電位よりも高い $V_{a\ and\ 1}$ となる。

【0080】

次に、時刻 t_1 において、ゲート線 12 の電圧レベルを $V_{g\ off\ 1}$ に変化させ、スイッチングトランジスタ 103 をオフ状態とする。

【0081】

$t_1 \sim t_2$ の期間において、容量素子 106 に書き込まれた信号電圧と電源 104 との電位差により決定する信号電流で発光素子 101 は発光を継続する。図 3 (b) は、この $t_1 \sim t_2$ の期間での表示装置 1 の状態である。発光素子 101 のアノード A の電位は $V_{a\ and\ 1}$ を維持している。

【0082】

次に、時刻 t_2 において、ゲート線 17 の電圧レベルを $V_{g\ off\ 1}$ から $V_{g\ off\ 2}$ に変化させることにより、駆動トランジスタ 102 のゲート電圧が容量結合により負側に変化し、駆動トランジスタ 102 をオフ状態とする。同時に、制御線 13 の電圧レベルを $V_{c\ t\ lon}$ に変化させ、スイッチングトランジスタ 107 をオン状態とするので、発光素子 101 のアノードにデータ線 11 の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ 14 において、データ駆動回路 141 とデータ線 11 との接続をオフとしバイアス供給回路 142 とデータ線 11 との接続をオンとすることにより、発光素子 101 のアノードの電位は、所定のバイアス電圧へと変化する。

【0083】

次に、時刻 t_3 になると、制御線 13 の電圧レベルを $V_{c\ t\ lo\ off}$ に変化させることにより、スイッチングトランジスタ 107 をオフ状態とし、データ線 11 は発光強度を決定する信号電圧レベルに切り替わる。同時に、ゲート線 17 の電圧レベルを $V_{g\ off\ 1}$ に変化させることにより、容量素子 106 の容量結合のために駆動トランジスタ 102 のゲート電圧が $t_1 \sim t_2$ の期間における電圧と同じ電圧に戻り、発光素子には時刻 t_0 で書き込まれた信号電流が再び流れる。

【0084】

次に、時刻 t_4 になると、ゲート線 12 の電圧レベルを $V_{g\ on}$ に変化させ、スイッチングトランジスタ 103 をオン状態とし、容量素子 106 に新たな信号電圧を書き込む。

【0085】

上述した駆動タイミングの変形例では、データ線 11 の時分割による発光素子 101 への逆バイアス印加期間は、発光強度を書き込まないブランキング期間であるので、本期間を自由に設定することは困難であるが、逆に、発光強度を書き込む表示期間を長く確保することが可能となる。

【0086】

以上のように、本実施の形態に係る表示装置の駆動方法によれば、発光素子 101 へのバイアス電圧印加の期間は、発光のための信号電圧が各データ線を介して 1 行分書き込まれる期間と交互に設定されてもよいし、また、1 フレーム中に設けられたブランキング期間内に設定されてもよい。いずれの駆動タイミングを選択するかは、表示装置の表示仕様や発光素子の劣化特性に応じて決定され得る。

【0087】

(実施の形態 2)

図5は、本発明の実施の形態2に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置2は、発光画素10と、データ線11と、ゲート線12と、制御線13と、データ線ドライバ14と、ゲート線ドライバ15と、制御線ドライバ16と、発光制御線ドライバ20と、タイミングコントローラ21とを備える。同図における表示装置2は、実施の形態1における表示装置1と比較して、発光画素10の構成要素である容量素子106が、前段の発光画素に接続されたゲート線に接続されず、専用の発光制御線に接続されている点、また、当該発光制御線を駆動する発光制御線ドライバが設けられている点が回路構成として異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの接続および駆動タイミングが異なる。実施の形態1と同じ点は説明を省略し、以下、異なる点のみ説明する。 10

【0088】

発光制御線19は、上からn行目の発光画素行の各発光画素および発光制御線ドライバ20に接続され、発光画素10の有する駆動トランジスタ102のゲートに接続された容量素子106の電圧レベルを制御する機能のみを有する。

【0089】

発光制御線ドライバ20は、発光制御線19を含む全発光制御線に接続され、当該全発光制御線を駆動する機能を有する。

【0090】

タイミングコントローラ21は、データ線ドライバ14、ゲート線ドライバ15、制御線ドライバ16および発光制御線ドライバ20に駆動タイミングを供給する機能を有する。 20

【0091】

容量素子106は、一端が駆動トランジスタ102のゲートに接続され、他端が発光制御線19に接続され、スイッチングトランジスタ103を介して供給された信号電圧レベルを蓄積する機能を有する。なお、容量素子106の電圧レベルの変化による駆動トランジスタ102のオンオフ制御については、後述する。

【0092】

次に、本実施の形態に係る表示装置2の駆動方法について図6を用いて説明する。

【0093】

図6は、本発明の実施の形態2に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、発光制御線19、ゲート線12、制御線13、データ線11および発光素子101のアノードに発生する電圧の波形図が示されている。 30

【0094】

まず、時刻t0において、ゲート線12の電圧レベルをV_{g off}からV_{g on}に変化させ、スイッチングトランジスタ103をオン状態とする。同時に、発光制御線19の電圧レベルをV_{c o m o f f}からV_{c o m o n}に変化させる。

【0095】

t0からt1の期間、スイッチングトランジスタ103はオン状態を維持し、この期間に容量素子106に対してデータ線11に供給されている信号電圧を書き込む。容量素子106に書き込まれた信号電圧値と電源104との電位差により、駆動トランジスタ102を流れる電流量が決定し、その電流量に対応する明るさで発光素子101が発光する。このとき、発光素子101のアノードAの電位は、信号電圧に対応する信号電流を流したときの発光素子101の順方向電圧分だけ、電源105の電位よりも高い電位V_{a n d 1}となる。 40

【0096】

次に、時刻t1において、ゲート線12の電圧レベルをV_{g off}に変化させ、スイッチングトランジスタ103をオフ状態とする。

【0097】

50

t 1 ~ t 2 の期間において、ゲート線 1 2 の電圧レベルが $V_{g\ off}$ となっても、容量素子 1 0 6 に書き込まれた信号電圧と電源 1 0 4 との電位差により決定する信号電流で発光素子 1 0 1 は発光を継続する。

【0098】

次に、時刻 t 2 において、発光制御線 1 9 の電圧レベルを $V_{c\ o\ m\ o\ n}$ から $V_{c\ o\ m\ o\ f\ f}$ へ変化させることにより、駆動トランジスタ 1 0 2 のゲート電圧が容量結合により負側に变化し、駆動トランジスタ 1 0 2 をオフ状態となる。同時に、制御線 1 3 の電圧レベルを $V_{c\ t\ l\ o\ n}$ に変化させ、スイッチングトランジスタ 1 0 7 をオン状態とするので、発光素子 1 0 1 のアノードにデータ線 1 1 の電圧が書き込まれる。また、時刻 t 2 には、データ線ドライバ 1 4 において、データ駆動回路 1 4 1 とデータ線 1 1 との接続をオフとしバイアス供給回路 1 4 2 とデータ線 1 1 との接続をオンとすることにより、発光素子 1 0 1 のアノードの電位は、所定のバイアス電圧へと変化する。

10

【0099】

t 2 ~ t 3 の期間において、発光素子 1 0 1 のアノードの電位は所定のバイアス電圧 $V_{b\ i\ a\ s}$ へと到達する。この $V_{b\ i\ a\ s}$ を電源 1 0 5 よりも低い電圧に設定することで t 2 ~ t 3 の期間に、発光素子 1 0 1 に逆バイアスを印加することができ、発光素子 1 0 1 の輝度劣化が回復される。

【0100】

次に、時刻 t 3 において、制御線 1 3 の電圧レベルを $V_{c\ t\ l\ o\ f\ f}$ に変化させ、スイッチングトランジスタ 1 0 7 をオフ状態とする。同時に、データ線ドライバ 1 4 において、バイアス供給回路 1 4 2 とデータ線 1 1 との接続をオフとし、データ駆動回路 1 4 1 とデータ線 1 1 との接続をオンとすることにより、データ線 1 1 は発光強度を決定する信号電圧レベルに切り替わる。このとき、発光制御線 1 9 の電圧レベルは $V_{c\ o\ m\ o\ f\ f}$ を維持しているので駆動トランジスタ 1 0 2 はオフ状態のままとなり、発光素子 1 0 1 のアノードの電位は固定されない。

20

【0101】

t 2 ~ t 4 の期間は、ゲート線 1 2 に接続される画素群を 1 行とした場合に、データ線に供給する信号電圧を 1 行ずつ切り替える時間に相当し、t 2 ~ t 3 の期間は、ある 1 行の信号電圧を書き換える期間のうちの一部の時間に相当する。t 2 から t 4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置 1 全面の画素内容が書き換わることになる。

30

【0102】

なお、t 2 から t 4 の期間において、t 2 ~ t 3 の期間と t 3 ~ t 4 の期間との比率を調整することが可能である。つまり、ゲート線 1 7 を用いて駆動トランジスタ 1 0 2 をオフ状態にし、スイッチングトランジスタ 1 0 7 を用いて発光素子 1 0 1 にバイアス電圧を印加する期間を、1 フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

【0103】

次に、t 4 ~ t 5 の期間において、t 2 ~ t 4 の期間が繰り返され、駆動トランジスタ 1 0 2 およびスイッチングトランジスタ 1 0 3 はオフ状態となり、スイッチングトランジスタ 1 0 7 が周期的にオン状態になり所定のバイアス電圧 $V_{b\ i\ a\ s}$ を発光素子 1 0 1 のアノードに印加して逆バイアスをかけ続ける。

40

【0104】

次に、時刻 t 5 において、ゲート線 1 2 の電圧レベルを $V_{g\ o\ n}$ に変化させることにより、スイッチングトランジスタ 1 0 3 がオン状態となり、容量素子 1 0 6 には新たな信号電圧が書き込まれ、発光素子 1 0 1 は新たな強度で発光を始める。このとき、発光素子 1 0 1 のアノードの電位は新たな発光強度に対応した電位 $V_{a\ n\ d\ 2}$ となる。

【0105】

t 0 ~ t 5 の期間は、表示装置 2 の全発光画素の発光強度が書き換えられる 1 フレーム期間に相当し、以降、t 0 ~ t 5 の期間の動作が繰り返される。

50

【0106】

以上のように、本実施の形態によれば、表示装置2は、画素回路にスイッチングトランジスタ107を、また、画素行毎に当該スイッチングトランジスタ107をオンオフする制御線13および容量素子106の電圧レベルを制御する発光制御線19を付加した簡単な構成となる。また、表示装置2は制御線ドライバ16および発光制御線ドライバ20を具備し、データ線11は、画像データの書込みと発光素子101へのバイアス電圧書込みの2種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子の電圧レベルを画素行毎に設けられた上記発光制御線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

10

【0107】

なお、所定のバイアス電圧 V_{bias} は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子101に逆バイアスをかける電圧でもよく、あるいは、発光素子101のカソードと同じ電圧値にして発光素子101に0ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。また、上記発光制御線は、発光素子の輝度回復のために専用に付加されているので、その制御電圧レベルは駆動トランジスタをオンオフするための2値でよいので、実施の形態1における表示装置1と比較して、ゲート線ドライバの簡素化が図られる。

20

【0108】

また、本実施の形態において、発光素子101に逆バイアス電圧を印加している期間中、容量素子106には発光強度に対応する電位が保持されている。よって、実施の形態1に係る表示装置1の駆動タイミングの変形例と同様に、逆バイアス電圧印加後にスイッチングトランジスタ103による信号電圧の再書き込みを行わなくても、発光制御線19の電圧レベルを変化させることにより、発光画素10を元の発光強度に戻すことができる。

【0109】

(実施の形態3)

図7は、本発明の実施の形態3に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置3は、発光画素22と、データ線11と、ゲート線12と、制御線13と、データ線ドライバ14と、ゲート線ドライバ15と、制御線ドライバ16と、タイミングコントローラ23とを備える。同図における表示装置3は、実施の形態1における表示装置1と比較して、発光画素22の構成要素である容量素子106が、前段の発光画素に接続されたゲート線に接続されず、駆動トランジスタ102のソースおよびドレインの他方に接続されている点が回路構成として異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの駆動タイミングが異なる。実施の形態1と同じ点は説明を省略し、以下、異なる点のみ説明する。

30

【0110】

タイミングコントローラ23は、データ線ドライバ14、ゲート線ドライバ15および制御線ドライバ16に駆動タイミングを供給する機能を有する。

40

【0111】

容量素子106は、一端が駆動トランジスタ102のゲートに接続され、他端が駆動トランジスタ102のソースおよびドレインの他方に接続され、スイッチングトランジスタ103を介して供給された信号電圧レベルを蓄積する機能を有する。ここで、容量素子106の電圧レベルは、データ線11からスイッチングトランジスタ103を介して書き込まれる電圧の変化のみにより変化する。駆動トランジスタ102のオンオフ制御については、後述する。

【0112】

次に、本実施の形態に係る表示装置2の駆動方法について図8を用いて説明する。

【0113】

50

図8は、本発明の実施の形態3に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、ゲート線12、制御線13、データ線11および発光素子101のアノードに発生する電圧の波形図が示されている。

【0114】

まず、時刻 t_0 において、ゲート線12の電圧レベルを V_{goff} から V_{gon} に変化させ、スイッチングトランジスタ103をオン状態とする。

【0115】

t_0 から t_1 の期間、スイッチングトランジスタ103はオン状態を維持し、この期間に容量素子106に対してデータ線11に供給されている信号電圧を書き込む。容量素子106に書き込まれた信号電圧値と電源104との電位差により、駆動トランジスタ102を流れる電流量が決定し、その電流量に対応する明るさで発光素子101が発光する。このとき、発光素子101のアノードAの電位は、信号電圧に対応する信号電流を流したときの発光素子101の順方向電圧分だけ、電源105の電位よりも高い電位 V_{and1} となる。

【0116】

次に、時刻 t_1 において、ゲート線12の電圧レベルを V_{goff} に変化させ、スイッチングトランジスタ103をオフ状態とする。

【0117】

$t_1 \sim t_2$ の期間において、ゲート線12の電圧レベルが V_{goff} となっても、容量素子106に書き込まれた信号電圧と電源104との電位差により決定する信号電流で発光素子101は発光を継続する。

【0118】

次に、時刻 t_2 において、ゲート線12の電圧レベルを V_{goff} から V_{gon} へ変化させることにより、スイッチングトランジスタ103をオン状態とする。同時に、制御線13の電圧レベルを V_{ctloff} から V_{ctlon} に変化させ、スイッチングトランジスタ107をオン状態とする。さらに同時に、データ線ドライバ14において、データ駆動回路141とデータ線11との接続をオフとしバイアス供給回路142とデータ線11との接続をオンとする。よって、容量素子106にはバイアス供給回路142から供給される電圧 V_{bias} が書き込まれると同時に発光素子101のアノードにも V_{bias} が印加される。

【0119】

この V_{bias} 電圧値を、駆動トランジスタ102のゲートに印加された場合に駆動トランジスタ102をオフ状態にする電圧値とし、かつ、発光素子101のカソードに接続された電源105よりも低い電圧値とすることで、 $t_2 \sim t_3$ の期間には発光素子101を発光させず、発光素子101に逆バイアスを印加することができる。

【0120】

次に、時刻 t_3 において、ゲート線12の電圧レベルを V_{gon} から V_{goff} へ変化させることにより、スイッチングトランジスタ103をオフ状態とする。同時に、制御線13の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ107をオフ状態とする。さらに同時に、データ線ドライバ14において、バイアス供給回路142とデータ線11との接続をオフとし、データ駆動回路141とデータ線11との接続をオンとすることにより、データ線11は発光強度を決定する信号電圧レベルに切り替わる。このとき、駆動トランジスタ102はオフ状態を維持しているため、発光素子101のアノードの電位は固定されない。

【0121】

次に、時刻 t_4 には、再びスイッチングトランジスタ103および107をオン状態とし、同時に、データ線ドライバ14において、データ駆動回路141とデータ線11との接続をオフとしバイアス供給回路142とデータ線11との接続をオンとすることにより、 V_{bias} が発光素子101のアノードに印加されるため、発光素子101には V_{bi}

a s と電源 1 0 5 との差分電圧が印加される。

【0 1 2 2】

t 2 ~ t 4 の期間は、ゲート線 1 2 に接続される画素群を 1 行とした場合に、データ線に供給する信号電圧を 1 行ずつ切り替える時間に相当し、t 2 ~ t 3 の期間は、ある 1 行の信号電圧を書き換える期間のうちの一部の時間に相当する。t 2 から t 4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置 1 全面の画素内容が書き換わることになる。

【0 1 2 3】

なお、t 2 から t 4 の期間において、t 2 ~ t 3 の期間と t 3 ~ t 4 の期間との比率を調整することが可能である。つまり、スイッチングトランジスタ 1 0 7 を用いて発光素子 1 0 1 にバイアス電圧を印加する期間を、1 フレーム期間中の任意の長さ設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

【0 1 2 4】

次に、t 4 ~ t 5 の期間において、t 2 ~ t 4 の期間が繰り返され、駆動トランジスタ 1 0 2 はオフ状態、また、スイッチングトランジスタ 1 0 3 および 1 0 7 は周期的にオン状態となり、V b i a s を容量素子 1 0 6 と発光素子 1 0 1 のアノードに印加して逆バイアスをかけ続ける。

【0 1 2 5】

次に、時刻 t 5 において、ゲート線 1 2 の電圧レベルを V g o n に変化させることによりスイッチングトランジスタ 1 0 3 がオン状態となる。そして、容量素子 1 0 6 には新たな信号電圧が書き込まれ、発光素子 1 0 1 は新たな強度で発光を始める。このとき、発光素子 1 0 1 のアノードの電位は新たな発光強度に対応した電位 V a n d 2 となる。

【0 1 2 6】

t 0 ~ t 5 の期間は、表示装置 3 の全発光画素の発光強度が書き換えられる 1 フレーム期間に相当し、以降、t 0 ~ t 5 の期間の動作が繰り返される。

【0 1 2 7】

以上のように、本実施の形態によれば、表示装置 3 は、画素回路にスイッチングトランジスタ 1 0 7 を、また、画素行毎に当該スイッチングトランジスタ 1 0 7 をオンオフする制御線 1 3 を付加した簡単な構成となる。また、表示装置 3 は制御線ドライバ 1 6 を具備し、データ線 1 1 は、画像データの書込みと発光素子 1 0 1 へのバイアス電圧書込みの 2 種類の書込みに時分割で使用される。また、発光素子 1 0 1 に印加するバイアス電圧を駆動トランジスタ 1 0 2 をオフにするレベルと共用することにより、上記回路構成の簡素化が実現される。

【0 1 2 8】

これらの構成により、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0 1 2 9】

なお、所定のバイアス電圧 V b i a s は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子 1 0 1 に逆バイアスをかける電圧でもよく、あるいは、発光素子 1 0 1 のカソードと同じ電圧値にして発光素子 1 0 1 に 0 ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。なお、上述したように、発光素子 1 0 1 に印加するバイアス電圧を、駆動トランジスタ 1 0 2 をオフにするレベルと共用することにより、その制御電圧レベルは駆動トランジスタをオンオフするための 2 値でよいので、実施の形態 1 における表示装置 1 と比較して、ゲート線ドライバの簡素化が図られる。

【0 1 3 0】

(実施の形態 4)

図 9 は、本発明の実施の形態 4 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置 4 は、発光画素 2 4 と、データ線 1 1 と、ゲー

ト線12と、制御線13と、データ線ドライバ14と、ゲート線ドライバ15と、制御線ドライバ16と、発光制御線ドライバ20と、タイミングコントローラ25とを備える。同図における表示装置4は、実施の形態2における表示装置2と比較して、発光画素24の構成要素である発光素子101、駆動トランジスタ102、スイッチングトランジスタ107、電源108および電源109の接続が異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの接続および駆動タイミングが異なる。実施の形態2と同じ点は説明を省略し、以下、異なる点のみ説明する。

【0131】

発光画素24は、マトリクス状に配置された複数の発光画素のうちの一つであり、データ線11を介して供給された信号電圧により発光する機能を有し、発光素子101と、駆動トランジスタ102と、スイッチングトランジスタ103および107と、電源108および109と、容量素子106とを備える。 10

【0132】

データ線11は、発光画素24を含み左からm列目の発光画素列の各発光画素へ、発光強度を決定する信号電圧を供給する機能を有する。

【0133】

ゲート線12は、発光画素24を含み上からn行目の発光画素行の各発光画素へ、上記信号電圧を書き込むタイミングを供給する機能を有する。

【0134】

制御線13は、水平方向に配列された発光画素24を含む発光画素行の各発光画素へ、 20 所定のバイアス電圧を書き込むタイミングを供給する機能を有する。

【0135】

データ線ドライバ14は、タイミングコントローラ25により、データ線11とデータ駆動回路141との接続、または、データ線11とバイアス供給回路142との接続が選択される。

【0136】

ゲート線ドライバ15は、ゲート線12を含む全ゲート線に接続され、当該全ゲート線を駆動する機能を有する。

【0137】

発光制御線19は、上からn行目の発光画素行の各発光画素および発光制御線ドライバ20に接続され、発光画素24の有する駆動トランジスタ102のゲートに接続された容量素子106の電圧レベルを制御する機能のみを有する。 30

【0138】

タイミングコントローラ25は、データ線ドライバ14、ゲート線ドライバ15、制御線ドライバ16および発光制御線ドライバ20に駆動タイミングを供給する機能を有する。

【0139】

次に、発光画素24の回路構成要素について説明する。

【0140】

発光素子101は、カソードが駆動トランジスタ102のソースおよびドレインの一方 40 に接続され、アノードが電源108に接続されたEL素子である。

【0141】

駆動トランジスタ102は、第1のトランジスタであり、ゲートがスイッチングトランジスタ103を介してデータ線11に接続され、ソースおよびドレインの他方が電源109に接続されている。

【0142】

本実施の形態の場合、電源108の電位は、電源109の電位よりも高く設定されている。

【0143】

スイッチングトランジスタ107は、ゲートが制御線13に接続され、ソースおよびド 50

レインの一方がデータ線11に接続され、ソースおよびドレインの他方が発光素子101のカソードに接続されている。スイッチングトランジスタ107は、データ線11と発光素子101のカソードとの導通及び非導通を切り換える。

【0144】

次に、本実施の形態に係る表示装置4の駆動方法について図10を用いて説明する。

【0145】

図10は、本発明の実施の形態4に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、発光制御線19、ゲート線12、制御線13、データ線11および発光素子101のカソードに発生する電圧の波形図が示されている。

10

【0146】

まず、時刻 t_0 において、ゲート線12の電圧レベルを V_{goff} から V_{gon} に変化させ、スイッチングトランジスタ103をオン状態とする。同時に、発光制御線19の電圧レベルを V_{comoff} から V_{comon} に変化させる。

【0147】

t_0 から t_1 の期間、スイッチングトランジスタ103はオン状態を維持し、この期間に容量素子106に対してデータ線11に供給されている信号電圧を書き込む。容量素子106に書き込まれた信号電圧値と電源109との電位差により、駆動トランジスタ102を流れる電流量が決定し、その電流量に対応する明るさで発光素子101が発光する。このとき、発光素子101のカソードAの電位は、信号電圧に対応する信号電流を流した

20

ときの発光素子101の順方向電圧分だけ、電源108の電位よりも低い電位 V_{cat1} となる。

【0148】

次に、時刻 t_1 において、ゲート線12の電圧レベルを V_{goff} に変化させ、スイッチングトランジスタ103をオフ状態とする。

【0149】

$t_1 \sim t_2$ の期間において、ゲート線12の電圧レベルが V_{goff} となっても、容量素子106に書き込まれた信号電圧と電源109との電位差により決定する信号電流で発光素子101は発光を継続する。

【0150】

30

次に、時刻 t_2 において、発光制御線19の電圧レベルを V_{comon} から V_{comoff} へ変化させることにより、駆動トランジスタ102のゲート電圧が容量結合により負側に変化し、駆動トランジスタ102はオフ状態となる。同時に、制御線13の電圧レベルを V_{ctlon} に変化させ、スイッチングトランジスタ107をオン状態とするので、発光素子101のカソードにデータ線11の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ14において、データ駆動回路141とデータ線11との接続をオフとしバイアス供給回路142とデータ線11との接続をオン状態とすることにより、発光素子101のカソードの電位は、所定のバイアス電圧へと変化する。

【0151】

$t_2 \sim t_3$ の期間において、発光素子101のカソードの電位は所定のバイアス電圧 V_{bias} へと到達する。この V_{bias} を電源108よりも高い電圧に設定することで $t_2 \sim t_3$ の期間に、発光素子101に逆バイアスを印加することができ、発光素子101の輝度劣化が回復される。

40

【0152】

次に、時刻 t_3 において、制御線13の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ107をオフ状態とする。同時に、データ線ドライバ14において、バイアス供給回路142とデータ線11との接続をオフとし、データ駆動回路141とデータ線11との接続をオンとすることにより、データ線11は発光強度を決定する信号電圧レベルに切り替わる。このとき、発光制御線19の電位レベルは V_{comoff} を維持している

50

ードの電位は固定されない。

【0153】

t 2～t 4の期間は、ゲート線12に接続される画素群を1行とした場合に、データ線に供給する信号電圧を1行ずつ切り替える時間に相当し、t 2～t 3の期間は、ある1行の信号電圧を書き換える期間のうちの一部の時間に相当する。t 2からt 4の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置1全面の画素内容が書き換わることになる。

【0154】

なお、t 2からt 4の期間において、t 2～t 3の期間とt 3～t 4の期間との比率を調整することが可能である。つまり、ゲート線17を用いて駆動トランジスタ102をオフ状態にし、スイッチングトランジスタ107を用いて発光素子101にバイアス電圧を印加する期間を、1フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

10

【0155】

次に、t 4～t 5の期間において、t 2～t 4の期間が繰り返され、駆動トランジスタ102およびスイッチングトランジスタ103はオフ状態となり、スイッチングトランジスタ107が周期的にオン状態になり所定のバイアス電圧V b i a sを発光素子101のカソードに印加して逆バイアスをかけ続ける。

【0156】

次に、時刻t 5において、ゲート線12の電圧レベルをV g o nに変化させることにより、スイッチングトランジスタ103がオン状態となり、容量素子106には新たな信号電圧が書き込まれ、発光素子101は新たな強度で発光を始める。このとき、発光素子101のカソードの電位は新たな発光強度に対応した電位V c a t 2となる。

20

【0157】

t 0～t 5の期間は、表示装置4の全発光画素の発光強度が書き換えられる1フレーム期間に相当し、以降、t 0～t 5の期間の動作が繰り返される。

【0158】

以上のように、本実施の形態によれば、表示装置4は、画素回路にスイッチングトランジスタ107を、また、画素行毎に当該スイッチングトランジスタ107をオンオフする制御線13および容量素子106の電圧レベルを制御する発光制御線19を付加した簡単な構成となる。また、表示装置2は制御線ドライバ16および発光制御線ドライバ20を具備し、データ線11は、画像データの書込みと発光素子101へのバイアス電圧書込みの2種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子の電圧レベルを画素行毎に設けられた上記発光制御線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

30

【0159】

なお、所定のバイアス電圧V b i a sは、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子101に逆バイアスをかける電圧でもよく、あるいは、発光素子101のカソードと同じ電圧値にして発光素子101に0ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。また、上記発光制御線は、発光素子の輝度回復のために専用が付加されているので、その制御電圧レベルは駆動トランジスタをオンオフするための2値でよいので、実施の形態1における表示装置1と比較して、ゲート線ドライバの簡素化が図られる。

40

【0160】

また、本実施の形態において、発光素子101に逆バイアス電圧を印加している期間中、容量素子106には発光強度に対応する電位が保持されている。よって、実施の形態1に係る表示装置1の駆動タイミングの変形例と同様に、逆バイアス電圧印加後にスイッチ

50

ングトランジスタ103による信号電圧の再書き込みを行わなくても、発光制御線19の電圧レベルを変化させることにより、発光画素10を元の発光強度に戻すことができる。

【0161】

以上のように、本発明に係る表示装置およびその駆動方法により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給できるので、発光素子へのバイアス印加に伴う制御線の本数増加が抑制される。また、発光素子への信号電流を供給する駆動トランジスタのオンオフ状態を制御する容量素子の電圧レベルが、画素行ごとに設けられた制御線により制御されるので、当該容量素子の電圧レベルを制御するためのスイッチングトランジスタを設ける必要がない。よって、発光素子へ逆バイアスを印加するための付加回路が簡素化されるので、当該表示装置の製造歩留まりを低下させることなく、非発光時において発光素子に所定のバイアス電圧を印加できるので、発光素子の輝度劣化の回復が可能となる。

10

【0162】

なお、以上述べた実施の形態では、スイッチングトランジスタのゲートの電圧レベルがHIGHの場合にオン状態になるn型トランジスタとして記述しているが、これらをp型トランジスタで形成し、ゲート線、制御線および発光制御線の極性を反転させた表示装置でも、発光素子への逆バイアス印加動作は可能であり、上述した各実施の形態と同様の効果を奏する。

【0163】

なお、本発明に係る表示装置は、上記実施の形態に限定されるものではない。実施の形態1ないし4及びその変形例における任意の構成要素を組み合わせて実現される別の実施形態や、実施の形態1ないし4及びその変形例に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

20

【0164】

例えば、実施の形態2および実施の形態4において、実施の形態1に係る表示装置の駆動タイミングの変形例に記載された、ブランキング期間内に逆バイアス電圧を発光素子に印加する駆動タイミングを使用してもよい。

【0165】

また、本発明に係る実施の形態では、駆動トランジスタおよびスイッチングトランジスタは、ゲート、ソース及びドレインを有するFETであることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

30

【0166】

また、例えば、本発明に係る表示装置は、図11に記載されたような薄型フラットTVに内蔵される。本発明に係る輝度劣化の回復が可能表示装置により、長寿命で生産性の高いディスプレイを備えた薄型フラットTVが実現される。

【産業上の利用可能性】

【0167】

本発明は、表示装置を内蔵する有機ELフラットパネルディスプレイに有用であり、特に輝度劣化が小さく長寿命が要求されるディスプレイの表示装置およびその駆動方法として用いるのに最適である。

40

【符号の説明】

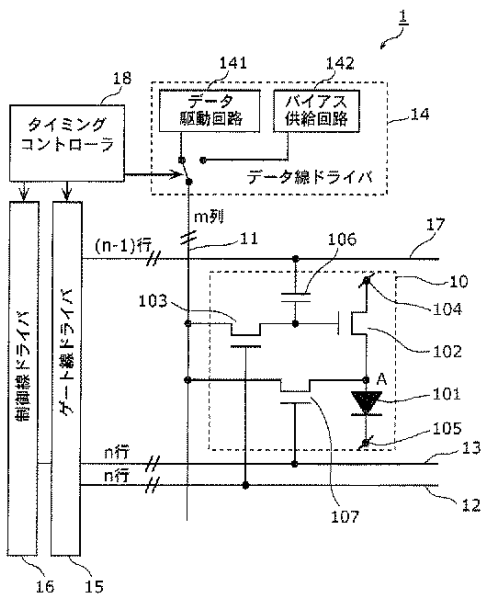
【0168】

- 1、2、3、4、500 表示装置
- 10、22、24 発光画素
- 11、507 データ線
- 12、17 ゲート線
- 13、508、509、510、511 制御線

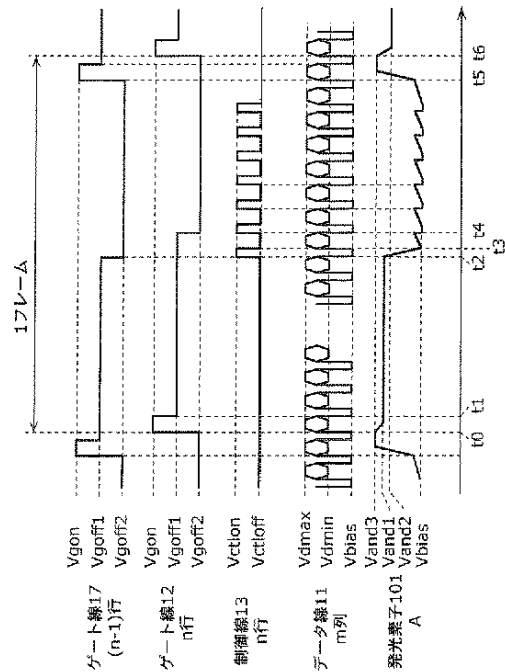
50

- 14 データ線ドライバ
- 15 ゲート線ドライバ
- 16 制御線ドライバ
- 18、21、23、25 タイミングコントローラ
- 19 発光制御線
- 20 発光制御線ドライバ
- 101、501 発光素子
- 102 駆動トランジスタ
- 103、107 スイッチングトランジスタ
- 104、105、108、109 電源
- 106、506 容量素子
- 141 データ駆動回路
- 142 バイアス供給回路
- 502、503、504、505 FET

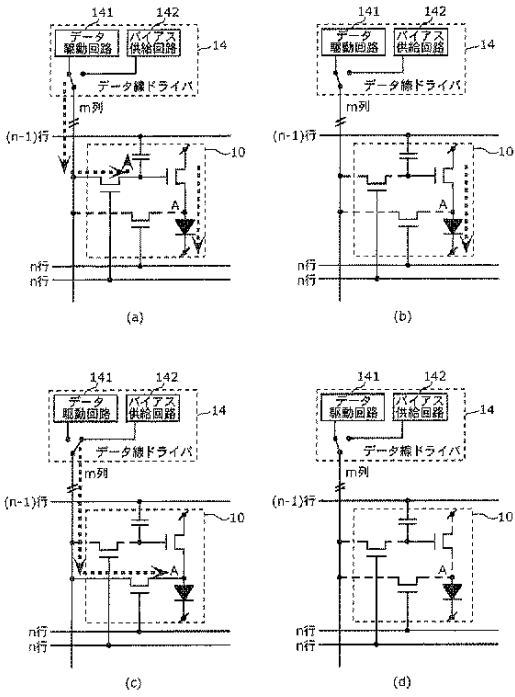
【図1】



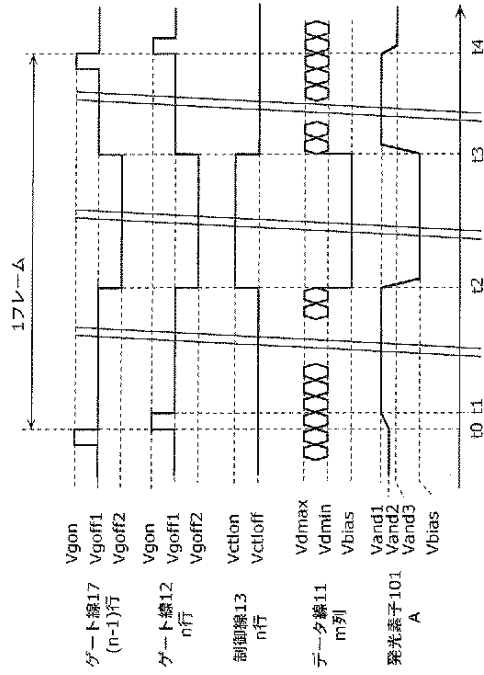
【図2】



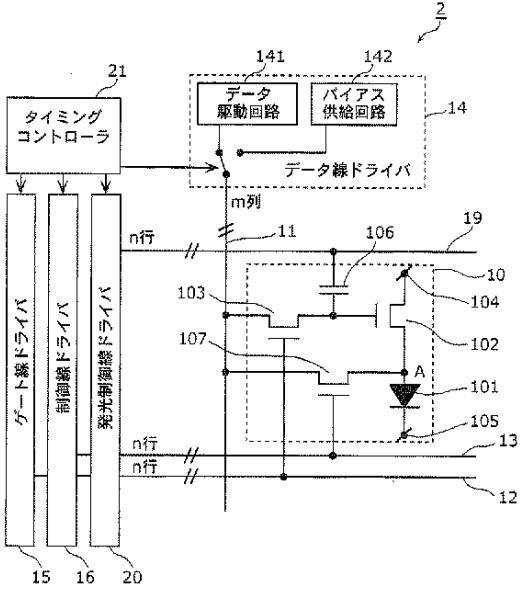
【図 3】



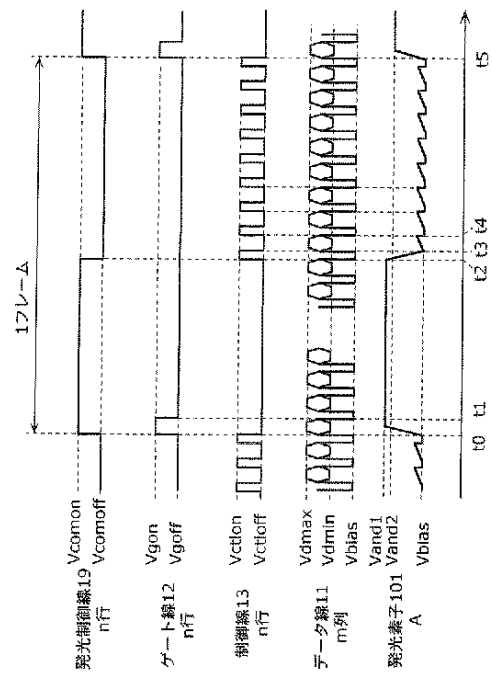
【図 4】



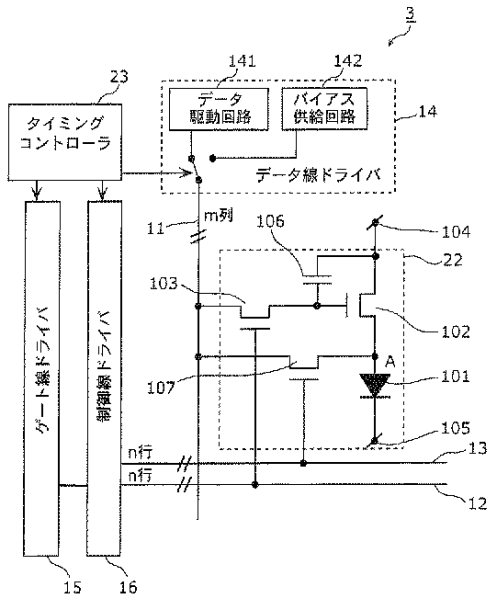
【図 5】



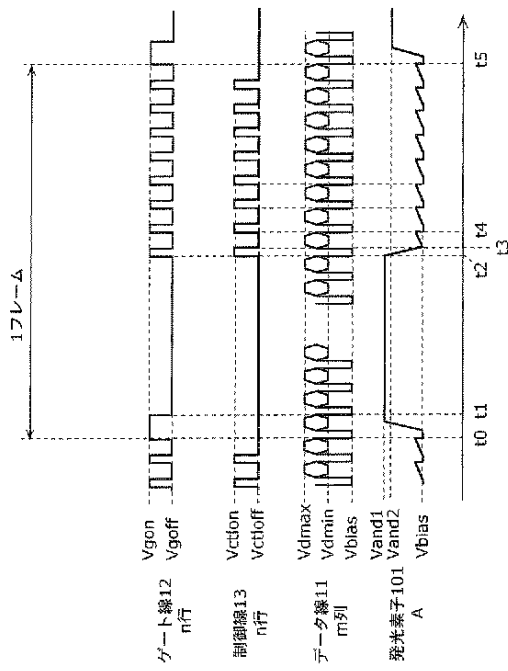
【図 6】



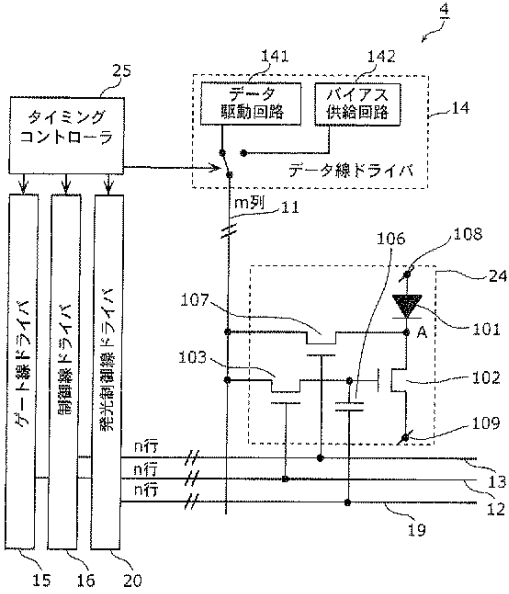
【図 7】



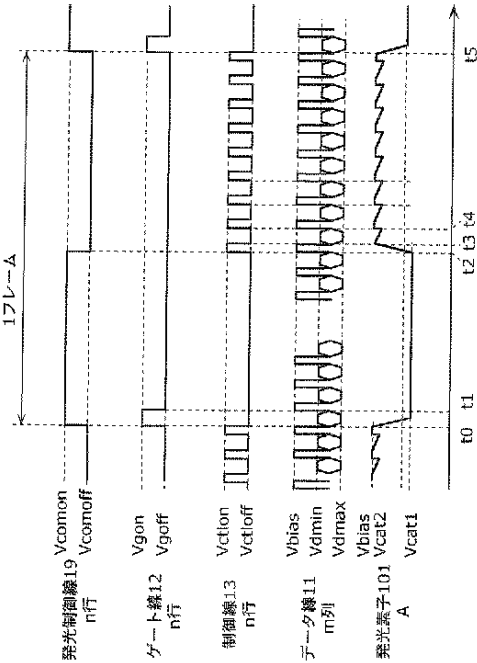
【図 8】



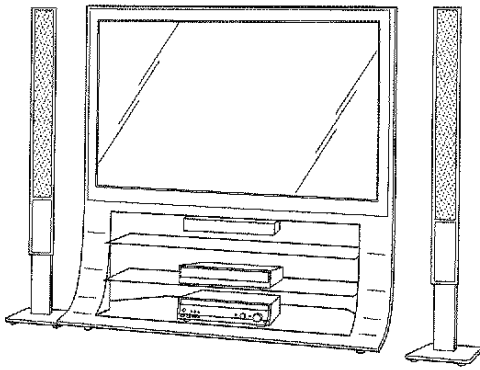
【図 9】



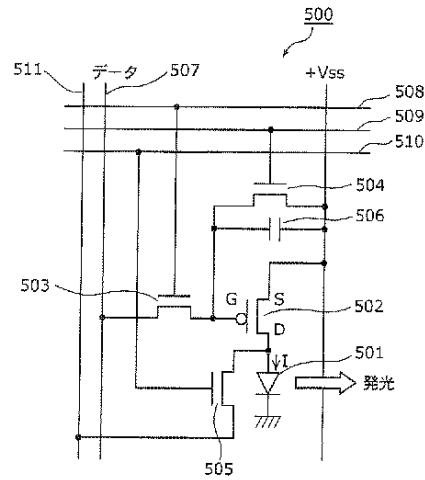
【図 10】



【図 1 1】



【図 1 2】



【手続補正書】

【提出日】平成21年10月27日(2009.10.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、

前記複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記複数の発光画素のそれぞれは、

ソース及びドレインの他方が第1の電源端子に接続され、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素への信号電圧の書き込みを制御する第2の書き込み制御線に接続された容量素子と、

アノード及びカソードの一方が、前記第1のトランジスタのソース及びドレインの一方

に接続され、アノード及びカソードの他方が第2の電源端子に接続され、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備え、

前記表示装置は、さらに、

前記信号電圧を前記データ線に供給するデータ駆動回路と、

所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、

前記第2の書き込み制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間内に、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通にし、かつ、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオンにすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備える

ことを特徴とする表示装置。

【請求項2】

(削除)

【請求項3】

マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、

前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線と、

前記発光素子の発光を制御する複数の発光制御線とを備え、

前記発光画素のそれぞれは、

ソース及びドレインの他方が第1の電源端子に接続され、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記複数の発光制御線のうち第1の発光制御線に接続された容量素子と、

アノード及びカソードの一方が、前記第1のトランジスタのソース及びドレインの一方に接続され、アノード及びカソードの他方が第2の電源端子に接続され、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備え、

前記表示装置は、さらに、

前記信号電圧を前記データ線に供給するデータ駆動回路と、

所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、

前記第1の発光制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間に、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通にし、かつ、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオン状態とし前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備えることを特徴とする表示装置。

【請求項 4】

マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、

前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記発光画素のそれぞれは、

ソース及びドレインの他方が第1の電源端子に接続され、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子と、

アノード及びカソードの一方が、前記第1のトランジスタのソース及びドレインの一方に接続され、アノード及びカソードの他方が第2の電源端子に接続され、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備え、

前記所定のバイアス電圧は、前記第1のトランジスタのゲートに印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、

前記表示装置は、さらに、

前記信号電圧を前記データ線に供給するデータ駆動回路と、

所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、

前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通させると同時に、前記第1の書き込み制御線を電圧変化させることで前記第2のトランジスタをオン状態とし前記第1のトランジスタをオフ状態とすることにより実現された、前記信号電流を前記発光素子に流さない期間と同期して、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオン状態とすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備える

ことを特徴とする表示装置。

【請求項 5】

前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧である

ことを特徴とする請求項 1～4 のうちいずれか 1 項に記載の表示装置。

【請求項 6】

前記所定のバイアス電圧は、前記発光素子に 0 ボルトバイアスをかける電圧である

ことを特徴とする請求項 1～4 のうちいずれか 1 項に記載の表示装置。

【請求項 7】

前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線のうちの 1 本が信号電圧を書き込む制御をする期間と交互に設定される

ことを特徴とする請求項 1～6 のうちいずれか 1 項に記載の表示装置。

【請求項 8】

前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をする期間と交互に設定される

ことを特徴とする請求項1～6のうちいずれか1項に記載の表示装置。

【請求項9】

マトリクス状に配置された複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線と

、
前記信号電圧をデータ線に供給するデータ駆動回路と、

前記所定のバイアス電圧を前記データ線に供給するバイアス供給回路とを備え、

前記複数の発光画素のそれぞれが、

ソース及びドレインの他方が第1の電源端子に接続され、ソース及びドレインの一方が発光素子のアノード及びカソードの一方に接続され、複数のデータ線のうちいずれかのデータ線から供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素への信号電圧の書き込みを制御する第2の書き込み制御線に接続された容量素子と、

アノード及びカソードの他方が、第2の電源端子に接続され、当該第1のトランジスタによって変換された前記信号電流が流れることにより発光する前記発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備える表示装置の駆動方法であって、

前記第2の書き込み制御線を電圧変化させることにより、前記信号電流を前記発光素子に流さないよう前記第1のトランジスタをオフ状態にする駆動トランジスタオフステップと、

前記駆動トランジスタオフステップにより前記第1のトランジスタがオフ状態である期間内に、または、当該期間に同期して、前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイアス供給回路との接続を導通させる接続切り換えステップと、

前記接続切り換えステップにより前記データ線と前記バイアス供給回路との接続がオン状態である期間内に、または、当該期間に同期して、前記第1のバイアス制御線を電圧変化させて前記第3のトランジスタをオンにすることにより前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加するバイアス印加ステップとを含む

ことを特徴とする表示装置の駆動方法。

【請求項10】

(削除)

【請求項11】

マトリクス状に配置された複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線と

、
前記発光素子の発光を制御する複数の発光制御線と、

前記信号電圧をデータ線に供給するデータ駆動回路と、

前記所定のバイアス電圧を前記データ線に供給するバイアス供給回路とを備え、

前記複数の発光画素のそれぞれが、

ソース及びドレインの他方が第1の電源端子に接続され、ソース及びドレインの一方が発光素子のアノード及びカソードの一方に接続され、複数のデータ線のうちいずれかのデ

ータ線から供給された信号電圧を信号電流に変換する第1のトランジスタと、
 ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、
 一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記複数の発光制御線のうち第1の発光制御線に接続された容量素子と、
 アノード及びカソードの他方が、第2の電源端子に接続され、当該第1のトランジスタによって変換された前記信号電流が流れることにより発光する前記発光素子と、
 ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備える表示装置の駆動方法であって、
 前記第1の発光制御線を電圧変化させることにより前記信号電流を前記発光素子に流さないよう前記第1のトランジスタをオフ状態にする駆動トランジスタオフステップと、
 前記駆動トランジスタオフステップにより前記第1のトランジスタがオフ状態である期間内に、または、当該期間に同期して、前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイアス供給回路との接続を導通させる接続切り換えステップと、
 前記接続切り換えステップにより前記データ線と前記バイアス供給回路との接続がオン状態である期間内に、または、当該期間に同期して、前記第1のバイアス制御線を電圧変化させて前記第3のトランジスタをオンにすることにより前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加するバイアス印加ステップとを含む
 ことを特徴とする表示装置の駆動方法。

【請求項12】

マトリクス状に配置された複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、
 前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線と、
 前記信号電圧をデータ線に供給するデータ駆動回路と、
 前記所定のバイアス電圧を前記データ線に供給するバイアス供給回路とを備え、
 前記複数の発光画素のそれぞれが、
 ソース及びドレインの他方が第1の電源端子に接続され、ソース及びドレインの一方が発光素子のアノード及びカソードの一方に接続され、複数のデータ線のうちいずれかのデータ線から供給された信号電圧を信号電流に変換する第1のトランジスタと、
 ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、
 一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子と、
 アノード及びカソードの他方が、第2の電源端子に接続され、当該第1のトランジスタによって変換された前記信号電流が流れることにより発光する前記発光素子と、
 ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備える表示装置の駆動方法であって、
 前記所定のバイアス電圧は、前記第1のトランジスタのゲート電圧に印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、
 前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイ

アス供給回路とを導通させる接続切り換えステップと、

前記第1の書き込み制御線を電圧変化させることにより前記第2のトランジスタをオン状態にし、同時に、前記接続切り換えステップにおいて前記データ線と接続された前記バイアス供給回路から前記所定のバイアス電圧を印加することにより前記第1のトランジスタをオフ状態にする駆動トランジスタオフステップと、

前記駆動トランジスタオフステップおよび前記接続切り換えステップと同期して、前記第1のバイアス制御線を電圧変化させることにより前記第3のトランジスタをオン状態にすることで前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加するバイアス印加ステップとを含む

ことを特徴とする表示装置の駆動方法。

【請求項13】

前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧であることを特徴とする請求項9～12のうちいずれか1項に記載の表示装置の駆動方法。

【請求項14】

前記所定のバイアス電圧は、前記発光素子に0ボルトバイアスをかける電圧であることを特徴とする請求項9～12のうちいずれか1項に記載の表示装置の駆動方法。

【請求項15】

前記接続切り換えステップと前記バイアス印加ステップとは、前記複数の書き込み制御線のうちの1本が信号電圧を書き込む制御をするステップと交互に実行される

ことを特徴とする請求項9～14のうちいずれか1項に記載の表示装置の駆動方法。

【請求項16】

前記接続切り換えステップと前記バイアス電圧印加ステップとは、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をするステップと交互に実行される

ことを特徴とする請求項9～14のうちいずれか1項に記載の表示装置の駆動方法。

【手続補正書】

【提出日】平成22年1月15日(2010.1.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関し、特に電流駆動型の発光素子を用いた表示装置およびその駆動方法に関する。

【背景技術】

【0002】

従来より、表示装置には、明るく、鮮やかに、薄く、軽く、および大面積へという進歩が求められており、技術開発も着実に進められてきている。薄く、軽く、大面積へという要求を満足させるものとして、液晶ディスプレイやプラズマディスプレイが商品化されており、その開始から10年以上が経過した今もなお進化中である。

【0003】

このような環境の中、近年は電流量に応じて発光強度が制御され、応答速度が非常に速いエレクトロルミネッセンス(以下ELと記す)を用いたディスプレイも商品化され、技術開発が著しく進んでいる。その中でも、有機EL素子を用いた有機ELディスプレイは、視野角特性が良好で明るく、鮮やかであり、消費電力が小さいという利点を有する次世代のフラットパネルディスプレイとして注目されている。

【0004】

しかし、上述したような電流駆動型の有機ELディスプレイの場合、有機EL素子への

電流印加につれ進行する輝度劣化が特に顕著である。この輝度劣化した有機EL素子を回復させるために、有機EL素子に逆バイアス電圧を印加するという手法がよく用いられ、特許文献1では、EL素子に逆バイアス電圧を印加するための回路構成が開示されている。

【0005】

図12は、特許文献1に記載された従来の表示装置における発光画素の回路図である。同図における表示装置500は、発光素子501と、FET502、503、504および505と、容量素子506と、データ線507と、制御線508、509、510および511とを備える。

【0006】

図示していないデータドライバ回路からデータ線507を介して、信号電圧が発光画素へ供給される。このとき、制御線508からの電圧制御によりFET503がオン状態であれば、信号電圧はFET502のゲートに印加され、FET502により、発光素子501には当該信号電圧に応じた信号電流が流れる。次に、FET503がオフ状態となっても、発光素子501は、容量素子506の両端子間に充電された電圧に応じた輝度で発光を継続する。このように、表示装置500の基本的な表示動作は、発光素子501、FET502および503、容量素子506、データ線507および制御線508で実行される。

【0007】

上記基本動作に加えて、発光素子501の輝度劣化を回復させるためには、発光素子501に信号電流が流れていない間に、発光素子501のアノードに逆バイアス電圧が印加される。例えば、制御線509からの電圧制御により容量素子506の両端子間がショートされるとFET502のゲート電圧は V_{SS} となり、FET502はオフ状態となる。この間に、制御線510からの電圧制御により、FET505がオン状態となる。FET505のオン状態と同時に制御線511を介して逆バイアス電圧が発光素子501のアノードに印加されることにより、発光素子501の輝度劣化の回復措置がとられている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特許第3993117号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献1では、発光素子501に逆バイアスを印加するために、発光素子501に流す順方向電流を切断するためのFET504およびその制御線509、ならびに、逆バイアスを印加するためのFET505とその制御線510および511が付加されている。つまり、合計2個のトランジスタと3本の制御線が発光動作のための基本画素回路に追加されている。

【0010】

上述した回路構成の場合、発光素子への逆バイアス電圧印加は可能であるが、画素回路の構成要素の増加は製造歩留まりの低下を招くことになる。加えて、制御線が増加すると、データ線が複数の制御線と交差するため、それらの間での相互干渉が増大する。この相互干渉は、配線負荷の増加をもたらしてしまう結果、データ線の信号波形の劣化による表示ムラの原因となる。

【0011】

上記課題に鑑み、本発明は、簡単な画素回路構成で製造歩留まりの低下がなく、表示品質を維持しつつEL素子の輝度劣化の回復を実現できる表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、前記複数の発光画素のそれぞれは、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、前記データ線と前記発光素子のアノード及びカソードの一方との間に挿入され、前記データ線と前記発光素子との導通及び非導通を切り換えるスイッチ素子とを備え、前記表示装置は、前記信号電圧を前記データ線に供給するデータ駆動回路と、所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、前記信号電流を前記発光素子に流さない期間内に、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通にし、かつ、前記スイッチ素子をオンにすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備えることを特徴とする。

【0013】

これにより、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給できるので、発光素子へのバイアス印加に伴う制御線の本数増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0014】

また、前記表示装置は、さらに、前記複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素への信号電圧の書き込みを制御する第2の書き込み制御線に接続された容量素子とを備え、前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、前記制御手段は、前記第2の書き込み制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間に、前記第1のバイアス制御線を電圧変化させることで前記スイッチ素子をオン状態とし前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加してもよい。

【0015】

これにより、駆動トランジスタである第1のトランジスタのオンオフ状態を制御する容量素子の電圧レベルが、基本回路構成要素である前段の発光画素の書き込み制御線により制御されるので、当該容量素子の電圧レベルを制御するためのスイッチングトランジスタや専用の制御線を設ける必要がない。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、発光素子の輝度劣化の回復が可能となる。

【0016】

また、前記表示装置は、さらに、前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線と、前記発光素子の発光を制御する複数の発光制御線とを備え、前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち

第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記複数の発光制御線のうち第1の発光制御線に接続された容量素子とを備え、前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、前記制御手段は、前記第1の発光制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間に、前記第1のバイアス制御線を電圧変化させることで前記スイッチ素子をオン状態とし前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加してもよい。

【0017】

これにより、駆動トランジスタのオンオフ状態を制御する容量素子の電圧レベルが第1の発光制御線により制御されるので、当該容量素子の電圧レベルを制御するためのスイッチングトランジスタを設ける必要がない。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、発光素子の輝度劣化の回復が可能となる。また、第1の発光制御線は、発光素子の輝度回復のために専用に付加されているので、その制御電圧レベルは第1のトランジスタをオンオフするための2値でよいので、制御線の駆動回路の簡素化が図られる。

【0018】

また、前記表示装置は、さらに、前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、前記発光画素のそれぞれは、さらに、ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子とを備え、前記第1のトランジスタは、ソース及びドレインの他方が、第1の電源端子に接続され、ソース及びドレインの一方が、前記発光素子のアノード及びカソードの一方に接続され、前記発光素子は、アノード及びカソードの他方が、第2の電源端子に接続され、前記スイッチ素子は、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタであり、前記所定のバイアス電圧は、前記第1のトランジスタのゲートに印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、前記制御手段は、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通させると同時に、前記第1の書き込み制御線を電圧変化させることで前記第2のトランジスタをオン状態とし前記第1のトランジスタをオフ状態とすることにより実現された、前記信号電流を前記発光素子に流さない期間と同期して、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオン状態とすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加してもよい。

【0019】

これにより、発光素子に印加するバイアス電圧が第1のトランジスタをオフにするゲー

ト電圧値となるよう電圧調整されているので、容量素子の電圧変化により第1のトランジスタをオフ状態とする必要がない。つまり、発光素子にバイアス電圧が印加されている時には、同時に第1のトランジスタのゲートにも当該逆バイアス電圧が印加されている。よって、容量素子の電圧レベルを変化させるための制御線を設ける必要がないので、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので発光素子の輝度劣化の回復が可能となる。

【0020】

また、前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧であってもよい。

【0021】

これにより、経時変化により劣化した発光素子の輝度を回復させることが可能となる。

【0022】

また、前記所定のバイアス電圧は、前記発光素子に0ボルトバイアスをかける電圧であってもよい。

【0023】

これにより、発光素子のアノードとカソードとが同電位となり、発光素子が電氣的にショートされるので、経時変化により劣化した発光素子の輝度を回復させることが可能となる。

【0024】

また、前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線のうちの1本が信号電圧を書き込む制御をする期間と交互に設定されてもよい。

【0025】

これにより、信号電圧を書き込む期間とバイアス電圧を印加する期間との比率を任意に設定することができるので、表示仕様に応じた輝度回復措置の最適化が可能となる。

【0026】

また、前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をする期間と交互に設定されてもよい。

【0027】

これにより、信号電圧が書き込まれないブランキング期間にまとめてバイアス電圧が印加されるので、当該信号電圧が書き込まれる期間を長く設定することが可能となる。また、バイアス電圧印加と信号電圧書き込みの動作周波数を低くすることができるので、発光素子におけるバイアス電圧の充放電特性の影響を小さくすることが可能となる。

【0028】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

【発明の効果】

【0029】

本発明の表示装置およびその駆動方法によれば、発光動作のための基本回路構成要素を、発光素子へのバイアス電圧印加動作に必要な付加回路構成要素として一部共用しているので、簡単な画素回路構成で製造歩留まりの低下がなく所定のバイアス電圧を発光素子に与えることができる。よって、表示品質を維持しつつEL素子の輝度劣化を回復することができる。

【図面の簡単な説明】

【0030】

【図1】 図1は、本発明の実施の形態1に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図2】 図2は、本発明の実施の形態1に係る表示装置の動作タイミングチャートである

。【図3】図3(a)～(d)は、本発明の実施の形態1に係る表示装置の状態遷移図である。

【図4】図4は、本発明の実施の形態1に係る表示装置の駆動タイミングの変形例を示す動作タイミングチャートである。

【図5】図5は、本発明の実施の形態2に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図6】図6は、本発明の実施の形態2に係る表示装置の動作タイミングチャートである。

。【図7】図7は、本発明の実施の形態3に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図8】図8は、本発明の実施の形態3に係る表示装置の動作タイミングチャートである。

。【図9】図9は、本発明の実施の形態4に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図10】図10は、本発明の実施の形態4に係る表示装置の動作タイミングチャートである。

【図11】図11は、本発明の表示装置を内蔵した薄型フラットTVの外観図である。

【図12】図12は、特許文献1に記載された従来の表示装置における発光画素の回路図である。

【発明を実施するための形態】

【0031】

(実施の形態1)

本実施の形態における表示装置は、複数の発光画素と、複数のデータ線と、信号電圧を複数のデータ線に供給するデータ駆動回路と、所定のバイアス電圧を複数のデータ線に供給するバイアス供給回路とを備え、複数の発光画素のそれぞれは、データ線から供給された信号電圧を信号電流に変換する第1のトランジスタと、信号電流が流れることにより発光する発光素子と、データ線と発光素子との導通及び非導通を切り換える第3のトランジスタと、一方の端子が第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素へデータ書き込みを許可する書き込み制御線に接続された容量素子とを備え、信号電流を発光素子に流さない期間に、データ線とデータ駆動回路との接続を非導通にし、データ線とバイアス供給回路とを導通にし、かつ、第3のトランジスタをオンにすることにより、発光素子のアノード及びカソードの一方に所定のバイアス電圧を印加する。

【0032】

これにより、発光素子へのバイアス印加に伴う制御線の本数増加が抑制され、容量素子の電圧レベルを制御するためのスイッチングトランジスタや専用の制御線を設ける必要がないので、製造歩留まりを低下させることなく輝度劣化の回復が可能となる。

【0033】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0034】

図1は、本発明の実施の形態1に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置1は、発光画素10と、データ線11と、ゲート線12および17と、制御線13と、データ線ドライバ14と、ゲート線ドライバ15と、制御線ドライバ16と、タイミングコントローラ18とを備える。

【0035】

発光画素10は、マトリクス状に配置された複数の発光画素のうち、n行m列に配置された発光画素であり、データ線11を介して供給された信号電圧により発光する機能を有し、発光素子101と、駆動トランジスタ102と、スイッチングトランジスタ103および107と、電源104および105と、容量素子106とを備える。

【0036】

データ線 11 は、データ線ドライバ 14 に接続され、発光画素 10 を含み左から m 列目の発光画素列の各発光画素へ、発光強度を決定する信号電圧を供給する機能を有する。

【0037】

また、表示装置 1 は、データ線 11 を含む画素列数分のデータ線を備える。

【0038】

ゲート線 12 は、第 1 の書き込み制御線であり、ゲート線ドライバ 15 に接続され、発光画素 10 を含み上から n 行目の発光画素行の各発光画素へ、上記信号電圧を書き込むタイミングを供給する機能を有する。

【0039】

制御線 13 は、バイアス制御線であり、制御線ドライバ 16 に接続され、水平方向に配列された発光画素 10 を含み上から n 行目の発光画素行の各発光画素へ、所定のバイアス電圧を書き込むタイミングを供給する機能を有する。

【0040】

また、表示装置 1 は、制御線 13 を含む画素行数分の制御線を備える。

【0041】

データ線ドライバ 14 は、データ線 11 を含む全データ線に接続され、当該全データ線を駆動する機能を有する。また、データ線ドライバ 14 は、データ駆動回路 141 と、バイアス供給回路 142 とを備え、タイミングコントローラ 18 により、データ線 11 とデータ駆動回路 141 との接続、または、データ線 11 とバイアス供給回路 142 との接続が選択される。

【0042】

データ駆動回路 141 は、各発光画素を発光させる信号電圧を各データ線に供給する機能を有する。本実施の形態の場合、データ線を介して各発光画素へ供給される信号電圧レベルは、例えば、2～8 V である。

【0043】

また、バイアス供給回路 142 は、各発光画素の有する発光素子に逆バイアスを与える機能を有する。本実施の形態の場合、データ線を介して各発光素子へ供給されるバイアス電圧レベルは、例えば、-3～-5 V である。

【0044】

なお、データ駆動回路 141 およびバイアス供給回路 142 は、データ線ドライバ 14 の構成要素として配置されている必要はなく、複数の画素領域の上部および下部に、それぞれ分離された構成要素として配置されていてもよい。

【0045】

ゲート線ドライバ 15 は、ゲート線 12 および 17 を含む全ゲート線に接続され、当該全ゲート線を駆動する機能を有する。本実施の形態の場合、ゲート線ドライバ 15 から出力される電圧レベルは、例えば、-1.5 V～1.2 V である。

【0046】

制御線ドライバ 16 は、制御線 13 を含む全制御線に接続され、当該全制御線を駆動する機能を有する。本実施の形態の場合、制御線ドライバ 16 から出力される電圧レベルは、例えば、-5 V～1.2 V である。

【0047】

ゲート線 17 は、第 2 の書き込み制御線であり、ゲート線ドライバ 15 に接続され、発光画素 10 への信号電圧書き込みの直前に信号電圧書き込みがなされる 1 行前段の発光画素へ信号電圧を書き込むタイミングを供給する機能を有する。また、ゲート線 17 は、発光画素 10 の有する駆動トランジスタ 102 のオンオフを決定するゲート電圧を制御する機能を有する。この機能については、後述する。

【0048】

また、表示装置 1 は、ゲート線 12 および 17 を含む画素行数分の制御線を備える。

【0049】

タイミングコントローラ 18 は、データ線ドライバ 14、ゲート線ドライバ 15 および

制御線ドライバ16に駆動タイミングを供給する機能を有する。

【0050】

次に、発光画素10の回路構成要素について説明する。

【0051】

発光素子101は、アノードが駆動トランジスタ102のソースおよびドレインの一方に接続され、カソードが電源105に接続されたEL（エレクトロルミネッセンス）素子である。発光素子101は、駆動トランジスタ102によって変換された信号電流が流れることにより発光する機能を有する。発光素子101は、例えば、有機EL素子である。

【0052】

駆動トランジスタ102は、第1のトランジスタであり、ゲートがスイッチングトランジスタ103を介してデータ線11に接続され、ソースおよびドレインの他方が電源104に接続されている。駆動トランジスタ102は、データ線11から供給された信号電圧を、その大きさに応じた信号電流に変換する機能を有する。駆動トランジスタ102は、例えば、nチャネルのFETである。

【0053】

スイッチングトランジスタ103は、第2のトランジスタであり、ゲートがゲート線12に接続され、ソース及びドレインの一方がデータ線11に接続され、ソース及びドレインの他方が駆動トランジスタ102のゲートに接続されている。スイッチングトランジスタ103は、データ線11と駆動トランジスタ102のゲートとの導通及び非導通を切り換える。つまり、スイッチングトランジスタ103は、発光画素10に対しデータ線11の信号電圧値を、ゲート線12がハイレベルの期間供給する機能を有する。スイッチングトランジスタ103は、例えば、nチャネルのFETである。

【0054】

電源104は、駆動トランジスタ102の定電圧源であり、例えば、10Vに設定されている。

【0055】

電源105は、発光素子101の定電圧源であり、例えば、アースされている。本実施の形態の場合、電源104の電位は、電源105の電位よりも高く設定されている。

【0056】

容量素子106は、一端が駆動トランジスタ102のゲートに接続され、他端がゲート線17に接続され、スイッチングトランジスタ103を介して供給された信号電圧レベルを蓄積する機能を有する。なお、前述したように、容量素子106の電圧レベルの変化による駆動トランジスタ102のオンオフ制御については、後述する。

【0057】

スイッチングトランジスタ107は、ゲートが制御線13に接続され、ソースおよびドレインの一方がデータ線11に接続され、ソースおよびドレインの他方が発光素子101のアノードに接続されている。スイッチングトランジスタ107は、データ線11と発光素子101のアノードとの導通及び非導通を切り換える。つまり、スイッチングトランジスタ107は、発光素子101に対しデータ線11の所定のバイアス電圧値を、制御線13がハイレベルの期間に供給する機能を有する。スイッチングトランジスタ107は、例えば、nチャネルのFETである。

【0058】

次に、本実施の形態に係る表示装置1の駆動方法について図2および図3を用いて説明する。

【0059】

図2は、本発明の実施の形態1に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、ゲート線17、ゲート線12、制御線13、データ線11および発光素子101のアノードに発生する電圧の波形図が示されている。

【0060】

また、図3 (a) ~ (d) は、本発明の実施の形態1に係る表示装置の状態遷移図である。

【0061】

まず、時刻 t_0 において、ゲート線12の電圧レベルを V_{goff2} から V_{gon} に変化させ、スイッチングトランジスタ103をオン状態とする。なお、本実施の形態において、例えば、 V_{gon} は12V、 V_{goff2} は-15Vに設定されている。

【0062】

$t_0 \sim t_1$ の期間、スイッチングトランジスタ103はオン状態を維持し、この期間に容量素子106に対してデータ線11に供給されている信号電圧を書き込む。図3 (a) は、この $t_0 \sim t_1$ の期間での表示装置1の状態である。容量素子106に書き込まれた信号電圧値と電源104との電位差により、駆動トランジスタ102を流れる電流量が決定し、その電流量に対応する明るさで発光素子101が発光する。このとき、発光素子101のアノードAの電位は、信号電圧に対応する信号電流を流したときの発光素子101の順方向電圧分だけ、電源105の電位よりも高い電位 V_{and1} となる。

【0063】

次に、時刻 t_1 において、ゲート線12の電圧レベルを V_{goff1} に変化させ、スイッチングトランジスタ103をオフ状態とする。なお、本実施の形態において、例えば、 V_{goff1} は-5Vに設定されている。

【0064】

$t_1 \sim t_2$ の期間において、容量素子106に書き込まれた信号電圧と電源104との電位差により決定する信号電流で発光素子101は発光を継続する。図3 (b) は、この $t_1 \sim t_2$ の期間での表示装置1の状態である。発光素子101のアノードAの電位は V_{and1} を維持している。

【0065】

次に、時刻 t_2 において、ゲート線17の電圧レベルを V_{goff2} に変化させることにより、駆動トランジスタ102のゲート電圧が容量結合により負側に変化し、駆動トランジスタ102をオフ状態とする。同時に、制御線13の電圧レベルを V_{ctlon} に変化させ、スイッチングトランジスタ107をオン状態とするので、発光素子101のアノードにデータ線11の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ14において、データ駆動回路141とデータ線11との接続をオフとしバイアス供給回路142とデータ線11との接続をオンとすることにより、発光素子101のアノードの電位は、所定のバイアス電圧へと変化する。なお、本実施の形態において、例えば、 V_{ctlon} は12Vに設定されている。

【0066】

$t_2 \sim t_3$ の期間において、発光素子101のアノードの電位は所定のバイアス電圧 V_{bias} へと到達する。図3 (c) は、この $t_2 \sim t_3$ の期間での表示装置1の状態である。この V_{bias} を電源105よりも低い電圧に設定することで $t_2 \sim t_3$ の期間に、発光素子101に逆バイアスを印加することができ、発光素子101の輝度劣化が回復される。なお、本実施の形態において、例えば、 V_{bias} は-3~-5Vに設定されている。

【0067】

次に、時刻 t_3 において、制御線13の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ107をオフ状態とする。同時に、データ線ドライバ14において、バイアス供給回路142とデータ線11との接続をオフとし、データ駆動回路141とデータ線11との接続をオンとすることにより、データ線11は発光強度を決定する信号電圧レベルに切り替わる。このとき、ゲート線17の電位レベルは V_{goff2} を維持しているので駆動トランジスタ102はオフ状態のままとなり、発光素子101のアノードの電位は固定されない。なお、本実施の形態において、例えば、 V_{ctloff} は-5Vに設定されている。図3 (d) は、この $t_3 \sim t_4$ の期間での表示装置1の状態である。

【0068】

t 2 ~ t 4 の期間は、ゲート線 1 2 に接続される画素群を 1 行とした場合に、データ線に供給する信号電圧を 1 行ずつ切り替える時間に相当し、t 2 ~ t 3 の期間は、ある 1 行の信号電圧を書き換える期間のうちの一部の時間に相当する。t 2 から t 4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置 1 全面の画素内容が書き換わることになる。

【0069】

なお、t 2 から t 4 の期間において、t 2 ~ t 3 の期間と t 3 ~ t 4 の期間との比率を調整することが可能である。つまり、ゲート線 1 7 を用いて駆動トランジスタ 1 0 2 をオフ状態にし、スイッチングトランジスタ 1 0 7 を用いて発光素子 1 0 1 にバイアス電圧を印加する期間を、1 フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

【0070】

次に、t 4 ~ t 5 の期間において、t 2 ~ t 4 の期間が繰り返され、駆動トランジスタ 1 0 2 およびスイッチングトランジスタ 1 0 3 はオフ状態となり、スイッチングトランジスタ 1 0 7 が周期的にオン状態になり所定のバイアス電圧 V_{bias} を発光素子 1 0 1 のアノードに印加して逆バイアスをかけ続ける。

【0071】

次に、時刻 t 5 において、ゲート線 1 7 の電圧レベルを V_{gon} に変化させることにより、容量素子 1 0 6 の容量結合により駆動トランジスタ 1 0 2 のゲート電圧が上がり、発光素子 1 0 1 には再び容量素子 1 0 6 と電源 1 0 4 の電位差で決まる電流が流れる。

【0072】

最後に時刻 t 6 にはゲート線 1 2 の電圧レベルを V_{gon} に変化させ、スイッチングトランジスタ 1 0 3 をオン状態とするため、容量素子 1 0 6 には新たな信号電圧が書き込まれ、発光素子 1 0 1 は新たな強度で発光を始める。

【0073】

t 0 ~ t 6 の期間は、表示装置 1 の全発光画素の発光強度が書き換えられる 1 フレーム期間に相当し、以降、t 0 ~ t 6 の期間の動作が繰り返される。

【0074】

以上のように、本実施の形態によれば、表示装置 1 は、基本画素回路にスイッチングトランジスタ 1 0 7 を、また、画素行毎に当該スイッチングトランジスタ 1 0 7 をオンオフする制御線 1 3 を付加した簡単な構成となる。また、表示装置 1 は制御線ドライバ 1 6 を具備し、データ線は、画像データの書込みと発光素子へのバイアス電圧書込みの 2 種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子 1 0 6 の電圧レベルを前段の画素のゲート線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0075】

なお、所定のバイアス電圧 V_{bias} は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子 1 0 1 に逆バイアスをかける電圧でもよく、あるいは、発光素子 1 0 1 のカソードと同じ電圧値にして発光素子 1 0 1 に 0 ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。

【0076】

図 4 は、本発明の実施の形態 1 に係る表示装置の駆動タイミングの変形例を示す動作タイミングチャートである。

【0077】

まず、時刻 t 0 において、ゲート線 1 2 の電圧レベルを V_{gon} に変化させ、スイッチングトランジスタ 1 0 3 をオン状態とする。

【0078】

t₀からt₁の期間、スイッチングトランジスタ103はオン状態を維持し、この期間に容量素子106に対してデータ線11に供給されている信号電圧を書き込む。図3(a)は、このt₀~t₁の期間での表示装置1の状態である。容量素子106に書き込まれた信号電圧値と電源104の電位差との電位差により、駆動トランジスタ102を流れる電流量が決定し、その電流量に対応する明るさで発光素子101が発光する。このとき、発光素子101のアノードAの電位は、信号電圧に対応する信号電流を流したときの発光素子101の順方向電圧分だけ、電源105の電位よりも高いV_{and1}となる。

【0079】

次に、時刻t₁において、ゲート線12の電圧レベルをV_{goff1}に変化させ、スイッチングトランジスタ103をオフ状態とする。

【0080】

t₁~t₂の期間において、容量素子106に書き込まれた信号電圧と電源104との電位差により決定する信号電流で発光素子101は発光を継続する。図3(b)は、このt₁~t₂の期間での表示装置1の状態である。発光素子101のアノードAの電位はV_{and1}を維持している。

【0081】

次に、時刻t₂において、ゲート線17の電圧レベルをV_{goff1}からV_{goff2}に変化させることにより、駆動トランジスタ102のゲート電圧が容量結合により負側に変化し、駆動トランジスタ102をオフ状態とする。同時に、制御線13の電圧レベルをV_{ctlon}に変化させ、スイッチングトランジスタ107をオン状態とするので、発光素子101のアノードにデータ線11の電圧が書き込まれる。また、時刻t₂には、データ線ドライバ14において、データ駆動回路141とデータ線11との接続をオフとしバイアス供給回路142とデータ線11との接続をオンとすることにより、発光素子101のアノードの電位は、所定のバイアス電圧へと変化する。

【0082】

次に、時刻t₃になると、制御線13の電圧レベルをV_{ctloff}に変化させることにより、スイッチングトランジスタ107をオフ状態とし、データ線11は発光強度を決定する信号電圧レベルに切り替わる。同時に、ゲート線17の電圧レベルをV_{goff1}に変化させることにより、容量素子106の容量結合のために駆動トランジスタ102のゲート電圧がt₁~t₂の期間における電圧と同じ電圧に戻り、発光素子には時刻t₀で書き込まれた信号電流が再び流れる。

【0083】

次に、時刻t₄になると、ゲート線12の電圧レベルをV_{gon}に変化させ、スイッチングトランジスタ103をオン状態とし、容量素子106に新たな信号電圧を書き込む。

【0084】

上述した駆動タイミングの変形例では、データ線11の時分割による発光素子101への逆バイアス印加期間は、発光強度を書き込まないブランキング期間であるので、本期間を自由に設定することは困難であるが、逆に、発光強度を書き込む表示期間を長く確保することが可能となる。

【0085】

以上のように、本実施の形態に係る表示装置の駆動方法によれば、発光素子101へのバイアス電圧印加の期間は、発光のための信号電圧が各データ線を介して1行分書き込まれる期間と交互に設定されてもよいし、また、1フレーム中に設けられたブランキング期間内に設定されてもよい。いずれの駆動タイミングを選択するかは、表示装置の表示仕様や発光素子の劣化特性に応じて決定され得る。

【0086】

(実施の形態2)

図5は、本発明の実施の形態2に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置2は、発光画素10と、データ線11と、ゲート線12と、制御線13と、データ線ドライバ14と、ゲート線ドライバ15と、制御線

ドライバ16と、発光制御線ドライバ20と、タイミングコントローラ21とを備える。同図における表示装置2は、実施の形態1における表示装置1と比較して、発光画素10の構成要素である容量素子106が、前段の発光画素に接続されたゲート線に接続されず、専用の発光制御線に接続されている点、また、当該発光制御線を駆動する発光制御線ドライバが設けられている点が回路構成として異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの接続および駆動タイミングが異なる。実施の形態1と同じ点は説明を省略し、以下、異なる点のみ説明する。

【0087】

発光制御線19は、上からn行目の発光画素行の各発光画素および発光制御線ドライバ20に接続され、発光画素10の有する駆動トランジスタ102のゲートに接続された容量素子106の電圧レベルを制御する機能のみを有する。

【0088】

発光制御線ドライバ20は、発光制御線19を含む全発光制御線に接続され、当該全発光制御線を駆動する機能を有する。

【0089】

タイミングコントローラ21は、データ線ドライバ14、ゲート線ドライバ15、制御線ドライバ16および発光制御線ドライバ20に駆動タイミングを供給する機能を有する。

【0090】

容量素子106は、一端が駆動トランジスタ102のゲートに接続され、他端が発光制御線19に接続され、スイッチングトランジスタ103を介して供給された信号電圧レベルを蓄積する機能を有する。なお、容量素子106の電圧レベルの変化による駆動トランジスタ102のオンオフ制御については、後述する。

【0091】

次に、本実施の形態に係る表示装置2の駆動方法について図6を用いて説明する。

【0092】

図6は、本発明の実施の形態2に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、発光制御線19、ゲート線12、制御線13、データ線11および発光素子101のアノードに発生する電圧の波形図が示されている。

【0093】

まず、時刻t0において、ゲート線12の電圧レベルをVgoffからVgonに変化させ、スイッチングトランジスタ103をオン状態とする。同時に、発光制御線19の電圧レベルをVcomoffからVcomonに変化させる。

【0094】

t0からt1の期間、スイッチングトランジスタ103はオン状態を維持し、この期間に容量素子106に対してデータ線11に供給されている信号電圧を書き込む。容量素子106に書き込まれた信号電圧値と電源104との電位差により、駆動トランジスタ102を流れる電流量が決定し、その電流量に対応する明るさで発光素子101が発光する。このとき、発光素子101のアノードAの電位は、信号電圧に対応する信号電流を流したときの発光素子101の順方向電圧分だけ、電源105の電位よりも高い電位Vand1となる。

【0095】

次に、時刻t1において、ゲート線12の電圧レベルをVgoffに変化させ、スイッチングトランジスタ103をオフ状態とする。

【0096】

t1～t2の期間において、ゲート線12の電圧レベルがVgoffとなっても、容量素子106に書き込まれた信号電圧と電源104との電位差により決定する信号電流で発光素子101は発光を継続する。

【0097】

次に、時刻 t_2 において、発光制御線 19 の電圧レベルを V_{common} から V_{comoff} へ変化させることにより、駆動トランジスタ 102 のゲート電圧が容量結合により負側に変化し、駆動トランジスタ 102 をオフ状態となる。同時に、制御線 13 の電圧レベルを V_{ctlon} に変化させ、スイッチングトランジスタ 107 をオン状態とするので、発光素子 101 のアノードにデータ線 11 の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ 14 において、データ駆動回路 141 とデータ線 11 との接続をオフとしバイアス供給回路 142 とデータ線 11 との接続をオンとすることにより、発光素子 101 のアノードの電位は、所定のバイアス電圧へと変化する。

【0098】

$t_2 \sim t_3$ の期間において、発光素子 101 のアノードの電位は所定のバイアス電圧 V_{bias} へと到達する。この V_{bias} を電源 105 よりも低い電圧に設定することで $t_2 \sim t_3$ の期間に、発光素子 101 に逆バイアスを印加することができ、発光素子 101 の輝度劣化が回復される。

【0099】

次に、時刻 t_3 において、制御線 13 の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ 107 をオフ状態とする。同時に、データ線ドライバ 14 において、バイアス供給回路 142 とデータ線 11 との接続をオフとし、データ駆動回路 141 とデータ線 11 との接続をオンとすることにより、データ線 11 は発光強度を決定する信号電圧レベルに切り替わる。このとき、発光制御線 19 の電圧レベルは V_{comoff} を維持しているので駆動トランジスタ 102 はオフ状態のままとなり、発光素子 101 のアノードの電位は固定されない。

【0100】

$t_2 \sim t_4$ の期間は、ゲート線 12 に接続される画素群を 1 行とした場合に、データ線に供給する信号電圧を 1 行ずつ切り替える時間に相当し、 $t_2 \sim t_3$ の期間は、ある 1 行の信号電圧を書き換える期間のうちの一部の時間に相当する。 t_2 から t_4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置 1 全面の画素内容が書き換わることになる。

【0101】

なお、 t_2 から t_4 の期間において、 $t_2 \sim t_3$ の期間と $t_3 \sim t_4$ の期間との比率を調整することが可能である。つまり、ゲート線 17 を用いて駆動トランジスタ 102 をオフ状態にし、スイッチングトランジスタ 107 を用いて発光素子 101 にバイアス電圧を印加する期間を、1 フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

【0102】

次に、 $t_4 \sim t_5$ の期間において、 $t_2 \sim t_4$ の期間が繰り返され、駆動トランジスタ 102 およびスイッチングトランジスタ 103 はオフ状態となり、スイッチングトランジスタ 107 が周期的にオン状態になり所定のバイアス電圧 V_{bias} を発光素子 101 のアノードに印加して逆バイアスをかけ続ける。

【0103】

次に、時刻 t_5 において、ゲート線 12 の電圧レベルを V_{gon} に変化させることにより、スイッチングトランジスタ 103 がオン状態となり、容量素子 106 には新たな信号電圧が書き込まれ、発光素子 101 は新たな強度で発光を始める。このとき、発光素子 101 のアノードの電位は新たな発光強度に対応した電位 V_{and2} となる。

【0104】

$t_0 \sim t_5$ の期間は、表示装置 2 の全発光画素の発光強度が書き換えられる 1 フレーム期間に相当し、以降、 $t_0 \sim t_5$ の期間の動作が繰り返される。

【0105】

以上のように、本実施の形態によれば、表示装置 2 は、画素回路にスイッチングトランジスタ 107 を、また、画素行毎に当該スイッチングトランジスタ 107 をオンオフする制御線 13 および容量素子 106 の電圧レベルを制御する発光制御線 19 を付加した簡単

な構成となる。また、表示装置 2 は制御線ドライバ 16 および発光制御線ドライバ 20 を具備し、データ線 11 は、画像データの書込みと発光素子 101 へのバイアス電圧書込みの 2 種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子の電圧レベルを画素行毎に設けられた上記発光制御線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0106】

なお、所定のバイアス電圧 V_{bias} は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子 101 に逆バイアスをつける電圧でもよく、あるいは、発光素子 101 のカソードと同じ電圧値にして発光素子 101 に 0 ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。また、上記発光制御線は、発光素子の輝度回復のために専用が付加されているので、その制御電圧レベルは駆動トランジスタをオンオフするための 2 値でよいので、実施の形態 1 における表示装置 1 と比較して、ゲート線ドライバの簡素化が図られる。

【0107】

また、本実施の形態において、発光素子 101 に逆バイアス電圧を印加している期間中、容量素子 106 には発光強度に対応する電位が保持されている。よって、実施の形態 1 に係る表示装置 1 の駆動タイミングの変形例と同様に、逆バイアス電圧印加後にスイッチングトランジスタ 103 による信号電圧の再書き込みを行わなくても、発光制御線 19 の電圧レベルを変化させることにより、発光画素 10 を元の発光強度に戻すことができる。

【0108】

(実施の形態 3)

図 7 は、本発明の実施の形態 3 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置 3 は、発光画素 22 と、データ線 11 と、ゲート線 12 と、制御線 13 と、データ線ドライバ 14 と、ゲート線ドライバ 15 と、制御線ドライバ 16 と、タイミングコントローラ 23 とを備える。同図における表示装置 3 は、実施の形態 1 における表示装置 1 と比較して、発光画素 22 の構成要素である容量素子 106 が、前段の発光画素に接続されたゲート線に接続されず、駆動トランジスタ 102 のソースおよびドレインの他方に接続されている点が回路構成として異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの駆動タイミングが異なる。実施の形態 1 と同じ点は説明を省略し、以下、異なる点のみ説明する。

【0109】

タイミングコントローラ 23 は、データ線ドライバ 14、ゲート線ドライバ 15 および制御線ドライバ 16 に駆動タイミングを供給する機能を有する。

【0110】

容量素子 106 は、一端が駆動トランジスタ 102 のゲートに接続され、他端が駆動トランジスタ 102 のソースおよびドレインの他方に接続され、スイッチングトランジスタ 103 を介して供給された信号電圧レベルを蓄積する機能を有する。ここで、容量素子 106 の電圧レベルは、データ線 11 からスイッチングトランジスタ 103 を介して書き込まれる電圧の変化のみにより変化する。駆動トランジスタ 102 のオンオフ制御については、後述する。

【0111】

次に、本実施の形態に係る表示装置 2 の駆動方法について図 8 を用いて説明する。

【0112】

図 8 は、本発明の実施の形態 3 に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、ゲート線 12、制御線 13、データ線 11 および発光素子 101 のアノードに発生する電圧の波形図が示されている。

【0113】

まず、時刻 t_0 において、ゲート線 12 の電圧レベルを V_{goff} から V_{gon} に変化させ、スイッチングトランジスタ 103 をオン状態とする。

【0114】

t_0 から t_1 の期間、スイッチングトランジスタ 103 はオン状態を維持し、この期間に容量素子 106 に対してデータ線 11 に供給されている信号電圧を書き込む。容量素子 106 に書き込まれた信号電圧値と電源 104 との電位差により、駆動トランジスタ 102 を流れる電流量が決定し、その電流量に対応する明るさで発光素子 101 が発光する。このとき、発光素子 101 のアノード A の電位は、信号電圧に対応する信号電流を流したときの発光素子 101 の順方向電圧分だけ、電源 105 の電位よりも高い電位 V_{and1} となる。

【0115】

次に、時刻 t_1 において、ゲート線 12 の電圧レベルを V_{goff} に変化させ、スイッチングトランジスタ 103 をオフ状態とする。

【0116】

$t_1 \sim t_2$ の期間において、ゲート線 12 の電圧レベルが V_{goff} となっても、容量素子 106 に書き込まれた信号電圧と電源 104 との電位差により決定する信号電流で発光素子 101 は発光を継続する。

【0117】

次に、時刻 t_2 において、ゲート線 12 の電圧レベルを V_{goff} から V_{gon} へ変化させることにより、スイッチングトランジスタ 103 をオン状態とする。同時に、制御線 13 の電圧レベルを V_{ctloff} から V_{ctlon} に変化させ、スイッチングトランジスタ 107 をオン状態とする。さらに同時に、データ線ドライバ 14 において、データ駆動回路 141 とデータ線 11 との接続をオフとしバイアス供給回路 142 とデータ線 11 との接続をオンとする。よって、容量素子 106 にはバイアス供給回路 142 から供給される電圧 V_{bias} が書き込まれると同時に発光素子 101 のアノードにも V_{bias} が印加される。

【0118】

この V_{bias} 電圧値を、駆動トランジスタ 102 のゲートに印加された場合に駆動トランジスタ 102 をオフ状態にする電圧値とし、かつ、発光素子 101 のカソードに接続された電源 105 よりも低い電圧値とすることで、 $t_2 \sim t_3$ の期間には発光素子 101 を発光させず、発光素子 101 に逆バイアスを印加することができる。

【0119】

次に、時刻 t_3 において、ゲート線 12 の電圧レベルを V_{gon} から V_{goff} へ変化させることにより、スイッチングトランジスタ 103 をオフ状態とする。同時に、制御線 13 の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ 107 をオフ状態とする。さらに同時に、データ線ドライバ 14 において、バイアス供給回路 142 とデータ線 11 との接続をオフとし、データ駆動回路 141 とデータ線 11 との接続をオンとすることにより、データ線 11 は発光強度を決定する信号電圧レベルに切り替わる。このとき、駆動トランジスタ 102 はオフ状態を維持しているので、発光素子 101 のアノードの電位は固定されない。

【0120】

次に、時刻 t_4 には、再びスイッチングトランジスタ 103 および 107 をオン状態とし、同時に、データ線ドライバ 14 において、データ駆動回路 141 とデータ線 11 との接続をオフとしバイアス供給回路 142 とデータ線 11 との接続をオンとすることにより、 V_{bias} が発光素子 101 のアノードに印加されるため、発光素子 101 には V_{bias} と電源 105 との差分電圧が印加される。

【0121】

$t_2 \sim t_4$ の期間は、ゲート線 12 に接続される画素群を 1 行とした場合に、データ線に供給する信号電圧を 1 行ずつ切り替える時間に相当し、 $t_2 \sim t_3$ の期間は、ある 1 行

の信号電圧を書き換える期間のうちの一部の時間に相当する。t 2 から t 4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置 1 全面の画素内容が書き換わることになる。

【0122】

なお、t 2 から t 4 の期間において、t 2 ～ t 3 の期間と t 3 ～ t 4 の期間との比率を調整することが可能である。つまり、スイッチングトランジスタ 107 を用いて発光素子 101 にバイアス電圧を印加する期間を、1 フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

【0123】

次に、t 4 ～ t 5 の期間において、t 2 ～ t 4 の期間が繰り返され、駆動トランジスタ 102 はオフ状態、また、スイッチングトランジスタ 103 および 107 は周期的にオン状態となり、V b i a s を容量素子 106 と発光素子 101 のアノードに印加して逆バイアスをかけ続ける。

【0124】

次に、時刻 t 5 において、ゲート線 12 の電圧レベルを V g o n に変化させることによりスイッチングトランジスタ 103 がオン状態となる。そして、容量素子 106 には新たな信号電圧が書き込まれ、発光素子 101 は新たな強度で発光を始める。このとき、発光素子 101 のアノードの電位は新たな発光強度に対応した電位 V a n d 2 となる。

【0125】

t 0 ～ t 5 の期間は、表示装置 3 の全発光画素の発光強度が書き換えられる 1 フレーム期間に相当し、以降、t 0 ～ t 5 の期間の動作が繰り返される。

【0126】

以上のように、本実施の形態によれば、表示装置 3 は、画素回路にスイッチングトランジスタ 107 を、また、画素行毎に当該スイッチングトランジスタ 107 をオンオフする制御線 13 を付加した簡単な構成となる。また、表示装置 3 は制御線ドライバ 16 を具備し、データ線 11 は、画像データの書込みと発光素子 101 へのバイアス電圧書込みの 2 種類の書込みに時分割で使用される。また、発光素子 101 に印加するバイアス電圧を駆動トランジスタ 102 をオフにするレベルと共用することにより、上記回路構成の簡素化が実現される。

【0127】

これらの構成により、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0128】

なお、所定のバイアス電圧 V b i a s は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子 101 に逆バイアスをかける電圧でもよく、あるいは、発光素子 101 のカソードと同じ電圧値にして発光素子 101 に 0 ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。なお、上述したように、発光素子 101 に印加するバイアス電圧を、駆動トランジスタ 102 をオフにするレベルと共用することにより、その制御電圧レベルは駆動トランジスタをオンオフするための 2 値でよいので、実施の形態 1 における表示装置 1 と比較して、ゲート線ドライバの簡素化が図られる。

【0129】

(実施の形態 4)

図 9 は、本発明の実施の形態 4 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置 4 は、発光画素 24 と、データ線 11 と、ゲート線 12 と、制御線 13 と、データ線ドライバ 14 と、ゲート線ドライバ 15 と、制御線ドライバ 16 と、発光制御線ドライバ 20 と、タイミングコントローラ 25 とを備える。同図における表示装置 4 は、実施の形態 2 における表示装置 2 と比較して、発光画素 24 の構成要素である発光素子 101、駆動トランジスタ 102、スイッチングトランジスタ

107、電源108および電源109の接続が異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの接続および駆動タイミングが異なる。実施の形態2と同じ点は説明を省略し、以下、異なる点のみ説明する。

【0130】

発光画素24は、マトリクス状に配置された複数の発光画素のうちの一つであり、データ線11を介して供給された信号電圧により発光する機能を有し、発光素子101と、駆動トランジスタ102と、スイッチングトランジスタ103および107と、電源108および109と、容量素子106とを備える。

【0131】

データ線11は、発光画素24を含み左からm列目の発光画素列の各発光画素へ、発光強度を決定する信号電圧を供給する機能を有する。

【0132】

ゲート線12は、発光画素24を含み上からn行目の発光画素行の各発光画素へ、上記信号電圧を書き込むタイミングを供給する機能を有する。

【0133】

制御線13は、水平方向に配列された発光画素24を含む発光画素行の各発光画素へ、所定のバイアス電圧を書き込むタイミングを供給する機能を有する。

【0134】

データ線ドライバ14は、タイミングコントローラ25により、データ線11とデータ駆動回路141との接続、または、データ線11とバイアス供給回路142との接続が選択される。

【0135】

ゲート線ドライバ15は、ゲート線12を含む全ゲート線に接続され、当該全ゲート線を駆動する機能を有する。

【0136】

発光制御線19は、上からn行目の発光画素行の各発光画素および発光制御線ドライバ20に接続され、発光画素24の有する駆動トランジスタ102のゲートに接続された容量素子106の電圧レベルを制御する機能のみを有する。

【0137】

タイミングコントローラ25は、データ線ドライバ14、ゲート線ドライバ15、制御線ドライバ16および発光制御線ドライバ20に駆動タイミングを供給する機能を有する。

【0138】

次に、発光画素24の回路構成要素について説明する。

【0139】

発光素子101は、カソードが駆動トランジスタ102のソースおよびドレインの一方に接続され、アノードが電源108に接続されたEL素子である。

【0140】

駆動トランジスタ102は、第1のトランジスタであり、ゲートがスイッチングトランジスタ103を介してデータ線11に接続され、ソースおよびドレインの他方が電源109に接続されている。

【0141】

本実施の形態の場合、電源108の電位は、電源109の電位よりも高く設定されている。

【0142】

スイッチングトランジスタ107は、ゲートが制御線13に接続され、ソースおよびドレインの一方がデータ線11に接続され、ソースおよびドレインの他方が発光素子101のカソードに接続されている。スイッチングトランジスタ107は、データ線11と発光素子101のカソードとの導通及び非導通を切り換える。

【0143】

次に、本実施の形態に係る表示装置 4 の駆動方法について図 10 を用いて説明する。

【0144】

図 10 は、本発明の実施の形態 4 に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、発光制御線 19、ゲート線 12、制御線 13、データ線 11 および発光素子 101 のカソードに発生する電圧の波形図が示されている。

【0145】

まず、時刻 t_0 において、ゲート線 12 の電圧レベルを $V_{g\ off}$ から $V_{g\ on}$ に変化させ、スイッチングトランジスタ 103 をオン状態とする。同時に、発光制御線 19 の電圧レベルを $V_{c\ o\ m\ o\ f\ f}$ から $V_{c\ o\ m\ o\ n}$ に変化させる。

【0146】

t_0 から t_1 の期間、スイッチングトランジスタ 103 はオン状態を維持し、この期間に容量素子 106 に対してデータ線 11 に供給されている信号電圧を書き込む。容量素子 106 に書き込まれた信号電圧値と電源 109 との電位差により、駆動トランジスタ 102 を流れる電流量が決定し、その電流量に対応する明るさで発光素子 101 が発光する。このとき、発光素子 101 のカソード A の電位は、信号電圧に対応する信号電流を流したときの発光素子 101 の順方向電圧分だけ、電源 108 の電位よりも低い電位 $V_{c\ a\ t\ 1}$ となる。

【0147】

次に、時刻 t_1 において、ゲート線 12 の電圧レベルを $V_{g\ off}$ に変化させ、スイッチングトランジスタ 103 をオフ状態とする。

【0148】

$t_1 \sim t_2$ の期間において、ゲート線 12 の電圧レベルが $V_{g\ off}$ となっても、容量素子 106 に書き込まれた信号電圧と電源 109 との電位差により決定する信号電流で発光素子 101 は発光を継続する。

【0149】

次に、時刻 t_2 において、発光制御線 19 の電圧レベルを $V_{c\ o\ m\ o\ n}$ から $V_{c\ o\ m\ o\ f\ f}$ へ変化させることにより、駆動トランジスタ 102 のゲート電圧が容量結合により負側に変化し、駆動トランジスタ 102 はオフ状態となる。同時に、制御線 13 の電圧レベルを $V_{c\ t\ 1\ on}$ に変化させ、スイッチングトランジスタ 107 をオン状態とするので、発光素子 101 のカソードにデータ線 11 の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ 14 において、データ駆動回路 141 とデータ線 11 との接続をオフとしバイアス供給回路 142 とデータ線 11 との接続をオン状態とすることにより、発光素子 101 のカソードの電位は、所定のバイアス電圧へと変化する。

【0150】

$t_2 \sim t_3$ の期間において、発光素子 101 のカソードの電位は所定のバイアス電圧 $V_{b\ i\ a\ s}$ へと到達する。この $V_{b\ i\ a\ s}$ を電源 108 よりも高い電圧に設定することで $t_2 \sim t_3$ の期間に、発光素子 101 に逆バイアスを印加することができ、発光素子 101 の輝度劣化が回復される。

【0151】

次に、時刻 t_3 において、制御線 13 の電圧レベルを $V_{c\ t\ 1\ off}$ に変化させ、スイッチングトランジスタ 107 をオフ状態とする。同時に、データ線ドライバ 14 において、バイアス供給回路 142 とデータ線 11 との接続をオフとし、データ駆動回路 141 とデータ線 11 との接続をオンとすることにより、データ線 11 は発光強度を決定する信号電圧レベルに切り替わる。このとき、発光制御線 19 の電位レベルは $V_{c\ o\ m\ o\ f\ f}$ を維持しているので駆動トランジスタ 102 はオフ状態のままとなり、発光素子 101 のカソードの電位は固定されない。

【0152】

$t_2 \sim t_4$ の期間は、ゲート線 12 に接続される画素群を 1 行とした場合に、データ線に供給する信号電圧を 1 行ずつ切り替える時間に相当し、 $t_2 \sim t_3$ の期間は、ある 1 行

の信号電圧を書き換える期間のうちの一部の時間に相当する。t 2 から t 4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置 1 全面の画素内容が書き換わることになる。

【0153】

なお、t 2 から t 4 の期間において、t 2 ~ t 3 の期間と t 3 ~ t 4 の期間との比率を調整することが可能である。つまり、ゲート線 17 を用いて駆動トランジスタ 102 をオフ状態にし、スイッチングトランジスタ 107 を用いて発光素子 101 にバイアス電圧を印加する期間を、1 フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

【0154】

次に、t 4 ~ t 5 の期間において、t 2 ~ t 4 の期間が繰り返され、駆動トランジスタ 102 およびスイッチングトランジスタ 103 はオフ状態となり、スイッチングトランジスタ 107 が周期的にオン状態になり所定のバイアス電圧 V_{bias} を発光素子 101 のカソードに印加して逆バイアスをかけ続ける。

【0155】

次に、時刻 t 5 において、ゲート線 12 の電圧レベルを V_{gon} に変化させることにより、スイッチングトランジスタ 103 がオン状態となり、容量素子 106 には新たな信号電圧が書き込まれ、発光素子 101 は新たな強度で発光を始める。このとき、発光素子 101 のカソードの電位は新たな発光強度に対応した電位 V_{cat2} となる。

【0156】

t 0 ~ t 5 の期間は、表示装置 4 の全発光画素の発光強度が書き換えられる 1 フレーム期間に相当し、以降、t 0 ~ t 5 の期間の動作が繰り返される。

【0157】

以上のように、本実施の形態によれば、表示装置 4 は、画素回路にスイッチングトランジスタ 107 を、また、画素行毎に当該スイッチングトランジスタ 107 をオンオフする制御線 13 および容量素子 106 の電圧レベルを制御する発光制御線 19 を付加した簡単な構成となる。また、表示装置 2 は制御線ドライバ 16 および発光制御線ドライバ 20 を具備し、データ線 11 は、画像データの書込みと発光素子 101 へのバイアス電圧書込みの 2 種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子の電圧レベルを画素行毎に設けられた上記発光制御線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0158】

なお、所定のバイアス電圧 V_{bias} は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子 101 に逆バイアスをかける電圧でもよく、あるいは、発光素子 101 のカソードと同じ電圧値にして発光素子 101 に 0 ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。また、上記発光制御線は、発光素子の輝度回復のために専用に付加されているので、その制御電圧レベルは駆動トランジスタをオンオフするための 2 値でよいので、実施の形態 1 における表示装置 1 と比較して、ゲート線ドライバの簡素化が図られる。

【0159】

また、本実施の形態において、発光素子 101 に逆バイアス電圧を印加している期間中、容量素子 106 には発光強度に対応する電位が保持されている。よって、実施の形態 1 に係る表示装置 1 の駆動タイミングの変形例と同様に、逆バイアス電圧印加後にスイッチングトランジスタ 103 による信号電圧の再書き込みを行わなくても、発光制御線 19 の電圧レベルを変化させることにより、発光画素 10 を元の発光強度に戻すことができる。

【0160】

以上のように、本発明に係る表示装置およびその駆動方法により、素子発光のための信

号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給できるので、発光素子へのバイアス印加に伴う制御線の本数増加が抑制される。また、発光素子への信号電流を供給する駆動トランジスタのオンオフ状態を制御する容量素子の電圧レベルが、画素行ごとに設けられた制御線により制御されるので、当該容量素子の電圧レベルを制御するためのスイッチングトランジスタを設ける必要がない。よって、発光素子へ逆バイアスを印加するための付加回路が簡素化されるので、当該表示装置の製造歩留まりを低下させることなく、非発光時において発光素子に所定のバイアス電圧を印加できるので、発光素子の輝度劣化の回復が可能となる。

【0161】

なお、以上述べた実施の形態では、スイッチングトランジスタのゲートの電圧レベルがHIGHの場合にオン状態になるn型トランジスタとして記述しているが、これらをp型トランジスタで形成し、ゲート線、制御線および発光制御線の極性を反転させた表示装置でも、発光素子への逆バイアス印加動作は可能であり、上述した各実施の形態と同様の効果を奏する。

【0162】

なお、本発明に係る表示装置は、上記実施の形態に限定されるものではない。実施の形態1ないし4及びその変形例における任意の構成要素を組み合わせて実現される別の実施形態や、実施の形態1ないし4及びその変形例に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0163】

例えば、実施の形態2および実施の形態4において、実施の形態1に係る表示装置の駆動タイミングの変形例に記載された、ブランキング期間内に逆バイアス電圧を発光素子に印加する駆動タイミングを使用してもよい。

【0164】

また、本発明に係る実施の形態では、駆動トランジスタおよびスイッチングトランジスタは、ゲート、ソース及びドレインを有するFETであることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

【0165】

また、例えば、本発明に係る表示装置は、図11に記載されたような薄型フラットTVに内蔵される。本発明に係る輝度劣化の回復が可能な表示装置により、長寿命で生産性の高いディスプレイを備えた薄型フラットTVが実現される。

【産業上の利用可能性】

【0166】

本発明は、表示装置を内蔵する有機ELフラットパネルディスプレイに有用であり、特に輝度劣化が小さく長寿命が要求されるディスプレイの表示装置およびその駆動方法として用いるのに最適である。

【符号の説明】

【0167】

- 1、2、3、4、500 表示装置
- 10、22、24 発光画素
- 11、507 データ線
- 12、17 ゲート線
- 13、508、509、510、511 制御線
- 14 データ線ドライバ
- 15 ゲート線ドライバ
- 16 制御線ドライバ
- 18、21、23、25 タイミングコントローラ

19 発光制御線
 20 発光制御線ドライバ
 101、501 発光素子
 102 駆動トランジスタ
 103、107 スイッチングトランジスタ
 104、105、108、109 電源
 106、506 容量素子
 141 データ駆動回路
 142 バイアス供給回路
 502、503、504、505 FET

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、

前記複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記複数の発光画素のそれぞれは、

ソース及びドレインの他方が第1の電源端子に接続され、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素への信号電圧の書き込みを制御する第2の書き込み制御線に接続された容量素子と、

アノード及びカソードの一方が、前記第1のトランジスタのソース及びドレインの一方に接続され、アノード及びカソードの他方が第2の電源端子に接続され、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備え、

前記表示装置は、さらに、

前記信号電圧を前記データ線に供給するデータ駆動回路と、

所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、

前記第2の書き込み制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間内に、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通にし、かつ、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオンにすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備える

ことを特徴とする表示装置。

【請求項2】

マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、

前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線と、

前記発光素子の発光を制御する複数の発光制御線とを備え、

前記発光画素のそれぞれは、

ソース及びドレインの他方が第1の電源端子に接続され、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記複数の発光制御線のうち第1の発光制御線に接続された容量素子と、

アノード及びカソードの一方が、前記第1のトランジスタのソース及びドレインの一方に接続され、アノード及びカソードの他方が第2の電源端子に接続され、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備え、

前記表示装置は、さらに、

前記信号電圧を前記データ線に供給するデータ駆動回路と、

所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、

前記第1の発光制御線を電圧変化させることで前記第1のトランジスタをオフ状態とし前記信号電流を前記発光素子に流さない期間に、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通にし、かつ、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオン状態とし前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備えることを特徴とする表示装置。

【請求項3】

マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、

前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記発光画素のそれぞれは、

ソース及びドレインの他方が第1の電源端子に接続され、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子と、

アノード及びカソードの一方が、前記第1のトランジスタのソース及びドレインの一方に接続され、アノード及びカソードの他方が第2の電源端子に接続され、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及

びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備え、

前記所定のバイアス電圧は、前記第1のトランジスタのゲートに印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、

前記表示装置は、さらに、

前記信号電圧を前記データ線に供給するデータ駆動回路と、

所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、

前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通させると同時に、前記第1の書き込み制御線を電圧変化させることで前記第2のトランジスタをオン状態とし前記第1のトランジスタをオフ状態とすることにより実現された、前記信号電流を前記発光素子に流さない期間と同期して、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオン状態とすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備える

ことを特徴とする表示装置。

【請求項4】

前記所定のバイアス電圧は、前記発光素子に逆バイアスにかかる電圧であることを特徴とする請求項1～3のうちいずれか1項に記載の表示装置。

【請求項5】

前記所定のバイアス電圧は、前記発光素子に0ボルトバイアスにかかる電圧であることを特徴とする請求項1～3のうちいずれか1項に記載の表示装置。

【請求項6】

前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線のうちの1本が信号電圧を書き込む制御をする期間と交互に設定される

ことを特徴とする請求項1～5のうちいずれか1項に記載の表示装置。

【請求項7】

前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をする期間と交互に設定される

ことを特徴とする請求項1～5のうちいずれか1項に記載の表示装置。

【請求項8】

マトリクス状に配置された複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線と

、前記信号電圧をデータ線に供給するデータ駆動回路と、

前記所定のバイアス電圧を前記データ線に供給するバイアス供給回路とを備え、

前記複数の発光画素のそれぞれが、

ソース及びドレインの他方が第1の電源端子に接続され、ソース及びドレインの一方が発光素子のアノード及びカソードの一方に接続され、複数のデータ線のうちいずれかのデータ線から供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素への信号電圧の書き込みを制御する第2の書き込み制御線に接続された容量素子と、

アノード及びカソードの他方が、第2の電源端子に接続され、当該第1のトランジスタによって変換された前記信号電流が流れることにより発光する前記発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備える表示装置の駆動方法であって、

前記第2の書き込み制御線を電圧変化させることにより、前記信号電流を前記発光素子に流さないよう前記第1のトランジスタをオフ状態にする駆動トランジスタオフステップと、

前記駆動トランジスタオフステップにより前記第1のトランジスタがオフ状態である期間内に、または、当該期間に同期して、前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイアス供給回路との接続を導通させる接続切り換えステップと、

前記接続切り換えステップにより前記データ線と前記バイアス供給回路との接続がオン状態である期間内に、または、当該期間に同期して、前記第1のバイアス制御線を電圧変化させて前記第3のトランジスタをオンにすることにより前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加するバイアス印加ステップとを含む

ことを特徴とする表示装置の駆動方法。

【請求項9】

マトリクス状に配置された複数の発光画素への信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線と、

前記発光素子の発光を制御する複数の発光制御線と、

前記信号電圧をデータ線に供給するデータ駆動回路と、

前記所定のバイアス電圧を前記データ線に供給するバイアス供給回路とを備え、

前記複数の発光画素のそれぞれが、

ソース及びドレインの他方が第1の電源端子に接続され、ソース及びドレインの一方が発光素子のアノード及びカソードの一方に接続され、複数のデータ線のうちいずれかのデータ線から供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記複数の発光制御線のうち第1の発光制御線に接続された容量素子と、

アノード及びカソードの他方が、第2の電源端子に接続され、当該第1のトランジスタによって変換された前記信号電流が流れることにより発光する前記発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備える表示装置の駆動方法であって、

前記第1の発光制御線を電圧変化させることにより前記信号電流を前記発光素子に流さないよう前記第1のトランジスタをオフ状態にする駆動トランジスタオフステップと、

前記駆動トランジスタオフステップにより前記第1のトランジスタがオフ状態である期間内に、または、当該期間に同期して、前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイアス供給回路との接続を導通させる接続切り換えステップと、

前記接続切り換えステップにより前記データ線と前記バイアス供給回路との接続がオン状態である期間内に、または、当該期間に同期して、前記第1のバイアス制御線を電圧変

化させて前記第3のトランジスタをオンにすることにより前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加するバイアス印加ステップとを含むことを特徴とする表示装置の駆動方法。

【請求項10】

マトリクス状に配置された複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、
前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線と、

前記信号電圧をデータ線に供給するデータ駆動回路と、

前記所定のバイアス電圧を前記データ線に供給するバイアス供給回路とを備え、

前記複数の発光画素のそれぞれが、

ソース及びドレインの他方が第1の電源端子に接続され、ソース及びドレインの一方が発光素子のアノード及びカソードの一方に接続され、複数のデータ線のうちいずれかのデータ線から供給された信号電圧を信号電流に変換する第1のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、

一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子と、

アノード及びカソードの他方が、第2の電源端子に接続され、当該第1のトランジスタによって変換された前記信号電流が流れることにより発光する前記発光素子と、

ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備える表示装置の駆動方法であって、

前記所定のバイアス電圧は、前記第1のトランジスタのゲート電圧に印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、

前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイアス供給回路とを導通させる接続切り換えステップと、

前記第1の書き込み制御線を電圧変化させることにより前記第2のトランジスタをオン状態にし、同時に、前記接続切り換えステップにおいて前記データ線と接続された前記バイアス供給回路から前記所定のバイアス電圧を印加することにより前記第1のトランジスタをオフ状態にする駆動トランジスタオフステップと、

前記駆動トランジスタオフステップおよび前記接続切り換えステップと同期して、前記第1のバイアス制御線を電圧変化させることにより前記第3のトランジスタをオン状態にすることで前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加するバイアス印加ステップとを含む

ことを特徴とする表示装置の駆動方法。

【請求項11】

前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧である

ことを特徴とする請求項8～10のうちいずれか1項に記載の表示装置の駆動方法。

【請求項12】

前記所定のバイアス電圧は、前記発光素子に0ボルトバイアスをかける電圧である

ことを特徴とする請求項8～10のうちいずれか1項に記載の表示装置の駆動方法。

【請求項13】

前記接続切り換えステップと前記バイアス印加ステップとは、前記複数の書き込み制御線のうちの1本が信号電圧を書き込む制御をするステップと交互に実行される

ことを特徴とする請求項8～12のうちいずれか1項に記載の表示装置の駆動方法。

【請求項14】

前記接続切り換えステップと前記バイアス電圧印加ステップとは、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をするステップと交互に実行される

ことを特徴とする請求項 8 ~ 12 のうちいずれか 1 項に記載の表示装置の駆動方法。

【手続補正 3】

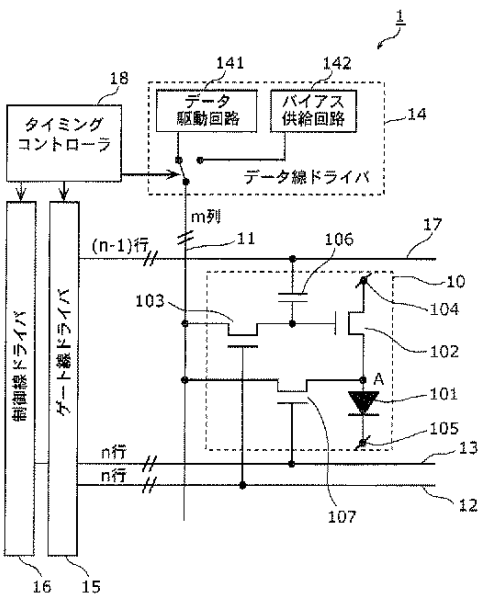
【補正対象書類名】 図面

【補正対象項目名】 全図

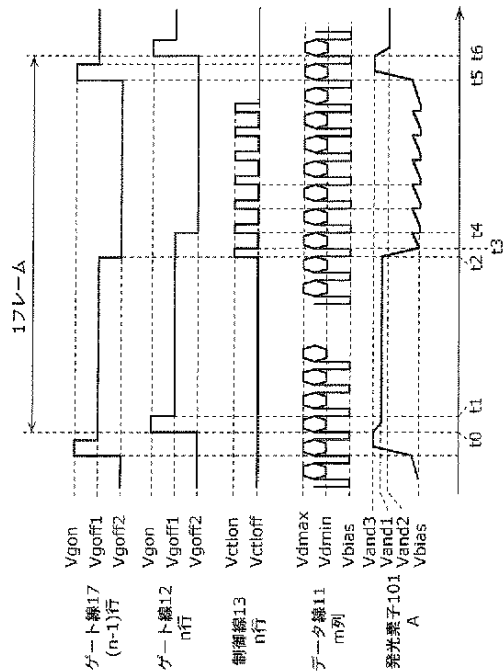
【補正方法】 変更

【補正の内容】

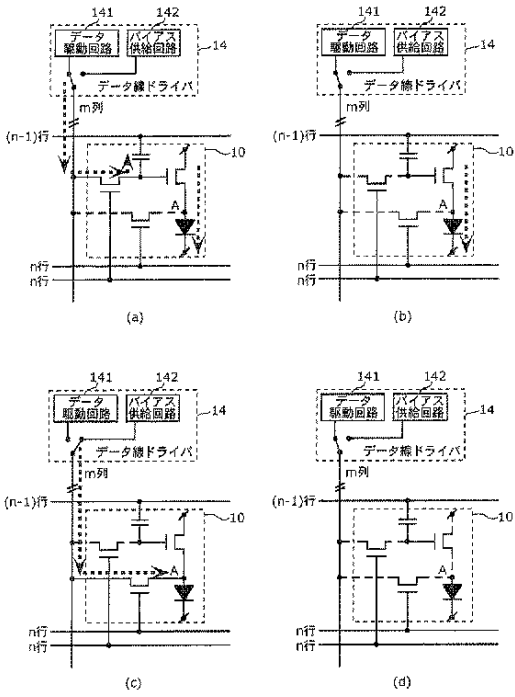
【図 1】



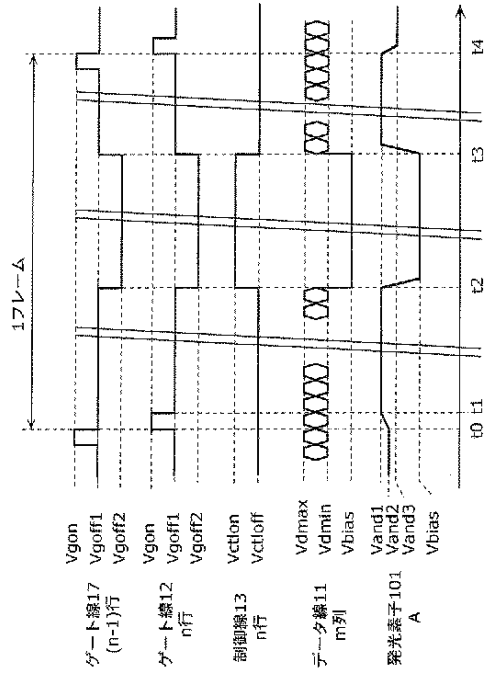
【図 2】



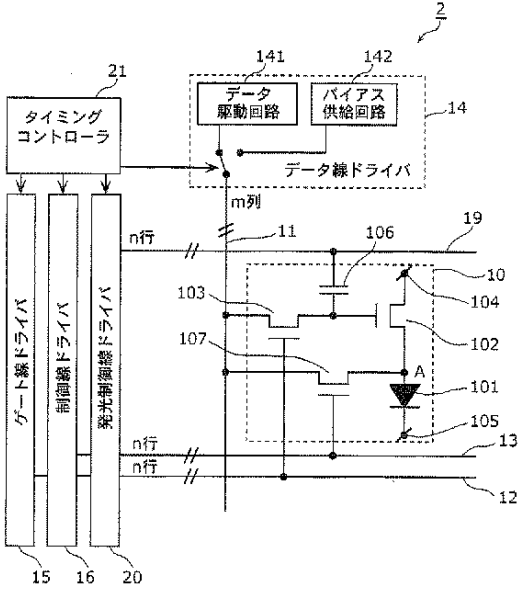
【図 3】



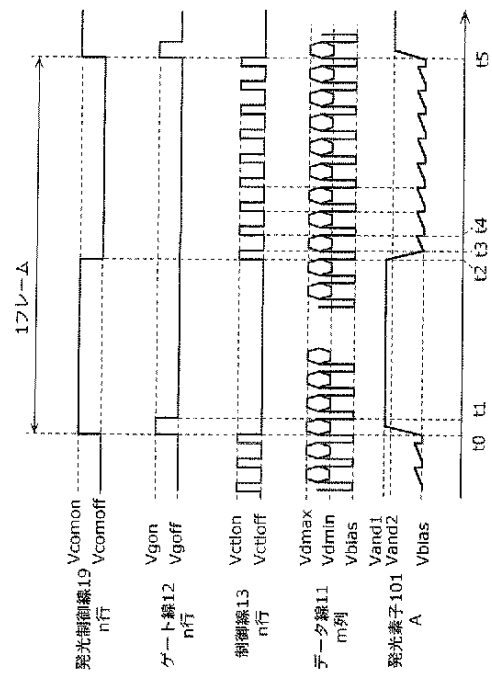
【図 4】



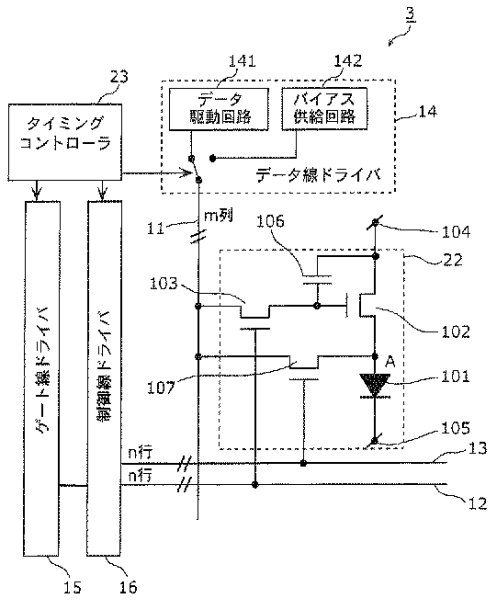
【図 5】



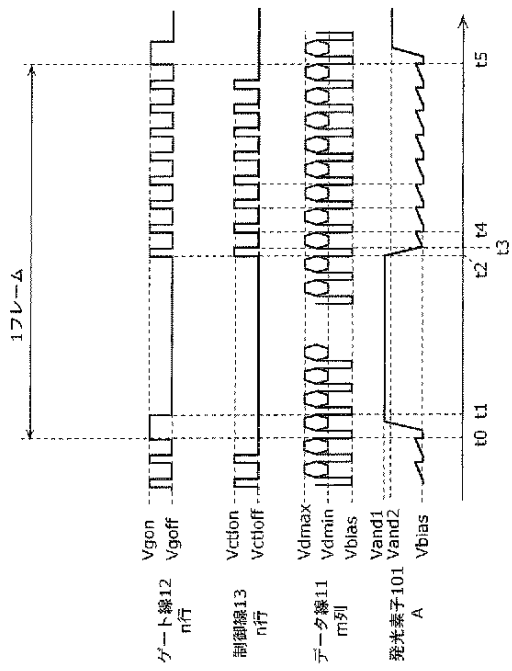
【図 6】



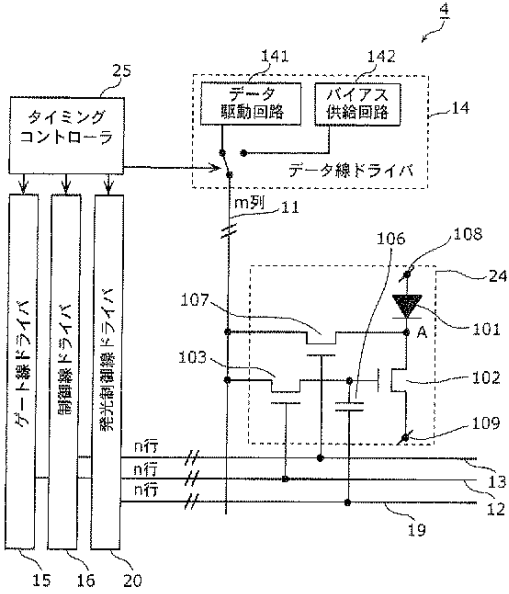
【図 7】



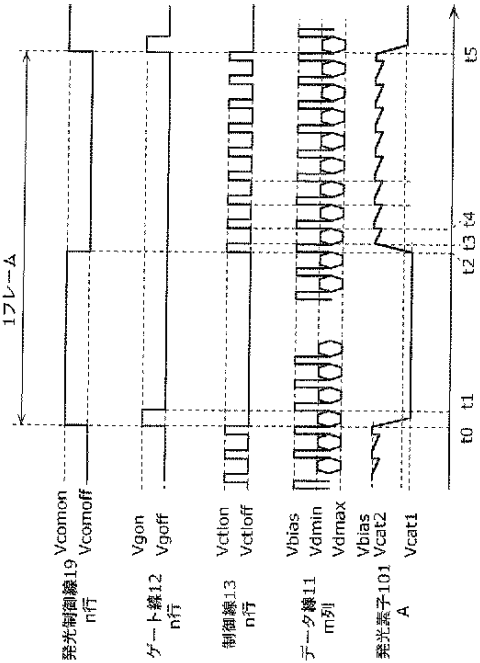
【図 8】



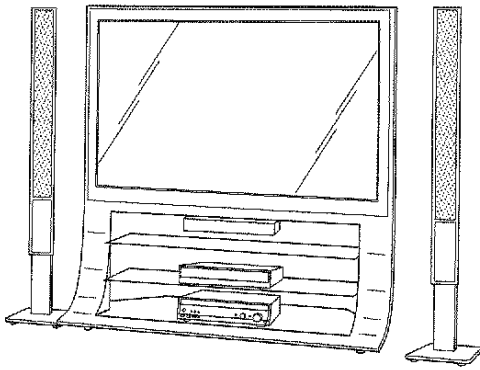
【図 9】



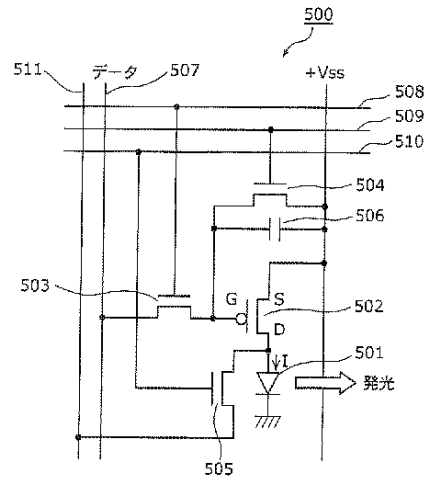
【図 10】



【図 1 1】



【図 1 2】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/002303

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-2, 5-10, 13-16

Remark on Protest
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/002303

Continuation of Box No.III of continuation of first sheet(2)

Since a display device including all the constitution of the invention of claim 1 is described in document 1 (JP 2006-309119 A (Samsung SDI Co., Ltd.), 9 November, 2006 (09.11.06), paragraphs [0102]-[0108], [Fig. 6a]), the invention of claim 1 is not considered to be novel over the invention described in document 1 and has no special technical feature. When special technical features of claims dependent on claim 1 at the time of the issue of an order for payment of additional fees are judged, six groups of inventions linked to each other by the following respective special technical features are considered to be contained.

The invention of claim 1 which has no special technical feature is classified into invention group 1.

(Invention group 1) An invention having the following special technical feature out of the inventions of claims 1, 2 and the inventions of claims 5-8

A display device including all the constitutions of the inventions of claims 1, 2.

(Invention group 2) An Invention group having the following special technical feature out of the invention of claim 3 and the inventions of claims 5-8

A display device including all the constitutions of the inventions of claims 1 and 3.

(Invention group 3) An invention group having the following special technical feature out of the invention of claim 4 and the inventions of claims 5-8

A display device including all the constitutions of the inventions of claims 1 and 4.

(Invention group 4) An invention group having the following special technical feature out of the invention of claim 7

A display device including all the constitutions of the inventions of claims 1, 5 and 7.

(Invention group 5) An invention group having the following special technical feature out of the invention of claim 8

A display device including all the constitutions of the inventions of claims 1, 5 and 8.

(Invention group 6) An invention group having the following special technical feature out of the inventions of claims 6-8

A display device including all the constitutions of the inventions of claims 1 and 6.

Note that an invention classified into two or more of the above invention groups is defined as belonging to the first invention group among these two or more invention groups, and the inventions of a display device driving method described in claims 9-16 corresponding to the inventions of a display device described in claims 1-8 are defined as belonging to the same groups as the respective corresponding inventions of the display device.

(continued to next extra sheet)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/002303

Further, since the invention of a display device composed of only constitutions described in claims 1 and 5 is described in document 1 and the search thereof has been completed, this invention is classified into invention group 1. The same goes for the invention of a display device driving method composed of only constitutions described in claims 9 and 13.

国際調査報告		国際出願番号 PCT/J P 2 0 0 9 / 0 0 2 3 0 3									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09G3/20, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2009年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2009年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2009年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2009年	日本国実用新案登録公報	1996-2009年	日本国登録実用新案公報	1994-2009年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2009年										
日本国実用新案登録公報	1996-2009年										
日本国登録実用新案公報	1994-2009年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X A	J P 2 0 0 6 - 3 0 9 1 1 9 A (三星エスディアイ株式会社) 2006. 11. 09, 段落【0102】-【0108】、【図6a】 & US 2006/0244695 A1 & KR 10-2 006-0114456 A & CN 1874627 A	1, 5, 9, 13 2, 6-8, 10, 14- 16									
A	J P 2 0 0 4 - 1 2 6 5 0 1 A (株式会社半導体エネルギー研 究所) 2004. 04. 22, 段落【0033】-【0066】、【図 2】、【図5】(B) & US 2003/0214245 A1	1-2, 5-10, 13- 16									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 19. 08. 2009		国際調査報告の発送日 01. 09. 2009									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 長井 真一	2G 3806								
		電話番号 03-3581-1101 内線	3226								

文献1 (JP 2006-309119 A (三星エスディアイ株式会社) 2006.11.09, 段落【0102】 - 【0108】, 【図6a】) には請求項1に係る発明の構成をすべて含む表示装置が記載されており、請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。そこで、請求項1の従属請求項について手数料の追加納付命令時点での特別な技術的特徴を判断すると、以下に示す各特別な技術的特徴で連関する6の発明が含まれるものと認められる。

なお、特別な技術的特徴を有しない請求項1に係る発明は、発明1に区分する。

(発明1) 請求項1, 2に係る発明及び請求項5～8に係る発明のうち以下の特別な技術的特徴を有する発明

請求項1及び2に係る発明の構成をすべて含む表示装置。

(発明2) 請求項3に係る発明及び請求項5～8に係る発明のうち以下の特別な技術的特徴を有する発明

請求項1及び3に係る発明の構成をすべて含む表示装置。

(発明3) 請求項4に係る発明及び請求項5～8に係る発明のうち以下の特別な技術的特徴を有する発明

請求項1及び4に係る発明の構成をすべて含む表示装置。

(発明4) 請求項7に係る発明のうち以下の特別な技術的特徴を有する発明

請求項1, 5及び7に係る発明の構成をすべて含む表示装置。

(発明5) 請求項8に係る発明のうち以下の特別な技術的特徴を有する発明

請求項1, 5及び8に係る発明の構成をすべて含む表示装置。

(発明6) 請求項6～8に係る発明のうち以下の特別な技術的特徴を有する発明

請求項1及び6に係る発明の構成をすべて含む表示装置。

ただし、上記発明区分の複数に区分されうる発明は、そのうちの最初の区分に属するものとし、請求項1～8に記載された表示装置の発明に対応する請求項9～16に記載された表示装置の駆動方法の発明については、それぞれ対応する表示装置の発明と同一の区分に属するものとする。

また、請求項1及び5に記載された構成のみからなる表示装置の発明については、文献1に記載されており、調査が終了しているため、発明1に区分することとする。請求項9及び13に記載された構成のみからなる表示装置の駆動方法の発明についても同様である。

国際調査報告

国際出願番号 PCT/J P 2 0 0 9 / 0 0 2 3 0 3

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。
特別ページ参照。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1-2, 5-10, 13-16

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2007年4月)

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 D
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 7 0 K
	H 0 5 B 33/14	A

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5C080 AA06 BB05 DD01 DD10 DD19 DD22 DD28 DD29 EE29 FF11
 FF12 HH10 JJ02 JJ03 JJ04 JJ06 KK43
 5C380 AA01 AB06 AC07 BA11 BA29 BB02 BB08 BD08 CA08 CA12
 CA54 CB01 CB18 CB19 CC01 CC27 CC33 CC37 CC42 CC63
 CC64 CD013 CD014 CE04 CE19 CF51 DA02 DA49 HA02 HA05

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2009144913A1	公开(公告)日	2011-10-06
申请号	JP2010514358	申请日	2009-05-26
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	中村美香 益本賢一		
发明人	中村 美香 益本 賢一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2310/0251 G09G2310/0256 G09G2310/0262		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.623.B G09G3/20.623.R G09G3/20.623.C G09G3/20.611.D G09G3/20.642.A G09G3/20.670.K H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH02 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD10 5C080/DD19 5C080/DD22 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA11 5C380/BA29 5C380/BB02 5C380/BB08 5C380/BD08 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB18 5C380/CB19 5C380/CC01 5C380/CC27 5C380/CC33 5C380/CC37 5C380/CC42 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD014 5C380/CE04 5C380/CE19 5C380/CF51 5C380/DA02 5C380/DA49 5C380/HA02 5C380/HA05		
代理人(译)	新居 広守		
优先权	2008141715 2008-05-29 JP		
其他公开文献	JP5249325B2		
外部链接	Espacenet		

摘要(译)

提供了一种显示装置和方法，该显示装置和方法能够以简单的像素电路并且在不降低制造良率的情况下保持电致发光元件中的亮度劣化。显示装置包括发光像素，每个发光像素包括驱动晶体管，发光元件和在数据线和发光元件之间的导通状态和非导通状态之间切换的开关晶体管。数据驱动电路向数据线提供信号电压，并且偏置提供电路向数据线提供指定的偏置电压。控制单元通过引起数据线与数据驱动电路之间的导通，引起数据线与偏压供应电路之间的不导通以及使开关晶体管导通，来将指定的偏置电压施加至发光元件的阳极或阴极。全部在信号电流不流向发光元件的周期内。

【図3】

