

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5192834号
(P5192834)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	611J
G09F 9/30 (2006.01)	G09G 3/20	624B
H01L 27/32 (2006.01)	G09G 3/20	680G
H01L 51/50 (2006.01)	G09F 9/30	365Z

請求項の数 1 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2008-18060 (P2008-18060)
 (22) 出願日 平成20年1月29日 (2008.1.29)
 (65) 公開番号 特開2009-116293 (P2009-116293A)
 (43) 公開日 平成21年5月28日 (2009.5.28)
 審査請求日 平成20年1月29日 (2008.1.29)
 (31) 優先権主張番号 10-2007-0113658
 (32) 優先日 平成19年11月8日 (2007.11.8)
 (33) 優先権主張国 韓国 (KR)

前置審査

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co., Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Gih eung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 100146835
 弁理士 佐伯 義文
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (72) 発明者 金 炯秀
 大韓民国京畿道水原市靈通區▲しん▼洞5
 75番地

最終頁に続く

(54) 【発明の名称】 有機電界発光表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素を含む画素部と、
 前記画素の間に第1方向に配列されて前記画素へ制御信号を供給する制御線と、
 前記画素の間に前記第1方向と交差する第2方向に配列されて前記画素へデータ信号を供給するデータ線とを含み、
 前記画素の間に配置され、前記制御線のそれぞれに少なくとも1つずつ形成されるバッファ回路を更に含み、
 前記制御線は、前記画素へ走査信号を供給する走査線であり、
 前記バッファ回路は、第1電源VDDと第2電源VSSとの間に直列連結される互いに異なるタイプのトランジスタをそれぞれ備え、互いに従属的に連結される第1及び第2インバータを含み、
 前記制御線のそれぞれは前記バッファ回路が位置する領域でその一部が物理的に断線され、断線された端部がそれぞれ前記第1インバータの入力端と前記第2インバータの出力端に接続されて前記第1方向への電氣的連結を維持し、
 前記制御線と前記第2インバータの出力端は互いに異なる導電物質で形成され、
 前記制御線と前記第2インバータの出力端は互いに異なるレイヤに位置し、コンタクトホールを介して電氣的に連結され、
 前記バッファ回路の一部分のみが前記画素の一部分のみと重なるように配置され、
 前記バッファ回路は前記画素部内で少なくとも1つの列を形成するように前記制御線の

10

20

それぞれと同じ列に配置され、

前記画素部内には、前記バッファ回路へ第1電源VDDを供給する第1電源線と、前記バッファ回路へ第2電源VSSを供給する第2電源線が更に形成され、

前記第1及び第2電源線は前記バッファ回路の両側に列方向に形成されることを特徴とする有機電界発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有機電界発光表示装置に関し、特に画素に伝達される制御信号の歪みを防止できるようにした有機電界発光表示装置に関する。

10

【背景技術】

【0002】

通常、有機電界発光表示装置は、電子と正孔の再結合によって光を発生する有機電界発光ダイオード(Organic Light Emitting Diode)を用いて映像を表示する。このような有機電界発光表示装置は、速い応答速度を有すると同時に低い消費電力で駆動されるという長所から次世代の表示装置として注目されている。

【0003】

しかしながら、有機電界発光表示装置が大型化するにつれ、解像度が高くなり、有機電界発光表示装置のパネル内部で信号を伝達する配線長が増加し、その幅が減少する。これにより、信号を伝達する信号線の負荷が増加し、それによる信号遅延に起因する信号の歪曲現象が生じる。

20

【0004】

特に、画素に選択的にデータ信号を供給するための走査信号及び/又は画素を選択的に発光させるための発光制御信号などの制御信号に歪みが発生し得る。この場合、歪んだ制御信号を供給された画素が正常に発光できなくなり、駆動不良が発生する恐れがある。従って、制御信号の遅延を補償して歪みを防止する必要がある。

【0005】

一方、一般に同一の信号線は同じ金属配線でパネル全体に形成される。しかしながら、有機電界発光表示装置が大型化するほど、信号線の長さが増加し、1種類の金属配線が長くなると、アンテナ効果が発生し得る。このようなアンテナ効果によってパネルの特性及び製造収率の低下をもたらすという不具合が発生し得る。従って、制御信号の遅延の補償と共に、アンテナ効果を防止できるようにする方案も要求されている。

30

【特許文献1】韓国公開特許2006-0092667号

【特許文献2】特開2006-337710号

【特許文献3】米国特許第2005/0003707号

【特許文献4】韓国登録特許第0302530号

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は上記事情に鑑みてなされたものであって、その目的は、画素に伝達される制御信号の遅延を補償して歪みを防止すると共に、アンテナ効果を防止できるようにした有機電界発光表示装置を提供することにある。

40

【課題を解決するための手段】

【0007】

前記目的を達成するために、本発明は複数の画素を含む画素部と、前記画素の間に第1方向に配列されて前記画素へ制御信号を供給する制御線と、前記画素の間に前記第1方向と交差する第2方向に配列されて前記画素へデータ信号を供給するデータ線とを含み、前記画素の間に配置され、前記制御線のそれぞれに少なくとも1つつ形成されるバッファ回路を更に含むことを特徴とする有機電界発光表示装置を提供する。

【0008】

50

ここで、前記制御線は、前記画素へ走査信号を供給する走査線又は前記画素へ発光制御信号を供給する発光制御線として設定され得る。

【0009】

また、前記バッファ回路は、第1電源VDDと第2電源VSSとの間に直列連結される互いに異なるタイプのトランジスタをそれぞれ備え、互いに従属的に連結される第1及び第2インバータを含み、前記制御線のそれぞれは前記バッファ回路が位置する領域で前記バッファ回路を經由して前記第1方向への電氣的連結を維持できる。ここで、前記制御線のそれぞれは前記バッファ回路が位置する領域でその一部が物理的に断線され、断線された端部がそれぞれ前記第1インバータの入力端と前記第2インバータの出力端に接続されて前記第1方向への電氣的連結を維持し、前記制御線と前記第2インバータの出力端は互いに異なるレイヤに位置し、コンタクホールを介して電氣的に連結されることができ

10

【0010】

また、前記バッファ回路は前記画素部内で少なくとも1つの列を形成するように前記制御線のそれぞれと同じ列に配置されることができ

【0011】

更に、前記バッファ回路は前記画素部の少なくとも一領域内でジグザグ状に配置されることができ

20

【0012】

また、前記バッファ回路は前記制御線のそれぞれに一定間隔で複数配置され、連続的な行で同じ列に位置しないように配置されることができ

30

【発明の効果】

【0013】

このような本発明によれば、画素部内に位置する制御線のそれぞれにバッファ回路を挿入することで、制御線を經由しながら遅延された制御信号を補償できる。これにより、歪んだ制御信号が各画素に供給されることが防止され、画素の駆動不良を防止できるという効果を奏する。

【0014】

また、本発明は画素部内で効果的にバッファ回路を配置する多様な実施形態を提示することで、制御信号の歪みを防止しながらも、画質の低下が発生しないようにする。

40

【0015】

更に、本発明において、制御線のそれぞれはバッファ回路が挿入された領域でバッファ回路を介してパネルの全体にわたって電氣的な連結状態を維持する。このとき、バッファ回路の入力端と出力端は互いに異なるレイヤに位置する異なる導電物質で形成される。それにより、それぞれの制御線に供給された制御信号がバッファ回路を經由して再び制御線に伝達される間に、1つの導電配線ではなく、少なくとも2つの異なる導電配線を經由することになるので、アンテナ効果を防止できる。

【発明を実施するための最良の形態】

50

【 0 0 1 6 】

以下、図面を参照しつつ、本発明による好適な実施形態を説明する。ここで、第1構成要素と第2構成要素が連結されることを説明するにあたり、第1構成要素は第2構成要素と直接的に連結されてもよく、第3構成要素を介して第2構成要素と間接的に連結されてもよい。また、本発明の完全な理解のための必須的でない構成要素は明確性を図るために省略する。さらに、同一部分には同一符号を付す。

【 0 0 1 7 】

図1は、本発明を適用するための有機電界発光表示装置の一例を示すブロック図である。

【 0 0 1 8 】

図1を参照すれば、有機電界発光表示装置は、画素部10と、画素部10を駆動するための走査駆動部20及びデータ駆動部30とを含む。

【 0 0 1 9 】

画素部10は、制御線CL及びデータ線Dの交差部に位置する複数の画素11を含む。ここで、制御線CLは画素11の間に第1方向(水平方向)に配列されて画素11に制御信号を供給する。このような制御線CLとしては、走査線及び/又は発光制御線などがあり得る。そして、データ線Dは画素11の間に第1方向と交差する第2方向(垂直方向)に配列されて、画素11へデータ信号を供給する。

【 0 0 2 0 】

このような画素部10は、制御線CLから供給される制御信号、データ線Dから供給されるデータ信号、及び外部から供給される第1及び第2画素電源ELVDD、ELVSSに対応して映像を表示する。

【 0 0 2 1 】

走査駆動部20は、外部から供給される走査制御信号に対応して画素11を制御するための制御信号(例えば、走査信号及び/又は発光制御信号)を生成し、これを制御線CLに供給する。

【 0 0 2 2 】

データ駆動部30は、外部から供給されるデータ及びデータ制御信号に対応してデータ信号を生成し、これをデータ線Dに供給する。

【 0 0 2 3 】

前述した有機電界発光表示装置において、画素11を制御するための制御線CLは画素部10の全体領域にわたってそれぞれ行方向及び列方向に配列される。

【 0 0 2 4 】

従って、有機電界発光表示装置が大型化したり、解像度が高くなったりすると、制御信号を画素11に供給する制御線CLの配線長が増加したり、その幅が減少する。この場合、制御線CLの負荷が増加し、制御線CLに伝達される制御信号に遅延が発生し得る。これにより、一部の画素11、特に、制御信号を供給する駆動回路(例えば、走査駆動部20)から遠く離れた画素11に歪んだ制御信号が供給されて駆動不良が発生し得る。

【 0 0 2 5 】

これを防止するために、本発明では画素部10内に位置する制御線CLのそれぞれに少なくとも1つのバッファ回路(図示せず)を挿入して制御信号の遅延を補償する。このようなバッファ回路は画素11の間に任意的に配置されることができる。ただし、バッファ回路は行単位で少なくとも1つ以上形成されて、制御線CLを経由しながら遅延された制御信号を補償できるように配置される。

【 0 0 2 6 】

図2は、本発明の画素部内に挿入されるバッファ回路の一例を示す回路図である。そして、図3は、図2に示したバッファ回路の一領域の断面を示す断面図である。

【 0 0 2 7 】

図2及び図3を参照すれば、バッファ回路は第1電源VDDと第2電源VSSとの間に従属的に連結される第1及び第2インバータIN1、IN2を含む。このとき、第1電源

10

20

30

40

50

VDD及び第2電源VSSはバッファ回路の駆動電源であって、走査駆動部の駆動電源又は別途の駆動電源などとして多様に設定され得る。

【0028】

ここで、第1インバータIN1はバッファ回路の入力端に連結され、第2インバータIN2はバッファ回路の出力端に連結される。そして、これらの間には図示していない複数のインバータが更に備えられることができる。このとき、インバータは2つずつ対をなして偶数個配置されることが好ましい。

【0029】

インバータIN1、IN2のそれぞれは、駆動電源である第1電源VDDと第2電源VSSとの間に直列連結される互いに異なるタイプのトランジスタTを備える。このとき、Pタイプの第1トランジスタT1は第1電源VDD側に連結され、Nタイプの第2トランジスタT2は第2電源VSS側に連結される。

10

【0030】

一方、本発明において、バッファ回路は制御線CLの一領域に挿入されるので、制御線CLのそれぞれはバッファ回路が位置する領域でバッファ回路を経由して連結される。即ち、制御線CLは図1に示すような第1方向(水平方向)への電氣的連結を維持する。

【0031】

より具体的に、制御線CLのそれぞれはバッファ回路が位置する領域でその一部が物理的に断線される。そして、断線された端部がそれぞれ第1インバータIN1の入力端と第2インバータIN2の出力端に接続される。

20

【0032】

このとき、制御線CLのそれぞれは画素11の内部に形成されたスイッチ素子の制御電極、例えば、トランジスタのゲート電極に接続される。従って、制御線CLは画素11に備えられたトランジスタのゲート電極と同じ物質で同じレイヤに形成されることができる。

【0033】

一方、バッファ回路の入力端、即ち、第1インバータIN1の入力端は第1及び第2トランジスタT1、T2のゲート電極と接続される。

【0034】

従って、制御線CLとバッファ回路の入力端は同じレイヤに位置する同じ導電性材料で同時に形成されることができる。例えば、制御線CLとバッファ回路の入力端はいずれもゲート金属で形成されることができる。

30

【0035】

しかしながら、バッファ回路の出力端、即ち、第2インバータIN2の出力端は第1及び第2トランジスタT1、T2のドレイン電極が接続される部分である。従ってバッファ回路の出力端は制御線CL及びバッファ回路の入力端と異なる導電性材料でこれらとは異なるレイヤに形成される。例えば、バッファ回路の出力端はソース及びドレイン金属で形成されて制御線CL及びバッファ回路の入力端と異なるレイヤに形成されることができる。

【0036】

従って、このようなバッファ回路の出力端と制御線CLはコンタクホールChを介して互いに電氣的に連結される。このような電氣的な連結によりバッファ回路の出力ノードNoutが形成される。

40

【0037】

前述したように、本発明において制御線CLのそれぞれはバッファ回路が挿入された領域でバッファ回路を介してパネルの全体にわたって電氣的な連結状態を維持する。このとき、バッファ回路の入力端と出力端は互いに異なるレイヤに位置する異なる導電物質で形成される。従って、それぞれの制御線CLに供給された制御信号がバッファ回路を経由して再び制御線CLに伝達される間に、1つの導電配線ではなく、少なくとも2つの異なる導電配線を経由するので、アンテナ効果が防止される。

50

【0038】

図4は、本発明の第1実施形態によって画素部内にバッファ回路を配置した平面図である。

【0039】

図4を参照すれば、本発明の第1実施形態によるバッファ回路111は、画素部101内で少なくとも1つの列を形成するように制御線CLのそれぞれと同じ列に配置される。

【0040】

例えば、バッファ回路111は画素部101の中央に1つの列を形成するように配置され得る。

【0041】

このようなバッファ回路111は、外部から駆動電源、即ち、第1及び第2電源VDD、VSSの供給を受けて駆動される。

【0042】

従って、画素部101内にはバッファ回路111を駆動するための第1電源線VL1と第2電源線VL2が配置される。ここで、第1電源線VL1はバッファ回路111に第1電源VDDを供給し、第2電源線VL2はバッファ回路111に第2電源VSSを供給する。

【0043】

このような第1電源線VL1及び第2電源線VL2は、バッファ回路111が列方向に形成される場合、バッファ回路111の両側に列方向に形成されることができる。

前述した本発明の第1実施形態によれば、各制御線CL毎にバッファ回路111を挿入することで、左側又は右側から供給される制御信号の波形を補正して歪んだ信号が画素110に伝達されることを防止できる。また、バッファ回路111の配置が比較的単純であり、設計が容易である。

【0044】

一方、図4では第1電源線VL1と第2電源線VL2の厚さが互いに異なると示したが、これは単に第1及び第2電源線VL1、VL2を明確に区分して示すためのものであり、本発明はこれに限定されるものではない。これは後述する図5～図6でも同一に適用されることはもちろんである。

【0045】

図5は、本発明の第2実施形態によって画素部内にバッファ回路を配置した平面図である。

【0046】

図5を参照すれば、本発明の第2実施形態によるバッファ回路211は画素部201の少なくとも一領域内でジグザグ状に配置されることができる。

【0047】

例えば、バッファ回路211は、画素部201の左側上段の領域と、右側下段の領域のそれぞれでジグザグ状に配置されることができる。また、バッファ回路211がジグザグ状に配置された領域が画素部201の全体にわたってジグザグ状に配置されるか、または対角線の方に形成されることもできる。

【0048】

このようなバッファ回路211を配置するとき、バッファ回路211が互いに離間する間隔はシミュレーション方法などを通じて任意に設定されることができる。

【0049】

ただし、バッファ回路211は外部から第1及び第2電源VDD、VSSの供給を受けて駆動されるので、画素部201の内部には第1電源VDDを供給するための第1電源線VL1と、第2電源VSSを供給するための第2電源線VL2が形成される。

【0050】

第1及び第2電源線VL1、VL2は画素210の上端に行方向に配列されて自分と隣接するバッファ回路211と連結される。ここで、隣接した行に配置される同一の電源線

10

20

30

40

50

V L 同士は互いに連結されるように形成され得る。このような第 1 及び第 2 電源線 V L 1、V L 2 は、画素部 2 0 1 の両側から第 1 及び第 2 電源 V D D、V S S の供給を受けて自分と連結されたバッファ回路 2 1 1 に第 1 及び第 2 電源 V D D、V S S を伝達する。

【 0 0 5 1 】

前述した本発明の第 2 実施形態によれば、各制御線 C L 毎にバッファ回路 2 1 1 を挿入して画素 2 1 0 に歪んだ信号が伝達されることを防止できる。

【 0 0 5 2 】

また、連続する行ではバッファ回路 2 1 1 が同じ列に位置しないように配置すると共に、画素部 2 0 1 の全体にわたってバッファ回路 2 1 1 を分散配置することで、バッファ回路 2 1 1 が暗線に見えることを防止できる。

10

【 0 0 5 3 】

即ち、本発明の第 2 実施形態によれば、制御線 C L を介して供給される制御信号の歪みを防止しながらも、画質の低下が発生しないようにできる。

【 0 0 5 4 】

図 6 は、本発明の第 3 実施形態によって画素部内にバッファ回路を配置した平面図である。

【 0 0 5 5 】

図 6 を参照すれば、本発明の第 3 実施形態によるバッファ回路 3 1 1 は制御線 C L のそれぞれに一定間隔で複数配置される。そして、バッファ回路 3 1 1 は連続的な行で同じ列に位置しないように分散配置される。

20

【 0 0 5 6 】

ただし、バッファ回路 3 1 1 は外部から第 1 及び第 2 電源 V D D、V S S の供給を受けて駆動されるので、画素部 3 0 1 の内部には第 1 電源 V D D を供給するための第 1 電源線 V L 1 と、第 2 電源 V S S を供給するための第 2 電源線 V L 2 が形成される。

【 0 0 5 7 】

第 1 及び第 2 電源線 V L 1、V L 2 は画素 3 1 0 の上端に行方向に配列されて自分と隣接するバッファ回路 3 1 1 と連結される。

【 0 0 5 8 】

このとき、第 1 及び第 2 電源線 V L 1、V L 2 は制御線 C L のそれぞれでバッファ回路 3 1 1 を基準に交互に配置される。例えば、第 1 及び第 2 電源線 V L 1、V L 2 はメッシュ状に配置されることができる。

30

【 0 0 5 9 】

このような第 1 及び第 2 電源線 V L 1、V L 2 は、画素部 3 0 1 の一側又は両側から第 1 及び第 2 電源 V D D、V S S の供給を受けて自分と連結されたバッファ回路 3 1 1 に第 1 及び第 2 電源 V D D、V S S を伝達する。

【 0 0 6 0 】

前述した本発明の第 3 実施形態によれば、各制御線 C L 毎にバッファ回路 3 1 1 を挿入して画素 3 1 0 に歪んだ信号が伝達されることを防止できる。

【 0 0 6 1 】

特に、各制御線 C L 毎に一定間隔で離間した複数のバッファ回路 3 1 1 を挿入することで、制御線 C L を経由しながら、遅延された制御信号を効果的に補正できる。これにより、画素部 3 0 1 内に位置するいずれの画素 3 1 0 にも制御信号が歪むことなく伝達されるようにできる。従って、制御信号の歪みによる駆動不良を効果的に防止できる。

40

【 0 0 6 2 】

また、連続する行ではバッファ回路 3 1 1 が同じ列に位置しないように配置すると共に、画素部 3 0 1 の全体にわたってバッファ回路 3 1 1 を分散配置することで、バッファ回路 3 1 1 が暗線に見えることを防止できる。

【 0 0 6 3 】

即ち、本発明の第 3 実施形態によれば、制御線 C L を介して供給される制御信号の歪みを防止しながらも、画質の低下が発生しないようにできる。

50

【0064】

また、第3実施形態によるバッファ回路311の配置は一定のパターンで繰り返されるため、画素部301の大きさに関係なく、無限に拡張が可能である。従って、パネルが大型化しても画素部301の全体にわたって一定に制御信号の歪みを補正できる。

【0065】

一方、図4～図6において、バッファ回路111、211、311は画素110、210、310と重ならないように示したが、本発明はこれに限定されるものではない。即ち、バッファ回路111、211、311と画素110、210、310は互いに少なくとも一領域が重なるように配置されることができ。

【0066】

例えば、画素110、210、310が、有機電界発光ダイオードOLEDと、これを駆動するための画素回路とで構成される場合、バッファ回路111、211、311は、画素回路と重ならないように自分の両側の隣接画素110、210、310の画素回路の間に配置されることができ。ただし、画素回路の上部に形成される有機電界発光ダイオードOLEDの少なくとも一領域はバッファ回路111、211、311の少なくとも一領域と重なるように配置され得る。

【0067】

即ち、画素回路を構成するスイッチトランジスタ、ドライビングトランジスタ及びキャパシタは、バッファ回路111、211、311が位置する領域でバッファ回路111、211、311と重ならないように所定間隔だけシフトして配置されることができ。また、このような画素回路のシフト配置はバッファ回路111、211、311と隣接した画素110、210、310にのみ限られるのではない。例えば、画素部101、201、301の全体にバッファ回路111、211、311を基準に全ての画素回路がシフトして均一に配置されることができ。

【0068】

ただし、有機電界発光ダイオードOLEDはバッファ回路111、211、311の挿入前と比較してシフトせず、その位置を維持するように配置されることができ。この場合、バッファ回路111、211、311の両側に配置される画素110、210、310の有機電界発光ダイオードOLEDはその一領域がバッファ回路111、211、311の一領域と重なるように位置し得る。

【0069】

このとき、このような画素110、210、310及びバッファ回路111、211、311を含む画素部101、201、301が画素回路の反対方向に全面発光するようになれば、バッファ回路111、211、311が形成された部分が暗点又は暗線などに見える現象が発生しなくなる。即ち、画素部101、201、301内にバッファ回路111、211、311を挿入する場合、隣接画素110、210、310の有機電界発光ダイオードOLEDと一部重なるように挿入することで、画質の低下を防止できる。

【0070】

前述した本発明の技術思想は画素構造が比較的単純なデジタル駆動方式の表示装置などに有用に適用され得る。

【0071】

以上説明したように、本発明の最も好ましい実施の形態などについて説明したが、本発明は、上記記載に限定されるものではなく、特許請求の範囲に記載され、または明細書に開示された発明の要旨に基づき、当業者において様々な変形や変更が可能であることはもちろんであり、斯かる変形や変更が、本発明の範囲に含まれることは言うまでもない。

【図面の簡単な説明】

【0072】

【図1】本発明を適用するための有機電界発光表示装置の一例を示すブロック図である。

【図2】本発明の画素部内に挿入されるバッファ回路の一例を示す回路図である。

【図3】図2に示したバッファ回路の一領域の断面を示す断面図である。

10

20

30

40

50

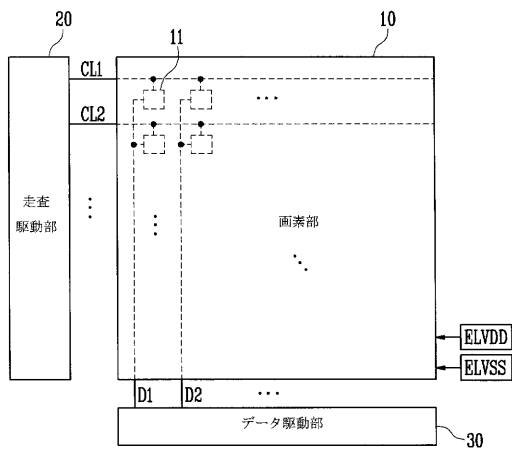
- 【図4】本発明の第1実施形態によって画素部にバッファ回路を配置した平面図である。
- 【図5】本発明の第2実施形態によって画素部にバッファ回路を配置した平面図である。
- 【図6】本発明の第3実施形態によって画素部にバッファ回路を配置した平面図である。

【符号の説明】

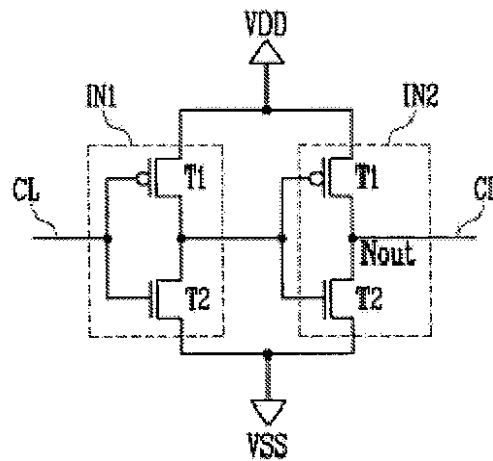
【0073】

- 10, 101, 201, 301 ; 画素部
- 20 ; 走査駆動部
- 30 ; データ駆動部

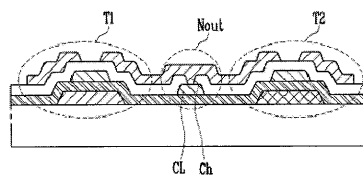
【図1】



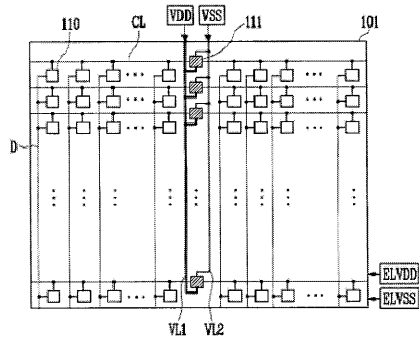
【図2】



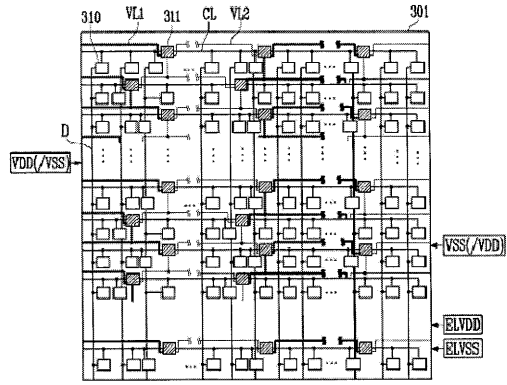
【図3】



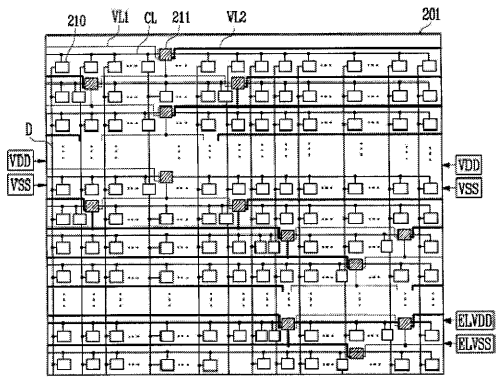
【 図 4 】



【 図 6 】



【 図 5 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 3 3 8
H 0 5 B 33/14 A

(72)発明者 金 起旭
大韓民国京畿道水原市靈通區 しん 洞 5 7 5 番地

審査官 福村 拓

(56)参考文献 国際公開第 9 4 / 0 2 0 9 4 9 (W O , A 1)
特開 2 0 0 9 - 0 3 1 7 5 2 (J P , A)
特開 2 0 0 8 - 1 4 5 6 4 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 0
G 0 9 F 9 / 3 0
G 0 9 G 3 / 2 0

专利名称(译)	有机发光显示器		
公开(公告)号	JP5192834B2	公开(公告)日	2013-05-08
申请号	JP2008018060	申请日	2008-01-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星移动显示的股票会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金炯秀 金起旭		
发明人	金 炯秀 金 起旭		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3266 G09G2300/0408 G09G2300/0426 G09G2320/0223 G09G2330/06 H01L27/1214 H01L27/326		
FI分类号	G09G3/30.J G09G3/20.611.J G09G3/20.624.B G09G3/20.680.G G09F9/30.365.Z G09F9/30.338 H05B33/14.A G09F9/30.365 G09G3/3225 G09G3/3266 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD18 5C080/DD28 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA21 5C094/AA31 5C094/AA42 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA20 5C094/DB10 5C094/GA10 5C380/AA01 5C380/AB04 5C380/AB06 5C380/AB21 5C380/AB45 5C380/AB46 5C380/AB50 5C380/BA19 5C380/BA20 5C380/CB17 5C380/CB37 5C380/CB40 5C380/CC26 5C380/CC33 5C380/CF22 5C380/CF23 5C380/HA15 5C380/HA20		
代理人(译)	佐伯喜文 渡边 隆		
审查员(译)	福村 拓		
优先权	1020070113658 2007-11-08 KR		
其他公开文献	JP2009116293A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有机电致发光显示装置，其可以通过补偿要传输到像素的控制信号的延迟来防止失真并且还防止天线效应。解决方案：有机电致发光显示装置包括：像素部分，包括多个像素；以及控制线，沿第一方向布置在像素之间以向像素提供控制信号；以及数据线，沿与第一方向交叉的第二方向排列在像素之间向像素提供数据信号，并且还包括为每条控制线形成的至少一个缓冲电路。 Z

【 図 2 】

