

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-516146

(P2017-516146A)

(43) 公表日 平成29年6月15日(2017.6.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09G 3/3291 (2016.01)	G09G 3/20 670K	5C380
HO1L 51/50 (2006.01)	G09G 3/20 642P	
	G09G 3/3291	

審査請求 未請求 予備審査請求 未請求 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2016-567500 (P2016-567500)
 (86) (22) 出願日 平成27年5月19日 (2015.5.19)
 (85) 翻訳文提出日 平成28年11月11日 (2016.11.11)
 (86) 国際出願番号 PCT/AU2015/000295
 (87) 国際公開番号 WO2015/176108
 (87) 国際公開日 平成27年11月26日 (2015.11.26)
 (31) 優先権主張番号 2014901852
 (32) 優先日 平成26年5月19日 (2014.5.19)
 (33) 優先権主張国 オーストラリア (AU)

(71) 出願人 590003283
 コモンウェルス サイエントフィック
 アンド インダストリアル リサーチ オ
 ーガナイゼーション
 オーストラリア国 オーストラリアン キ
 ャピタル テリトリー, アクトン, クルー
 ニーズ ロス ストリート, シーエスアイ
 アールオー ブラック マウンテン サイ
 エンス アンド イノベーション パーク
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 高解像度 O L E D ディスプレイ 作動回路

(57) 【要約】

発光ディスプレイパネルのサブピクセル回路は、少なくとも3つのスイッチと、少なくとも1つの容量素子と、少なくとも1つの発光素子と、前記少なくとも3つのスイッチ、前記少なくとも1つの容量素子、及び前記少なくとも1つの発光素子を接続する配線として機能する電源ラインと、接地ラインと、サブピクセルを発光のために選択する走査ラインと、発光素子にデータを供給するデータラインと、発光素子の劣化を検出するためのセンスラインとを有し、所定の光度に対応するデータが、電圧に基づいてプログラムされる。

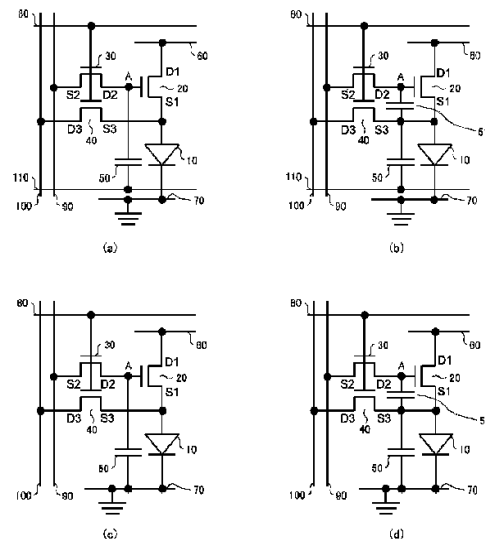


Figure 3

【特許請求の範囲】

【請求項 1】

発光ディスプレイパネルサブピクセル回路であって、
 少なくとも 3 つのスイッチと、
 少なくとも 1 つの容量素子と、
 少なくとも 1 つの発光素子と、
 前記少なくとも 3 つのスイッチ、前記少なくとも 1 つの容量素子、及び前記少なくとも 1 つの発光素子を接続する配線として機能する電源ラインと、
 接地ラインと、
 サブピクセルを発光のために選択する走査ラインと、
 前記発光素子にデータを供給するデータラインと、
 前記発光素子の劣化を検出するためのセンスラインと
 を有し、
 所定の光度に対応する前記データが、電圧に基づいてプログラムされる、
 発光ディスプレイパネルサブピクセル回路。

10

【請求項 2】

前記配線は更に補正ラインを含む、請求項 1 に記載の発光ディスプレイパネルサブピクセル回路。

【請求項 3】

前記少なくとも 3 つのスイッチの各々が、主としてシリコン、金属酸化物、又は有機物からなる活性層を含んだ電界効果トランジスタである、請求項 1 又は 2 に記載の発光ディスプレイパネルサブピクセル回路。

20

【請求項 4】

前記少なくとも 3 つのスイッチの各々が n チャネル電界効果トランジスタである、請求項 1 乃至 3 の何れか一項に記載の発光ディスプレイパネルサブピクセル回路。

【請求項 5】

前記少なくとも 3 つのスイッチの各々が p チャネル電界効果トランジスタである、請求項 1 乃至 3 の何れか一項に記載の発光ディスプレイパネルサブピクセル回路。

【請求項 6】

前記少なくとも 3 つのスイッチは、前記発光素子を発光のために駆動する駆動トランジスタと、サブピクセルを発光のために選択する選択トランジスタと、前記発光素子における劣化を検出するセンストランジスタとを有し、

30

前記発光素子のアノードが、前記駆動トランジスタ及び前記センストランジスタの第 1 主電極に接続され、

前記センストランジスタの第 2 主電極が前記センスラインに接続され、

前記選択トランジスタの第 1 主電極が前記データラインに接続され、前記選択トランジスタの第 2 主電極が前記駆動トランジスタの制御電極に接続され、且つ

前記選択トランジスタ及び前記センストランジスタの制御電極が前記走査ラインに接続される、

請求項 1 に記載の発光ディスプレイパネルサブピクセル回路。

40

【請求項 7】

前記少なくとも 3 つのスイッチは、前記発光素子を発光のために駆動する駆動トランジスタと、サブピクセルを発光のために選択する選択トランジスタと、前記発光素子における劣化を検出するセンストランジスタとを有し、

前記発光素子のアノードが、前記駆動トランジスタ及び前記センストランジスタの第 1 主電極に接続され、

前記センストランジスタの第 2 主電極が前記センスラインに接続され、

前記選択トランジスタの第 1 主電極が前記データラインに接続され、前記選択トランジスタの第 2 主電極が前記駆動トランジスタの制御電極に接続され、

前記駆動トランジスタの前記制御電極及び前記選択トランジスタの前記第 2 主電極が、

50

前記少なくとも1つの容量素子を介して前記補正ラインに接続され、且つ

前記選択トランジスタ及び前記センストランジスタの制御電極が前記走査ラインに接続される、

請求項2に記載の発光ディスプレイパネルサブピクセル回路。

【請求項8】

前記駆動トランジスタ、前記選択トランジスタ、及び前記センストランジスタの各々が、 n チャネル電界効果トランジスタであり、

前記第1主電極はソース電極であり、

前記第2主電極はドレイン電極であり、且つ

前記制御電極はゲート電圧である、

請求項7に記載の発光ディスプレイパネルサブピクセル回路。

10

【請求項9】

前記発光素子のカソードが接地され、且つ前記駆動トランジスタのドレイン電極が前記電源ラインに接続される、請求項8に記載の発光ディスプレイパネルサブピクセル回路。

【請求項10】

前記補正ラインが接地される、請求項9に記載の発光ディスプレイパネルサブピクセル回路。

【請求項11】

前記駆動トランジスタのゲート電極及び前記選択トランジスタのドレイン電極が、第1及び第2の容量素子を介して前記補正ラインに接続され、

20

前記第1の容量素子は、前記補正ラインと前記センストランジスタのソース電極との間に接続され、且つ

前記第2の容量素子は、前記駆動トランジスタのゲート電極及び前記選択トランジスタのドレイン電極と前記センストランジスタのソース電極との間に接続される、

請求項8乃至10の何れか一項に記載の発光ディスプレイパネルサブピクセル回路。

【請求項12】

前記駆動トランジスタ、前記選択トランジスタ、及び前記センストランジスタの各々が、 p チャネル電界効果トランジスタであり、

前記第1主電極はドレイン電極であり、

前記第2主電極はソース電極であり、且つ

前記制御電極はゲート電圧である、

請求項7に記載の発光ディスプレイパネルサブピクセル回路。

30

【請求項13】

前記発光素子のカソードが前記電源ラインに接続され、且つ前記駆動トランジスタのソース電極が接地される、請求項12に記載の発光ディスプレイパネルサブピクセル回路。

【請求項14】

前記駆動トランジスタのゲート電極及び前記選択トランジスタのソース電極が、第1及び第2の容量素子を介して前記補正ラインに接続され、

前記第1の容量素子は、前記補正ラインと前記センストランジスタのドレイン電極との間に接続され、且つ

40

前記第2の容量素子は、前記駆動トランジスタのゲート電極及び前記選択トランジスタのソース電極と前記センストランジスタのドレイン電極との間に接続される、

請求項12又は13に記載の発光ディスプレイパネルサブピクセル回路。

【請求項15】

発光ディスプレイパネルサブピクセルを駆動する方法であって、

請求項6乃至14の何れか一項に記載の発光ディスプレイパネルサブピクセル回路にて、前記センスラインを所定のプリチャージ電圧にプリチャージするステップと、

サブピクセル選択のときに、前記センストランジスタがオンになるときに発生する前記センスラインにおける電圧変化を検出するステップと

を有する、発光ディスプレイパネルサブピクセルを駆動する方法。

50

【請求項 16】

前記センスラインにおける前記電圧変化が正又は負の方向であることが見出された場合に、前記プリチャージ電圧が、前記正又は負の方向と同じ方向に所定のステップだけ変更されて、再び前記電圧変化が検出される、請求項 15 に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 17】

前記電圧変化が前記正又は負の方向とは逆の方向に反転されるまで、請求項 16 に記載された手順が繰り返される、請求項 16 に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 18】

補正ラインに補正電圧を印加することによって、前記発光素子の光度が補正される、請求項 15 乃至 17 の何れか一項に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 19】

前記駆動トランジスタのゲート電極に更に補正電圧を印加することによって、前記発光素子の光度が補正される、請求項 15 乃至 17 の何れか一項に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 20】

前記補正電圧は、前記センスラインにおける前記電圧変化に対応するステップ幅に基づいて設定される、請求項 18 に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 21】

前記センスラインにおける前記電圧変化の量が、前記電圧変化を反転ならしめるステップ数によって決定される、請求項 15 乃至 20 の何れか一項に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 22】

前記ステップの幅及び前記ステップ数が、電子データとして記憶素子に格納される、請求項 21 に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 23】

前記プリチャージ電圧が、電子データとして前記記憶素子に格納される、請求項 22 に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 24】

所定の光度に対応するデータ、前記プリチャージ電圧、及び補正電圧が、前記記憶素子に格納されたデータテーブルを参照することによって決定される、請求項 23 に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 25】

所定の光度に対応するデータ、前記プリチャージ電圧、及び補正電圧が、前記記憶素子に格納された数学モデルを用いて計算される、請求項 23 に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 26】

前記センスラインにおける前記電圧変化が、比較器によって検出される、請求項 15 乃至 25 の何れか一項に記載の発光ディスプレイパネルサブピクセルを駆動する方法。

【請求項 27】

請求項 1 乃至 14 の何れか一項に記載の発光ディスプレイパネルサブピクセル回路を含む複数のサブピクセルがマトリクスに配置されている、ディスプレイパネル。

【請求項 28】

請求項 27 に記載のディスプレイパネルを含んだディスプレイユニット。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、例えば有機発光ダイオード（OLED）又は有機ELなどの有機エレクトロルミネセンス素子を使用する発光ディスプレイパネルのサブピクセル回路、その駆動方法、及び該サブピクセル回路を用いるディスプレイパネル/ユニットに関する。

【背景技術】

【0002】

例えば、有機エレクトロルミネセンス素子又は有機発光ダイオード（OLED）、すなわち、有機エレクトロルミネセンス（EL）を使用するデバイスなど、直流電流レベルに対応する光度で光を放つ二端子表示装置を用いるディスプレイパネルが、近年、開発されている。

【0003】

高輝度で高コントラストの画像表示の実装は、例えば薄膜トランジスタ（TFT）といったスイッチング素子の使用を介したアクティブ駆動を必要とする。典型的に、OLEDは、薄い有機材料の積層構造を持ち且つ電流のレベルに従って発光強度を変化させる発光デバイスである。画像を表示するディスプレイユニットは、マトリクスに配置されたピクセル（画素）又はサブピクセルの各々上に設けられたOLEDを通る電流を、TFTを用いることによって渡し、それにより、ピクセル又はサブピクセルが光を放つことを可能にするように構成されることができる。

【0004】

アクティブマトリクス駆動のOLEDにおいては、ピクセルと呼ばれる多数の発光領域が、典型的にマトリクス形態で配列され、それらの列が1つずつ、発光又は色調についての繰り返しの書込み（プログラミング）処理のために走査される。一ピクセルは典型的に、異なる色調を持つ複数のサブピクセルで構成され、各サブピクセルの発光の組み合わせの制御を介して、ピクセルの発光及び色調が制御される。

【0005】

サブピクセルは、複数のマトリクス配線に接続されるとともに、複数のスイッチング素子と、発光素子と、容量素子（キャパシタ）とで構成される。スイッチング素子及び発光素子の特性のバラつき並びに劣化によって生じる特性の変化を補正するために、様々な駆動方法が提案されてきた。

【0006】

図1は、OLEDを使用するサブピクセル回路における電流プログラム法の例示的な構成及びその駆動方法を示す図である。図1(a)は、サブピクセル回路レイへの電流ミラー回路レイの一適用例（例えば、特許文献1参照）を示す図であり、電流ミラー回路11-17の部分形成するミラートランジスタが、自身に所定レベルの電流を流れさせるようにプログラムされることで、それに比例した電流が、サブピクセル回路19-25の部分形成するOLEDに流れるようにされる。図1(b)は、電流ミラー回路31及びサブピクセル回路33の図であり、プログラムされるべきデータ（電流）がOLEDを通され、OLEDを流れる電流それ自体がそれによってプログラムされる（例えば、特許文献1参照）。電流プログラミングによるこの回路の駆動方法は、サブピクセル当たりのスイッチング素子数の増加をもたらす傾向にあるが、OLEDを流れる電流の精密制御を提供するという利点を有する。また、電流プログラミングは時間がかかるので、この方法は、小さい画素領域及び高速な走査を有する高精細ディスプレイを実装することには適していない。

【0007】

図2は、OLEDを使用するサブピクセル回路における電圧プログラム法の例示的な構成及びその駆動方法を示す図である。図2(a)は、スイッチング素子に関して閾値補正関数を適用する閾値補正回路を含んだ駆動回路35の一例を示す図である（例えば、特許文献2参照）。図2(b)は、OLEDに印加される電圧の解除及びリセットを介してOLEDの劣化を軽減する電圧制御回路39の一例を示す図である（例えば、特許文献3参照）。電圧制御回路39によって適用される電圧プログラム法は、高速走査を実現するとともにピクセル当たりのスイッチング素子数を減らすという利点を有する。対照的に、電

10

20

30

40

50

圧プログラム法は、スイッチング素子の閾値バラつきとO L E D劣化とを同時に補正することに困難性を有する。

【0008】

最近、より高精細でより高速な走査に対する要求が増している。この要求を満たすために、様々な手段を採用したディスプレイユニットを提供することが望ましく、また、その駆動方法が提供されるべきである。

【0009】

最近注目を集めているモバイル装置での使用のために設計されるO L E Dディスプレイユニットは、300ppi(ピクセル毎インチ)から400ppiに至る範囲の高精細を必要としている。400ppiの高精細O L E Dディスプレイユニットは、例えば、1画素で60ミクロン四方というサイズを持つ。また、より滑らかな動画表示を実現するためには、60フレーム毎秒又はそれよりも高速な走査が必要とされ、ピクセル当たりのスイッチング素子数を削減すると同時に効果的な補正を提供することを非常に困難にする。現在知られている技術として、スイッチング素子に関する閾値バラつき補正を組み込むものが存在しているが、その技術は、バラつき補正及び長期信頼性を確保する上で十分に満足いくものではない。

10

【0010】

発光ディスプレイパネルのサブピクセル回路、その駆動方法、並びに、サブピクセル回路及びその駆動方法を用いるディスプレイパネル/ユニットを提供することが望まれる。

20

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特許第3743387号公報

【特許文献2】特許第4240059号公報

【特許文献3】特許第3613253号公報

【非特許文献】

【0012】

【非特許文献1】I D W 2 0 0 1、プロシーディング、第315頁

【発明の概要】

【0013】

本発明の一態様は、本発明の一実施形態に従った発光ディスプレイパネルサブピクセル回路を提供し、当該発光ディスプレイパネルサブピクセル回路は、少なくとも3つのスイッチと、少なくとも1つの容量素子と、少なくとも1つの発光素子と、上記少なくとも3つのスイッチ、上記少なくとも1つの容量素子、及び上記少なくとも1つの発光素子を接続する電源ラインと、接地ラインと、サブピクセルを発光のために選択する走査ラインと、発光素子にデータを供給するデータラインと、発光素子の劣化を検出するためのセンスラインとを含み、所定の光度に対応するデータが、電圧に基づいてプログラムされる。

30

【0014】

本発明の他の一態様は、発光ディスプレイパネル用のサブピクセル駆動方法を提供し、上記発光ディスプレイパネルサブピクセル回路にて、センスラインが所定のプリチャージ電圧にプリチャージされ、そして、サブピクセルの選択に伴うセンストランジスタのアクティブ化のときに、センスラインにおける電圧変化が検出される。

40

【0015】

本発明の他の一態様は、発光ディスプレイパネル用のサブピクセル回路を含む複数のサブピクセルがマトリクスに配置されたディスプレイパネルを提供する。

【0016】

本発明の他の一態様は、ディスプレイパネルを含んだディスプレイユニットを提供する。

【0017】

本発明の1つ以上の実施形態は、高精細で、高速に走査することが可能で、且つスイッ

50

チングトランジスタ特性におけるバラつき及び発光素子（O L E D）劣化を補正することが可能な、サブピクセル回路、その駆動方法、そのようなサブピクセル回路及びその駆動方法を使用するディスプレイパネル／ユニットを実装することができる。

【図面の簡単な説明】

【0018】

【図1】従来のO L E Dを使用するサブピクセル回路における電流プログラム法の一構成例及びその駆動方法を示す図である。図1（a）は、サブピクセル回路アレイへの電流ミラー回路アレイの一適用例を示す図である。図1（b）は、電流ミラー回路及びサブピクセル回路の図であり、プログラムされるべきデータ（電流）がO L E Dを通され、O L E Dを流れる電流それ自体がそれによってプログラムされる。

10

【図2】従来のO L E Dを使用するサブピクセル回路における電圧プログラム法の例示的な一構成及びその駆動方法を示す図である。図2（a）は、スイッチング素子に関して閾値補正関数を適用する閾値補正回路を含んだ駆動回路の一例を示す図である。図2（b）は、O L E Dの劣化を軽減する電圧制御回路の一例を示す図である。

【図3】本発明の一実施形態に従った、補償回路を含んだ、O L E Dを使用するサブピクセル回路の構成例を示す図である。図3（a）は、サブピクセル回路の第1の構成例を示す図である。図3（b）は、サブピクセル回路の第2の構成例を示す図である。図3（c）は、サブピクセル回路の第3の構成例を示す図である。図3（d）は、サブピクセル回路の第4の構成例を示す図である。

【図4】O L E Dを使用するサブピクセル回路の信号波形の一例を示す模式図である。

20

【図5】本発明の一実施形態に従った、補償回路を含んだ、O L E Dを使用するサブピクセル回路の構成例を示す図である。図5（a）は、サブピクセル回路の第1の構成例を示す図である。図5（b）は、サブピクセル回路の第2の構成例を示す図である。

【図6】O L E Dを使用するサブピクセル回路の信号波形の一例を示す模式図である。

【図7】O L E Dを使用するサブピクセル回路構成一例を示す図であり、補償回路の動作を示している。

【図8】O L E Dを使用するサブピクセル回路構成一例を示す図であり、補償回路の動作を示している。

【図9】O L E D劣化特性を示すグラフである。

【図10】補償処理で使用されるルックアップテーブル及び数学モデルの一例である。図10（a）は、O L E D特性を示すルックアップテーブルである。図10（b）は、駆動T F T特性及び数学モデルを示すルックアップテーブルである。

30

【発明を実施するための形態】

【0019】

本発明に従った実施形態が、添付の図面を参照して後述される。図面全体を通して、参照される実施形態間の対応関係を指し示すために、参照符号を繰り返して使用する。

【0020】

[第1実施形態]

図3は、本発明の第1実施形態に従った発光ディスプレイユニットサブピクセル回路を示す図である。第1実施形態では、1つのサブピクセルが、3つのnチャンネルT F T 20、30、40と、1つ若しくは2つの容量素子（キャパシタ）50と、1つのO L E D 10とで構成され、これらが、走査ライン80、データライン90、電源ライン60、補正ライン110、及び接地ライン70に接続されている。

40

【0021】

図4は、図3のサブピクセル回路における経時的な電圧印加を示す模式図である。図4の“点A”は、図3の駆動T F T 20のゲートに接続された配線中の点Aに対応しており、駆動T F T 20の経時的なゲート電圧を示している。

【0022】

図3（a）において、駆動T F T 20のドレインD1は電源ライン60に接続され、そのソースS1はO L E D 10のアノードに接続される。O L E D 10のカソードは接地ラ

50

イン70に接続される。駆動TFT20のゲートは、容量素子50の一方の電極と選択TFT30のドレインD2とに接続される。選択TFT30のゲートは走査ライン80に接続され、そのソースS2はデータライン90に接続される。その一方で、容量素子の他方の電極は補正ライン110に接続される。センスTFT40のゲートは走査ライン80に接続され、そのドレインD3はセンスライン100に接続され、そのソースS3はOLED10のアノードに接続される。

【0023】

OLED10は、アノードとカソードとにわたって印加される電圧又はアノードとカソードとにわたって流れる電流に対応するルミネセンス（光度）で光を放つ発光素子である。駆動TFT20は、発光のためにOLED10を駆動するためのトランジスタである。選択TFT30は、発光のために駆動されるサブピクセルを選択するためのトランジスタである。センスTFT40は、OLED10の劣化を検出するためのトランジスタである。

10

【0024】

電源ライン60は、サブピクセル回路に電力を供給するために設けられる配線である。接地ライン70は、サブピクセル回路に含まれる回路要素をグランドに落とすための配線である。走査ライン80は、サブピクセルを選択するための配線である。選択TFT30をアクティブにする選択電圧を走査ライン80に供給することで、発光のためにサブピクセルの選択を駆動することが可能になる。データライン90は、OLED10にデータ（電圧）を供給するための配線である。この電圧のレベルによって、OLED10のルミネセンスが制御される。センスライン100は、OLED10における劣化によって生じる電圧変動を検出するための配線であり、センスTFT40と協働して、OLED10のアノード電圧における変動を検出する。補正ライン110は、所定のルミネセンスでの発光に要するOLED10のアノード電圧の変動下でも、OLED10に同じルミネセンスで発光させるように電圧変動を補正（補償）するための配線である。

20

【0025】

走査ライン80及び選択TFT30のゲートに電圧が印加されると、選択TFT30がアクティブになって、データライン90に与えられたデータ信号（電圧）を駆動TFT20のゲート（点A）に印加させる。これは、所定レベルの電流がOLED10に流れて、データ信号（電圧）に対応するルミネセンスでOLED10に発光させることをもたらす。走査ライン80に電圧が存在しなくなると、選択TFT30は非アクティブになるが、駆動TFT20のゲート電圧（点A）は、走査電圧が再び与えられるまで、容量素子50によって一定レベルに維持される。

30

【0026】

センスライン100の電圧は、所定レベルの電流がOLED10を流れるときに生じるアノード電圧に相当するレベルにプリチャージされる。走査ライン80と選択TFT30及びセンスTFT40のゲートとに電圧が印加されると、駆動TFT20のゲートに電圧が印加されて、データ信号（電圧）に対応する所定レベルの電流がOLED10に流れ始めることを生じさせる。この時点において、センスTFT40はアクティブ状態にあり、OLED10のアノード電圧とプリチャージされたセンスライン100の電圧との間の比較をもたらす。アノード電圧がセンスライン100の電圧よりも高い場合、電流がセンスライン100に流れ込む。低い場合には、電流がセンスライン100から流れ出る。これら2つの状態のうちのどちらが起こっているのかという決定が、センスライン100における電圧変化の検出によって為されることになる。

40

【0027】

図3(b)において、駆動TFT20のドレインD1は電源ライン60に接続され、そのソースS1はOLED10のアノードに接続される。OLED10のカソードは接地ライン70に接続される。駆動TFT20のゲートは、容量素子51の一方の電極と選択TFT30のドレインD2とに接続される。選択TFT30のゲート電極は走査ライン80に接続され、そのソースS2はデータライン90に接続される。容量素子51の他方の電

50

極はO L E D 1 0のアノードに接続される。その一方で、容量素子5 0の一方の電極はO L E D 1 0のアノードに接続され、その他方の電極は補正ライン1 1 0に接続される。センスT F T 4 0のゲートは走査ライン8 0に接続され、そのドレインD 3はセンスライン1 0 0に接続され、そのソースS 3はO L E D 1 0のアノードに接続される。

【0028】

走査ライン8 0及び選択T F T 3 0のゲートに電圧が印加されると、選択T F T 3 0がアクティブになって、データライン9 0に与えられたデータ信号（電圧）を駆動T F T 2 0のゲート（点A）に印加させる。これは、所定レベルの電流がO L E D 1 0に流れて、データ信号（電圧）に対応するルミネセンスでO L E D 1 0に発光させることをもたらす。走査ライン8 0に電圧が存在しなくなると、選択T F T 3 0は非アクティブになるが、駆動T F T 2 0のゲート電圧（点A）は、走査電圧が再び与えられるまで、容量素子5 0、5 1によって一定レベルに維持される。図3（a）の実施形態との違いは、直列に接続された2つの容量素子5 0、5 1の使用にある。換言すれば、違いは、所定レベルの電流がO L E D 1 0に流れ始めるときに、O L E D 1 0のアノードに電圧が印加され、それが容量素子5 1に、駆動T F T 2 0のゲートとソース（O L E D 1 0のアノード）との間の電圧を維持するように作用させ、それにより、駆動T F T 2 0の閾値におけるバラつきを自動的に補正することである。

10

【0029】

図3（a）の実施形態がそうであるように、センスライン1 0 0の電圧は、所定レベルの電流がO L E D 1 0を流れるときに生じるアノード電圧に相当するレベルにプリチャージされる。走査ライン8 0と選択T F T 3 0及びセンスT F T 4 0のゲートとに電圧が印加されると、駆動T F T 2 0のゲートに電圧が印加されて、データ信号（電圧）に対応する所定レベルの電流がO L E D 1 0に流れ始めることを生じさせる。この時点において、センスT F T 4 0はアクティブ状態にあり、O L E D 1 0のアノード電圧とプリチャージされたセンスライン1 0 0の電圧との間の比較をもたらす。アノード電圧がセンスライン1 0 0の電圧よりも高い場合、電流がセンスライン1 0 0に流れ込む。低い場合には、電流がセンスライン1 0 0から流れ出る。これら2つの状態のうちのどちらが起こっているのかという決定が、センスライン1 0 0における電圧変化の検出によって為されることになる。

20

【0030】

O L E D 1 0の、その劣化によって生じる発光強度における低下は、通常、抵抗の増大をもたらすが、これは、O L E D 1 0に所定レベルの電流を通すのに要する電圧を高くならしめる傾向にある。この理由により、O L E D 1 0は、劣化した場合に、O L E D 1 0のアノード電圧をセンスライン1 0 0のプリチャージ電圧よりも高くならしめる傾向にある。これが起こると、O L E D 1 0に所定レベルの電流が通されたとしても、所望レベルの発光強度を得ることができない（すなわち、発光強度の低下）。

30

【0031】

図3の（a）及び（b）は、補正ライン1 1 0に補正電圧を与えることによって発光強度の低下を補正する手段を示している。図4に示すように、走査電圧印加の完了に続く補正電圧の印加は、補正電圧の程度だけ駆動T F T 2 0のゲート電圧（点A）を増大させ、それにより、O L E D 1 0を流れる電流のレベルが、補正電圧に対応する程度だけ増大又は低減される。補正電圧は、O L E D 1 0の劣化の程度に従って設定され、それにより、O L E D 1 0の劣化にかかわらずに所定レベルの発光強度が維持されることが可能になる。

40

【0032】

その一方で、図3の（c）及び（d）は、駆動T F T 2 0のゲート（点A）に印加される電圧に補正電圧を足し合わせることが、O L E D 1 0を流れる電流のレベルを、補正電圧に対応する程度だけ増大又は低減させることを示している。

【0033】

[第2実施形態]

50

図5は、本発明の第2実施形態に従った発光ディスプレイユニットのサブピクセル回路を示す図である。第2実施形態では、1つのサブピクセルが、3つのpチャネルTFT21、31、41と、1つ若しくは2つの容量素子(キャパシタ)52、53と、1つのOLED11とで構成され、これらが、走査ライン81、データライン91、電源ライン61、補正ライン111、及び接地ライン71に接続されている。

【0034】

図6は、図5のサブピクセル回路における経時的な電圧印加を示す模式図である。図6の“点A”は、図5の駆動TFT21のゲートに接続された配線中の“点A”に対応しており、駆動TFT21の経時的なゲート電圧を示している。

【0035】

図5(a)において、駆動TFT21のソースS4は接地ライン71に接続され、そのドレインD4はOLED11のアノードに接続される。OLED11のカソードは電源ライン61に接続される。駆動TFT21のゲートは、容量素子52の一方の電極と選択TFT31のソースS6とに接続される。選択TFT31のゲートは走査ライン81に接続され、そのドレインD6はデータライン91に接続される。その一方で、容量素子52の他方の電極は補正ライン111に接続される。センスTFT41のゲートは走査ライン81に接続され、そのソースS5はセンスライン101に接続され、そのドレインD5はOLED11のアノードに接続される。

【0036】

走査ライン81及び選択TFT31のゲートに電圧が印加されると、選択TFT31がアクティブになって、データライン91に与えられたデータ信号(電圧)を駆動TFT21のゲート(点A)に印加させる。これは、所定レベルの電流がOLED11に流れて、データ信号(電圧)に対応するルミネセンスでOLED11に発光させることをもたらす。走査ライン81に電圧が存在しなくなると、選択TFT31は非アクティブになるが、駆動TFT21のゲート電圧(点A)は、走査電圧が再び与えられるまで、容量素子52によって一定レベルに維持される。

【0037】

センスライン101の電圧は、所定レベルの電流がOLED11を流れるときに生じるアノード電圧に相当するレベルにプリチャージされる。走査ライン81と選択TFT31及びセンスTFT41のゲートとに電圧が印加されると、駆動TFT21のゲートに電圧が印加されて、データ信号(電圧)に対応する所定レベルの電流がOLED11に流れ始めることを生じさせる。この時点において、センスTFT41はアクティブ状態にあり、OLED11のアノード電圧とプリチャージされたセンスライン101の電圧との間の比較をもたらす。アノード電圧がセンスライン101の電圧よりも高い場合、電流がセンスライン101に流れ込む。低い場合には、電流がセンスライン101から流れ出る。これら2つの状態のうちのどちらが起こっているのかという決定が、センスライン101における電圧変化の検出によって為されることになる。

【0038】

図5(b)において、駆動TFT21のソースS4は接地ライン71に接続され、そのドレインD4はOLED11のアノードに接続される。OLED11のカソードは電源ライン61に接続される。駆動TFT21のゲートは、容量素子53の一方の電極と選択TFT31のソースS6とに接続される。選択TFT31のゲートは走査ライン81に接続され、そのドレインD6はデータライン91に接続される。容量素子53の他方の電極はOLED11のアノードに接続される。その一方で、容量素子52の一方の電極はOLED11のアノードに接続され、その他方の電極は補正ライン111に接続される。センスTFT41のゲートは走査ライン81に接続され、そのソースS5はセンスライン101に接続され、そのドレインD5はOLED11のアノードに接続される。

【0039】

走査ライン81及び選択TFT31のゲートに電圧が印加されると、選択TFT31がアクティブになって、データライン91に与えられたデータ信号(電圧)を駆動TFT2

10

20

30

40

50

1のゲート(点A)に印加させる。これは、所定レベルの電流がOLED11に流れて、データ信号(電圧)に対応するルミネセンスでOLED11に発光させることをもたらす。走査ライン81に電圧が存在しなくなると、選択TFT31は非アクティブになるが、駆動TFT21のゲート電圧(点A)は、走査電圧が再び与えられるまで、容量素子52、53によって一定レベルに維持される。図5(a)の実施形態との違いは、2つの容量素子52、53の使用を含む。換言すれば、違いは、所定レベルの電流がOLED11に流れ始めるときに、OLED11のアノードに電圧が印加され、それが容量素子53に、駆動TFT21のゲートとドレイン(OLED11のアノード)との間の電圧を維持するように作用させ、それにより、駆動TFT21の閾値におけるバラつきを自動的に補正することである。

10

【0040】

図5(a)の実施形態がそうであるように、センスライン101の電圧は、所定レベルの電流がOLEDを流れるときに生じるアノード電圧に相当するレベルにプリチャージされる。走査ライン81と選択TFT31及びセンスTFT41のゲートとに電圧が印加されると、駆動TFT21のゲートに電圧が印加されて、データ信号(電圧)に対応する所定レベルの電流がOLEDに流れ始めることを生じさせる。この時点において、センスTFT41はアクティブ状態にあり、OLED11のアノード電圧とプリチャージされたセンスライン101の電圧との間の比較をもたらす。アノード電圧がセンスライン101の電圧よりも高い場合、電流がセンスライン101に流れ込む。低い場合には、電流がセンスライン101から流れ出る。これら2つの状態のうちのどちらが起こっているのかという決定が、センスライン101における電圧変化の検出によって為されることになる。

20

【0041】

OLED11の、その劣化によって生じる発光強度における低下は、通常、抵抗の増大をもたらすが、これは、OLED11に所定レベルの電流を通すのに要する電圧を高くならしめる傾向にある。この理由により、OLED11は、劣化した場合に、OLED11のアノード電圧をセンスライン101のプリチャージ電圧よりも高くならしめる傾向にある。これが起こると、OLED11に所定レベルの電流が通されたとしても、所望レベルの発光強度を得ることができない(すなわち、発光強度の低下)。

【0042】

第2実施形態(図5の(a)及び(b))は、補正ラインに補正電圧を与えることによって発光強度の低下を補正する手段を提供する。図6に示すように、走査電圧印加の完了に続く補正電圧の印加は、補正電圧の程度だけ駆動TFT21のゲート電圧(点A)を増大させ、それにより、OLED11を流れる電流のレベルが、補正電圧に対応する程度だけ増大される。補正電圧は、OLED11の劣化の程度に従って設定され、それにより、OLED11の劣化にかかわらずに所定レベルの発光強度が維持されることが可能になる。

30

【0043】

[第3実施形態]

図7は、上述のサブピクセル回路のセンスライン100に接続される検知部160を示す図である。図7に示すサブピクセル回路は、検知部を除いて、図3に示した回路と同じである。このため、これらの図において同じコンポーネントは同じ参照符号及び記号を有しており、同じコンポーネントについての繰り返しの説明は省略する。

40

【0044】

図7に示すサブピクセル回路において、OLED10のアノード電圧を測定するため、センスライン100及び比較器120の一方の端子(図7の反転端子)に、前もって、プリチャージ電源140によって設定される電圧が印加される(プリチャージ状態)。このようなプリチャージ状態が図7の右下に示されており、そこでは、スイッチ131がオン、スイッチ130がオフであり、プリチャージ電源140によって設定される電圧が比較器120の反転端子及びセンスライン100に与えられる。

【0045】

50

次に、走査ライン 80 への電圧印加が選択 T F T 30 及びセンス T F T 40 をアクティブ状態に至らせるとき、センスライン 100 と O L E D 10 のアノードとが電氣的に接続される。この時点においては、図 7 の左下に示すように、スイッチ 130 がオン、スイッチ 131 がオフである。O L E D 10 のアノード電圧がプリチャージ電圧よりも低い場合、センスライン 100 の電位が僅かに下降し、比較器 120 の両端子間の電位比較の過程を介して、比較器 120 からロー（低）電圧を出力させる。対照的に、O L E D 10 のアノード電圧がプリチャージ電圧よりも高い場合、センスライン 100 の電位が僅かに上昇し、比較器 120 の両端子間の電位比較の過程を介して、比較器 120 からハイ（高）電圧を出力させる。

【0046】

図 8 は、図 7 のそれとは異なる検知部 161 の構成を示す図である。検知部 161 は、スイッチ 130 が比較器 120 の非反転端子に接続される点で、図 7 のそれと同じであるが、プリチャージ電源 140 及びスイッチ 133 だけでなく容量素子 150 及びスイッチ 132 も反転端子に接続される点で、図 7 のそれと異なっている。スイッチ 132 及びスイッチ 133 は、一緒に動作するように構成される。その他の構成は図 7 のそれらと同じである。このため、同じコンポーネントは同じ参照符号及び記号を有しており、同じコンポーネントについての繰り返しの説明は省略する。

【0047】

これらの構成をもつ検知部 161 において、プリチャージが行われるとき、図 8 の右下に示すように、スイッチ 130 がオフになり且つスイッチ 132、133 がオンになって、プリチャージ電源 140 によって設定される電圧を比較器 120 の反転端子に接続させる。これは、このようなプリチャージ電圧が容量素子 150 によって維持されることをもたらす。

【0048】

センシングが行われるとき、検知部 161 は図 8 の左下に示す状態に切り替えられる。つまり、スイッチ 132、133 の双方がオフ、スイッチ 130 がオンである。これと併せて、走査ライン 80 に電圧が印加されて、選択 T F T 30 及びセンス T F T 40 をオンにならしめる。これは、データライン 90 に与えられた電圧が駆動 T F T 20 を介して O L E D 10 のアノードに与えられることをもたらす。その時点において、センス T F T 40 はオンであり、且つセンスライン 100 はプリチャージ電源 140 によって設定されるプリチャージ電圧にチャージされており、O L E D 10 のアノード電圧を、プリチャージ電圧との比較のために、センスライン 100 を介して比較器の非反転端子に入力させる。O L E D 10 のアノード電圧がプリチャージ電圧よりも高い場合、比較器 120 からハイレベル電圧信号が出力され、それにより、O L E D 10 のアノード電圧の上昇の検出を引き起こす。

【0049】

上述のように、検知部 161 は、図 9 に示した構成を有し得る。また、検知部 160、161 は、これらの実施形態に限定されるものではなく、O L E D 10 のアノード電圧における変動を検出することができる限り、その他の構成を有していてもよい。

【0050】

図 9 は、O L E D 10 の劣化特性の一例を示すグラフである。O L E D 10 は典型的に、図 9 に示す劣化特性をもつ。つまり、O L E D 10 は、(1 mA / cm² での) 定電流動作において、時間が経過するにつれて、印加電圧の上昇を伴うルミネセンスの低下に悩まされる。第 3 実施形態に従ったサブピクセル回路では、このような印加電圧の上昇を測定することによってルミネセンス補正が実行される。O L E D 10 における劣化が印加電圧の上昇を生じさせる場合であっても、その上昇に対応して印加電圧を増大させるように補正を行うことによって、ルミネセンスを一定レベルに維持することができる。

【0051】

図 10 は、O L E D 印加電圧 - ルミネセンス特性、及び駆動 T F T 印加電圧 - 駆動電流特性を示すルックアップテーブルの一例である。O L E D 10 は、例えば、図 10 (a)

10

20

30

40

50

に示す印加電圧 - ルミネセンス特性をもつ。

【0052】

また、駆動TFT20は、(一定のドレイン電圧に関して)図10(b)に示すゲート電圧(Vg) - ドレイン電流(Id)特性をもつ。

【0053】

例えば、約1mA/cm²の駆動電流で約1000cd/m²のルミネセンスを有するようにOLED10を動作させるため、図10(a)を参照して、1000cd/m²に対応するアノード電圧を5.90Vに設定し、プリチャージ電圧を5.90Vに設定して、プリチャージが実行される。駆動TFT20について、図10(b)を参照して、約1mA/cm²の駆動電流を供給するようにゲート電圧が0.24Vに設定される。最初の走査で比較器120からハイ信号が出力される場合、プリチャージ電圧がOLED10のアノード電圧よりも低い、OLED10を約1mA/cm²流れている。従って、プリチャージ電圧が、第2の走査で、一ステップ(刻み;このケースでは+0.02V)だけ上昇される。このような反復処理の後(このケースでは18回の反復処理の後)に初めて比較器120からの出力がローになる場合、OLED10は、(図9から)約20%のルミネセンスの低下を伴って約6%のアノード電圧の上昇を有すると予想される。

10

【0054】

上述のように、センスライン100を介して検出されるOLED10のアノード電圧の変動が正方向(すなわち上昇傾向)にある場合、プリチャージ電圧も同様に正方向(上昇傾向)に一ステップだけ変更されることができ、それにより、再びセンスライン100を用いてOLED10のアノード電圧の変動が検出される。電圧変化が負方向(すなわち下降傾向)に反転するまで上述の処理を繰り返すことによって、電圧補正に必要なステップ数を決定することができ、それにより、適切な電圧補正に基づくルミネセンス補正(すなわち光度補正)が可能になる。この例では、正方向すなわち上昇傾向にある電圧変動を説明したが、電圧変動が負方向すなわち下降傾向にある場合にも同じ処理を行うことができる。つまり、プリチャージ電圧が、OLED10の電圧変動に対応する負方向の適切なステップ数だけ変更され、それにより、適切な電圧補正に基づくルミネセンス補正(すなわち光度補正)が可能になる。

20

【0055】

ルミネセンスの低下を補償することには2つの方法が存在する。それらの方法のうちの1つめは、駆動TFTのゲート電圧設定を0.24Vから0.28Vに変更することによって遂行され得る。図10(b)に示されるように、ゲート電圧を0.28Vに変更することは、OLED10に供給される電流Idを約20%増大させる。これは、図10(b)のルックアップテーブルを更新することによって遂行され得る。第2の方法は、容量素子50を通じて駆動TFT20のゲート電圧を上昇させるように、ピクセル走査に続いて補正ライン110に+0.4Vを印加することによって遂行され得る。この場合、駆動TFT20に関するルックアップテーブルを更新する必要はない。

30

【0056】

ルックアップテーブルは、例えば不揮発性メモリ又はROM(読み出し専用メモリ)などの所定の記憶素子に格納され得る。このような記憶素子に格納されたルックアップテーブルを参照することによって、所定のルミネセンスに対応するデータ、プリチャージ電圧、又は補正電圧が決定され得る。

40

【0057】

また、ルックアップテーブルを使用することなく印加電圧を数学的に計算する方法が存在する。図10(b)は、数学モデルを用いて得られた値の一例を示している。このような数学モデルは、所定の印加電圧の数学計算を可能にする。数学モデルは、例えばROM又はRAMなどの所定の記憶素子に格納され得る。このような記憶素子に格納された数学モデルを参照することによって、所定のルミネセンスに対応するデータ、プリチャージ電圧、又は補正電圧が決定され得る。

【0058】

50

第1乃至第3実施形態にて説明した発光ディスプレイパネルサブピクセル回路及びその駆動方法は、このようなサブピクセル回路及びその駆動方法を使用するディスプレイパネル及びディスプレイユニットに適用されることができる。発光ディスプレイパネルは、発光ディスプレイパネルサブピクセル構造を各々が有する複数のピクセルをマトリクスに配列することによって構成されることができる。また、発光ディスプレイユニット又は発光ディスプレイシステムは、画像処理回路、制御回路、及び筐体を用いて構成されることができる。

【0059】

以上の好適実施形態を参照して、これらに限定されるものではないが、本発明の典型的な構成を説明した。本発明の範囲内で様々な変更が考えられる。

10

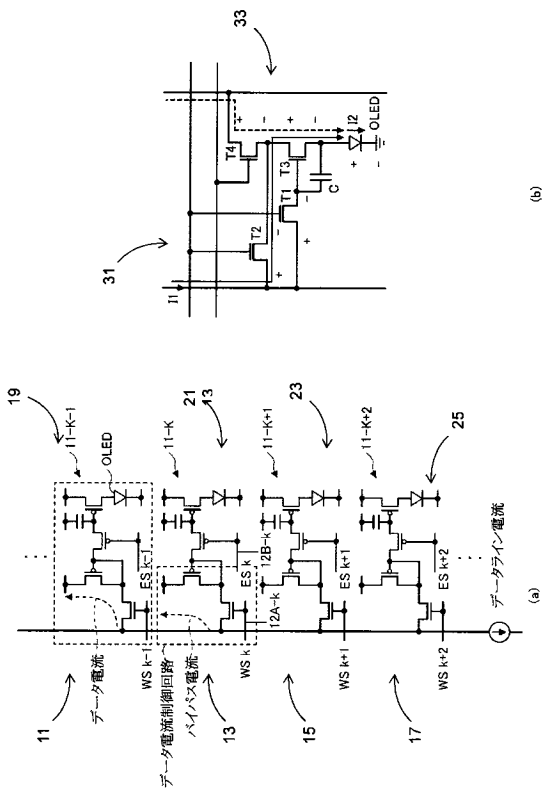
【符号の説明】

【0060】

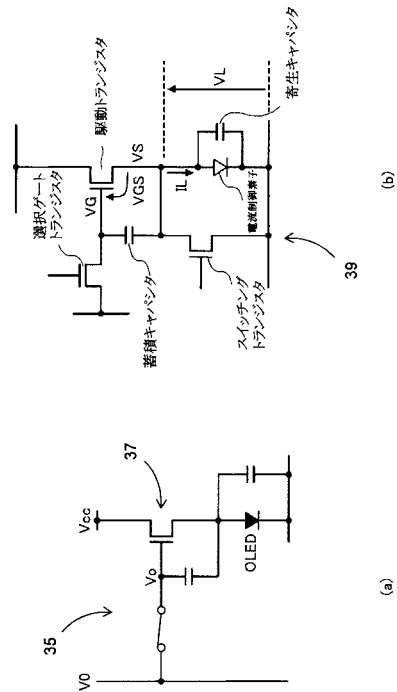
- 10、11 OLED
- 20、21 駆動TFT
- 30、31 選択TFT
- 40、41 センスTFT
- 50 - 53、150 容量素子（キャパシタ）
- 60、61 電源ライン
- 70、71 接地ライン
- 80、81 走査ライン
- 90、91 データライン
- 100、101 センスライン
- 110、111 補正ライン
- 120 比較器
- 130 - 133 スイッチ
- 140 プリチャージ電源
- 160、161 検知部

20

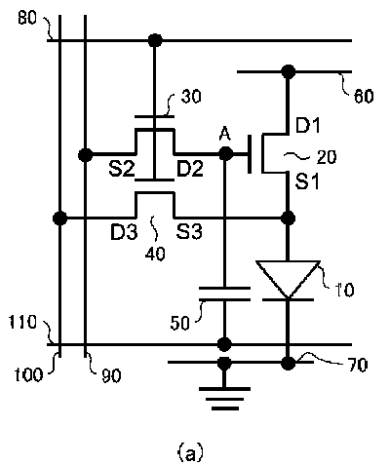
【図1】



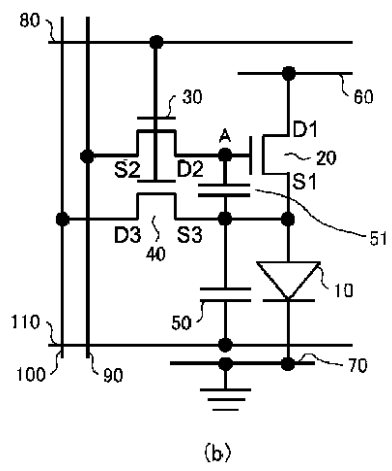
【図2】



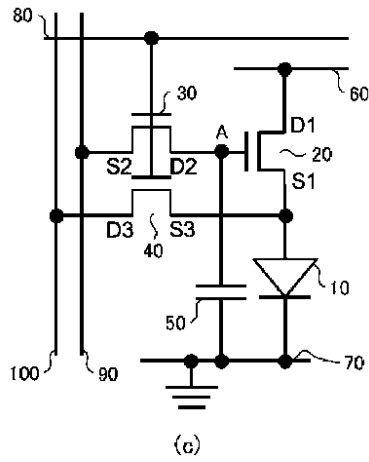
【図3 (a)】



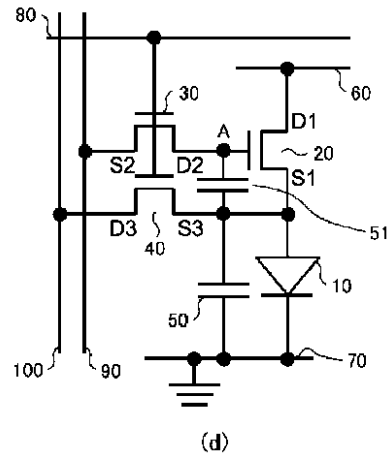
【図3 (b)】



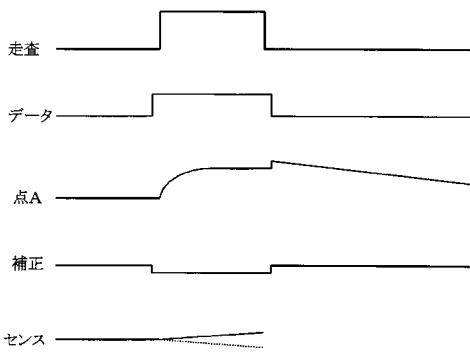
【図3(c)】



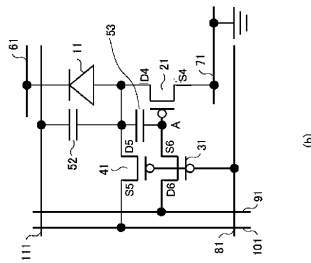
【図3(d)】



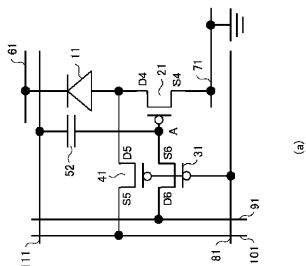
【図4】



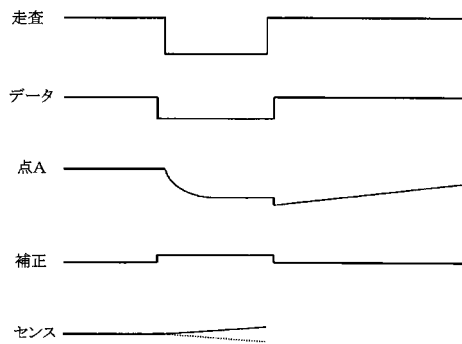
【図5(b)】



【図5(a)】



【図6】



【 図 7 】

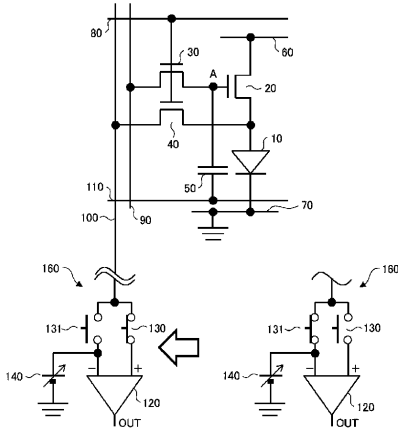


Figure 7

【 図 8 】

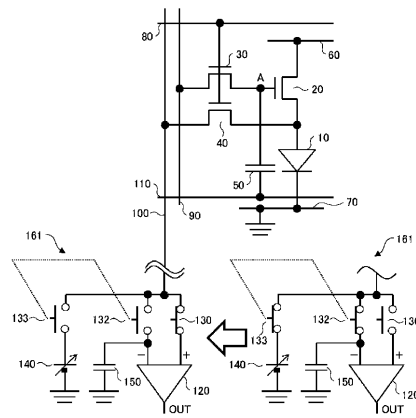
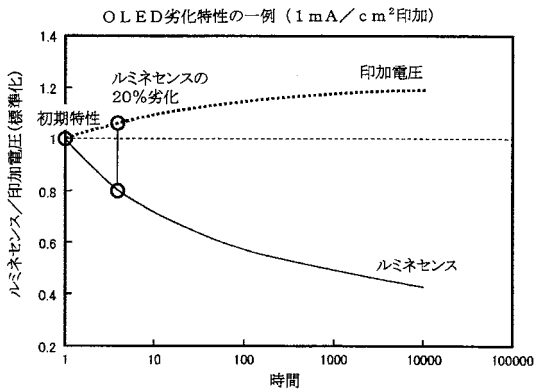


Figure 8

【 図 9 】



【 図 10 】

(a)			(b)			
バイアス [V]	電流 [mA/cm ²]	ルミネセンス [cd/m ²]	Vg [V]	Id [A]	Id [mA/cm ²]	η [%]
3.0	0.000	0.7	0	0.00E+00	0.00E+00	1.55E-03
3.1	0.000	1.1	0.01	1.00E-11	1.43E-03	0.00E+00
3.2	0.000	1.4	0.02	2.00E-11	2.86E-03	1.55E-03
3.3	0.001	1.4	0.03	3.00E-11	4.29E-03	6.20E-03
3.4	0.001	0.9	0.04	4.00E-11	5.71E-03	1.40E-02
3.5	0.001	2.0	0.05	5.00E-11	7.14E-03	2.48E-02
3.6	0.002	1.6	0.06	6.00E-11	8.57E-03	3.88E-02
3.7	0.003	5.8	0.07	7.00E-11	1.00E-02	5.58E-02
3.8	0.005	7.1	0.08	8.00E-11	1.14E-02	7.60E-02
3.9	0.007	10.0	0.09	9.00E-11	1.29E-02	9.92E-02
4.0	0.011	14.8	0.1	1.00E-10	1.43E-02	1.26E-01
4.1	0.016	20.0	0.11	1.02E-09	1.71E-01	1.55E-01
4.2	0.023	27.1	0.12	1.05E-09	7.22E-01	1.88E-01
4.3	0.032	39.6	0.13	1.11E-09	7.30E-01	2.23E-01
4.4	0.045	53.0	0.14	1.19E-09	7.42E-01	2.62E-01
4.5	0.062	72.8	0.15	1.30E-09	7.56E-01	3.04E-01
4.6	0.085	99.2	0.16	1.42E-09	7.74E-01	3.49E-01
4.7	0.113	129.4	0.17	1.57E-09	7.96E-01	3.97E-01
4.8	0.148	167.6	0.18	1.74E-09	8.21E-01	4.48E-01
4.9	0.189	212.0	0.19	1.94E-09	8.46E-01	5.02E-01
5.0	0.237	262.7	0.2	2.16E-09	8.80E-01	5.60E-01
5.1	0.291	320.3	0.21	2.40E-09	9.14E-01	6.20E-01
5.2	0.352	384.8	0.22	2.66E-09	9.52E-01	6.84E-01
5.3	0.421	454.9	0.23	2.95E-09	9.93E-01	7.50E-01
5.4	0.498	534.5	0.24	3.26E-09	1.04E+00	8.20E-01
5.5	0.585	618.4	0.25	3.60E-09	1.09E+00	8.93E-01
5.6	0.682	714.6	0.26	3.95E-09	1.14E+00	9.69E-01
5.7	0.792	819.9	0.27	4.33E-09	1.19E+00	1.05E+00
5.8	0.915	929.2	0.28	4.74E-09	1.25E+00	1.13E+00
5.9	1.054	1065.0	0.29	5.16E-09	1.31E+00	1.22E+00
6.0	1.208	1209.0	0.3	5.61E-09	1.37E+00	1.30E+00
6.1	1.380	1365.0	0.31	6.08E-09	1.44E+00	1.40E+00
6.2	1.572	1537.0	0.32	6.56E-09	1.51E+00	1.49E+00
6.3	1.785	1722.0	0.33	7.06E-09	1.59E+00	1.58E+00
6.4	2.021	1921.0	0.34	7.58E-09	1.66E+00	1.66E+00
6.5	2.282	2148.0	0.35	8.12E-09	1.74E+00	1.78E+00
6.6	2.571	2388.0	0.36	8.68E-09	1.83E+00	1.90E+00
6.7	2.890	2648.0	0.37	9.26E-09	1.91E+00	2.01E+00
6.8	3.241	2928.0	0.38	9.86E-09	2.00E+00	2.12E+00
6.9	3.627	3231.0	0.39	1.04E-08	2.10E+00	2.24E+00
7.0	4.051	3554.0	0.4	1.10E-08	2.20E+00	2.36E+00
7.1	4.514	3905.0	0.41	1.16E-08	2.30E+00	2.48E+00
7.2	5.022	4274.0	0.42	1.22E-08	2.40E+00	2.61E+00
7.3	5.577	4672.0	0.43	1.28E-08	2.51E+00	2.73E+00
7.4	6.181	5097.0	0.44	1.33E-08	2.62E+00	2.87E+00
7.5	6.839	5546.0	0.45	1.39E-08	2.73E+00	3.00E+00
7.6	7.556	6028.0	0.46	1.45E-08	2.85E+00	3.14E+00
7.7	8.335	6537.0	0.47	1.50E-08	2.97E+00	3.28E+00
7.8	9.178	7074.0	0.48	1.56E-08	3.09E+00	3.42E+00
7.9	10.097	7646.0	0.49	1.62E-08	3.22E+00	3.57E+00
8.0	11.092	8248.0	0.5	1.68E-08	3.35E+00	3.72E+00
8.1	12.171	8886.0				
8.2	13.337	9557.0				
8.3	14.598	10260.0				
8.4	15.963	11000.0				
8.5	17.437	11780.0				
8.6	19.030	12580.0				
8.7	20.750	13490.0				
8.8	22.622	14370.0				
8.9	24.665	15300.0				
9.0	26.821	16280.0				

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/AU2015/000295
A. CLASSIFICATION OF SUBJECT MATTER <i>JOIN(" ", REPLACE([Q649.TEXT()], " ", CHR(160)))</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPODOC, WPIAP, INSPEC (abstracts) keywords: OLED, DISPLAY, PIXEL, SUB_PIXEL, SWITCH, SCAN, CAPACITOR, SENSE, DEGRADATION, LUMINOUS, VOLTAGE, PROGRAM and similar terms and phrases. esp@cenet: applicant name and inventor names: COMMONWEALTH SCIENTIFIC AND INDUSTRIAL RESEARCH ORGANISATION, TADAHIKO HIRAI, KAZUNORI UENO.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Documents are listed in the continuation of Box C		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C <input checked="" type="checkbox"/> See patent family annex		
* "A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 22 July 2015		Date of mailing of the international search report 22 July 2015
Name and mailing address of the ISA/AU AUSTRALIAN PATENT OFFICE PO BOX 200, WODEN ACT 2606, AUSTRALIA Email address: pct@ipaaustralia.gov.au		Authorised officer Bayer Mitrovic AUSTRALIAN PATENT OFFICE (ISO 9001 Quality Certified Service) Telephone No. 0262832164

INTERNATIONAL SEARCH REPORT		International application No.
C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		PCT/AU2015/000295
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/0277400 A1 (JEONG) 04 November 2010 Whole document, especially abstract, paragraphs [0024]-[0027], [0034]-[0036], Figs.1, 3A, 4A, 6.	1-10, 12, 13, 15-28
X	KR 1020090043303 A (LG DISPLAY CO LTD) 06 May 2009 Abstract (Korean Patent Abstracts in English from esp@cenet) .	1-3, 6
X	US 2013/0307548 A1 (LEE ET AL.) 21 November 2013 Whole document, especially abstract, Figs.2, 8	1-3, 6, 27, 28

INTERNATIONAL SEARCH REPORT Information on patent family members		International application No. PCT/AU2015/000295	
This Annex lists known patent family members relating to the patent documents cited in the above-mentioned international search report. The Australian Patent Office is in no way liable for these particulars which are merely given for the purpose of information.			
Patent Document/s Cited in Search Report		Patent Family Member/s	
Publication Number	Publication Date	Publication Number	Publication Date
US 2010/0277400 A1	04 November 2010	US 2010277400 A1	04 Nov 2010
KR 1020090043303 A	06 May 2009	None	
US 2013/0307548 A1	21 November 2013	US 2013307548 A1 KR 20130128276 A	21 Nov 2013 26 Nov 2013
End of Annex			
<p>Due to data integration issues this family listing may not include 10 digit Australian applications filed since May 2001. Form PCT/ISA/210 (Family Annex)(July 2009)</p>			

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 3 1 U
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 2 1 F
	G 0 9 G 3/20	6 1 1 J
	H 0 5 B 33/14	A

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 平井 匡彦

オーストラリア国, ビクトリア 3 1 4 9 , マウント・ウェヴァーリー, ハックスステーブル・ストリート 2 / 8

(72)発明者 上野 和則

オーストラリア国, ビクトリア 3 1 5 0 , グレン・ウェヴァーリー, エヴリン・ストリート 1 / 2

Fターム(参考) 3K107 AA01 BB01 CC21 CC35 EE04 HH04 HH05
 5C080 AA06 BB05 DD03 DD07 DD08 DD14 DD22 DD29 EE19 EE28
 EE29 FF03 FF11 GG12 HH09 JJ03 JJ04 JJ05 KK07
 5C380 AA01 AB06 AB25 AC12 BA13 BA20 BA36 BA38 BA39 BB22
 BC13 BD04 CA12 CA13 CB17 CB19 CC02 CC03 CC04 CC07
 CC09 CC13 CC14 CC26 CC27 CC33 CC39 CC42 CC48 CC52
 CC57 CC62 CC63 CD013 CD014 CD023 CE04 CE08 CF05 CF13
 CF18 CF23 CF43 CF51 CF56 CF61 DA02 DA06 DA19 DA30
 DA42 DA47 DA50 FA02 FA21 FA28 HA02 HA05

专利名称(译)	高分辨率OLED显示器操作电路		
公开(公告)号	JP2017516146A	公开(公告)日	2017-06-15
申请号	JP2016567500	申请日	2015-05-19
[标]申请(专利权)人(译)	联邦科学和工业研究组织		
申请(专利权)人(译)	联邦科学与工业研究组织		
[标]发明人	平井匡彦 上野和则		
发明人	平井 匡彦 上野 和则		
IPC分类号	G09G3/3233 G09G3/20 G09G3/3291 H01L51/50		
CPC分类号	G09G3/30 G09G3/3241 G09G3/3283 G09G5/10 G09G2300/043 G09G2300/0819 G09G2300/0842		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.670.K G09G3/20.642.P G09G3/3291 G09G3/20.641.D G09G3/20.621.B G09G3/20.631.U G09G3/20.611.H G09G3/20.621.F G09G3/20.611.J H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC35 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD07 5C080/DD08 5C080/DD14 5C080/DD22 5C080/DD29 5C080/EE19 5C080/EE28 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG12 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK07 5C380/AA01 5C380/AB06 5C380/AB25 5C380/AC12 5C380/BA13 5C380/BA20 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB22 5C380/BC13 5C380/BD04 5C380/CA12 5C380/CA13 5C380/CB17 5C380/CB19 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC09 5C380/CC13 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC42 5C380/CC48 5C380/CC52 5C380/CC57 5C380/CC62 5C380/CC63 5C380/CD013 5C380/CD014 5C380/CD023 5C380/CE04 5C380/CE08 5C380/CF05 5C380/CF13 5C380/CF18 5C380/CF23 5C380/CF43 5C380/CF51 5C380/CF56 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA19 5C380/DA30 5C380/DA42 5C380/DA47 5C380/DA50 5C380/FA02 5C380/FA21 5C380/FA28 5C380/HA02 5C380/HA05		
代理人(译)	伊藤忠彦		
优先权	2014901852 2014-05-19 AU		
外部链接	Espacenet		

摘要(译)

发光显示面板的子像素电路包括至少三个开关，至少一个电容性元件，至少一个发光元件，至少三个开关，至少一个电容性元件和至少一个发光元件。用作连接用配线的电源线，地线，选择用于发光的子像素的扫描线，将数据提供给发光元件的数据线以及检测发光元件的劣化的感测线。并且基于电压来编程与给定强度相对应的数据。

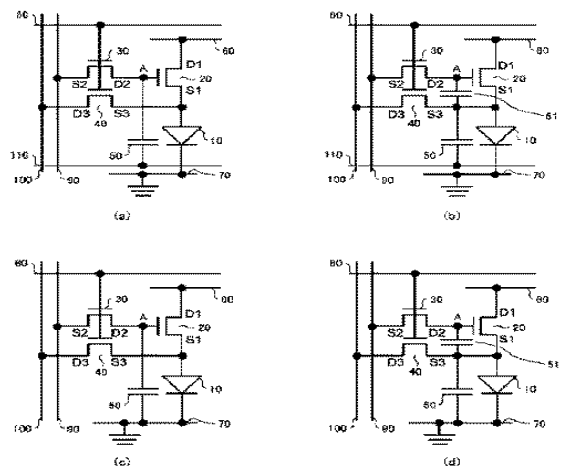


Figure 3