

图 4 / FIG.4

【特許請求の範囲】

【請求項 1】

画素ユニット回路であって、駆動トランジスタ、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ、蓄積容量及び発光デバイスを備え、

前記駆動トランジスタは、ドレイン電極が前記第 4 のトランジスタのソース電極に接続され、ソース電極が前記第 3 のトランジスタのドレイン電極に接続され、ゲート電極が前記蓄積容量の第 1 の端子及び前記第 1 のトランジスタのソース電極に接続され、

前記第 1 のトランジスタは、ドレイン電極が前記第 4 のトランジスタのソース電極に接続され、ソース電極が前記駆動トランジスタのゲート電極に接続され、ゲート電極が走査制御信号線に接続され、

前記第 2 のトランジスタは、ドレイン電極がデータラインに接続され、ソース電極が前記駆動トランジスタのソース電極及び第 3 のトランジスタのドレイン電極に接続され、ゲート電極が前記走査制御信号線に接続され、

前記第 3 のトランジスタは、ドレイン電極が駆動トランジスタのソース電極に接続され、ソース電極が前記発光デバイスのアノードに接続され、ゲート電極が発光制御信号線に接続され、

前記第 4 のトランジスタは、ドレイン電極が第 1 の電源電圧に接続され、ソース電極が前記駆動トランジスタのドレイン電極及び第 1 のトランジスタのドレイン電極に接続され、ゲート電極がプリチャージ制御信号線に接続され、

前記蓄積容量は、第 1 の端子が前記駆動トランジスタのゲート電極に接続され、第 2 の端子が前記第 1 の電源電圧に接続され、

前記発光デバイスのカソードが第 2 の電源電圧に接続されることを特徴とする画素ユニット回路。

【請求項 2】

前記発光デバイスは有機発光ダイオードデバイスであることを特徴とする請求項 1 に記載の画素ユニット回路。

【請求項 3】

請求項 1 に記載の画素ユニット回路の補償方法であって、

発光デバイスの作動段階によって、補償方式を選択し、前記補償方式は内部補償方式および外部補償方式を有するステップと、

前記発光デバイスが通常に発光する作動段階にあると、内部補償方式によって前記発光デバイスを補償するステップと、

前記発光デバイスがパネルリセットの作動段階にあり、或いは前記発光デバイスがフレーム間、行間の表示空きの作動段階にあると、外部補償方式によって前記発光デバイスを補償するステップと、を備えることを特徴とする画素ユニット回路の補償方法。

【請求項 4】

前記内部補償方式によって前記発光デバイスを補償するステップは、具体的に、

前記駆動トランジスタに対してプリチャージするステップと、

前記駆動トランジスタに対して電圧又は電流補償するステップと、

前記発光デバイスを常に発光させるように、前記発光デバイスに対して電圧又は電流補償するステップと、を備えることを特徴とする請求項 3 に記載の画素ユニット回路の補償方法。

【請求項 5】

前記駆動トランジスタに対してプリチャージするステップは、具体的に、

発光制御信号をローレベルにさせ、前記第 3 のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第 4 のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第 1 のトランジスタ及び第 2 のトランジスタをオンにするステップと、前記駆動トランジスタのソース電極の電圧をデータラインの電圧 V_{Data} にさせるステップと、を備えることを特徴とする請求項 4 に記載の画素ユニット回路の補償方法。

10

20

30

40

50

【請求項 6】

前記駆動トランジスタに対して電圧又は電流補償するステップは、具体的に、

発光制御信号をローレベルにさせ、前記第 3 のトランジスタをオフにするステップと、プリチャージ制御信号をローレベルにさせ、前記第 4 のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第 1 のトランジスタ及び第 2 のトランジスタをオンにするステップと、前記駆動トランジスタのゲート電極の電圧を $V_{DATA} + V_{thn}$ にさせ、 V_{DATA} が前記データラインの電圧であり、 V_{thn} が前記駆動トランジスタの閾値電圧であるステップと、を備えることを特徴とする請求項 4 に記載の画素ユニット回路の補償方法。

【請求項 7】

10

前記発光デバイスを常に発光させるように、前記発光デバイスに対して電圧又は電流補償するステップは、具体的に、

発光制御信号をハイレベルにさせ、前記第 3 のトランジスタをオンにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第 4 のトランジスタをオンにするステップと、走査制御信号をローレベルにさせ、前記第 1 のトランジスタ及び第 2 のトランジスタをオフにするステップと、前記駆動トランジスタを介して前記発光デバイスに入力される電流 I_{OLED} を、

【数 1】

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

20

にさせ、

μ_n がキャリアの移動度であり、 C_{OX} が前記蓄積容量のゲート酸化層のコンデンサーであり、 W/L が前記駆動トランジスタの幅長比であり、 V_{DATA} が前記データラインの電圧であり、 V_{OLED} が前記発光デバイスのアノード電圧であるステップと、を備えることを特徴とする請求項 4 に記載の画素ユニット回路の補償方法。

【請求項 8】

前記外部補償方式によって前記発光デバイスを補償するステップは、具体的に、

前記駆動トランジスタに対して電流抽出するステップと、

30

前記発光デバイスに対して電流抽出するステップと、

前記駆動トランジスタ又は前記発光デバイスから抽出した電流を検出し、検出された電流値によって前記発光デバイスに対して電圧又は電流補償するステップと、を備えることを特徴とする請求項 3 に記載の画素ユニット回路の補償方法。

【請求項 9】

前記駆動トランジスタに対して電流抽出するステップは、具体的に、

発光制御信号をローレベルにさせ、前記第 3 のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第 4 のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第 1 のトランジスタ及び第 2 のトランジスタをオンにするステップと、前記駆動トランジスタの電流を前記データラインに入力させるとともに、前記発光デバイスからデータラインに流入する電流を遮断するステップと、を備えることを特徴とする請求項 8 に記載の画素ユニット回路の補償方法。

40

【請求項 10】

前記発光デバイスに対して電流抽出するステップは、具体的に、

発光制御信号をハイレベルにさせ、前記第 3 のトランジスタをオンにするステップと、プリチャージ制御信号をローレベルにさせ、前記第 4 のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第 2 のトランジスタをオンにするステップと、前記発光デバイスの電流を前記データラインに入力させるとともに、前記駆動トランジスタから前記データラインに流入する電流を遮断するステップと、を備えることを特徴とする請求項 9 に記載の画素ユニット回路の補償方法。

50

【請求項 1 1】

前記発光デバイスは有機発光ダイオードデバイスであることを特徴とする請求項 3 ~ 10 のいずれか 1 項に記載の画素ユニット回路の補償方法。

【請求項 1 2】

請求項 1 又は 2 に記載の画素ユニット回路を備えることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示技術分野に関し、特に、画素ユニット回路及びその補償方法、並びに表示装置に関する。

10

【背景技術】

【0002】

有機発光ダイオード (OLED、Organic Light-Emitting Diode) は、電流型発光デバイスとして、高性能の表示装置にますます多く応用されている。従来のパッシブマトリクス型有機発光ダイオード (Passive Matrix OLED) は、表示サイズの大きくなることに従って、1つの画素に対する駆動時間をさらに短くする必要があるため、過渡電流を大きくする必要があり、消費電力も多くなってしまう。それとともに、大電流の応用によって、ナノのインジウムスズ酸化物 (ITO、Indium Tin Oxides) の線路電圧降下が大きすぎるようになり、OLED デバイスは、作動電圧も高すぎるようになり、効率が低下してしまう。アクティブマトリクス型有機発光ダイオード (AMOLED、Active Matrix OLED) は、スイッチ管によって、OLED に入力する電流を行毎に走査するため、これらの問題をよく解決できる。

20

【0003】

AMOLED のアレイ基板を設計する場合、主に、画素ユニット回路の間の輝度が不均一である問題を解決する必要がある。

【0004】

まず、AMOLED は、薄膜トランジスタ (TFT、Thin-Film Transistor) によって画素ユニットの回路を形成して、対応する電流を OLED デバイスに供給する。従来技術では、主に、低温多結晶シリコン薄膜トランジスタ又は酸化物薄膜トランジスタが採用される。低温多結晶シリコン薄膜トランジスタ及び酸化物薄膜トランジスタは、普通のアモルファスシリコン薄膜トランジスタに比べて、さらに高い移動度及びさらに安定する特性を有し、AMOLED 表示にさらに適合に適用される。然し、結晶化技術の制約によって、大面積のガラス基板上に形成された LTPS TFT (Low-Temperature Polysilicon thin-film transistor) は、例えば、閾値電圧及び移動度等の電気学的なパラメータが不均一である場合が多い。このような不均一性によって、OLED 表示デバイスに電流差及び輝度差、即ち、ムラ現象が現れるようになり、人の目に感じられる。酸化物薄膜トランジスタは、技術的に均一性がよいが、アモルファスシリコン薄膜トランジスタと同じように、長時間に加圧される場合及び高温の場合に、閾値電圧がドリフトしてしまう。表示画面が異なるため、パネルの薄膜トランジスタ毎の閾値ドリフト量が異なり、表示の輝度の異なりが生じてしまう。このような異なりが直前の表示画像に関わるため、残像現象が現れる。

30

40

【0005】

第二に、大きいサイズの表示では、アレイ基板の電源線に一定の抵抗があり、全ての画素の駆動電流がいずれも電源電圧 (ARVDD) によって提供されるため、アレイ基板では、ARVDD 電源の給電位置に近い領域の電源電圧が給電位置から離れる領域の電源電圧より高い。このような現象は、電源の電圧降下と呼ばれる。ARVDD の電圧が電流に関わるため、電源の電圧降下によって、異なる領域の電流も異なるようになり、表示する場合、ムラ現象が生じてしまう。P 型 TFT によって画素ユニットを形成する低温多結晶シリコン技術は、このような問題にさらに敏感である。これは、その蓄積容量が ARVD

50

Dと駆動トランジスタTFTのゲート電極との間に接続され、ARVDの電圧の変わりによって、駆動トランジスタTFTのゲート-ソース間電圧 V_{gs} が直接に影響されるからである。

【0006】

第三に、OLEDデバイスを蒸着するとき、膜厚が不均一であることにより、電気学的な性能も不均一になる。N型TFTによって画素ユニットを形成するアモルファスシリコン又は酸化物薄膜トランジスタ技術は、蓄積容量が駆動TFTのゲート電極とOLEDのアノードとの間に接続され、データ電圧がゲート電極に伝送されるとき、画素毎のOLEDのアノードの電圧が異なると、駆動TFTに実際に印加されるゲート-ソース間電圧 V_{gs} も異なるになって、駆動電流の異なりが表示輝度の異なりを生じてします。

10

【0007】

AMOLEDは、駆動のタイプによって、デジタル型、電流型及び電圧型という3つのタイプに分ける。デジタル型駆動方法は、TFTをスイッチとして駆動時間を制御することによってグレースケールを実現し、不均一性を補償する必要がない。然し、その作動頻度が表示サイズの増大に従って倍に上昇し、消費電力も大きくなり、且つ設計の物理的な限界がある範囲で達するため、大きいサイズの表示の応用に適しない。電流型駆動方法は、大きさが異なる電流を直接に駆動トランジスタTFTに提供することによって、グレースケールを実現し、駆動トランジスタTFTの不均一性及び電源の電圧降下をよく補償できる。然し、ローグレースケール信号を書き入れるとき、小電流がデータラインにおける大きい寄生容量を充電することは、書き入れ時間の長すぎる問題をもたらしてしまう。この問題は、大きいサイズの表示で特に深刻であって克服し難い。電圧型駆動方法は、従来のアクティブマトリクス液晶ディスプレイ(AMLCD、Active Matrix Liquid Crystal Display)の駆動方法に類似するように、駆動ICによってグレースケールを示す電圧信号を提供する。この電圧信号は、画素回路の内部で駆動トランジスタTFTの電流信号に変換され、OLEDを駆動して輝度グレースケールを実現する。このような方法は、駆動速度が速くて簡単に実現できるメリットを有し、大きいサイズのパネルの駆動に適し、業界において広く応用されている。然し、駆動トランジスタTFTの不均一性、電源の電圧降下及びOLEDの不均一性を補償するように、余計なTFT及びコンデンサーを設計する必要がある。

20

【0008】

図1は、従来技術に係る画素ユニット回路である。図1に示すように、画素ユニット回路は、2つの薄膜トランジスタT2、T1、及び1つのコンデンサーCを備える。図1に示す画素ユニット回路は、典型的な電圧駆動型画素回路構造(2T1C)である。ここで、薄膜トランジスタT2は、スイッチトランジスタとして、データラインの電圧を駆動トランジスタとしての薄膜トランジスタT1のゲート電極に伝送し、駆動トランジスタは、このデータ電圧に対応する電流に変換してOLEDデバイスに供給する。通常では、駆動トランジスタT1は、飽和領域にあり、1行の走査時間期間に定電流を提供すべきである。その電流は、

30

【数1】

$$I_{OLED} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{data} - V_{OLED} - V_{thn})^2$$

40

であり、ここで、 μ_n は、キャリアの移動度であり、 C_{OX} はゲート酸化層の電気容量であり、 W/L はトランジスタの幅長比であり、 V_{DATA} はデータラインの信号電圧であり、 V_{OLED} はOLEDデバイスの作動電圧であり、 V_{thn} は駆動トランジスタの閾値電圧である。増強型TFTにおいて、 V_{thn} は正值であり、空乏型TFTにおいて、 V_{thn} は負値である。上式から分かるように、 V_{thn} が画素ユニットによって異なると、電流が異なるようになる。画素ユニットにおいて、駆動トランジスタTFTの V_{thn} が時間によってドリフトすると、前後の電流が異なるようになり、残像が生じてしまう

50

。O L E Dデバイスの不均一性により、O L E Dの作動電圧が異なるようになり、電流も異なるようになる。

【0009】

V_{thn} の不均一性、 V_{thn} のドリフト及びO L E Dの不均一性を補償することに臨む画素構造が様々あり、一般的に、内部補償型及び外部補償型に分ける。内部補償は、画素の内部において、T F T及びコンデンサーによって画素駆動トランジスタT F Tの閾値電圧の情報を記憶して、駆動トランジスタT F Tの V_{gs} バイアス電圧にフィードバックすることによって図る補償方式である。図2 aは従来技術に係る内部補償式の増強型T F T画素ユニット回路であり、図2 bは従来技術に係る内部補償式の空乏型T F T画素ユニット回路である。図2 a及び図2 bに示すように、従来技術に係る内部補償式の画素ユニット回路は、1つの駆動トランジスタを備え、駆動トランジスタは薄膜トランジスタであり、駆動トランジスタのゲート電極がソース電極に接続され、駆動トランジスタのドレイン電極がO L E Dのアノードに接続され、O L E Dのカソードは第2の電源電圧 E_{LVS} に接続される。然し、このような構造は増強型T F Tのみに適用され、空乏型T F Tに対して、T F Tのゲート電極の電圧が0であっても依然として導通することができるため、T F Tに蓄積される電圧において、 V_{thn} の電圧情報を備えなくなり、 V_{thn} の不均一性を補償することができなくなる。

10

【0010】

他の補償方式は外部補償であり、即ち、画素内部のT F Tによって駆動トランジスタのI - V特性及びO L E DデバイスのI - V特性を外部誘導回路に読取り、補償する必要がある駆動電圧値を計算して駆動パネルのチップにフィードバックして補償を図る方式である。図3は、従来技術に係る外部補償式の画素ユニット回路である。図3に示すように、従来技術に係る外部補償式の画素ユニット回路は、アクティブマトリクス式有機E L (A M O L E D)、ディスプレイ用行選択器 (D i s p l a y r o w s e l e c t o r)、センサー用行選択器 (S e n s o r r o w s e l e c t o r)、列読み出し器 (C o l u m n r e a d o u t)、画像処理用大規模集積回路 (I m a g e p r o c e s s i n g L S I)、アナログ・デジタル変換器 (A D C)、特定用途向け集積回路プロセッサ (A P、A S I C P r o c e s s o r)を備え、前記特定用途向け集積回路A Pは、ディスプレイデータ (D i s p l a y D A T A)を前記画像処理用大規模集積回路L S Iに提供し、前記A M O L E Dは、画素ユニット回路のアレイを備え、画素ユニット回路毎の電流又は電圧を列読み出し器によって出力し、図3に示すように、列読み出し器とアナログ・デジタル変換器との間の三角形は増幅補償回路を示し、データ電圧を参考電圧とすると、列読み出し器から流出する電圧が参考電圧より小さい場合、画素ユニット回路の電圧を補償する必要があることを説明し、前記放大補償回路によって列読み出し器からの電圧を補償することによって、対応する画素ユニット回路の駆動トランジスタ及び/又はO L E Dデバイスの電圧又は電流が補償された。

20

30

【発明の概要】

【発明が解決しようとする課題】

【0011】

内部補償及び外部補償は利点及び欠点をそれぞれ有する。限られた空間及び回路構造により、一般的に、内部補償は、駆動トランジスタT F Tの閾値電圧の不均一性及びドリフトのみを補償することができ、外部補償は、外部の集積回路チップで複雑な算法をすることができるため、駆動トランジスタのT F T閾値電圧及び移動度の不均一性及びO L E Dのエージング等の望まない状況を補償することができる。然し、外部補償の補償範囲が限られるため、その補償電圧がデータライン (D A T A)電圧の最大範囲を超えてはできない。内部補償回路を介して得られる内部駆動電圧は外部D A T A電圧の最大範囲を超えてもよい。内部補償及び外部補償を組み合わせれば、両方のメリットを兼備することができる。

40

【課題を解決するための手段】

【0012】

50

本発明は、従来技術に係る画素ユニット回路が内部補償及び外部補償を組み合わせられない問題、及び発光デバイス及び対応する画素ユニット回路を補償する場合に生じる駆動トランジスタの閾値電圧の不均一性問題を解決し、外部補償するように、駆動トランジスタ及び発光デバイスの回路特性の抽出機能を有し、表示装置のムラ現象を解消する目的を実現できる画素ユニット回路及びその補償方法、並びに表示装置を提供する。

【0013】

本発明の実施形態は、画素ユニット回路を提供し、駆動トランジスタ、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、蓄積容量及び発光デバイスを備え、

前記駆動トランジスタは、ドレイン電極が前記第4のトランジスタのソース電極に接続され、ソース電極が前記第3のトランジスタのドレイン電極に接続され、ゲート電極が前記蓄積容量の第1の端子および前記第1のトランジスタのソース電極に接続され、前記第1のトランジスタは、ドレイン電極が前記第4のトランジスタのソース電極に接続され、ソース電極が前記駆動トランジスタのゲート電極に接続され、ゲート電極が走査制御信号線に接続され、

前記第2のトランジスタは、ドレイン電極がデータラインに接続され、ソース電極が前記駆動トランジスタのソース電極及び第3のトランジスタのドレイン電極に接続され、ゲート電極が前記走査制御信号線に接続され、

前記第3のトランジスタは、ドレイン電極が駆動トランジスタのソース電極に接続され、ソース電極が前記発光デバイスのアノードに接続され、ゲート電極が発光制御信号線に接続され、

前記第4のトランジスタは、ドレイン電極が第1の電源電圧に接続され、ソース電極が前記駆動トランジスタのドレイン電極及び第1のトランジスタのドレイン電極に接続され、ゲート電極がプリチャージ制御信号線に接続され、

前記蓄積容量は、第1の端子が前記駆動トランジスタのゲート電極に接続され、第2の端子が前記第1の電源電圧に接続され、

前記発光デバイスのカソードが第2の電源電圧に接続される。

【0014】

さらに、本発明の実施形態に係る画素ユニット回路では、前記発光デバイスは有機発光ダイオードデバイスである。

【0015】

さらに、本発明の実施形態は、前記画素ユニット回路の補償方法を提供する。前記方法は、

発光デバイスの作動段階により、補償方式を選択し、前記補償方式は、内部補償方式及び外部補償方式を備えるステップと、

前記発光デバイスが通常に発光する作動段階にあると、内部補償方式によって前記発光デバイスを補償するステップと、

前記発光デバイスがパネルリセットの作動段階、或いは、前記発光デバイスがフレーム間、行間の表示空きの作動段階にあるとき、外部補償方式によって前記発光デバイスを補償するステップと、を備える。

【0016】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記内部補償方式によって前記発光デバイスを補償するステップは、具体的に、

前記駆動トランジスタに対してプリチャージするステップと、

前記駆動トランジスタに対して電圧又は電流補償するステップと、

前記発光デバイスを常に発光させるように、前記発光デバイスに対して電圧又は電流補償するステップと、を備える。

【0017】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記駆動トランジスタに対してプリチャージするステップは、具体的に、

10

20

30

40

50

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタのソース電極の電圧をデータラインの電圧 V_{DATA} にするステップと、を備える。

【0018】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記駆動トランジスタに対して電圧又は電流補償するステップは、具体的に、

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をローレベルにさせ、前記第4のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタのゲート電極電圧を $V_{DATA} + V_{thn}$ にさせ、 V_{DATA} が前記データラインの電圧であり、 V_{thn} が前記駆動トランジスタの閾値電圧であるステップと、を備える。

【0019】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記発光デバイスを常に発光させるように、前記発光デバイスを電圧又は電流補償するステップは、具体的に、

発光制御信号をハイレベルにさせ、前記第3のトランジスタをオンにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をローレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオフにするステップと、前記駆動トランジスタを介して前記発光デバイスに入力される電流 I_{OLED} を、

【数2】

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

にさせ、 μ_n がキャリアの移動度であり、 C_{OX} が前記蓄積容量のゲート酸化層のコンデンサーであり、 W/L が前記駆動トランジスタの幅長比であり、 V_{DATA} が前記データラインの電圧であり、 V_{OLED} が前記発光デバイスのアノードの電圧であるステップと、を備える。

【0020】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記外部補償方式によって前記発光デバイスを補償するステップは、具体的に、

前記駆動トランジスタに対して電流抽出を行うステップと、

前記発光デバイスに対して電流抽出を行うステップと、

前記駆動トランジスタ又は前記発光デバイスから抽出する電流を検出し、検出された電流値によって前記発光デバイスに対して電圧又は電流補償するステップと、を備える。

【0021】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記駆動トランジスタに対して電流抽出するステップは、具体的に、

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタの電流を前記データラインに入力させるとともに、前記発光デバイスからデータラインに流入する電流を遮断するステップと、を備える。

【0022】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記発光デバイス

に対して電流抽出するステップは、具体的に、

発光制御信号をハイレベルにさせ、前記第３のトランジスタをオンにするステップと、プリチャージ制御信号をローレベルにさせ、前記第４のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第２のトランジスタをオンにするステップと、前記発光デバイスの電流を前記データラインに入力させるとともに、前記駆動トランジスタから前記データラインに流入する電流を遮断するステップと、を備える。

【００２３】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記発光デバイスは有機発光ダイオードデバイスである。

【００２４】

本発明の実施形態は、本発明実施形態に係る画素ユニット回路を備える表示装置をさらに提供する。

【発明の効果】

【００２５】

本発明実施形態に係る画素ユニット回路及びその補償方法、並びに表示装置によれば、以下の有益な効果を実現することができる。

一、本発明の実施形態に係る画素ユニット回路及びその補償方法は、内部補償及び外部補償を組み合わせることでＯＬＥＤデバイスを補償できるとともに、内部補償及び外部補償のメリットを兼備し、内部補償によって、Ｎ型空乏型又は増強型ＴＦＴ駆動トランジスタの閾値電圧の非均一性又はドリフトによるムラ現象が解消されて、表示効果が向上されるとともに、駆動ＴＦＴの特性及びＯＬＥＤ特性の抽出機能を有し、外部補償の駆動に効果的に応用されることができる。

二、本発明の実施形態に係る画素ユニット回路及びその補償方法は、電源の電圧降下による異なる領域の電流差を補償でき、表示効果を向上することができる。

三、本発明の実施形態に係る表示装置は、本発明の実施形態に係る画素ユニット回路を採用するため、ムラ現象をさらに解消し、表示装置の表示効果をさらに向上することができる。

【図面の簡単な説明】

【００２６】

【図１】従来技術に係る画素ユニット回路である。

【図２】従来技術に係る内部補償式の画素ユニット回路である。

【図３】従来技術に係る外部補償式の画素ユニット回路である。

【図４】本発明の実施形態に係る画素ユニット回路の回路図である。

【図５】本発明の実施形態に係る画素ユニット回路の補償方法のフローチャートである。

【図６】本発明の実施形態に係る内部補償モードの画素ユニット回路の補償方法のフローチャートである。

【図７】本発明の実施形態に係る内部補償モードの画素ユニット回路の等価回路図である。

【図８】本発明の実施形態に係る内部補償モードの画素ユニット回路の補償方法の制御信号のシーケンス図である。

【図９】本発明の実施形態に係る外部補償モードの画素ユニット回路の補償方法のフローチャートである。

【図１０】本発明の実施形態に係る外部補償モードの画素ユニット回路の等価回路図である。

【図１１】本発明の実施形態に係る外部補償モードの画素ユニット回路の補償方法の制御信号のシーケンス図である。

【発明を実施するための形態】

【００２７】

以下、本発明をさらに理解するように、図面及び具体的な実施形態を組み合わせ、本発明をさらに説明する。

10

20

30

40

50

【 0 0 2 8 】

本発明の実施形態に係る画素ユニット回路は、主に、発光デバイス O L E D の駆動補償に用いられ、発光デバイス毎が 1 つの画素ユニット回路によって駆動補償され、画素ユニット回路毎が 5 つの薄膜トランジスタ及び 1 つのコンデンサーによって前記発光デバイスに接続されて構成される。この構造は、内部及び外部補償に兼用できる。内部補償の表示過程は、プリチャージ、補償及び表示という 3 つの過程に分ける。外部補償は、駆動トランジスタ T F T の電流抽出及び発光デバイスの電流抽出という 2 つの過程に分ける。従来の画素構造に対して、増強型又は空乏型駆動トランジスタ T F T の閾値電圧のドリフト及び非均一性、発光デバイスの電圧の非均一性及びエイジングを効果的に補償することができる。

10

【 0 0 2 9 】

本発明の実施形態に係る画素ユニット回路は、出力端子の発光デバイスが A M O L E D であってもよい。前記画素ユニット補償回路は、内部補償によって N 型空乏型又は増強型駆動トランジスタ T F T の閾値電圧の非均一性を効果的に補償することができ、表示効果を向上することができるとともに、駆動トランジスタ T F T の特性、発光デバイス特性の抽出機能を有し、効果的に外部補償の駆動に用いられる。ここで、前記発光デバイスは O L E D デバイスであり、前記発光デバイス特性は、O L E D デバイスの電圧、電流特性である。

【 0 0 3 0 】

図 4 は本発明の実施形態に係る画素ユニット回路の回路図である。図 4 に示すように、本発明の実施形態に係る画素ユニット回路は、駆動トランジスタ T 1、第 1 のトランジスタ T 2、第 2 のトランジスタ T 3、第 3 のトランジスタ T 4、第 4 のトランジスタ T 5、蓄積容量 C_{S T} 及び発光デバイスを備え、前記発光デバイスは有機発光ダイオードデバイス O L E D である。

20

【 0 0 3 1 】

駆動トランジスタ T 1 は、前記発光デバイスを駆動するものであり、ドレイン電極が前記第 4 のトランジスタ T 5 のソース電極に接続され、ソース電極が前記第 3 のトランジスタ T 4 のドレイン電極に接続され、ゲート電極が前記蓄積容量 C_{S T} の第 1 の端子及び前記第 1 のトランジスタ T 2 のソース電極に接続される。

【 0 0 3 2 】

第 1 のトランジスタ T 2 は、走査制御信号の制御スイッチである。前記第 1 のトランジスタ T 2 は、ドレイン電極が前記第 4 のトランジスタ T 5 のソース電極に接続され、ソース電極が前記駆動トランジスタ T 1 のゲート電極に接続され、ゲート電極が走査制御信号線 S C A N に接続される。

30

【 0 0 3 3 】

第 2 のトランジスタ T 3 は走査制御信号の他の制御スイッチである。前記第 2 のトランジスタ T 3 は、ドレイン電極がデータライン D A T A に接続され、ソース電極が前記駆動トランジスタ T 1 のソース電極及び第 3 のトランジスタ T 4 のドレイン電極に接続され、ゲート電極が前記走査制御信号線 S C A N に接続される。

【 0 0 3 4 】

第 3 のトランジスタ T 4 は発光制御信号の制御スイッチである。前記第 3 のトランジスタ T 4 は、ドレイン電極が駆動トランジスタ T 1 のソース電極に接続され、ソース電極が前記発光デバイス O L E D のアノードに接続され、ゲート電極が発光制御信号線 E M に接続される。

40

【 0 0 3 5 】

第 4 のトランジスタ T 5 はプリチャージ制御信号の制御スイッチである。前記第 4 のトランジスタ T 5 は、ドレイン電極が第 1 の電源電圧 E L V D D に接続され、ソース電極が前記駆動トランジスタ T 1 のドレイン電極及び第 1 のトランジスタ T 2 のドレイン電極に接続され、ゲート電極がプリチャージ制御信号線 P R に接続される。

【 0 0 3 6 】

50

蓄積容量 C_{ST} は、第 1 の端子が前記駆動トランジスタ T_1 のゲート電極に接続され、第 2 の端子が前記第 1 の電源電圧 $E_{LVD D}$ に接続される。

【0037】

前記発光デバイス $OLED$ のカソードは第 2 の電源電圧 E_{LVSS} に接続される。

【0038】

第 2 の電源電圧 E_{LVSS} は発光デバイスのカソードに供給される電圧であり、一般的に、 $-5V \sim 0V$ であり、実際のデバッグによって得られる。

【0039】

さらに、図 5 は本発明の実施形態に係る画素ユニット回路の補償方法のフローチャートである。図 5 に示すように、前記方法は、

10

発光デバイスの作動段階により、内部補償及び外部補償を有する補償方式を選択するステップ $S100$ と、

前記発光デバイスが通常に発光する作動段階にあると、内部補償によって前記発光デバイスを補償するステップ $S200$ と、

有機発光ダイオードデバイス $OLED$ である前記発光デバイスが、パネルリセットの作動段階にあり、或いは、前記発光デバイスがフレーム間、行間の表示空きの作動段階にあると、外部補償によって前記発光デバイスを補償するステップ $S300$ と、を備える。

【0040】

さらに、図 6 は本発明の実施形態の内部補償モードの画素ユニット回路の補償方法のフローチャートを示す。図 6 に示すように、前記内部補償によって前記発光デバイスを補償するステップ 200 は、具体的に、

20

前記駆動トランジスタのドレイン電極にプリチャージを行うステップ $S210$ と、

前記駆動トランジスタのゲート電極に電圧又は電流補償を行うステップ $S220$ と、

前記発光デバイスを常に発光させるように、前記発光デバイスに電圧又は電流補償を行うステップ $S230$ と、を備える。

【0041】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法において、前記駆動トランジスタのドレイン電極にプリチャージを行うステップ 210 は、具体的に、

30

発光制御信号 EM をローレベルにさせ、前記第 3 のトランジスタをオフにするステップと、プリチャージ制御信号 PR をハイレベルにさせ、前記第 4 のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第 1 のトランジスタ及び第 2 のトランジスタをオンにするステップと、前記駆動トランジスタのソース電極の電圧をデータラインの電圧 V_{Data} にするステップと、を備える。

【0042】

図 7 は、本発明の実施形態に係る内部補償モードの画素ユニット回路の等価回路図である。図 7 (a) に示すように、プリチャージ段階では、駆動トランジスタ T_1 、第 1 のトランジスタ T_2 、第 2 のトランジスタ T_3 及びトランジスタ T_5 がオンされ、トランジスタ T_4 がオフされ、データラインの電圧が今回のフレームのデータライン信号電圧 V_{Data} であり、コンデンサ C_{ST} に蓄積された電荷が解放され、駆動トランジスタ T_1 のソース電極をハイレベル、即ち、データライン電圧 V_{Data} までプリチャージする。

40

【0043】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法において、前記駆動トランジスタのゲート電極に電圧又は電流補償を行うステップ 220 は、具体的に、

発光制御信号をローレベルにさせ、前記第 3 のトランジスタをオフにするステップと、プリチャージ制御信号をローレベルにさせ、前記第 4 のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第 1 のトランジスタ及び第 2 のトランジスタをオンにするステップと、前記駆動トランジスタのゲート電極の電圧を $V_{Data} + V_{thn}$ にさせ、 V_{Data} が前記データラインの電圧であり、 V_{thn} が前記駆動トラン

50

ジスタの閾値電圧であるステップと、を備える。

【0044】

図7は、本発明の実施形態に係る内部補償モードの画素ユニット回路の等価回路図である。図7(b)に示すように、補償段階では、駆動トランジスタT1、第1のトランジスタT2及び第2のトランジスタT3がオンされ、第3のトランジスタT4及び第4のトランジスタT5がオフされ、駆動トランジスタT1のゲート電極は、駆動トランジスタT1のゲート電極の電圧が $V_{Data} + V_{thn}$ になるまで放電する。このとき、プリチャージされたトランジスタを補償し、蓄積容量 C_{ST} の両端に蓄積される電荷が $(V_{ELVD} - V_{thn} - V_{Data}) \cdot C_{ST}$ になり、 V_{ELVD} が第1の電源電圧 $ELVD$ の電圧であり、 C_{ST} が蓄積容量 C_{ST} のゲート酸化層の容量値であり、 V_{thn} が駆動トランジスタT1の閾値電圧であり、 V_{Data} がデータラインの信号電圧である。

10

【0045】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法において、前記発光デバイスを常に発光させるように、前記発光デバイスに電圧又は電流補償を行うステップ230は、具体的に、

発光制御信号をハイレベルにさせ、前記第3のトランジスタをオンにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をローレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオフにするステップと、前記駆動トランジスタを介して前記発光デバイスに入力される電流 I_{OLED} を、

20

【数3】

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

にさせ、 μ がキャリアの移動度であり、 C_{OX} が前記蓄積容量のゲート酸化層のコンデンサーであり、 W/L が前記駆動トランジスタの幅長比であり、 V_{Data} が前記データラインの電圧であり、 V_{OLED} が前記発光デバイスのアノードの電圧であるステップと、を備える。

【0046】

30

図7は本発明の実施形態に係る内部補償モードの画素ユニット回路の等価回路図である。図7(c)に示すように、前記発光デバイスはOLEDデバイスであり、発光段階では、駆動トランジスタT1、第3のトランジスタT4及び第4のトランジスタT5がオンされ、第1のトランジスタT2及び第2のトランジスタT3がオフされ、蓄積容量 C_{ST} が駆動トランジスタT1のゲート電極と第1の電源電圧 $ELVD$ との間に接続され、駆動トランジスタT1のゲート電極電圧を $V_{Data} + V_{thn}$ に保持させ、 V_{thn} が薄膜トランジスタT1の閾値電圧であり、 V_{Data} がデータラインの信号電圧である。このとき、データラインが画素ユニット回路から切断され、OLEDデバイスの電流が安定されることに従って、駆動トランジスタT1のソース電極の電圧が V_{OLED} になり、駆動トランジスタT1のゲート電極の電圧が $V_{Data} + V_{thn}$ 維持し、このとき薄膜トランジスタT1を流す電流 I_{OLED} は、

40

【数4】

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} + V_{thn} - V_{thn} - V_{OLED}]^2 \\ &= \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2 \end{aligned}$$

になり、

50

μ_n がキャリアの移動度であり、 C_{ox} が蓄積容量 C_{ST} のゲート酸化層の容量値であり、 W/L が駆動トランジスタ $T1$ の幅長比であり、 V_{Data} がデータラインの信号電圧であり、 V_{OLED} が $OLED$ デバイスのアノードの電圧、即ち、 $OLED$ デバイスの作動電圧であり、 V_{thn} が駆動トランジスタ $T1$ の閾値電圧であり、増強型 $TFET$ トランジスタに対しては、 V_{thn} が正値であり、空乏型 $TFET$ トランジスタに対しては、 V_{thn} が負値である。

【0047】

上式から分かるように、駆動トランジスタを流す電流は、その閾値電圧 V_{thn} に関わらないとともに、発光デバイスの両端の電圧にも関わらないため、駆動トランジスタの閾値電圧の非均一性及びドリフトの影響が基本的に解消される。本発明の実施形態に係る画素ユニット回路を採用すれば、増強型薄膜トランジスタであっても空乏型薄膜トランジスタであっても、駆動トランジスタの閾値電圧の非均一性の影響を解消することができるため、適用性が一層広くなった。

10

【0048】

図8は本発明の実施形態に係る内部補償モードの画素ユニット回路の補償方法の制御信号のシーケンス図である。図8に示すように、内部補償の場合、前記発光制御信号 EM 、プリチャージ制御信号 PR および走査制御信号 $SCAN$ の制御順序は、

前記ステップ $S210$ に対応し、発光制御信号 EM がローレベルであり、プリチャージ制御信号 PR および走査制御信号 $SCAN$ がハイレベルであるプリチャージ段階と、

前記ステップ $S220$ に対応し、発光制御信号 EM 及びプリチャージ制御信号 PR がローレベルであり、走査制御信号 $SCAN$ がハイレベルである補償段階と、

20

前記ステップ $S230$ に対応し、発光制御信号 EM 及びプリチャージ制御信号 PR がハイレベルであり、走査制御信号 $SCAN$ がローレベルである発光段階と、である。

【0049】

また、本発明の実施形態に係る画素ユニット回路の補償方法は、外部補償によって前記発光デバイスを補償してもよい。外部補償は、パネルリセット ($PANEL\ RESET$) の作動段階、或いは、フレーム間、行間の表示空きの作動段階で行われる。例えば、起動の瞬間でパネルリセットを行ってもよい。外部補償の過程は、駆動トランジスタの電流抽出及び発光デバイスの電流抽出という2つの段階に分ける。

【0050】

30

さらに、図9は本発明の実施形態に係る外部補償モードの画素ユニット回路の補償方法のフローチャートを示す。図9に示すように、外部補償方式を採用することによって前記発光デバイスを補償する前記ステップ $S300$ は、具体的に、

前記駆動トランジスタに対して電流抽出を行うステップ $S310$ と、

前記発光デバイスに対して電流抽出を行うステップ $S320$ と、

前記駆動トランジスタ又は前記発光デバイスから抽出された電流を検出し、検出された電流値によって前記発光ダイオードに対して電圧又は電流補償するステップ $S330$ と、を備える。

【0051】

40

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記駆動トランジスタに対して電流抽出を行うステップ $S310$ は、具体的に、

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタの電流を前記データラインに入力させるとともに、前記発光デバイスからデータラインに流入する電流を遮断するステップと、を備える。前記データラインに接続される誘導チップによって前記駆動トランジスタを流す電流値を検出する。

【0052】

データライン信号の電圧を参考電圧 V_{REF} とすると、 $V_{REF} < V_{ELVD}$ であり

50

、 V_{ELVDD} が電源 $ELVDD$ の電圧である。図 10 は本発明の実施形態に係る外部補償モードの画素ユニット回路の等価回路図である。図 10 (a) に示すように、前記発光デバイスは OLED デバイスであり、駆動トランジスタ T1、第 1 のトランジスタ T2、第 2 のトランジスタ T3 及び第 4 のトランジスタ T5 がオンにされ、第 3 のトランジスタ T4 がオフにされる。このとき、OLED デバイスが駆動トランジスタ T1 から切断され、駆動トランジスタ T1 のゲート電極とソース電極との間の電圧が $V_{ELVDD} - V_{REF}$ にオフセットされ、駆動トランジスタ T1 の駆動電流が第 2 のトランジスタ T3 を介してデータラインに入り、データラインに接続される外部誘導チップを、この電流値を誘導できるようにさせて更なる処理を行う。

【0053】

10

さらに、本発明の実施形態に係る画素ユニット回路の補償方法によれば、前記発光デバイスに電流抽出を行うステップ S320 は、具体的に、

発光制御信号をハイレベルにさせ、前記第 3 のトランジスタをオンにするステップと、プリチャージ制御信号をローレベルにさせ、前記第 4 のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第 2 のトランジスタをオンにするステップと、前記発光デバイスの電流を前記データラインに入力させるとともに、前記駆動トランジスタから前記データラインに流入する電流を遮断するステップと、を備える。前記データラインに接続される誘導チップによって前記発光デバイスを流す電流値を検出する。

【0054】

データラインの信号電圧を参考電圧 V_{REF} とすると、 $V_{REF} > V_{thn}$ であり、 V_{thn} が駆動トランジスタ T1 の閾値電圧である。図 10 は本発明の実施形態に係る外部補償モードの画素ユニット回路の等価回路図である。図 10 (b) に示すように、前記発光デバイスは OLED デバイスである。このとき、第 1 のトランジスタ T2、第 2 のトランジスタ T3 及び第 3 のトランジスタ T4 がオンにされ、駆動トランジスタ T1 及び第 4 のトランジスタ T5 がオフにされ、OLED デバイスのアノードとカソードとの間の電圧差が $V_{REF} - V_{ELVSS}$ である。このとき、OLED デバイスを流す電流が第 2 のトランジスタ T3 を介してデータラインに入力され、データラインに接続される外部誘導チップは、この電流値を誘導できて、更なる処理を行う。

20

【0055】

図 11 は本発明の実施形態に係る外部補償モードの画素ユニット回路の補償方法の制御信号のシーケンス図である。図 11 に示すように、前記発光制御信号 EM、プリチャージ制御信号 PR 及び走査制御信号 SCAN の制御順序は、

30

前記駆動トランジスタ T1 の電流を抽出するステップ S310 に対応し、発光制御信号 EM をローレベルにさせ、プリチャージ制御信号 PR および走査制御信号 SCAN をハイレベルにさせる第 1 の段階と、

前記 OLED デバイスの電流を抽出するステップ S320 に対応し、発光制御信号 EM および走査制御信号 SCAN をハイレベルにさせ、プリチャージ制御信号 PR をローレベルにさせる第 2 の段階と、である。

【0056】

以上のように、この画素ユニット回路は、二つの作業モードである内部補償及び外部補償を同時に兼用することができるため、補償効果が両方のメリットを具備する。

40

【0057】

本発明の実施形態は、さらに表示装置を提供する。前記表示装置は、本発明の実施形態に係る画素ユニット回路を備え、本発明の実施形態に係る補償方法によって前記画素ユニット回路を補償する。

【0058】

以上は本発明の優れた実施形態に過ぎず、本発明は他の複数の実施形態を有してもよい。当業者は、本発明の精神及び趣旨から逸脱しなくて、様々な変化及び変形をすることができる。従って、その変化及び変形はいずれも本発明の特許請求の保護範囲に入る。

【0059】

50

A D C アナログ・デジタル変換器
 A R V D D 電源電圧
 C コンデンサー
 D A T A データライン
 E L V D D 第 1 の電源電圧
 E L V S S 第 2 の電源電圧
 E M 発光制御信号
 P R プリチャージ制御信号
 S C A N 走査制御信号
 T 1 駆動トランジスタ
 T 2 第 1 のトランジスタ
 T 3 第 2 のトランジスタ
 T 4 第 3 のトランジスタ
 T 5 第 4 のトランジスタ

10

【図 1】

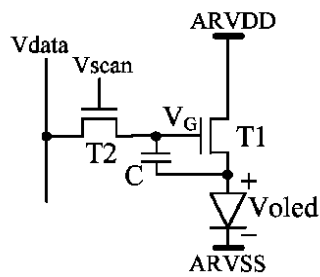
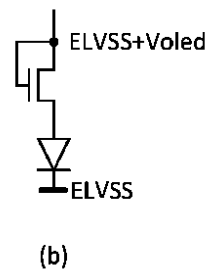
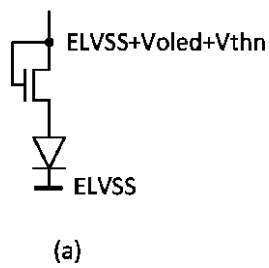


図 1

【図 2 (b)】



【図 2 (a)】



【 図 4 】

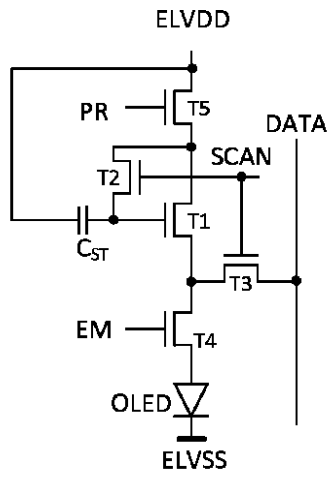
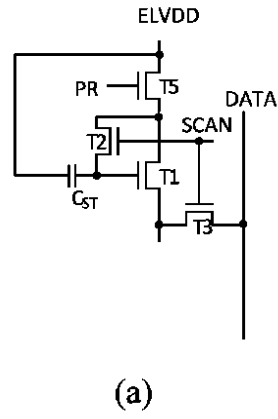


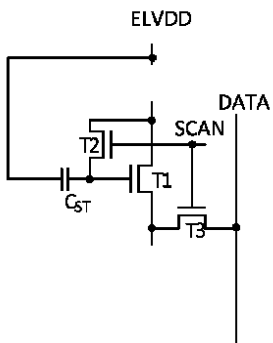
图 4

【 図 7 (a) 】



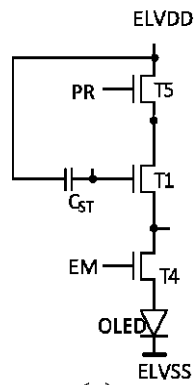
(a)

【 図 7 (b) 】



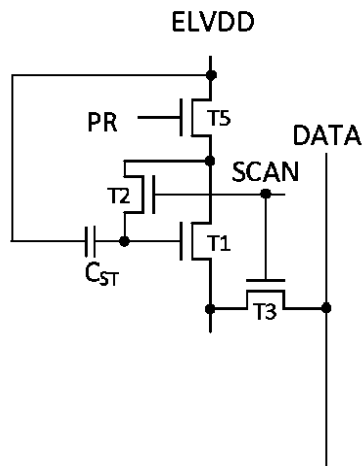
(b)

【 図 7 (c) 】

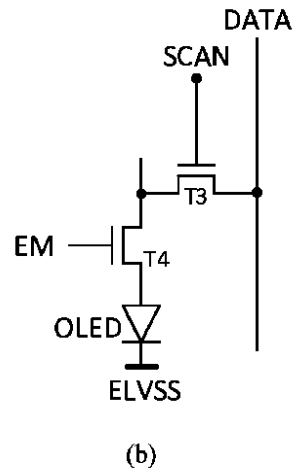


(c)

【 図 1 0 (a) 】



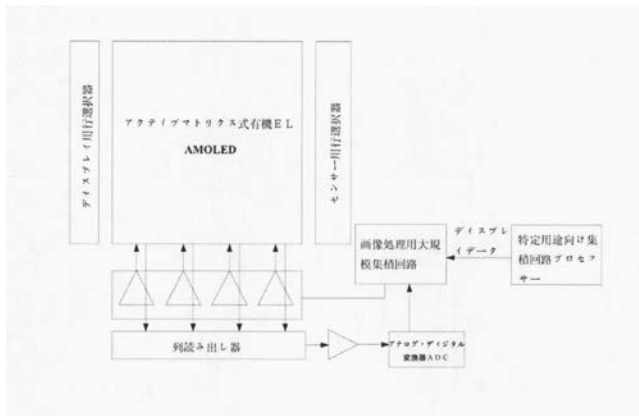
【 図 1 0 (b) 】



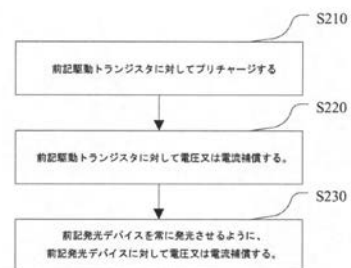
(a)

(b)

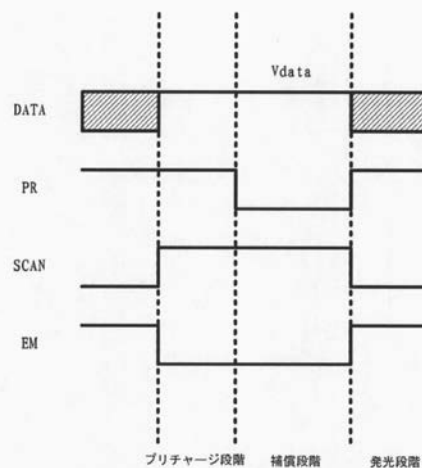
【 図 3 】



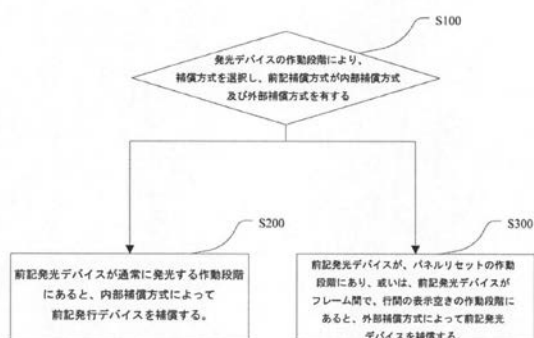
【 図 6 】



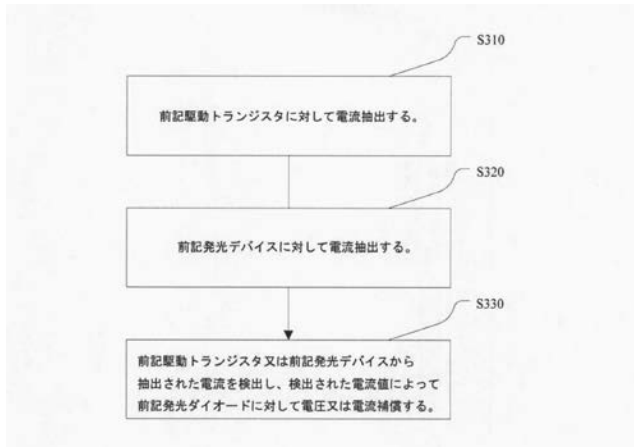
【 図 8 】



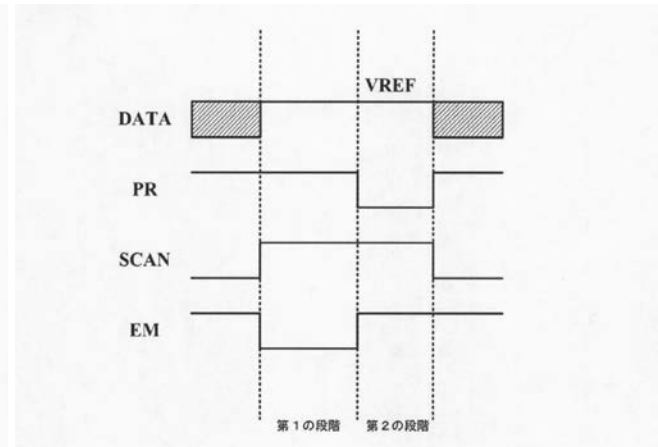
【 図 5 】



【図 9】



【図 11】



【 国际調查報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2013/077965
A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/32 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G09G 3, H05B 33		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, CNABS, CNTXT: fifth, five, transistor, switch, tft, fourth, four, internal, external, compensate, feedback		
SIPOABS, DWPI, USTXT, WOTXT, EPTXT: fifth, 5th, fourth, 4th, switch???, tft, transistor?, internal, external, compensat+, feedback		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102651196 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 29 August 2012 (29.08.2012), description, paragraphs 0027-0076, and figures 2-6	1-2, 12
Y	CN 102956201 A (BOE TECHNOLOGY GROUP CO., LTD.), 06 March 2013 (06.03.2013), description, paragraphs 0029-0060, and figures 1-5	1-2, 12
A	CN 103035202 A (AU OPTRONICS CORP.), 10 April 2013 (10.04.2013), the whole document	1-12
A	US 2010220086 A1 (CHUNG, B.Y. et al.), 02 September 2010 (02.09.2010), the whole document	1-12
A	CN 102074189 A (LG DISPLAY CO., LTD.), 25 May 2011 (25.05.2011), the whole document	3-11
E	CN 203179479 U (BOE TECHNOLOGY GROUP CO., LTD.), 04 September 2013 (04.09.2013), description, paragraphs 0041-0094, and figures 1-11	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 23 January 2014 (23.01.2014)		Date of mailing of the international search report 20 February 2014 (20.02.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer WANG, Chao Telephone No.: (86-10) 62085834

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/077965

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102651196 A	29.08.2012	None	
CN 102956201 A	06.03.2013	None	
CN 103035202 A	10.04.2013	None	
US 2010220086 A1	02.09.2010	KR 20100097873 A	06.09.2010
		KR 1040816 B1	13.06.2011
		US 7936322 B2	03.05.2011
CN 102074189 A	25.05.2011	TW 201137828 A	01.11.2011
		US 2011122119 A1	26.05.2011
		DE 102010061736 A1	16.06.2011
		KR 20110057534 A	01.06.2011
		US 8558825 B2	15.10.2013
CN 203179479 U	04.09.2013	None	

国际检索报告		国际申请号 PCT/CN2013/077965																					
A. 主题的分类 <p style="text-align: center;">G09G 3/32 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类</p>																							
B. 检索领域 <p>检索的最低限度文献(标明分类系统和分类号)</p> <p style="text-align: center;">IPC: G09G3, H05B33</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))</p> <p>CNPAT,CNABS,CNTEXT: 第五, 第 5, 五个, 5 个, 晶体管, 开关, tft, 第四, 第 4, 四个, 4 个, 内, 外, 补偿, 反馈</p> <p>SIPOABS,DWPI,USTXT,WOTXT,EPTXT: fifth, 5th, fourth, 4th, switch???, tft, transistor?, internal, external, compensat+, feedback</p>																							
C. 相关文件 <table border="1" style="width: 100%;"> <thead> <tr> <th style="width: 10%;">类 型*</th> <th style="width: 60%;">引用文件, 必要时, 指明相关段落</th> <th style="width: 30%;">相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN102651196A (京东方科技集团股份有限公司 等) 29.8 月 2012(29.08.2012) 说明书第 0027 段-第 0076 段, 图 2-6</td> <td>1-2,12</td> </tr> <tr> <td>Y</td> <td>CN102956201A (京东方科技集团股份有限公司) 06.3 月 2013 (06.03.2013) 说明书第 0029 段-第 0060 段, 图 1-5</td> <td>1-2,12</td> </tr> <tr> <td>A</td> <td>CN103035202A (友达光电股份有限公司) 10.4 月 2013(10.04.2013) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>US2010220086A1 (Bo-Young Chung 等) 02.9 月 2010(02.09.2010) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN102074189A (乐金显示有限公司) 25.5 月 2011 (25.05.2011) 全文</td> <td>3-11</td> </tr> <tr> <td>E</td> <td>CN203179479U (京东方科技集团股份有限公司) 04.9 月 2013 (04.09.2013) 说明书第 0041 段-第 0094 段, 图 1-11</td> <td>1-12</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN102651196A (京东方科技集团股份有限公司 等) 29.8 月 2012(29.08.2012) 说明书第 0027 段-第 0076 段, 图 2-6	1-2,12	Y	CN102956201A (京东方科技集团股份有限公司) 06.3 月 2013 (06.03.2013) 说明书第 0029 段-第 0060 段, 图 1-5	1-2,12	A	CN103035202A (友达光电股份有限公司) 10.4 月 2013(10.04.2013) 全文	1-12	A	US2010220086A1 (Bo-Young Chung 等) 02.9 月 2010(02.09.2010) 全文	1-12	A	CN102074189A (乐金显示有限公司) 25.5 月 2011 (25.05.2011) 全文	3-11	E	CN203179479U (京东方科技集团股份有限公司) 04.9 月 2013 (04.09.2013) 说明书第 0041 段-第 0094 段, 图 1-11	1-12
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
Y	CN102651196A (京东方科技集团股份有限公司 等) 29.8 月 2012(29.08.2012) 说明书第 0027 段-第 0076 段, 图 2-6	1-2,12																					
Y	CN102956201A (京东方科技集团股份有限公司) 06.3 月 2013 (06.03.2013) 说明书第 0029 段-第 0060 段, 图 1-5	1-2,12																					
A	CN103035202A (友达光电股份有限公司) 10.4 月 2013(10.04.2013) 全文	1-12																					
A	US2010220086A1 (Bo-Young Chung 等) 02.9 月 2010(02.09.2010) 全文	1-12																					
A	CN102074189A (乐金显示有限公司) 25.5 月 2011 (25.05.2011) 全文	3-11																					
E	CN203179479U (京东方科技集团股份有限公司) 04.9 月 2013 (04.09.2013) 说明书第 0041 段-第 0094 段, 图 1-11	1-12																					
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。																							
<table style="width: 100%;"> <tr> <td style="width: 50%;"> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td style="width: 50%;"> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 23.1 月 2014 (23.01.2014)		国际检索报告邮寄日期 20.2 月 2014 (20.02.2014)																					
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		受权官员 <p style="text-align: center;">王超</p> 电话号码: (86-10) 62085834																					

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/077965

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 102651196 A	29.08.2012	无	
CN 102956201 A	06.03.2013	无	
CN 103035202 A	10.04.2013	无	
US 2010220086 A1	02.09.2010	KR 20100097873 A	06.09.2010
		KR 1040816 B1	13.06.2011
		US 7936322 B2	03.05.2011
CN 102074189 A	25.05.2011	TW 201137828 A	01.11.2011
		US 2011122119 A1	26.05.2011
		DE 102010061736 A1	16.06.2011
		KR 20110057534 A	01.06.2011
		US 8558825 B2	15.10.2013
CN 203179479 U	04.09.2013	无	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 呉 仲 遠

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 段 立 業

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

F ターム(参考) 3K107 AA01 BB01 CC14 CC33 EE04 FF04 HH05

5C080 AA06 BB05 DD05 FF11 JJ02 JJ03 JJ04 JJ07

5C380 AA01 AB06 BA36 BA39 BB02 CC04 CC09 CC27 CC30 CC33

CC39 CC62 CC64 CD012 CD015 CF70 DA02 FA03

