

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-511183

(P2012-511183A)

(43) 公表日 平成24年5月17日(2012.5.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 612E	5C380
	G09G 3/20 611A	
	G09G 3/20 621J	
	G09G 3/20 611H	
審査請求 未請求 予備審査請求 未請求 (全 39 頁) 最終頁に続く		

(21) 出願番号	特願2011-539859 (P2011-539859)	(71) 出願人	508311950 イグニス・イノベーション・インコーポレイテッド IGNIS INNOVATION INC. カナダ国、オンタリオ州 N2H 6M6 、キッチンナー、フレデリック・ストリート 22、スイート1020
(86) (22) 出願日	平成21年12月8日 (2009.12.8)	(74) 代理人	100140109 弁理士 小野 新次郎
(85) 翻訳文提出日	平成23年8月5日 (2011.8.5)	(74) 代理人	100075270 弁理士 小林 泰
(86) 国際出願番号	PCT/CA2009/001769	(74) 代理人	100080137 弁理士 千葉 昭男
(87) 国際公開番号	W02010/066030		
(87) 国際公開日	平成22年6月17日 (2010.6.17)		
(31) 優先権主張番号	2,647,112		
(32) 優先日	平成20年12月9日 (2008.12.9)		
(33) 優先権主張国	カナダ (CA)		
(31) 優先権主張番号	2,654,409		
(32) 優先日	平成20年12月19日 (2008.12.19)		
(33) 優先権主張国	カナダ (CA)		

最終頁に続く

(54) 【発明の名称】 発光型表示装置用の低電力回路及び駆動方法

(57) 【要約】

表示システム、表示アレイを動作させるドライバ、表示システムを動作させる方法、及び表示システムのピクセル回路を提供する。ドライバは、時変電圧に結合し、時変電圧を電流に変換する変換器を有する双方向電流源を含む。ピクセル回路は、ピクセル電流を発光デバイスへ供給するトランジスタと、トランジスタに電氣的に結合し、予め定めたタイミングで時変電圧に結合し、時変電圧に基づく電流を供給するストレージ・キャパシタとを含む。方法は、プログラミング動作の第1サイクルにおいて、ピクセル回路のストレージ・キャパシタへ供給された時変電圧を、基準電圧からプログラミング電圧に変化させるステップであって、ストレージ・キャパシタは、発光デバイスを駆動するために駆動トランジスタに電氣的に結合する、ステップと、プログラミング動作の第2サイクルにおいて、時変電圧をプログラミング電圧に維持するステップとを含む。方法は、プログラミング動作において、プログラミング・データをデータ線から、データ線に結合するトランジスタとストレージ・キャパシタとを含むピクセル回路へ供給するステップと、駆動

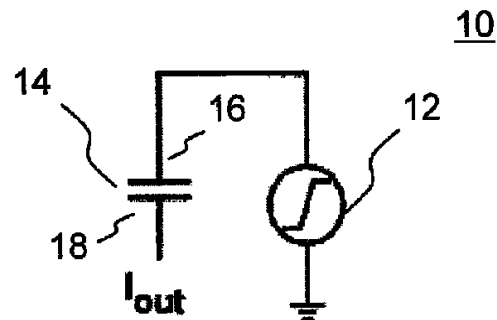


FIG. 1

【特許請求の範囲】**【請求項 1】**

表示システムを駆動するドライバであって、
電流を表示システムへ供給する双方向電流源であって、時変電圧に結合して前記時変電圧を前記電流に変換する変換器を含む、双方向電流源と、
前記時変電圧の生成を制御するコントローラと
を備えるドライバ。

【請求項 2】

請求項 1 に記載のドライバであって、前記変換器がキャパシタを含む、ドライバ。

【請求項 3】

請求項 2 に記載のドライバであって、前記表示システムが、列及び行に配列された複数のピクセル回路を含み、前記キャパシタがそれぞれの列に割り付けられ、前記列のピクセル回路が動作させられる、ドライバ。

【請求項 4】

請求項 3 に記載のドライバであって、前記時変電圧が 1 列よりも多い列で共有される、ドライバ。

【請求項 5】

請求項 2 に記載のドライバであって、前記キャパシタが、前記表示システムのピクセル回路のストレージ・キャパシタであり、前記時変電圧に関連する前記電流源として作用する、ドライバ。

【請求項 6】

請求項 5 に記載のドライバであって、前記ピクセル回路のプログラミング・サイクル中又は駆動サイクル中に、前記時変電圧が前記ストレージ・キャパシタへ供給される、ドライバ。

【請求項 7】

請求項 1 に記載のドライバであって、前記電流源が前記表示システムの電流プログラム型ピクセル回路に結合される、ドライバ。

【請求項 8】

請求項 1 に記載のドライバであって、前記電流源からの前記電流がバイアス電流として前記表示システムのピクセル回路へ供給される、ドライバ。

【請求項 9】

請求項 1 に記載のドライバであって、前記前記変換器が、出力ノードに結合して前記電流を供給する複数のキャパシタを備え、前記キャパシタのそれぞれが、異なるサイズを有し、制御信号に基づいて前記時変電圧を受け取る、ドライバ。

【請求項 10】

請求項 9 に記載のドライバであって、前記変換器により生成した前記電流をコピーするため、およびコピーされた前記電流を前記表示システムへ供給するためのコピア・ブロックを備える、ドライバ。

【請求項 11】

請求項 1 に記載のドライバであって、前記変換器が複数の時変電圧に結合され、
前記変換器が、出力ノードに結合して一定電流を供給する複数のキャパシタを備え、前記キャパシタのそれぞれが、制御信号に基づいて対応する時変電圧を受け取る、
ドライバ。

【請求項 12】

請求項 11 に記載のドライバであって、前記変換器により生成した前記電流をコピーするため、およびコピーされた前記電流を前記表示システムへ供給するためのコピア・ブロックを備える、ドライバ。

【請求項 13】

請求項 1 に記載のドライバであって、前記変換器が、複数の層を有するインター・デジタル型キャパシタを含む、ドライバ。

10

20

30

40

50

【請求項 14】

請求項 13 に記載のドライバであって、前記ピクセルが電極及び O L E D 層を有する有機発光ダイオード (O L E D) デバイスを含み、前記インター・デジタル型キャパシタの前記層の 1 つが前記電極と相互接続される、ドライバ。

【請求項 15】

請求項 14 に記載のドライバであって、前記電極が透明電極であり、前記キャパシタの前記複数の層が、前記透明電極上の前記 O L E D 層からの光を覆うことなく、前記透明電極の下に設置される、ドライバ。

【請求項 16】

請求項 14 に記載のドライバであって、前記表示システムが、前記キャパシタの前記複数の層上に配される前記電極および前記 O L E D 層を有するトップ・エミッション型表示装置を含む、ドライバ。

10

【請求項 17】

ピクセル回路であって、
ピクセル電流を発光デバイスへ供給するトランジスタと、
前記トランジスタに電氣的に結合するものであり、予め定められたタイミングで時変電圧に結合し、前記時変電圧に基づいて電流を供給するストレージ・キャパシタと
を備えるピクセル回路。

【請求項 18】

請求項 17 に記載のピクセル回路であって、前記ストレージ・キャパシタが、プログラミング・データを供給するデータ線に結合され、プログラミング・サイクルの一部において前記データ線を介して前記時変電圧を受け取る、ピクセル回路。

20

【請求項 19】

請求項 18 に記載のピクセル回路であって、前記トランジスタがゲートと第 1 の端子と第 2 の端子とを有する駆動トランジスタであり、前記キャパシタが前記データ線と前記駆動トランジスタの前記ゲートとの間に結合する、ピクセル回路。

【請求項 20】

請求項 19 に記載のピクセルであって、前記駆動トランジスタの前記ゲートと前記駆動トランジスタの前記第 1 の端子及び前記第 2 の端子のうち的一方とを結合するスイッチ・トランジスタを備え、プログラミング・サイクル中、前記時変電圧が前記プログラミング電圧に達するまで、前記スイッチ・トランジスタはオンである、ピクセル。

30

【請求項 21】

請求項 17 に記載のピクセル回路であって、前記ストレージ・キャパシタが、電力供給線と前記発光デバイスとの間に結合され、駆動サイクル中に前記電力供給線を介して前記時変電圧を受け取る、ピクセル回路。

【請求項 22】

請求項 21 に記載のピクセル回路であって、前記トランジスタが、プログラミング・データを供給するデータ線と前記ストレージ・キャパシタとの間に結合するスイッチ・トランジスタである、ピクセル回路。

【請求項 23】

請求項 17 に記載のピクセルであって、前記キャパシタは複数の層を有するインター・デジタル型キャパシタである、ピクセル。

40

【請求項 24】

請求項 23 に記載のピクセル回路であって、前記発光デバイスは、電極及び O L E D 層を有する有機発光ダイオード (O L E D) デバイスであり、前記インター・デジタル型キャパシタの前記層の 1 つが前記電極に相互接続される、ピクセル回路。

【請求項 25】

請求項 24 に記載のピクセル回路であって、前記電極が透明電極であり、前記キャパシタの前記複数の層が、前記透明電極上の前記 O L E D 層からの光を覆うことなく前記透明電極の下に配される、ピクセル回路。

50

【請求項 26】

請求項 24 に記載のピクセル回路であって、ピクセル回路は、前記キャパシタの前記複数の層上に配列された前記電極および前記 O L E D 層を有するトップ・エミッション型ピクセル回路である、ピクセル回路。

【請求項 27】

ピクセル回路を動作させる方法であって、

プログラミング動作の第 1 のサイクルにおいて、ピクセル回路のストレージ・キャパシタへ供給された時変電圧を、基準電圧からプログラミング電圧に変えるステップであって、前記ストレージ・キャパシタは、発光デバイスを駆動する駆動トランジスタに電氣的に結合するものである、ステップと、

前記プログラミング動作の第 2 のサイクルにおいて、前記時変電圧を前記プログラミング電圧で維持するステップと

を含む方法。

【請求項 28】

請求項 27 に記載の方法であって、前記ピクセル回路が、前記ストレージ・キャパシタと前記駆動トランジスタの前記ゲート端子とに結合するスイッチ・トランジスタを備え、

前記第 1 のサイクルにおいて前記スイッチ・トランジスタをオンにするステップと、

前記第 2 のサイクルにおいて前記スイッチ・トランジスタをオフにするステップと

を含む方法。

【請求項 29】

ピクセル回路を動作させる方法であって、

プログラミング動作において、データ線からピクセル回路へプログラミング・データを供給するステップであって、前記ピクセル回路は、前記データ線に結合するトランジスタとストレージ・キャパシタとを含む、ステップと、

駆動動作において、発光デバイスをオンにするための時変電圧を、電力供給線を介して前記ピクセル回路の前記ストレージ・キャパシタへ供給するステップと

を含む方法。

【請求項 30】

請求項 29 に記載の方法であって、前記ピクセル回路がそれぞれの列及び行に配され、前記プログラミング動作において、前記ピクセルを連続してプログラミングする、方法。

【請求項 31】

電極及び O L E D 層を有する有機発光ダイオード (O L E D) デバイスと、

複数の層を有するインター・デジタル型キャパシタであって、前記 O L E D デバイスを動作させるために、前記 O L E D デバイスは前記複数の層上に配置され、前記インター・デジタル型キャパシタの前記層の 1 つは前記 O L E D デバイスの前記電極に相互接続される、インター・デジタル型キャパシタ

とを備えるピクセル回路。

【請求項 32】

請求項 31 に記載のピクセル回路であって、前記電極は透明電極であり、前記キャパシタの前記複数の層は、前記透明電極上の前記 O L E D 層からの光を覆うことなく前記透明電極の下に配される、ピクセル回路。

【請求項 33】

請求項 31 に記載のピクセル回路であって、ピクセル回路は、前記キャパシタの前記複数の層上に配された前記電極および前記 O L E D 層を有するトップ・エミッション型ピクセル回路である、ピクセル回路。

【請求項 34】

請求項 31 に記載のピクセル回路であって、前記キャパシタはランプ電圧と関連して電流源として作用する、ピクセル回路。

【発明の詳細な説明】**【技術分野】**

10

20

30

40

50

【 0 0 0 1 】

[0001] 本発明は、発光表示装置に関し、より具体的には、発光表示装置を駆動する方法及びシステムに関する。

【 背景技術 】

【 0 0 0 2 】

[0002] エレクトロルミネッセンス表示装置は、携帯電話、携帯情報端末 (P D A) などのような、多種多様なデバイス向けに開発されてきた。そのような表示装置としては、液晶表示装置 (L C D) 、電界放出表示装置 (F E D) 、プラズマ表示パネル (P D P) 、発光表示装置 (L E D) 等が挙げられる。特に、非晶質シリコン (a - S i) 、多結晶シリコン、有機体、又は他の駆動バックプレーンを備えたアクティブ・マトリックス有機発光ダイオード (A M O L E D) 表示装置は、実現可能な可撓性をもつての表示、低コストでの製造、高い解像度、及び広い視野角などの利点から、より一層魅力的になってきている。

10

【 0 0 0 3 】

[0003] 発光型表示装置 (emissive display) を駆動するのに用いられる 1 つの方法は、電流を用いて直接ピクセルをプログラミングするものである (例えば、電流駆動型の O L E D デバイス) 。しかしながら、O L E D の必要とするのは小電流であるが、大きい寄生容量と結合されると、A M O L E D 表示装置のプログラミングの整定時間を増加させる。更に、正確で一定の駆動電流を供給する外部ドライバを設計するのは困難である。高い開口率又はフィル・ファクタ (発光表示装置の面積と総ピクセル面積との比として定義される) を備え、高い表示品質を保証する高解像度の表示装置に対する需要がある。また、表示装置を有するデバイスのサイズ及び電力消費を低減することに対する需要がある。

20

【 0 0 0 4 】

[0004] 表示装置の寿命、画像の均一性、安定性、及び / 又は歩留まりを改善することができ、高解像度で安定した低電力表示装置を提供することができる、表示システム及びその動作方法を提供することが求められている。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

[0005] 本発明の 1 つの目的は、既存のシステムにおける不利な点の少なくとも 1 つを排除又は軽減する方法及びシステムを提供することである。

30

【 課題を解決するための手段 】

【 0 0 0 6 】

[0006] 本発明の実施形態の 1 つの態様によれば、表示システムを駆動するドライバが提供され、ドライバは、時間変動 (time-variant、時変) 電圧に結合して時変電圧を電流に変換する変換器を含むものであり、電流を表示システムへ供給する双方向電流源と、時変電圧の発生を制御するコントローラとを含む。

【 0 0 0 7 】

[0007] 本発明の実施形態の別の態様によればピクセル回路が提供され、ピクセル回路は、ピクセル電流を発光デバイスへ供給するトランジスタと、トランジスタに電氣的に結合し、予め定められたタイミングで時変電圧に結合して時変電圧に基づいて電流を供給するストレージ・キャパシタ (storage capacitor) とを含む。

40

【 0 0 0 8 】

[0008] 本発明の実施形態の更なる態様によれば、ピクセル回路を動作させる方法が提出され、方法は、プログラミング動作の第 1 のサイクルにおいて、ピクセル回路のストレージ・キャパシタであって、発光デバイスを駆動するための駆動トランジスタに電氣的に結合されるストレージ・キャパシタへ供給された時変電圧を、基準電圧からプログラミング電圧に変化させるステップと、プログラミング動作の第 2 のサイクルにおいて、時変電圧をプログラミング電圧で維持するステップとを含む。

【 0 0 0 9 】

50

[0009] 本発明の実施形態の更なる態様によれば、ピクセル回路を動作させる方法が提供され、方法は、プログラミング動作において、プログラミング・データを、データ線から、データ線に結合するトランジスタとストレージ・キャパシタとを含むピクセル回路へ供給するステップと、駆動動作において、発光デバイスをオンにする時変電圧を、電力供給線を通してピクセル回路のストレージ・キャパシタへ供給するステップとを含む。

【 0 0 1 0 】

[0010] 本発明の実施形態の更なる態様によればピクセル回路が提供され、ピクセル回路は、電極及びOLED層を有する有機発光ダイオード(OLED)デバイスと、OLEDデバイスを動作させるための複数の層を有するインター・デジタル型キャパシタ(inter-digitated capacitor)とを含み、OLEDデバイスは複数の層上に配置され、インター・デジタル型キャパシタの層の1つがOLEDの電極に相互接続される。 10

【 0 0 1 1 】

[0011] 本発明のこれら及び他の特徴は、添付の図面を参照する以下の記載からより明白になるであろう。

【図面の簡単な説明】

【 0 0 1 2 】

【図1】図1は、本開示の一実施形態による双方向電流源を示す。

【図2】図2は、図1の双方向電流源を備えた表示システムの一例を示す。

【図3】図3は、図1の双方向電流源を備えた表示システムの更なる一例を示す。

【図4】図4は、図1の双方向電流源を備えた表示システムの更なる一例を示す。 20

【図5】図5は、図1の双方向電流源を備えた表示システムの更なる一例を示す。

【図6A】図6Aは、図5の表示システムに適用可能な電流バイアス電圧プログラム型(current biased voltage programmed)ピクセル回路の一例を示す。

【図6B】図6Bは、図6Aのピクセル回路のタイミング図の一例を示す。

【図7A】図7Aは、図6Aのピクセル回路に関するシミュレーション結果を示す。

【図7B】図7Bは、図6Aのピクセル回路に関する更なるシミュレーション結果を示す。

【図8A】図8Aは、電流バイアス電圧プログラム型ピクセル回路の更なる一例を示す。

【図8B】図8Bは、図8Aのピクセル回路に関するタイミング図の一例を示す。

【図8C】図8Cは、図8Aのピクセル回路に関するタイミング図の別の例を示す。 30

【図9A】図9Aは、電流バイアス電圧プログラム型ピクセル回路の更なる一例を示す。

【図9B】図9Bは、図9Aのピクセル回路に関するタイミング図の一例を示す。

【図9C】図9Cは、図9Aのピクセル回路に関するタイミング図の別の例を示す。

【図10A】図10Aは、電流バイアス電圧プログラム型ピクセル回路の更なる一例を示す。

【図10B】図10Bは、図10Aのピクセル回路に関するタイミング図の一例を示す。

【図11A】図11Aは、電流バイアス電圧プログラム型ピクセル回路の更なる一例を示す。

【図11B】図11Bは、図11Aのピクセル回路のタイミング図の一例を示す。

【図12A】図12Aは、電流バイアス電圧プログラム型ピクセル回路を有する表示装置の一例を示す。 40

【図12B】図12Bは、図12Aの表示装置に関するタイミング図の一例を示す。

【図13A】図13Aは、電流バイアス電圧プログラム型ピクセル回路を有する表示装置の一例を示す。

【図13B】図13Bは、図13Aの表示装置に関するタイミング図の一例を示す。

【図14A】図14Aは、電流バイアス電圧プログラム型ピクセル回路の更なる一例を示す。

【図14B】図14Bは、図14Aのピクセル回路に関するタイミング図の一例を示す。

【図15A】図15Aは、電流バイアス電圧プログラム型ピクセル回路の更なる一例を示す。 50

【図 1 5 B】図 1 5 B は、図 1 5 A のピクセル回路に関するタイミング図の一例を示す。

【図 1 6】図 1 6 は、電流バイアス電圧プログラム型ピクセル回路を有する表示システムの更なる一例を示す。

【図 1 7 A】図 1 7 A は、電圧バイアス電流プログラム型 (voltage biased current programmed) ピクセル回路の一例を示す。

【図 1 7 B】図 1 7 B は、図 1 7 A のピクセル回路に関するタイミング図の一例を示す。

【図 1 8 A】図 1 8 A は、電圧バイアス電流プログラム型ピクセル回路の更なる一例を示す。

【図 1 8 B】図 1 8 B は、図 1 8 A のピクセル回路に関するタイミング図の一例を示す。

【図 1 9】図 1 9 は、電圧バイアス電流プログラム型ピクセル回路を有する表示システムの一例を示す。

【図 2 0 A】図 2 0 A は、双方向電流源が適用されるピクセル回路の一例を示す。

【図 2 0 B】図 2 0 B は、双方向電流源が適用されるピクセル回路の別の例を示す。

【図 2 1 A】図 2 1 A は、図 2 0 A ~ 図 2 0 B のピクセル回路に対するタイミング図の一例を示す。

【図 2 1 B】図 2 1 B は、図 2 0 A ~ 図 2 0 B のピクセル回路に対するタイミング図の別の例を示す。

【図 2 2】図 2 2 は、異なるプログラミング電圧に対する 1 つのサブフレームにおける図 2 0 A ~ 図 2 0 B のピクセル回路に関するシミュレーション結果 (O L E D 電流) を示すグラフを示す。

【図 2 3】図 2 3 は、図 2 0 A ~ 図 2 0 B のピクセル回路に関するシミュレーション結果 (平均電流) を示すグラフを示す。

【図 2 4】図 2 4 は、5 . 5 8 c m (2 . 2 インチ) Q V G A パネルの電力消費及び O L E D に使用される電力消費を示すグラフを示す。

【図 2 5】図 2 5 は、ボトム・エミッション型表示装置を駆動するためのキャパシタの実装の一例を示す。

【図 2 6】図 2 6 は、ボトム・エミッション型ピクセルのレイアウトの一例を示す。

【図 2 7】図 2 7 は、トップ・エミッション型表示装置を駆動するためのキャパシタの実装の一例を示す。

【図 2 8】図 2 8 は、容量性駆動に基づくデジタル・アナログ変換器 (D A C) の一例を示す。

【図 2 9】図 2 9 は、図 2 8 の D A C に関するタイミング図の一例を示す。

【図 3 0】図 3 0 は、容量性駆動に基づくデジタル・アナログ変換器 (D A C) の別の例を示す。

【図 3 1】図 3 1 は、図 3 0 の D A C に関するタイミング図の一例を示す。

【発明を実施するための形態】

【 0 0 1 3 】

[0012] 現在の好ましい実施形態の 1 又は複数が例として記載されている。特許請求の範囲において定義される本発明の範囲から逸脱することなく、多数の変形及び変更を行うことができることが、当業者には明白となるであろう。

【 0 0 1 4 】

[0013] 本発明の実施形態は、限定するものではないが、例えば、非晶質シリコン、多結晶シリコン、金属酸化物、従来の C M O S 、有機体、ナノ結晶 / 微晶質半導体、又はそれらの組合せを含む様々な製造技術を使用して製造され得る表示システムを使用して説明する。表示システムは、トランジスタ、キャパシタ、及び発光デバイスを有し得るピクセルを含む。トランジスタは、非晶質 S i 、微晶質 / ナノ結晶 S i 、多結晶 S i 、有機 / ポリマー材料及び関連するナノコンポジット、半導体酸化物、又はそれらの組合せを含む、様々な材料、システム、並びに技術で実施され得る。キャパシタは、金属 - 絶縁体 - 金属、及び金属 - 絶縁体 - 半導体を含む、様々な構造を有することができる。例えば、発光デバイスは O L E D であり得るが、それに限定されない。表示システムは、A M O L E D 表

10

20

30

40

50

示システムであり得るが、それに限定されない。

【 0 0 1 5 】

[0014] 本明細書では、「ピクセル回路」及び「ピクセル」は互換可能に使用されることがある。各トランジスタは、ゲート端子と2つの他の端子（第1及び第2の端子）とを有し得る。本明細書では、トランジスタの端子の一方、即ち、「第1の端子」（他方の端子、即ち、「第2の端子」）は、ドレイン端子（ソース端子）又はソース端子（ドレイン端子）に対応し得るが、それに限定されない。

【 0 0 1 6 】

[0015] 製造コストを低減するため、表示装置バックプレーンに使用される製造技術のほとんどは、1つのみのタイプのトランジスタを提供する。各タイプのトランジスタは本質的に一方向電流源に適しているので、ピクセル回路及び/又は周辺ドライバ回路が複雑になり、結果として、歩留まり、解像度、及び開口率が低下する。一方、全ての技術において容量が利用可能である。

10

【 0 0 1 7 】

[0016] 微分器/変換器を使用して時変電圧を電流に変換する電流駆動技術について記載する。本明細書では、キャパシタはランプ電圧を電流（例えば、DC電流）に変換するために使用される。図1を参照すると、容量に基づいて開発された電流源が示されている。図1の電流源10は、正電流及び負電流を供給することができる双方向電流源である。電流源10は、時変電圧を発生させる電圧発生器12及び駆動キャパシタ14を含む。電圧発生器12は、駆動キャパシタ14の一方の端子16に結合される。ノード「I o u t」は、駆動キャパシタ14の他方の端子18に結合される。この例では、ランプ電圧は電圧発生器12により発生する。実施形態において、用語「容量性電流源」、「容量性電流源ドライバ」、「容量性ドライバ」、及び「電流源」は、互換可能に使用され得る。実施形態において、用語「電圧発生器」及び「ランプ電圧発生器」は、互換可能に使用され得る。図1では、電流源10はランプ電圧発生器12を含むが、電流源10は、ランプ電圧を受け取る駆動キャパシタ14により形成されてもよい。

20

【 0 0 1 8 】

[0017] ノード「I o u t」は仮想接地であると仮定する。ランプ電圧は駆動キャパシタ14の端子16に印加され、それにより、駆動キャパシタ14を通してI o u tに至る固定電流が得られる。 $i(t) = C \cdot dV_R(t) / dt$ （C：容量、 $V_R(t)$ ：ランプ電圧）。ランプの傾斜の振幅及び符号は制御可能（変更可能）であり、それにより出力電流の値及び方向を変えることができる。また、駆動キャパシタ14の量により電流値を変えることができる。その結果、容量性電流源10に基づくデジタル化された容量を使用して、単純且つ有効な電流モード型アナログ・デジタル変換器（ADC）を開発することができ、それにより小型で低電力のドライバが得られる。また、これにより、製造技術とは無関係に、パネルに簡単に一体化することができる簡単なソース・ドライバが提供され、それにより表示装置の歩留まり及び簡索性が改善され、システム・コストが大幅に低減される。

30

【 0 0 1 9 】

[0018] 一例では、容量性電流源10を使用して、プログラミング電流を電流プログラム型ピクセル（例えば、OLEDピクセル）へ供給することができる。別の例では、容量性電流源10を使用して、ピクセル（例えば、図8～図16の電流バイアス電圧プログラム型ピクセル、及び図17～図19の電圧バイアス電流プログラム型ピクセル）のプログラミングを加速させるバイアス電流を供給することができる。更なる一例では、容量性電流源10を使用してピクセルを駆動することができる。容量性電流源10を用いた容量性駆動技術は、プログラミング/駆動の整定時間を改善するが、このことはより大型及び高解像度の表示装置に適しており、また結果として、後述するように、容量性電流源10を用いて低電力高解像度の発光型表示装置を実現することができる。容量性電流源10を用いた容量性駆動技術は、TFTのエージング（例えば、閾値電圧の変動）を補償し、結果として、後述するように、表示装置の均一性及び寿命を改善することができる。

40

50

【 0 0 2 0 】

[0019] 更なる一例では、容量性電流源 1 0 は、例えば、電流モード型 A D C と共に使用し、入力電流をデジタル信号に変換する電流モード型アナログ・デジタル変換器 (A D C) へ基準電流を供給することができる。更なる一例では、容量性駆動は、ランプ電圧及びキャパシタに基づいて電流を発生させるデジタル・アナログ変換器 (D A C) に使用されてもよい。

【 0 0 2 1 】

[0020] 図 2 を参照すると、容量性ドライバ 1 0 を備えた統合型表示システムの一例が示されている。図 2 の統合型表示システム 2 0 は、列及び行の形で配列された複数のピクセル 2 4 a ~ 2 4 d を有するピクセル・アレイ 2 2 と、ピクセルを選択するゲート・ドライバ 2 8 と、プログラミング電流を選択されたピクセルへ供給するソース・ドライバ 2 7 とを含む。

10

【 0 0 2 2 】

[0021] ピクセル 2 4 a ~ 2 4 d は電流プログラム型ピクセル回路である。各ピクセルは、例えば、ストレージ・キャパシタ、駆動トランジスタ、スイッチ・トランジスタ (又は駆動及びスイッチング・トランジスタ) 、並びに発光デバイスを含む。図 2 では、4 つのピクセルが示されているが、ピクセル・アレイ 2 2 のピクセルの数は 4 つに限定されず、異なってもよいことが当業者には理解されるであろう。ピクセル・アレイ 2 2 は、電流バイアス電圧プログラム型 (C B V P) ピクセル (例えば、図 8 ~ 図 1 6) 又は電圧バイアス電圧プログラム型 (V B C P) ピクセル (例えば、図 1 7 ~ 図 1 9) を含むことができ、ピクセルは電流及び電圧に基づいて動作する。C B V P 駆動技術及び V B C P 駆動技術は、A M O L E D 表示装置での使用に適しており、ピクセルの整定時間を向上させる。

20

【 0 0 2 3 】

[0022] 各ピクセルは、アドレス線 3 0 及びデータ線 3 2 に結合される。各アドレス線 3 0 は行内のピクセル間で共有される。各データ線 3 2 は列内のピクセル間で共有される。ゲート・ドライバ 2 8 は、アドレス線 3 0 を通してピクセル内のスイッチ・トランジスタのゲート端子を駆動する。ソース・ドライバ 2 7 は各列のための容量性ドライバ 1 0 を含む。容量性ドライバ 1 0 は対応する列のデータ線 3 2 に結合される。容量性ドライバ 1 0 はデータ線 3 2 を駆動する。コントローラ 2 9 は、表示アレイ 2 2 のプログラミング、校正、駆動、及び他の動作を制御およびスケジューリングするために提供される。コントローラ 2 9 は、ソース・ドライバ 2 7 及びゲート・ドライバ 2 8 の動作を制御する。各ランプ電圧発生器 1 2 は校正されることができる。表示システム 2 0 では、駆動キャパシタ 1 4 は、例えば、表示装置の縁部に実装される。

30

【 0 0 2 4 】

[0023] ランプ電圧の供給の開始時に、容量 (駆動キャパシタ 1 4) は電圧源として作用し、データ線 3 2 の電圧を調節する。データ線 3 2 の電圧が特定の適正電圧に達した後、データ線 3 2 は仮想接地 (図 1 の「 I o u t 」) として作用する。従って、この時点の後、容量は一定電流を供給する電流源として作用することになる。この二元性により高速で整定されるプログラミングがもたらされる。

40

【 0 0 2 5 】

[0024] 図 2 では、ピクセルの駆動キャパシタ 1 4 及びストレージ・キャパシタは、別個に割り付けられる。しかしながら、駆動キャパシタ 1 4 は、図 3 に示されるようにピクセルのストレージ・キャパシタと共有されてもよい。

【 0 0 2 6 】

[0025] 図 3 を参照すると、図 1 の容量性ドライバ 1 0 を備えた統合型表示システムの別の例が示されている。図 3 の統合型表示システム 4 0 は、列及び行の形で配列された複数のピクセル 4 4 a ~ 4 4 d を有するピクセル・アレイ 4 2 を含む。ピクセル 4 4 a ~ 4 4 d は電流プログラム型ピクセル回路であり、図 2 のピクセル 2 4 a ~ 2 4 d と同じであり得る。図 3 では、4 つのピクセルが示されているが、ピクセル・アレイ 4 2 内のピクセル

50

ルの数は４つに限定されず、別の数でもよいことが当業者には理解されるであろう。各ピクセルは、例えば、ストレージ・キャパシタ、駆動トランジスタ、スイッチ・トランジスタ（又は駆動及びスイッチング・トランジスタ）、並びに発光デバイスを含む。例えば、ピクセル・アレイ４２は図６Ａのピクセルを含むことができ、ピクセルはプログラミング電圧及び電流バイアスに基づいて動作する。

【００２７】

〔００２６〕各ピクセルは、アドレス線５０及びデータ線５２に結合される。各アドレス線５０は行内のピクセル間で共有される。ゲート・ドライバ４８は、アドレス線５０を通してピクセル内のスイッチ・トランジスタのゲート端子を駆動する。各データ線５２は列内のピクセル間で共有され、列内の各ピクセルのキャパシタ４６に結合される。列内の各ピクセルのキャパシタ４６は、データ線５２を通してランプ電圧発生器１２に結合される。ソース・ドライバ４７はランプ電圧発生器１２を含む。ランプ電圧発生器１２は各列に割り付けられる。コントローラ４９は、表示アレイ４２のプログラミング、校正、駆動、及び他の動作の制御およびスケジューリングのために提供される。コントローラ４９は、ゲート・ドライバ４８と、ランプ電圧発生器１２を有するソース・ドライバ４７とを制御する。表示システム４０では、ピクセルのキャパシタ４６は、ピクセルのストレージ・キャパシタとして作用し、また、駆動容量（図１のキャパシタ１４）としても作用する。

【００２８】

〔００２７〕図４を参照すると、図１の容量性ドライバ１０を備えた統合型表示システムの更なる一例を示す。図４の統合型表示システム６０は、列及び行の形で配列された複数のピクセル６４ａ～６４ｄを有するピクセル・アレイ６２を含む。図４では、４つのピクセルが示されているが、ピクセル・アレイ６２内のピクセルの数は４つに限定されず、他の数としてもよいことが当業者には理解されるであろう。ピクセル６４ａ～６４ｄは、それぞれがアドレス線７０、データ線７２、及び電流バイアス線７４に結合するＣＢＶＰピクセル回路である。ピクセル・アレイ６２は図８～図１６のＣＢＶＰピクセルを含むことができる。

【００２９】

〔００２８〕各アドレス線７０は行内のピクセル間で共有される。ゲート・ドライバ６８は、アドレス線７０を通してピクセルのスイッチ・トランジスタのゲート端子を駆動する。各データ線７２は、列のピクセル間で共有され、プログラミング・データを供給するためにソース・ドライバ６７に結合する。ソース・ドライバ６７はバイアス電圧（例えば、図６の V_{dd} ）を更に供給することができる。各バイアス線７４は列のピクセル間で共有される。駆動キャパシタ１４は、各列に割り付けられ、バイアス線７４及びランプ電圧発生器１２に結合される。ランプ電圧発生器１２は１つより多い列により共有される。コントローラ６９は、表示アレイ６２のプログラミング、校正、駆動、及び他の動作の制御およびスケジューリングのために提供される。コントローラ６９は、ソース・ドライバ６７、ゲート・ドライバ６８、及びランプ電圧発生器１２を制御する。表示システム６０では、容量性電流源はパネルの周辺に簡単に置くことができ、それにより実装コストが低減される。図４では、ランプ電圧発生器１２はソース・ドライバ６７とは別個に示されている。しかしながら、ソース・ドライバ６７はランプ電圧を供給することができる。

【００３０】

〔００２９〕ＣＢＶＰピクセル回路を有する表示システムは、電圧を使用して様々なグレー・スケール（電圧プログラミング）を提供し、バイアスを使用して、プログラミングを加速させると共に、閾値電圧シフト及びＯＬＥＤ電圧シフトなどのようなピクセルの時間依存性パラメータを補償する。ＣＢＶＰピクセル回路を有する表示アレイを駆動するドライバは、ピクセル輝度データを電圧に変換する。ＣＢＶＰ駆動方式に従って、オーバードライブ電圧が発生し、閾値電圧及びＯＬＥＤ電圧とは独立して駆動トランジスタに供給される。ピクセル素子（１又は複数）の特性（１又は複数）のシフト（例えば、表示装置の長時間動作による駆動トランジスタの閾値電圧のシフトや発光デバイスの劣化など）は、ストレージ・キャパシタに蓄積された電圧により、その電圧を駆動トランジスタのゲートに

印加することにより、補償される。従って、ピクセル回路は、シフトの影響なしに発光デバイスを介して安定した電流を供給することができ、それにより表示装置の動作寿命が改善される。更に、回路が単純であるため、従来のピクセル回路よりも高い製品歩留まり、低い製造コスト、及び高い解像度が確実に得られる。ピクセル回路の整定時間は従来のピクセル回路よりもはるかに短いので、高精細度テレビジョンなどの大面積表示装置に適しているが、より小さい表示面積のものを除外するものではない。容量性駆動技術は、より大型且つ高解像度の表示装置に適したように整定時間を更に改善するために、C B V P 表示装置に適用可能である。

【 0 0 3 1 】

[0030] 容量性駆動技術は、C B V P 表示装置の電流バイアス線及び電圧データ線を共有する独特の機会を提供する。図 5 を参照すると、図 1 の容量性ドライバ 10 を備えた統合型表示システムの更なる一例が示されている。図 5 の統合型表示システム 80 は、列及び行の形で配列された複数のピクセル 84 a ~ 84 d を有するピクセル・アレイ 82 を含む。ピクセル 84 a ~ 84 d は C B V P ピクセル回路であり、図 4 のピクセル 64 a ~ 64 d と同じであり得る。図 5 では、4 つのピクセルが示されているが、ピクセル・アレイ 82 内のピクセルの数は 4 つに限定されず、別の数としてもよいことが当業者には理解されるであろう。各ピクセルは、アドレス線 90 及び電圧データ / 電流バイアス線 92 に結合される。

【 0 0 3 2 】

[0031] 各アドレス線 90 は行のピクセル間で共有される。ゲート・ドライバ 88 は、アドレス線 90 を通してピクセルのスイッチ・トランジスタのゲート端子を駆動する。各電圧データ / 電流バイアス線 92 は、列のピクセル間で共有され、列の各ピクセルのキャパシタ 86 に結合される。列の各ピクセルのキャパシタ 86 は、電圧データ / 電流バイアス線 92 を通してランプ電圧発生器 12 に結合される。ソース・ドライバ 87 はランプ電圧発生器 12 を有する。ランプ電圧発生器 12 は各列に割り付けられる。コントローラ 89 は、表示アレイ 82 のプログラミング、校正、駆動、及び他の動作の制御およびスケジューリングのために提供される。コントローラ 89 は、ゲート・ドライバ 88 と、ランプ電圧発生器 12 を有するソース・ドライバ 87 とを制御する。データ電圧及びバイアス電流は、電圧データ / 電流バイアス線 92 を介して搬送される。表示システム 80 では、ピクセルのキャパシタ 86 は、ピクセルのストレージ・キャパシタとして作用し、また、駆動容量 (図 1 のキャパシタ 14) としても作用する。

【 0 0 3 3 】

[0032] 図 6 A を参照すると、図 5 のピクセルに適用可能な C B V P ピクセル回路の一例が示されている。図 6 のピクセル回路 C B V P 01 は、駆動トランジスタ 102、スイッチ・トランジスタ 104、発光デバイス 106、及びキャパシタ 108 を含む。図 6 A では、トランジスタ 102 及び 104 は p 型トランジスタであるが、当業者であれば、n 型トランジスタを有する C B V P ピクセルも図 5 のピクセルとして適用可能であることを理解するであろう。

【 0 0 3 4 】

[0033] 駆動トランジスタ 102 のゲート端子は B 01 でキャパシタ 108 に結合される。駆動トランジスタ 102 の第 1 及び第 2 の端子のうちの一方は電源 (V d d) 110 に結合され、他方はノード A 01 で発光デバイス 106 に結合される。発光デバイス 106 は電源 (V s s) 112 に結合される。スイッチ・トランジスタ 104 のゲート端子はアドレス線 S E L に結合される。スイッチ・トランジスタ 104 の第 1 及び第 2 の端子のうちの一方は駆動トランジスタ 102 のゲートに結合され、他方は A 01 で発光デバイス 106 及び駆動トランジスタ 102 に結合される。キャパシタ 108 は、データ線 V d a t a と駆動トランジスタ 102 のゲート端子との間に結合される。キャパシタ 108 はストレージ・キャパシタとして、容量性電流源 (図 1 の 14) はドライバ・エレメントとして、作用する。

【 0 0 3 5 】

【0034】キャパシタ108は図5のキャパシタ86に対応する。アドレス線SELは、図5のアドレス線90に対応する。データ線Vdataは、図5の電圧データ/電流バイアス線92に対応し、ランプ電圧発生器(図1の12)に結合される。図5のソース・ドライバ87は、データ線Vdataに作用して、バイアス信号及びプログラミング・データ(Vp)をピクセルに供給する。

【0036】

【0035】図6Aでは、ランプ電圧はバイアス電流を伝送するために使用され、ランプの初期電圧(Vref1 - Vp)は、図6Bに示されているように、プログラミング電圧をピクセル回路CBVP01へ送るために使用される。

【0037】

【0036】図6A及び図6Bを参照すると、ピクセル回路CBVP01の動作サイクルはプログラミング・サイクル120及び駆動サイクル126を含む。駆動トランジスタ102に結合された電源Vddは、プログラミング・サイクル120中は低レベルである。プログラミング・サイクル120の初期段階122では、ランプ電圧がデータ線Vdataに供給される。Vdataの電圧は、(Vref1 - Vp)からVpへと移行する。ここで、Vpはピクセルをプログラミングするためのプログラミング電圧であり、Vref1は基準電圧である。初期段階122中、アドレス線SELは低電圧に設定されるので、スイッチ・トランジスタ104がオンになる。初期段階122中、キャパシタ108は電流源として作用する。ノードA01の電圧はVB_{T1}へと移行する。ここで、VBはT1の特性の関数である(T1:駆動トランジスタ102)。ノードB01の電圧はVB_{T1} + Vr_{T2}へと移行する。ここで、Vr_{T2}はT2の電圧降下である(T2:スイッチ・トランジスタ104)。

【0038】

【0037】初期段階122後の次の段階124では、Vdataの電圧はVpのままであり、アドレス線SELは高レベルへと移行して、スイッチ・トランジスタ104がオフになる。段階124中は、キャパシタ108はストレージ・エレメントとして作用する。駆動サイクル126中、データ線VdataはVref2へと移行し、フレームの残りの部分の間はVref2にとどまる。

【0039】

【0038】Vref1は、バイアス電流Ibiasのレベルを定めるものであり、例えば、TFT、OLED、および表示装置の特性及び仕様に応じて決定される。Vref2はVref1及びピクセル特性の関数である。

【0040】

【0039】図7A~図7Bを参照すると、図6Bの動作を使用した図6Aのピクセル回路に関するシミュレーション結果を示すグラフが示されている。図7Aでは、「ΔVT」は駆動トランジスタ閾値VTの変動を表し、「μ」は移動度(cm²N・s)を表す。図7A~図7Bに示されているように、駆動トランジスタ閾値VT及び移動度の変動に関わらず、ピクセル電流は全てのグレー・スケールに対して安定している。

【0041】

【0040】図8~図16を参照すると、図2~図5のピクセル・アレイを形成し得るCBVPピクセル回路の例が示されている。図8~図16では、電流バイアス線(「Ibias」又は「IBIAS」)は、対応するピクセルへバイアス電流を供給する。図1の容量性ドライバ10は、定バイアス電流を電流バイアス線へ供給し得る。CBVPピクセル、表示システム、及び動作の例は、米国特許出願公開US2006/0125408及びPCT国際出願公開WO2009/127065に開示されており、それらを参照により本明細書に組み込む。

【0042】

【0041】図8Aのピクセル回路CBVP02は、OLED210、ストレージ・キャパシタ212、駆動トランジスタ214、並びにスイッチ・トランジスタ216及び218を含む。トランジスタ214、216、及び218はn型TFTトランジスタである。

当業者であれば、ピクセル回路 C B V P 0 2 に対して相補的であり p 型トランジスタを有する回路について理解するであろう。2つの選択線 S E L 1 及び S E L 2、信号線 V D A T A、バイアス線 I B I A S、電圧供給線 V D D、及び共通接地 (common ground、コモン・グラウンド) は、ピクセル回路 C B V P 0 2 に結合される。図 8 A では、共通接地は O L E D の上部電極用である。共通接地はピクセル回路の一部ではなく、O L E D 2 1 0 が形成される最終段階で形成される。トランジスタ 2 1 4 及び 2 1 6 並びにストレージ・キャパシタ 2 1 2 はノード A 1 1 に接続される。O L E D 2 1 0、ストレージ・キャパシタ 2 1 2、並びにトランジスタ 2 1 4 及び 2 1 8 はノード B 1 1 に接続される。

【 0 0 4 3 】

[0042] 駆動トランジスタ 2 1 4 のゲート端子は、スイッチ・トランジスタ 2 1 6 及びキャパシタ 2 1 2 を介して信号線 V D A T A に接続される。駆動トランジスタ 2 1 4 の第 1 及び第 2 の端子のうちの一方は電圧供給線 V D D に接続され、他方は B 1 1 で O L E D 2 1 0 のアノード電極に接続される。ストレージ・キャパシタ 2 1 2 は、駆動トランジスタ 2 1 4 のゲート端子と O L E D 2 1 0 との間、即ち、A 1 1 と B 1 1 との間に接続される。スイッチ・トランジスタ 2 1 6 のゲート端子は第 1 の選択線 S E L 1 に接続される。スイッチ・トランジスタ 2 1 6 の第 1 及び第 2 の端子のうちの一方は信号線 V D A T A に接続され、他方は A 1 1 で駆動トランジスタ 2 1 4 のゲート端子に接続される。スイッチ・トランジスタ 2 1 8 のゲート端子は第 2 の選択線 S E L 2 に接続される。スイッチ・トランジスタ 2 1 8 の第 1 及び第 2 の端子のうちの一方は、B 1 1 で O L E D 2 1 0 のアノード電極とストレージ・キャパシタ 2 1 2 とに接続され、他方はバイアス線 I B I A S に接続される。O L E D 2 1 0 のカソード電極は共通接地に接続される。

【 0 0 4 4 】

[0043] ピクセル回路 C B V P 0 2 の動作は、複数のプログラミング・サイクルを有するプログラミング段階と、1つの駆動サイクルを有する駆動段階とを含む。プログラミング段階中、ノード B 1 1 は駆動トランジスタ 2 1 4 の負の閾値電圧に荷電され、ノード A 1 1 はプログラミング電圧 V P に荷電される。

【 0 0 4 5 】

[0044] その結果、駆動トランジスタ 2 1 4 のゲート・ソース電圧は次式のようにになる。

【 0 0 4 6 】

$$V G S = V P - (- V T) = V P + V T \quad (1)$$

【 0 0 4 7 】

ここで、V G S は駆動トランジスタ 2 1 4 のゲート・ソース電圧を表し、V T は駆動トランジスタ 2 1 4 の閾値電圧を表す。この電圧は、駆動段階ではキャパシタ 2 1 2 に留まり、それにより、駆動段階において所望の電流が O L E D 2 1 0 に流れる。

【 0 0 4 8 】

[0045] 図 8 B を参照すると、図 8 A のピクセル回路 C B V P 0 2 に適用される 1 つの例示的な動作プロセスが示されている。図 8 B では、「V n o d e B」は図 8 A のノード B 1 1 における電圧を表し、「V n o d e A」は図 8 A のノード A 1 1 における電圧を表し、「V S E L 1」は図 8 A の S E L 1 に対応し、「V S E L 2」は図 8 A の S E L 2 に対応する。プログラミング段階は 2 つの動作サイクル X 1 1、X 1 2 を有し、駆動段階は 1 つの動作サイクル X 1 3 を有する。

【 0 0 4 9 】

[0046] 第 1 の動作サイクル X 1 1 : 選択線 S E L 1 及び S E L 2 は両方とも高レベルである。バイアス電流 I B はバイアス線 I B I A S を流れ、V D A T A はバイアス電圧 V B になる。

【 0 0 5 0 】

[0047] その結果、ノード B 1 1 の電圧は次式のようなである。

【 0 0 5 1 】

10

20

30

40

【数 1】

$$V_{nodeB} = VB - \sqrt{\frac{IB}{\beta}} - VT \quad (2)$$

【0052】

ここで、 V_{nodeB} はノード B 11 の電圧を表し、 VT は駆動トランジスタ 214 の閾値電圧を表し、 β は、 $ID S = \beta (VGS - VT)^2$ により与えられる TFT の電流 - 電圧 ($I - V$) 特性の係数を表す。 $ID S$ は駆動トランジスタ 214 のドレイン・ソース電流を表す。

【0053】

[0048] 第 2 の動作サイクル X 12 : $SEL 2$ は低レベル、 $SEL 1$ は高レベルであるとき、 $VDATA$ はプログラミング電圧 VP となる。 $OLED 210$ の容量 211 が大きいので、前のサイクルで発生したノード B 11 の電圧はそのままである。

【0054】

[0049] 従って、駆動トランジスタ 214 のゲート・ソース電圧は次式のようにになる。

【0055】

$$VGS = VP + \Delta VB + VT \quad (3)$$

【0056】

【数 2】

$$\Delta VB = \sqrt{\frac{IB}{\beta}} - VB \quad (4)$$

【0057】

[0050] VB が (4) に基づいて適正に選ばれたとき、 ΔVB はゼロである。駆動トランジスタ 214 のゲート・ソース電圧、即ち、 $VP + VT$ は、ストレージ・キャパシタ 212 に蓄積される。

【0058】

[0051] 第 3 の動作サイクル X 13 : $IBIAS$ は低レベルになり、 $SEL 1$ はゼロになる。ストレージ・キャパシタ 212 に蓄積された電圧は、駆動トランジスタ 214 のゲート端子に印加される。駆動トランジスタ 214 はオンである。駆動トランジスタ 214 のゲート・ソース電圧は、ストレージ・キャパシタ 212 に蓄積された電圧を上回るようになる。従って、 $OLED 210$ を流れる電流は、駆動トランジスタの閾値電圧及び $OLED$ の特性のシフトとは無関係になる。

【0059】

[0052] 図 8 C を参照すると、図 8 A のピクセル回路 $CBVP 02$ に適用される更なる例示的な動作プロセスが示されている。図 8 C では、「 V_{nodeB} 」は図 8 A のノード B 11 の電圧を表し、「 V_{nodeA} 」は図 8 A のノード A 11 の電圧を表し、「 $VSEL 1$ 」は図 8 A の $SEL 1$ に対応し、「 $VSEL 2$ 」は図 8 A の $SEL 2$ に対応する。プログラミング段階は 2 つの動作サイクル X 21、X 22 を有し、駆動段階は 1 つの動作サイクル X 23 を有する。第 1 の動作サイクル X 21 は図 8 B の第 1 の動作サイクル X 11 と同じである。第 3 の動作サイクル X 23 は図 8 B の第 3 の動作サイクル X 13 と同じである。図 8 C では、選択線 $SEL 1$ 及び $SEL 2$ は同じタイミングを有する。従って、 $SEL 1$ と $SEL 2$ は共通の選択線に接続され得る。

【0060】

[0053] 第 2 の動作サイクル X 22 : $SEL 1$ 及び $SEL 2$ は高レベルである。スイッチ・トランジスタ 218 はオンである。 $IBIAS$ を流れるバイアス電流 IB はゼロである。

【0061】

[0054] 駆動トランジスタ 214 のゲート・ソース電圧は、上述したように、 $VGS = VP + VT$ となることことができる。駆動トランジスタ 214 のゲート・ソース電圧、即ち、

10

20

30

40

50

V P + V T は、ストレージ・キャパシタ 2 1 2 に蓄積される。

【 0 0 6 2 】

[0055] 図 9 A のピクセル回路 C B V P 0 3 は、図 8 A のピクセル回路 C B V P 0 2 に対して相補的であり、p 型トランジスタを有する。ピクセル回路 C B V P 0 3 は、O L E D 2 2 0、ストレージ・キャパシタ 2 2 2、駆動トランジスタ 2 2 4、並びにスイッチ・トランジスタ 2 2 6 及び 2 2 8 を含む。トランジスタ 2 2 4、2 2 6、及び 2 2 8 は p 型トランジスタである。2 つの選択線 S E L 1 及び S E L 2、信号線 V D A T A、バイアス線 I B I A S、電圧供給線 V D D、及び共通接地はピクセル回路 C B V P 0 3 に結合される。

【 0 0 6 3 】

[0056] トランジスタ 2 2 4 及び 2 2 6、並びにストレージ・キャパシタ 2 2 2 は A 1 2 で接続される。O L E D 2 2 0 のカソード電極、ストレージ・キャパシタ 2 2 2、並びにトランジスタ 2 2 4 及び 2 2 8 は、B 1 2 で接続される。O L E D カソードはピクセル回路 C B V P 0 3 の他のエレメントに接続されるので、これにより任意の O L E D 製造との統合が確実になされる。

【 0 0 6 4 】

[0057] 図 9 B ~ 図 9 C を参照すると、図 9 A のピクセル回路 C B V P 0 3 に適用される例示的な動作プロセスが示されている。図 9 B は図 8 B に対応する。図 9 C は図 8 C に対応する。図 9 B ~ 図 9 C の C B V P 駆動方式は、図 8 B ~ 図 8 C のものに似た I B I A S 及び V D A T A を使用する。

【 0 0 6 5 】

[0058] 図 1 0 A のピクセル回路 C B V P 0 4 は、O L E D 2 3 0、ストレージ・キャパシタ 2 3 2 及び 2 3 3、駆動トランジスタ 2 3 4、並びにスイッチ・トランジスタ 2 3 6、2 3 8、及び 2 4 0 を含む。トランジスタ 2 3 4、2 3 6、2 3 8、及び 2 4 0 は n 型 T F T トランジスタである。当業者であれば、ピクセル回路 C B V P 0 4 に対して相補的であり、p 型トランジスタを有する回路について理解するであろう。選択線 S E L、信号線 V D A T A、バイアス線 I B I A S、電圧線 V D D、及び共通接地は、ピクセル回路 C B V P 0 4 に結合される。O L E D 2 3 0、トランジスタ 2 3 4、2 3 6 及び、2 4 0 は、ノード A 2 1 で接続される。ストレージ・キャパシタ 2 3 2、並びにトランジスタ 2 3 4 及び 2 3 6 はノード B 2 1 で接続される。

【 0 0 6 6 】

[0059] 駆動トランジスタ 2 3 4 の第 1 及び第 2 の端子のうちの一方は、A 2 1 で O L E D 2 3 0 のカソード電極に接続され、他方は接地電位に接続される。ストレージ・キャパシタ 2 3 2 及び 2 3 3 は直列であり、駆動トランジスタ 2 3 4 のゲートと接地との間、即ち、B 2 1 と接地との間に接続される。スイッチ・トランジスタ 2 3 6、2 3 8、及び 2 4 0 のゲート端子は選択線 S E L に接続される。スイッチ・トランジスタ 2 3 6 の第 1 及び第 2 の端子のうちの一方は、A 2 1 で O L E D 2 3 0 及び駆動トランジスタ 2 3 4 に接続され、他方は B 2 1 で駆動トランジスタ 2 3 4 のゲート端子に接続される。スイッチ・トランジスタ 2 3 8 の第 1 及び第 2 の端子のうちの一方は信号線 V D A T A に接続され、他方はストレージ・キャパシタ 2 3 2 及び 2 3 3 を接続する C 2 1 に接続される。スイッチ・トランジスタ 2 4 0 の第 1 及び第 2 の端子のうちの一方はバイアス線 I B I A S に接続され、他方は A 2 1 で O L E D 2 3 0 のカソード端子に接続される。O L E D 2 3 0 のアノード電極は V D D に接続される。

【 0 0 6 7 】

[0060] ピクセル回路 C B V P 0 4 の動作は、複数のプログラミング・サイクルを有するプログラミング段階と、1 つの駆動サイクルを有する駆動段階とを含む。プログラミング段階中、第 1 のストレージ・キャパシタ 2 3 2 は、プログラミング電圧 V P に駆動トランジスタ 2 3 4 の閾値電圧を加えた値に荷電され、第 2 のストレージ・キャパシタ 2 3 3 はゼロに荷電される。

【 0 0 6 8 】

[0061] その結果、駆動トランジスタ 2 3 4 のゲート・ソース電圧は次式のようになる。

【 0 0 6 9 】

$$VGS = VP + VT \quad (5)$$

【 0 0 7 0 】

ここで、VGS は駆動トランジスタ 2 3 4 のゲート・ソース電圧を表し、VT は駆動トランジスタ 2 3 4 の閾値電圧を表す。

【 0 0 7 1 】

[0062] 図 1 0 B を参照すると、図 1 0 A の 픽セル回路 CBVP04 に適用される 1 つの例示的な動作プロセスが示されている。プログラミング段階は 2 つの動作サイクル X 3 1、X 3 2 を有し、駆動段階は 1 つの動作サイクル X 3 3 を有する。

【 0 0 7 2 】

[0063] 第 1 の動作サイクル X 3 1 : 選択線 SEL は高レベルである。バイアス電流 IB はバイアス線 IBIAS を流れ、VDATA は VB - VP になる。ここで、VP はプログラミング電圧であり、VB は次式により与えられる。

【 0 0 7 3 】

【 数 3 】

$$VB = \sqrt{\frac{IB}{\beta}} \quad (6)$$

【 0 0 7 4 】

[0064] その結果、第 1 のキャパシタ 2 3 2 に蓄積される電圧は次式のようになる。

【 0 0 7 5 】

$$VC1 = VP + VT \quad (7)$$

【 0 0 7 6 】

ここで、VC1 は第 1 のストレージ・キャパシタ 2 3 2 に蓄積される電圧を表し、VT は駆動トランジスタ 2 3 4 の閾値電圧を表し、 β は $ID S = \beta (VGS - VT)^2$ により与えられる TFT の電流 - 電圧 (I - V) 特性の係数を表す。IDS は駆動トランジスタ 2 3 4 のドレイン・ソース電流を表す。

【 0 0 7 7 】

[0065] 第 2 の動作サイクル X 3 2 : SEL は高レベル、VDATA はゼロであるとき、IBIAS はゼロになる。OLED 2 3 0 の容量 2 3 1 及びバイアス線 IBIAS の寄生容量が大きいので、前のサイクルで発生したノード B 2 1 の電圧及びノード A 2 1 の電圧は不変である。

【 0 0 7 8 】

[0066] 従って、駆動トランジスタ 2 3 4 のゲート・ソース電圧は次式のように見出すことができる。

【 0 0 7 9 】

$$VGS = VP + VT \quad (8)$$

【 0 0 8 0 】

ここで、VGS は駆動トランジスタ 2 3 4 のゲート・ソース電圧を表す。駆動トランジスタ 2 3 4 のゲート・ソース電圧はストレージ・キャパシタ 2 3 2 に蓄積される。

【 0 0 8 1 】

[0067] 第 3 の動作サイクル X 3 3 : IBIAS はゼロになる。SEL はゼロになる。ノード C 2 1 の電圧はゼロになる。ストレージ・キャパシタ 2 3 2 に蓄積された電圧は、駆動トランジスタ 2 3 4 のゲート端子に印加される。駆動トランジスタ 2 3 4 のゲート・ソース電圧は、ストレージ・キャパシタ 2 3 2 に蓄積された電圧を上回るようになる。駆動トランジスタ 2 3 4 の電流が主にそのゲート・ソース電圧により定められることを考慮すると、OLED 2 3 0 を流れる電流は、駆動トランジスタ 2 3 4 の閾値電圧及び OLED の特性のシフトとは無関係になる。

10

20

30

40

50

【 0 0 8 2 】

[0068] 図 1 1 A のピクセル回路 C B V P 0 5 は、図 1 0 A のピクセル回路 C B V P 0 4 に対して相補的であり、p 型トランジスタを有する。ピクセル回路 C B V P 0 5 は、O L E D 2 5 0、ストレージ・キャパシタ 2 5 2 及び 2 5 3、駆動トランジスタ 2 5 4、並びにスイッチ・トランジスタ 2 5 6、2 5 8、及び 2 6 0 を含む。トランジスタ 2 5 4、2 5 6、2 5 8、及び 2 6 0 は p 型トランジスタである。2 つの選択線 S E L 1 及び S E L 2、信号線 V D A T A、バイアス線 I B I A S、電圧供給線 V D D、及び共通接地は、ピクセル回路 C B V P 0 5 に結合される。共通接地は図 8 A のものと同じであり得る。

【 0 0 8 3 】

[0069] O L E D 2 5 0 のアノード電極、トランジスタ 2 5 4、2 5 6、及び 2 6 0 は、ノード A 2 2 で接続される。ストレージ・キャパシタ 2 5 2、並びにトランジスタ 2 5 4 及び 2 5 6 は、ノード B 2 2 で接続される。スイッチ・トランジスタ 2 5 8、並びにストレージ・キャパシタ 2 5 2 及び 2 5 3 は、ノード C 2 2 で接続される。

【 0 0 8 4 】

[0070] 図 1 1 B を参照すると、図 1 1 A のピクセル回路 C B V P 0 5 が適用される 1 つの例示的な動作プロセスが示されている。図 1 1 B は図 1 0 B に対応する。図 1 1 B に示されるように、図 1 1 B の C B V P 駆動方式は、図 1 0 B のものに類似した I B I A S 及び V D A T A を使用する。

【 0 0 8 5 】

[0071] 図 1 2 A の C B V P ピクセル回路を有する表示装置は、図 1 0 A のピクセル回路 C B V P 0 4 に基づくものであり、O L E D 2 7 0、ストレージ・キャパシタ 2 7 2 及び 2 7 4、並びにトランジスタ 2 7 6、2 7 8、2 8 0、2 8 2、及び 2 8 4 を含む。トランジスタ 2 7 6 は駆動トランジスタである。トランジスタ 2 7 8、2 8 0、及び 2 8 4 はスイッチ・トランジスタである。トランジスタ 2 7 6 及び 2 8 0、並びにストレージ・キャパシタ 2 7 2 はノード A 3 1 で接続される。トランジスタ 2 8 2 及び 2 8 4、並びにストレージ・キャパシタ 2 7 2 及び 2 7 4 は B 3 1 で接続される。トランジスタ 2 7 8、2 8 0、及び 2 8 2 のゲート端子は、n 番目の行に対するアドレス線 S E L [n] に結合され、スイッチ・トランジスタ 2 8 4 のゲート端子は、(n + 1) 番目の行に対するアドレス線 S E L [n + 1] に結合される。トランジスタ 2 7 6、2 7 8、2 8 0、2 8 2、及び 2 8 4 は、n 型 T F T トランジスタである。当業者であれば、図 1 2 A のピクセル回路に対して相補的であり、p 型トランジスタを有する回路について理解するであろう。当業者であれば、図 1 2 A に適用される駆動技術は相補的なピクセル回路に適用可能であることを理解するであろう。図 1 2 A では、2 つの行及び 1 つの列と関連したエレメントが示されている。図 1 2 A の表示装置は、2 つより多い行及び 1 つより多い列を含み得る。

【 0 0 8 6 】

[0072] 図 1 2 B を参照すると、図 1 2 A の表示装置に適用される 1 つの例示的な動作プロセスが示されている。図 1 2 B では、「プログラミング・サイクル [n]」は、表示装置の行 [n] に対するプログラミング・サイクルを表す。プログラミング時間は、2 つの連続する行 (n 及び n + 1) で共有される。n 番目の行のプログラミング・サイクル中、S E L [n] は高レベルであり、バイアス電流 I B はトランジスタ 2 7 8 及び 2 8 0 を流れている。ノード A 3 1 の電圧は $(I B / \beta) 1 / 2 + V T$ へと自己調節され、一方、ノード B 3 1 の電圧はゼロであり、ここで、V T は、駆動トランジスタ 2 7 6 の閾値電圧を表し、 β は、 $I D S = \beta (V G S - V T)^2$ により与えられる T F T の電流 - 電圧 (I - V) 特性の係数を表し、I D S は駆動トランジスタ 2 7 6 のドレイン・ソース電流を表す。

【 0 0 8 7 】

[0073] (n + 1) 番目の行のプログラミング・サイクル中、V D A T A は V P - V B へと変化する。その結果、ノード A 3 1 の電圧は、 $V B = (I B / \beta) 1 / 2$ である場合には V P + V T へと変化する。一定電流が全てのピクセルに用いられるので、I B I A S

線は一貫して適切な電圧を有し、結果として、線を事前に荷電する必要はなく、プログラミング時間がより短くなると共に電力消費がより低くなる。更に重要なことには、 n 番目の行のプログラミング・サイクルの開始時に、ノードB31の電圧は $V_P - V_B$ からゼロへと変化する。従って、ノードA31の電圧は $(I_B / \beta) \cdot 1 / 2 + V_T$ へと変換し、これは、その最終値へと既に調節されているので、整定時間が速くなる。

【0088】

[0074] 図13AのCBVPピクセル回路を有する表示装置は、図11のピクセル回路CBVP05に基づくものであり、OLED 290、ストレージ・キャパシタ292及び294、並びにp型TFトランジスタ296、298、300、302、及び304を有する。トランジスタ296は駆動トランジスタである。トランジスタ298、300、及び304はスイッチ・トランジスタである。トランジスタ296及び300、並びにストレージ・キャパシタ292はノードA32で接続される。トランジスタ302及び304、並びにストレージ・キャパシタ292及び294はB32で接続される。トランジスタ296、298、及び200、並びにOLED 290はC32で接続される。トランジスタ298、300、及び302のゲート端子は、 n 番目の行に対するアドレス線SEL[n]に結合され、スイッチ・トランジスタ304のゲート端子は、 $(n+1)$ 番目の行に対するアドレス線SEL[n+1]に結合される。当業者であれば、図13Aのピクセル回路に対して相補的であり、 n 型トランジスタを有する回路について理解するであろう。当業者であれば、図13Aに適用される駆動技術は相補的なピクセル回路に適用可能であることを理解するであろう。図13Aでは、2つの行及び1つの列と関連付けられたエレメントが示されている。図13Aの表示装置は、2つより多い行及び1つより多い列を含むこともできる。駆動トランジスタ296は、OLED 290のアノード電極と電圧供給線VDDとの間に接続される。

【0089】

[0075] 図13Bを参照すると、図13Aの表示装置に適用される1つの例示的な動作プロセスが示されている。図13Bは図12Bに対応する。図13BのCBVP駆動方式は、図12Bのものに類似したIBIAS及びVDATAを使用する。

【0090】

[0076] 図14Aのピクセル回路CBVP06は、OLED 322、ストレージ・キャパシタ324、駆動トランジスタ326、並びにスイッチ・トランジスタ328及び330を含む。トランジスタ326、328、及び330はp型TFトランジスタである。当業者であれば、図14Aのピクセル回路に対して相補的であり、 n 型トランジスタを有する回路について理解するであろう。当業者であれば、図14Aに適用された駆動技術は相補的なピクセル回路に適用可能であることを理解するであろう。選択線SEL、信号線Vdata、バイアス線Ibias、及び電圧供給線Vddは、ピクセル回路CBVP06に接続される。バイアス線Ibiasは、寿命、電力、及びデバイスの性能及び均一性などのような表示装置の仕様に基づいて規定されるバイアス電流(Ibias)を供給する。

【0091】

[0077] 駆動トランジスタ326の第1及び第2の端子のうちの一方は電圧供給線Vddに接続され、他方はノードB40でOLED 322に接続される。キャパシタ324の一方の端子は信号線Vdataに接続され、他方の端子はノードA40で駆動トランジスタ326のゲート端子に接続される。スイッチ・トランジスタ328及び330のゲート端子は選択線SELに接続される。スイッチ・トランジスタ328はA40とB40の間に接続される。スイッチ・トランジスタ330はB40とバイアス線Ibiasの間に接続される。ピクセル回路CBVP06では、全ての空間的及び時間的な不均一性を補償するために、予め定められた固定電流(Ibias)がトランジスタ330を介して供給され、様々なグレー・スケールに対して必要な様々な電流レベルに電流を分割するために電圧プログラミングが使用される。

【0092】

10

20

30

40

50

[0078] 図14Bを参照すると、図14Aのピクセル回路CBVP06に適用される1つの例示的な動作プロセスが示されている。動作プロセスは、プログラミング段階X61及び駆動段階X62を含む。図14BのVdata[j]は図14AのVdataに対応する。図14BのVp[k, j] (k = 1、2、・・・、n)はVdata[j]のk番目のプログラミング電圧を表す。ここで、「j」は列番号である。図14BのSEL[j] (j = 1、2、・・・)は、j番目の列に対する選択線(図14Aの「SEL」)を表す。

【0093】

[0079] プログラミング・サイクルX61中、SELは低レベルなので、スイッチ・トランジスタ328及び330はオンである。バイアス電流Ibiasは、バイアス線Ibiasを通してピクセル回路CBVP06へ印加され、駆動トランジスタ326のゲート端子は、全ての電流が駆動トランジスタ326のソース・ドレイン間を流れることができるように、自己調節される。このサイクルでは、Vdataは、ピクセルのグレー・スケールに関連するプログラミング電圧を有する。駆動サイクルX62中、スイッチ・トランジスタ328及び330はオフであり、電流は駆動トランジスタ326及びOLED 322を流れる。

【0094】

[0080] 図15Aのピクセル回路CBVP07は、OLED 342、ストレージ・キャパシタ344、並びにトランジスタ346、358、360、362、364、及び366を含む。トランジスタ346、358、360、362、364、及び366は、p型TFTトランジスタである。当業者であれば、図15Aのピクセル回路に対して相補的であり、n型トランジスタを有する回路について理解するであろう。当業者であれば、図15Aに適用される駆動技術は相補的なピクセル回路に適用可能であることを理解するであろう。1つの選択線SEL、信号線Vdata、バイアス線Ibias、電圧供給線Vdd、基準電圧線Vref、及び発光(emission)信号線EMは、ピクセル回路CBVP07に接続される。バイアス線Ibiasは、寿命、電力、及びデバイスの性能及び均一性などのような表示装置の仕様に基づいて定められるバイアス電流(Ibias)を供給する。基準電圧線Vrefは基準電圧(Vref)を供給する。基準電圧Vrefは、バイアス電流Ibiasと、グレー・スケール及び/又はコントラスト比を含み得る表示装置の仕様とに基づいて決定され得る。信号線EMは、ピクセル回路CBVP07をオンにする発光信号EMを供給する。ピクセル回路CBVP07は、発光信号EMに基づいて発光モードへと移行する。選択線SELは、トランジスタ358、360、及び362のゲート端子に接続される。選択線EMは、トランジスタ364及び366のゲート端子に接続される。トランジスタ346は駆動トランジスタである。トランジスタ358、360、362、364、及び366は、スイッチング・トランジスタである。

【0095】

[0081] トランジスタ362の第1及び第2の端子のうちの一方は基準電圧線Vrefに接続され、他方はノードA41でトランジスタ346のゲート端子に接続される。トランジスタ364の第1及び第2の端子のうちの一方はA41に接続され、他方はB41でキャパシタ344に接続される。トランジスタ358の第1及び第2の端子のうちの一方はVdataに接続され、他方はB41に接続される。トランジスタ366の第1及び第2の端子のうちの一方はVddに接続され、他方はC41でキャパシタ344及びトランジスタ346に接続される。トランジスタ360の第1及び第2の端子のうちの一方はIbiasに接続され、他方はC41でキャパシタ344及びトランジスタ346に接続される。トランジスタ346の第1及び第2の端子のうちの一方はOLED 342に接続され、他方はC41でキャパシタ344並びにトランジスタ366及び360に接続される。

【0096】

[0082] ピクセル回路CBVP07では、予め定められた固定電流(Ibias)はトランジスタ360を通して供給され、一方、基準電圧Vrefはトランジスタ362を介

10

20

30

40

50

してトランジスタ 346 のゲート端子に印加され、プログラミング電圧 V_P はトランジスタ 358 を介してストレージ・キャパシタ 344 の他方の端子（即ち、ノード B41）に印加される。ここで、トランジスタ 346 のソース電圧（即ち、ノード C41 の電圧）は、バイアス電流がトランジスタ 346 を流れることができ、結果として全ての空間的及び時間的な不均一性を補償することができるように、自己調節される。また、様々なグレー・スケールに必要な様々な電流レベルに電流を分割するために電圧プログラミングが使用される。

【0097】

[0083] 図 15B を参照すると、図 15A のピクセル回路 CBVP07 に適用される 1 つの例示的な動作プロセスが示されている。動作プロセスは、プログラミング段階 X71 及び駆動段階 X72 を含む。プログラミング・サイクル X71 中、SEL は低レベルなので、トランジスタ 358、360、及び 362 はオンであり、固定されたバイアス電流が Ibias 線に印加され、トランジスタ 346 のソースは、全ての電流がトランジスタ 346 のソース・ドレイン間を流れることができるように、自己調節される。このサイクルでは、Vdata はピクセルのグレー・スケールに関連するプログラミング電圧を有し、キャパシタ 344 は、プログラミング電圧と、不整合を補償するために電流により発生する電圧とを蓄積する。駆動サイクル X72 中、トランジスタ 358、360、及び 362 はオフであり、一方、トランジスタ 364 及び 366 は発光信号 EM によりオンとなる。この駆動サイクル X72 中、トランジスタ 346 は OLED 342 のための電流を供給する。

【0098】

[0084] 図 14B では、表示装置全体がプログラミングされて点灯される（発光モードへと移行する）。対照的に、図 15B では、発光線 EM を使用することによりプログラミング後に各行は点灯することができる。

【0099】

[0085] 図 8 ~ 図 15 の上述の例では、各ピクセルのキャパシタは、ストレージ・キャパシタ及び図 1 の駆動キャパシタ 14 として作用し得る。上述の例では、図 1 の容量性電流源 10 はバイアス電流線へ一定電流を供給するために使用される。別の例では、容量性電流源 10 は表示装置の動作中にバイアス電流を調節することができる。

【0100】

[0086] 図 16 を参照すると、CBVP 駆動方式を実施するためのアレイ構造を有する表示システムの更なる一例が示されている。図 16 の表示システム 370 は、複数のピクセル 374 を有するピクセル・アレイ 372、ゲート・ドライバ 376、ソース・ドライバ 378、及びコントローラ 380 を含む。コントローラ 380 は、表示アレイ 372 のプログラミング、校正、駆動、及び他の動作の制御およびスケジューリングのために提供され、これは、上述のような CBVP 駆動方式及び容量性駆動を含む。コントローラ 380 はドライバ 376 及び 378 を制御する。ピクセル回路 374 は、電流バイアス電圧プログラム型ピクセル（例えば、図 8 ~ 図 15 のもの）であり、ここで、SEL[i]（ $i = 1, 2, \dots$ ）は選択（アドレス）線（例えば、SEL）であり、Vdata[j]（ $j = 1, 2, \dots$ ）は信号（データ）線（例えば、Vdata、VDATA）であり、Ibias[j]（ $j = 1, 2, \dots$ ）はバイアス線（例えば、Ibias、IBIAS）である。ゲート・ドライバ 376 は、アドレス（選択）線（例えば、SEL[1]、SEL[2]、 $\dots$ ）に作用する。ソース・ドライバ 378 は、データ線（例えば、Vdata[1]、Vdata[2]、 $\dots$ ）に作用する。図 15A のピクセル回路 CBVP07 をピクセル回路 374 として使用するとき、ゲート・ドライバ 376 などのような表示装置の周辺のドライバが、各発光線 EM を制御する。

【0101】

[0087] 表示システム 370 は、基準電流 Iref を使用してバイアス線（例えば、Ibias[1]、Ibias[2]）に作用するための校正済み電流ミラー・ブロック 382 を含む。ブロック 382 は複数の校正済み電流ミラーを含み、それらのそれぞれが、

対応する I_{bias} に対するものである。基準電流 I_{ref} は、スイッチを介して校正済み電流ミラー・ブロック 382 へ供給され得る。

【0102】

[0088] 図 16 では、電流ミラーは基準電流源を用いて校正される。パネルのプログラミング・サイクル中（例えば、図 14B の X61、図 15B の X71）、校正済み電流ミラー（ブロック 382）はバイアス線 I_{bias} へ電流を供給する。これらの電流ミラーはパネルの縁部に作ることができる。図 1 の容量性ドライバ 10 が図 16 の基準電流 I_{ref} を発生させることもできる。

【0103】

[0089] ピクセル・エレメント（1 又は複数）の特性（1 又は複数）のシフト（例えば、表示装置の長時間の動作による駆動トランジスタの閾値電圧シフトや、発光デバイスの劣化）は、ストレージ・キャパシタに蓄積された電圧により、その電圧を駆動トランジスタのゲートへ印加することにより、補償される。従って、ピクセル回路は、シフトの影響もなく、発光デバイスを通じて安定した電流を供給することができ、それにより表示装置の動作寿命が改善される。更に、回路が単純であるため、従来のピクセル回路よりも、高い製品歩留まり、低い製造コスト、及び高い解像度が確実に得られる。上述のピクセル回路の整定時間は従来のピクセル回路よりもはるかに短いので、高精細度テレビジョンなどの大面積の表示装置に適しているが、小さい表示面積のものを除外するものではない。

【0104】

[0090] 図 17 ~ 図 19 を参照すると、図 2 ~ 図 5 のピクセル・アレイを形成し得る VBCP ピクセル回路の例が示されている。VBCP ピクセル、それらの表示システム、及び動作の例は、米国特許出願公開 US 2006/0125408 及び PCT 国際出願公開 WO 2009/127065 に開示されており、それらを参照により本明細書に組み込むものとする。

【0105】

[0091] VBCP 駆動方式では、ピクセル電流は、ミラー・トランジスタのサイズを変更することなくスケールダウンされる。VBCP 駆動方式は、電流を使用して様々なグレー・スケールを提供し（電流プログラミング）、バイアスを使用して、プログラミングを加速させると共に、閾値電圧シフトなどのようなピクセルの時間依存性パラメータを補償する。駆動トランジスタの端子のうちの一方は仮想接地 V_{GND} に接続される。仮想接地の電圧を変えることにより、ピクセル電流が変化する。バイアス電流 I_B はドライバ側でプログラミング電流 I_P に加えられ、次に、バイアス電流は、仮想接地の電圧を変えることにより、ピクセル回路内のプログラミング電流から除去される。VBCP ピクセル回路を有する表示アレイを駆動するドライバは、ピクセル輝度データを電流に変換する。

【0106】

[0092] 容量性駆動技術は、より大型で高解像度の表示装置に適した整定時間を更に改善するために、VBCP 表示装置に適用可能である。図 17 ~ 図 19 では、例えばバイアス電流 I_B を供給するために図 1 の容量性ドライバ 10 が使用される場合に、データ線 I_{DATA} は、プログラミング電流 I_P 及びバイアス電流 I_B を対応するピクセルへ供給する。

【0107】

[0093] 図 17A のピクセル回路 VBCP01 は、OLED 410、ストレージ・キャパシタ 411、スイッチ・ネットワーク 412、並びにミラー・トランジスタ 414 及び 416 を含む。ミラー・トランジスタ 414 及び 416 は電流ミラーを形成し、トランジスタ 414 はプログラミング・トランジスタであり、トランジスタ 416 は駆動トランジスタである。スイッチ・ネットワーク 412 はスイッチ・トランジスタ 418 及び 420 を含む。トランジスタ 414、416、418、及び 420 は n 型 TFT トランジスタである。当業者であれば、ピクセル回路 VBCP01 に対して相補的であり、p 型トランジスタを有する回路について理解するであろう。選択線 SEL、信号線 I_{DATA} 、仮想接地線 V_{GND}、電圧供給線 V_{DD}、及び共通接地は、ピクセル回路 VBCP01 に接続

10

20

30

40

50

される。

【 0 1 0 8 】

[0094] トランジスタ 4 1 6 の第 1 及び第 2 の端子のうちの一方は O L E D 4 1 0 のカソード電極に接続され、他方は V G N D に接続される。トランジスタ 4 1 4 のゲート端子、トランジスタ 4 1 6 のゲート端子、及びストレージ・キャパシタ 4 1 1 はノード A 5 1 で接続される。スイッチ・トランジスタ 4 1 8 及び 4 2 0 のゲート端子は S E L に接続される。スイッチ・トランジスタ 4 1 8 の第 1 及び第 2 の端子のうちの一方は A 5 1 でトランジスタ 4 1 6 のゲート端子に接続され、他方はトランジスタ 4 1 4 に接続される。スイッチ・トランジスタ 4 2 0 の第 1 及び第 2 の端子のうちの一方は I D A T A に接続され、他方はトランジスタ 4 1 4 に接続される。

10

【 0 1 0 9 】

[0095] 図 1 7 B を参照すると、図 1 7 A のピクセル回路 V B C P 0 1 に関する例示的な動作が示されている。図 1 7 A 及び 1 7 B を参照して、ピクセル回路 V B C P 0 1 に適用される電流スケール技術について詳細に説明する。ピクセル回路 V B C P 0 1 の動作は、プログラミング・サイクル X 8 1 及び駆動サイクル X 8 2 を有する。

【 0 1 1 0 】

[0096] プログラミング・サイクル X 8 1 : S E L は高レベルである。従って、スイッチ・トランジスタ 4 1 8 及び 4 2 0 はオンである。V G N D はバイアス電圧 V B になる。電流 (I B + I P) が I D A T A を介して供給され、ここで、I P はプログラミング電流を表し、I B はバイアス電流を表す。(I B + I P) に等しい電流がスイッチ・トラン

20

【 0 1 1 1 】

[0097] 駆動トランジスタ 4 1 6 のゲート・ソース電圧は次式のように自己調節される。

【 0 1 1 2 】

【 数 4 】

$$V_{GS} = \sqrt{\frac{I_P + I_B}{\beta}} + V_T \quad (9)$$

【 0 1 1 3 】

ここで、V T は駆動トランジスタ 4 1 6 の閾値電圧を表し、 β は $I_{DS} = \beta (V_{GS} - V_T)^2$ により与えられる T F T の電流 - 電圧 (I - V) 特性の係数を表す。I D S は駆動トランジスタ 4 1 6 のドレイン・ソース電流を表す。

30

【 0 1 1 4 】

[0098] ストレージ・キャパシタ 4 1 1 に蓄積される電圧は次式のようなものである。

【 0 1 1 5 】

【 数 5 】

$$V_{CS} = \sqrt{\frac{I_P + I_B}{\beta}} - V_B + V_T \quad (10)$$

40

【 0 1 1 6 】

ここで、V C S はストレージ・キャパシタ 4 1 1 に蓄積される電圧を表す。

【 0 1 1 7 】

[0099] 駆動トランジスタ 4 1 6 の一方の端子は V G N D に接続されるので、プログラミング時間中に O L E D 4 1 0 に流れる電流は次式の通りである。

【 0 1 1 8 】

【 数 6 】

$$I_{pixel} = I_P + I_B + \beta \cdot (V_B)^2 - 2\sqrt{\beta} \cdot V_B \cdot \sqrt{(I_P + I_B)} \quad (11)$$

【 0 1 1 9 】

50

ここで、 I_{pixel} はOLED 410に流れるピクセル電流を表す。

【0120】

[00100] $IB \gg IP$ の場合、ピクセル電流 I_{pixel} は次式のように記述することができる。

【0121】

【数7】

$$I_{pixel} = IP + (IB + \beta \cdot (VB)^2 - 2\sqrt{\beta \cdot VB \cdot \sqrt{IB}}) \quad (12)$$

【0122】

[00101] VB は次式のように適切に選択される。

10

【0123】

【数8】

$$VB = \sqrt{\frac{IB}{\beta}} \quad (13)$$

【0124】

[00102] ピクセル電流 I_{pixel} はプログラミング電流 IP と等しくなる。従って、プログラミング・サイクル中の不要な発光が避けられる。サイズ変更は不要なので、電流ミラー・ピクセル回路の2つのミラー・トランジスタ間のより良好な整合を達成することができる。

20

【0125】

[00103] 図18Aのピクセル回路VBCP02は、図17Aのピクセル回路VBCP01に対して相補的であり、p型トランジスタを有する。ピクセル回路VBCP02は、図18Bに示されるようなVBCP駆動方式を用いる。ピクセル回路VBCP02は、OLED 430、ストレージ・キャパシタ431、スイッチ・ネットワーク432、並びにミラー・トランジスタ434及び436を含む。ミラー・トランジスタ434及び436は電流ミラーを形成し、トランジスタ434はプログラミング・トランジスタであり、トランジスタ436は駆動トランジスタである。スイッチ・ネットワーク432はスイッチ・トランジスタ438及び440を含む。トランジスタ434、436、438、及び440はp型TFTトランジスタである。選択線SEL、信号線IDATA、仮想接地線VGN、及び電圧供給線VSSが、ピクセル回路VBCP02に提供される。

30

【0126】

[00104] トランジスタ436の第1及び第2の端子のうち的一方はVGNに接続され、他方はOLED 430のカソード電極に接続される。トランジスタ434のゲート端子、トランジスタ436のゲート端子、ストレージ・キャパシタ431、及びスイッチ・ネットワーク432は、ノードA52で接続される。

【0127】

[00105] 図18Bを参照すると、図18Aのピクセル回路VBCP02に関する例示的な動作が示されている。図18Bは図17Bに対応する。図18BのVBCP駆動方式は、図17Bのものに似たIDATA及びVGNを使用する。

40

【0128】

[00106] 図17A及び図18Aのピクセル回路VBCP01及びVBCP02に適用されるVBCP技術は、電流ミラー・タイプのピクセル回路以外の電流プログラム型ピクセル回路に適用可能である。

【0129】

[00107] 図19を参照すると、複数のVBCPピクセル回路を有する表示システムが示されている。図19の表示アレイ460は図17Aのピクセル回路VBCP01を含む。表示アレイ460は、記載されたVBCP駆動方式を適用可能な他の任意のピクセル回路を含んでもよい。図19では、4つのVBCPピクセル回路が示されているが、表示アレイ460は、4つより多い、又は4つ未満のVBCPピクセル回路を有してもよい。図

50

19に示される「SEL1」及び「SEL2」は図17AのSELに対応する。図19に示される「VGND1」及び「VGND2」は図17AのVGNDに対応する。図19に示される「IDATA1」及び「IDATA2」は図17AのIDATAに対応する。

【0130】

[00108] IDATA1 (又はIDATA2) は共通の列ピクセル間で共有され、SEL1 (又はSEL2) 及びVGND1 (又はVGND2) はアレイ構造内の共通の行ピクセル間で共有される。SEL1、SEL2、VGND1、及びVGND2はアドレス・ドライバ462を介して駆動される。IDATA1及びIDATA2はソース・ドライバ464を介して駆動される。コントローラ及びスケジューラ466は、プログラミング、校正、駆動、及び表示アレイを動作させる他の動作の制御およびスケジューリングのために提供され、それは、上述のような、VBCP駆動方式および容量性駆動の制御及びスケジューリングを含む。

10

【0131】

[00109] 高解像度で安定した低電力の発光型表示装置を開発するための更なる技術について詳細に説明する。図20A～図20B及び図21A～図21Bの以下の例では、ピクセルの駆動サイクルにおいて図1の容量性電流源10が使用される。

【0132】

[00110] 図20Aを参照すると、フレーム時間にわたって一定電流を供給することができるピクセル回路の一例が示されている。図20Aのピクセル回路500は、単一のスイッチ・トランジスタ(T1)502、ストレージ・キャパシタ504、及びOLED506を含む。キャパシタ504は電源Vdd508に結合される。OLED506は別の電源Vss510に結合される。スイッチ・トランジスタ502のゲート端子はアドレス線SELに結合される。スイッチ・トランジスタ502の第1及び第2の端子のうちの一方はデータ線Vdataに結合され、他方の端子はノードA60でキャパシタ504及びOLED506に結合される。

20

【0133】

[00111] 図20Bを参照すると、フレーム時間にわたって一定電流を供給することができるピクセル回路の別の例が示されている。図20Bのピクセル回路520は、スイッチ・トランジスタ(T1)522、ストレージ・キャパシタ524、及びOLED526を含む。キャパシタ524は電源Vdd528に結合される。OLED526は別の電源Vss530に結合される。スイッチ・トランジスタ522のゲート端子はアドレス線SELに結合される。スイッチ・トランジスタ522の第1及び第2の端子のうちの一方はデータ線Vdataに結合され、他方の端子はノードA61でキャパシタ524及びOLED526に結合される。

30

【0134】

[00112] 図21Aを参照すると、図20A～図20Bのピクセル回路に適用される波形の一例が示されている。図21AのSEL[i] (i=0、・・・、n) は、i番目の行のアドレス線を表すものであり、図20A～図20BのSELに対応する。図21AのVdata[j] (j=0、・・・、m) は、j番目の列のデータ線を表すものであり、図20A～図20BのVdataに対応する。図21AのVddは図20A～図20BのVddに対応し、図21AのVssは図20A～図20BのVssに対応する。図21Aのフレーム時間は、プログラミング・サイクル540と駆動サイクル542とに分割される。プログラミング・サイクル540中、行はアドレス線SEL[i]により連続的に選択され、選択された行のピクセルはプログラミング・データVdata[0]～Vdata[m]を用いてプログラムされる。プログラミング・サイクル540中、キャパシタとOLEDとの間の接続ノード、例えば、A60、A61は、Vdataを通じてプログラミング電圧(Vp)へと荷電され、これは図1のIoutとして作用する。

40

【0135】

[00113] 駆動サイクル542中、電源Vddは、例えば、図1のランプ電圧発生器12からランプ電圧をVddに印加することにより、増加する。一定電流がキャパシタ(5

50

04、524)を介して流れる。その結果、接続ノード、例えば、A60、A61は、荷電し始め、OLEDがオンになるまで荷電する。次に、 $CsVR/\tau$ に等しい電圧がOLEDを流れる。ここで、「VR」はランプ電圧であり、「 τ 」はランプ時間であり、「Cs」はキャパシタ(504、524)の容量を表す。

【0136】

[00114] 図21Bを参照すると、図20A～図20Bのピクセル回路に適用される波形の別の例が示されている。図21BのSEL[i]($i=0、\dots、n$)は、i番目の行のアドレス線を表すものであり、図20A～図20BのSELに対応する。図21BのVdata[j]($j=0、\dots、m$)は、j番目の列のデータ線を表すものであり、図20A～図20BのVdataに対応する。図21BのVddは図20A～図20BのVddに対応し、図21BのVssは図20A～図20BのVssに対応する。図21Bのフレーム時間は、プログラミング・サイクル550と駆動サイクル552とに分割される。プログラミング・サイクル550中、行はアドレス線SEL[i]により連続的に選択され、選択された行のピクセルはプログラミング・データVdata[0]～Vdata[m]を用いてプログラムされる。プログラミング・サイクル550中、キャパシタとOLEDとの間の接続ノード、例えば、A60、A61は、Vdataを通じてプログラミング電圧(Vp)へと荷電され、これは図1のIoutとして作用する。

【0137】

[00115] 駆動サイクル552中、電源Vssは、例えば、図1のランプ電圧発生器12からランプ電圧をVssに印加することにより、減少する。一定電流がキャパシタ(524、502)を通して流れる。その結果、接続ノード、例えば、A61、A60は放電し始め、OLEDがオンになるまで放電する。次に、 $CsVR/\tau$ に等しい電圧がOLEDを通して流れる。

【0138】

[00116] 図20A、図20B、図21A、及び図21Bに示されるように、この技術は、AMLCD表示装置に使用される駆動サイクルや駆動回路以上の駆動サイクルや駆動回路を必要としないので、結果として、表示装置のより短い駆動時間、より少ない電力消費、高い開口率及び安定性が得られ、従って、携帯電話やPDAを含む携帯デバイスに対する適用のコストが少なくなる。

【0139】

[00117] 図22を参照すると、様々なプログラミング電圧に対する1つのサブフレームでの図20A～図20Bのピクセル回路に関するシミュレーション結果(OLED電流)を示すグラフが示されている。図22では、「Vp」はプログラミング電圧を表す。図22に示されるように、ピクセル電流は、プログラミング電圧(Vp)が変化するにつれて時間により変調される。

【0140】

[00118] 図23を参照すると、図20A～図20Bのピクセル回路に関するシミュレーション結果(平均OLED電流)を示すグラフが示されている。図23のグラフは、ピクセルのI-V特性を示す。図23に示されるように、ピクセル電流は明らかにプログラミング電圧(Vp)により制御される。

【0141】

[00119] 図24を参照すると、5.58cm(2.2インチ)のクォーター・ビデオ・グラフィックス・アレイ(QVGA、Quarter Video Graphics Array)パネルの電力消費とOLEDに使用される電力消費とを示すグラフが示されている。図24に示されるように、パネル全体の電力消費はOLEDの電力消費に非常に近い。特に、容量性電圧全体がOLED(図20A～図20Bの506、536)へ行くので、電力消費は高電流レベルでOLEDの電力消費に近づく。ここで、断熱的な電荷共有を使用して、例えば、2つの隣接した行の間で電荷を共有することにより、ドライバ側の電力消費を改善することもできる。

【0142】

10

20

30

40

50

【00120】図25を参照すると、ボトム・エミッション型表示装置を駆動するための大型キャパシタの実装の一例が示されている。図25に示されるキャパシタ600はインター・デジタル型(inter-digitated)キャパシタであり、図1の駆動キャパシタ10及び/又はピクセル回路のストレージ・キャパシタとして使用可能である。図20A~図20Bのキャパシタ504及び524は、インター・デジタル型キャパシタ600であり得る。インター・デジタル型キャパシタ600は、金属I層602及び金属II層604を含む。OLED装置610は、インター・デジタル型キャパシタ600上に形成され、少なくとも透明な下部電極612とOLED層614とを有する。OLED層614は下部電極612上に位置する。金属I層602は、相互接続線616を介してOLEDの下部電極612に結合される。金属I層602及び金属II層604は、OLED614からの光を妨げることなく下部電極612の下方に位置する。図25では、OLED層614は下部電極612の一側に配され、金属層602及び604は下部電極612の他側の下に配される。これにより、開口率を犠牲にすることなく大型キャパシタが得られる。

10

【0143】

【00121】図26を参照すると、180ppiの表示解像度に対して25%を超える開口率をもつボトム・エミッション型ピクセルのレイアウトの一例が示されている。図26では、図20Aに示されるピクセル回路に対する大容量を作り出すために複数の層が使用されている。ここで、キャパシタは、金属II634と、それを挟むITO638及び金属I640との3つの層から作られる。金属層634及び640は図20Aのキャパシタ504を形成する。金属I層640は図25の602に対応し、金属II層634は図25の604に対応する。データ線632は、電圧を用いてピクセルをプログラミングするために使用される。OLEDバンク636は、OLEDがバタニングされたOLED電極に接触できるようにするための開口部である。選択線642は、プログラミングのためにピクセルへアクセスできるように選択トランジスタをオンにするために使用される。

20

【0144】

【00122】図27を参照すると、トップ・エミッション型表示装置を駆動するための大型キャパシタの実装の一例が示されている。図27に示されるキャパシタ650はインター・デジタル型キャパシタであり、図1の駆動キャパシタ10及び/又はピクセル回路のストレージ・キャパシタとして使用可能である。図20A~図20Bのキャパシタ504及び524は、インター・デジタル型キャパシタ650であり得る。インター・デジタル型キャパシタ650は、金属I層652及び金属II層654を含む。OLED装置660は、インター・デジタル型キャパシタ650上に形成され、少なくとも下部電極662及びOLED層664を有する。OLED層664は下部電極662上に位置する。金属I電極層652は、相互接続線566を介してOLEDの下部電極662に結合される。これにより、表示解像度を犠牲にすることなく大型キャパシタが得られる。

30

【0145】

【00123】容量性駆動に基づくデジタル・アナログ変換器(DAC)について詳細に説明する。図28~図29を参照すると、容量性駆動に基づくDAC及びその動作の一例が示されている。図28のDAC700は、変換器ブロック702及びコピア(copier)・ブロック704を含む。変換器ブロック702は、複数のトランジスタ及び複数のキャパシタを含む。図28では、スイッチ・トランジスタ710、712、714、及び716、並びにキャパシタ720、722、724、及び726は、変換器ブロック702の構成要素の一例として示されている。トランジスタ及びキャパシタは、Vrampノード730とノード732との間に直列に結合される。キャパシタ720、722、724、及び726は異なるサイズにされる。Vrampノード730は、ランプ電圧発生器、例えば、図1の12に結合され得る。変換器ブロック702は電流を発生させる。

40

【0146】

【00124】コピア・ブロック704は、ノード732で変換器ブロック702に結合され、トランジスタ740、742、及び744、並びにキャパシタ746を含む。トラン

50

ジスタ 740 は、変換器ブロック 702 により発生した電流を複製（コピー）する。トランジスタ 742 は、Iout 750 を介して、ピクセル回路を含む外部回路へ電流を印加する。

【0147】

〔00125〕変換器ブロック 702 で電流を発生させている間、トランジスタ 710、712、714、及び 716 は、対応するビット値 $b_3 \sim b_0$ ($b < 3 : 0 >$) に基づいて、オン又はオフの何れかである。その結果、ランプ電圧 V_{ramp} が、ON スイッチ（トランジスタ）に接続されたキャパシタへ印加される。キャパシタは異なるサイズにされるので、それぞれ、デジタル測定基準で、対応するビットの値を表す電流を発生させる。例えば、 $b < 3 : 0 >$ が「1010」の場合、2 つのキャパシタ（例えば、図 28 の 720 及び 724）がランプ電圧（730）に接続される。その結果、 $8C \times S + 2C \times S$ に等しい電流が発生する。ここで、 C は単位キャパシタであり、 S はランプの傾斜である。キャパシタはランプを電流に変換する。合計の電流はトランジスタ 740 へ進み、トランジスタ 740 は、トランジスタ 744 がオンのときにこの電流をコピーする。

10

【0148】

〔00126〕図 28 の例では、変換器ブロック 702 により発生した電流はコピー・ブロック 704 を介して供給される。しかしながら、別の例では、変換器ブロック 702 は、ピクセル回路を含む外部回路に直接に接続され得る。

【0149】

〔00127〕図 30 ~ 図 31 を参照すると、容量性駆動に基づく DAC 及びその動作の別の例が示されている。図 30 の DAC 800 は、変換器ブロック 802 及びコピー・ブロック 804 を含む。変換器ブロック 802 は、スイッチ・トランジスタにそれぞれ結合する複数のキャパシタを含む。図 30 では、キャパシタ 820、822、824、及び 826 が変換器ブロック 802 の構成要素の一例として示され、スイッチ・トランジスタ 810、812、814、及び 816 はそれぞれ、キャパシタ 820、822、824、及び 826 に結合される。トランジスタ 810、812、814、及び 816 は、それぞれ、 V_{ramp} ノード 830、832、834、及び 836 に結合され、 $V_{ramp}1$ 、 $V_{ramp}2$ 、 $V_{ramp}3$ 、及び $V_{ramp}4$ を受け取る。キャパシタ 820、822、824、及び 826 は同じサイズを有し得る。 V_{ramp} ノード 830、832、834、及び 836 のそれぞれは、ランプ電圧発生器、例えば、図 1 の 12 に結合され得る。 V_{ramp} ノード 830、832、834、及び 836 のランプ電圧 $V_{ramp}1$ 、 $V_{ramp}2$ 、 $V_{ramp}3$ 、 $V_{ramp}4$ は互いに異なる。変換器ブロック 802 は電流を発生させる。

20

30

【0150】

〔00128〕コピー・ブロック 804 はノード 838 で変換器ブロック 802 に結合され、トランジスタ 840、842、及び 844、並びにキャパシタ 846 を含む。トランジスタ 840 は、変換器ブロック 802 により発生した電流をコピーする。トランジスタ 842 は、Iout 850 を介して、ピクセル回路を含む外部回路へ電流を印加する。コピー・ブロック 804 は図 28 のコピー・ブロック 704 に対応する。

【0151】

〔00129〕図 30 の例では、キャパシタをサイズ決めを行う代わりに、各キャパシタへ適用されるランプの傾斜が変えられる。回路の基本動作は図 28 のものと同じであるが、電流レベルは様々なランプの傾斜により定められる。例えば、 $b < 3 : 0 >$ が「1010」の場合、2 つのキャパシタ（例えば、図 30 の 820 及び 824）がランプ（例えば、図 30 の 830 及び 834）に接続される。その結果、 $C \times 8S + C \times 2S$ に等しい電流が発生する。ここで、 C はキャパシタであり、 S はランプの単位傾斜である。

40

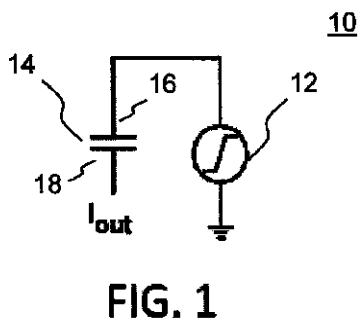
【0152】

〔00130〕本発明の上述の実施形態は、薄膜シリコン（例えば、 $a-Si$ 、 $nc-Si$ 、 $\mu c-Si$ 、ポリ Si ）及びそれに関連する Si 集積回路 CMOS 技術、真空蒸着し溶液処理した有機体及びポリマー、並びに関連の無機 / 有機ナノコンポジット、並びに半導

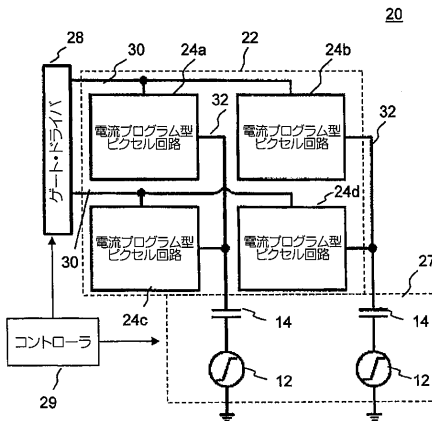
50

体酸化物（例えば、酸化インジウム、酸化亜鉛）を含む、様々な材料系のバックプレーン技術と関連した電力消費を低減することができる。更に、本発明の上述の実施形態により、低コストの駆動方式を使用して、より長寿命の要件に対して適用することが可能になる。また、本発明は、温度変化及び機械的応力の影響を受けにくい。

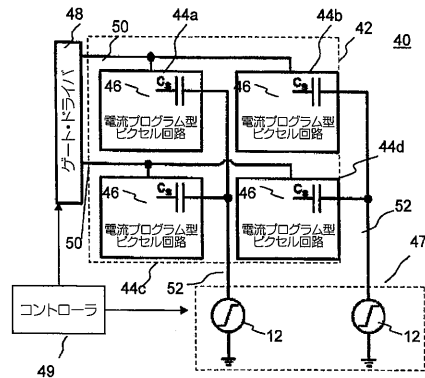
【図 1】



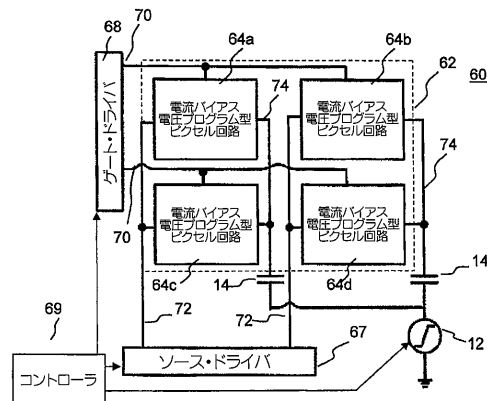
【図 2】



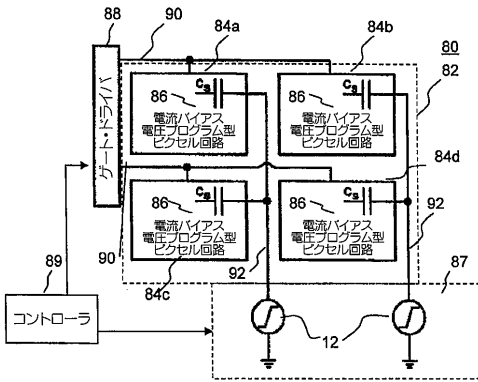
【図 3】



【図 4】



【図 5】



【図 6 A】

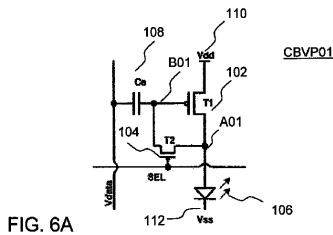
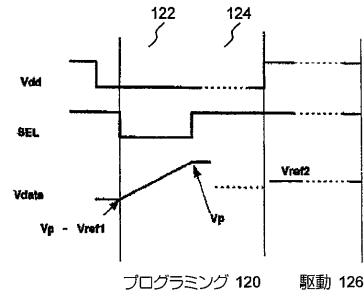
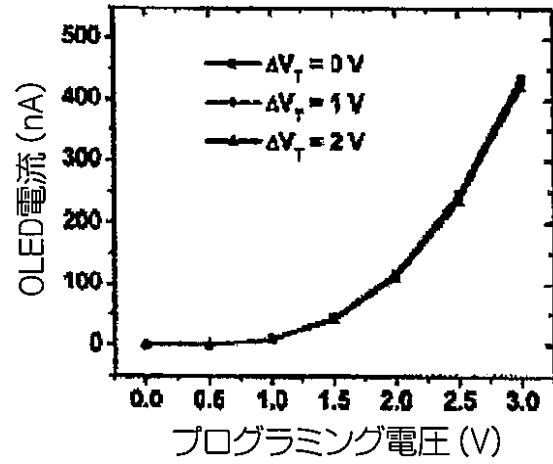


FIG. 6A

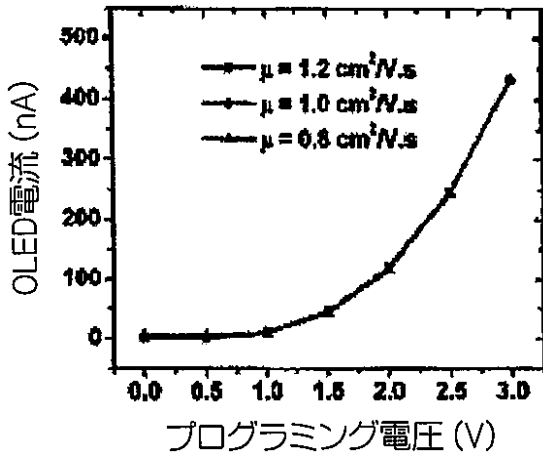
【図 6 B】



【図 7 A】



【図 7 B】



【図 8 A】

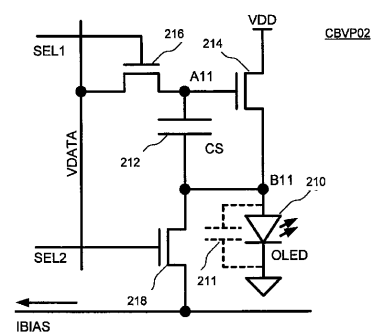


FIG. 8A

【 図 1 1 A 】

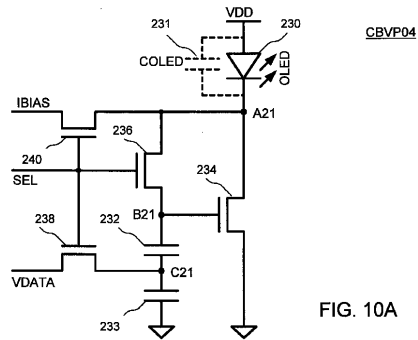


FIG. 10A

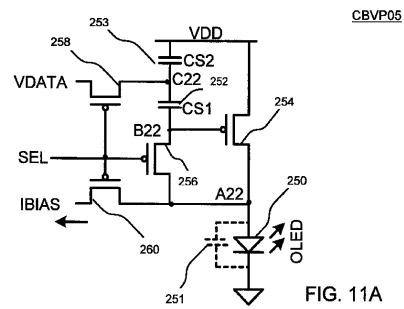


FIG. 11A

【 図 1 0 B 】

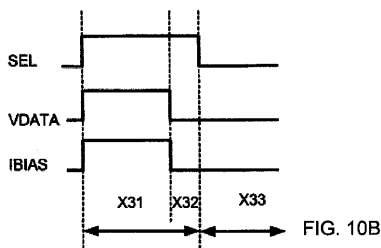
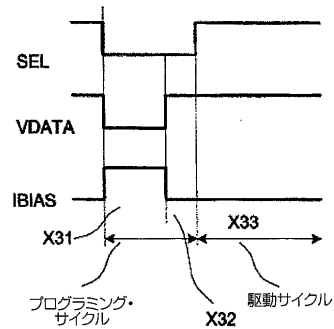


FIG. 10B

【 図 1 1 B 】



X32

【 図 1 2 A 】

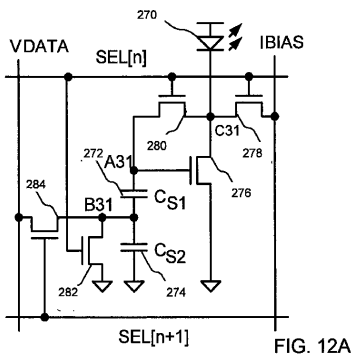


FIG. 12A

【 図 1 3 A 】

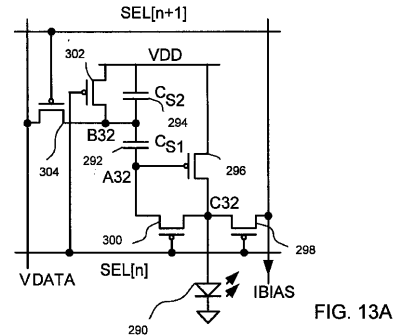
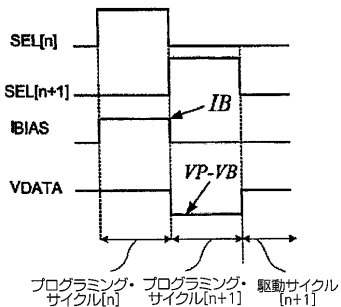


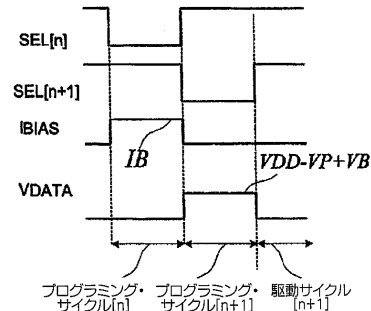
FIG. 13A

【 図 1 2 B 】



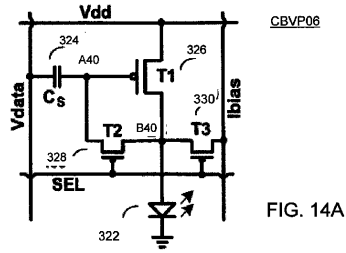
プログラミング・サイクル[n] プログラミング・サイクル[n+1] 駆動サイクル[n+1]

【 図 1 3 B 】

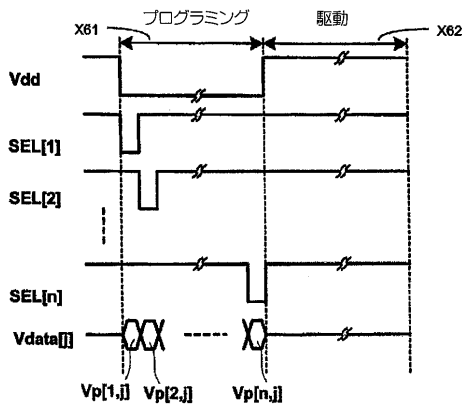


プログラミング・サイクル[n] プログラミング・サイクル[n+1] 駆動サイクル[n+1]

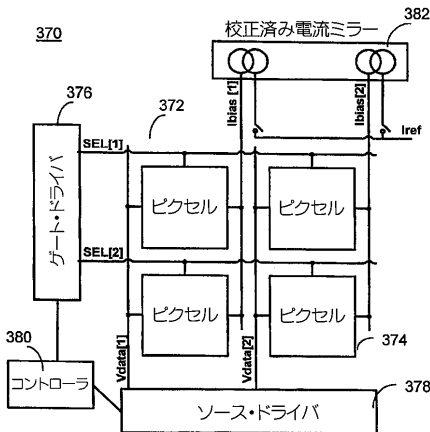
【図 14 A】



【図 14 B】



【図 16】



【図 17 A】

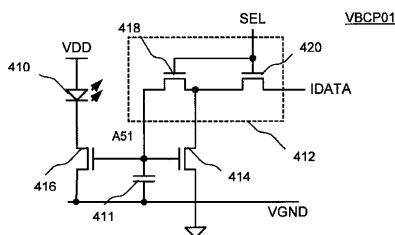
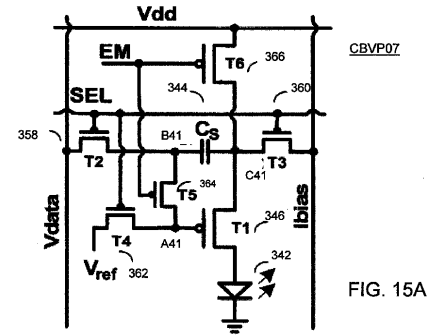
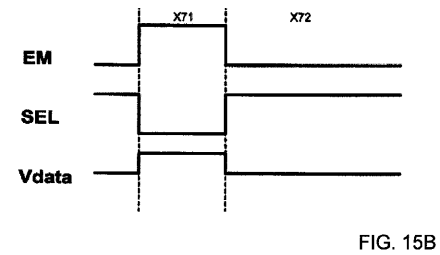


FIG. 17A

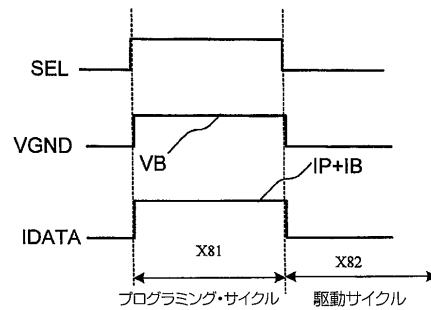
【図 15 A】



【図 15 B】



【図 17 B】



【図 18 A】

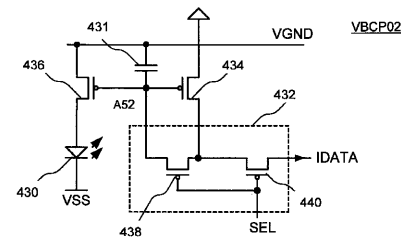
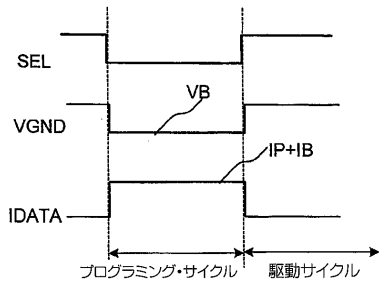
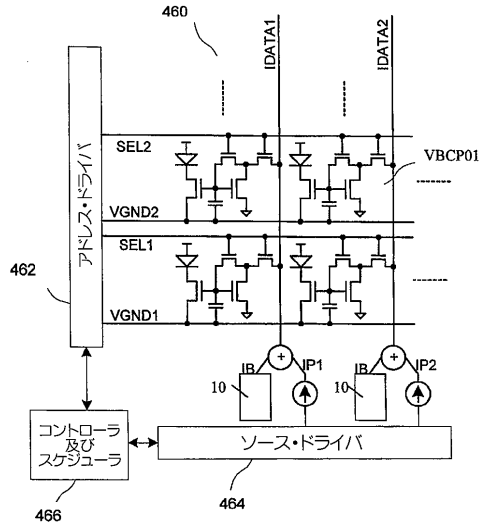


FIG. 18A

【図 18B】



【図 19】



【図 20B】

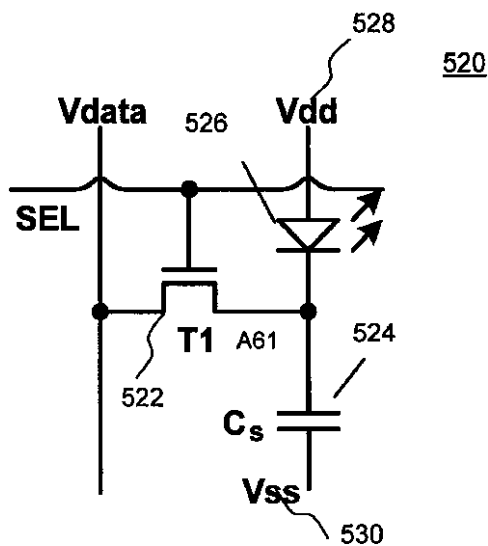


FIG. 20B

【図 20A】

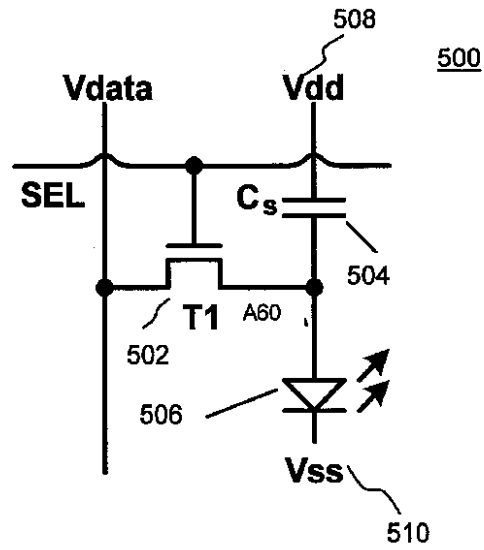
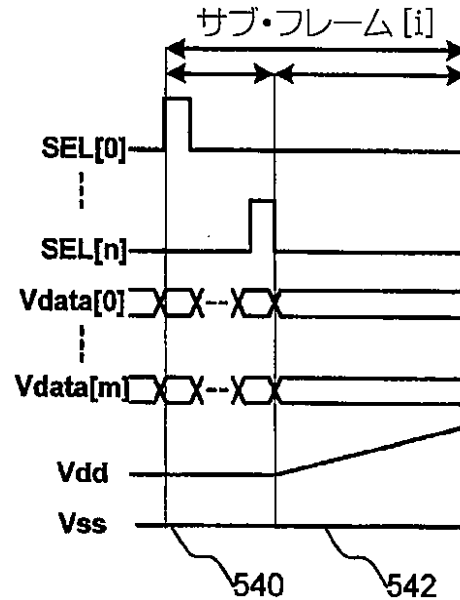
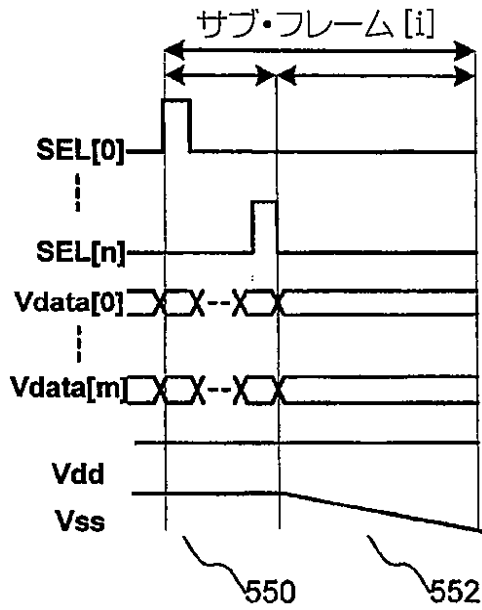


FIG. 20A

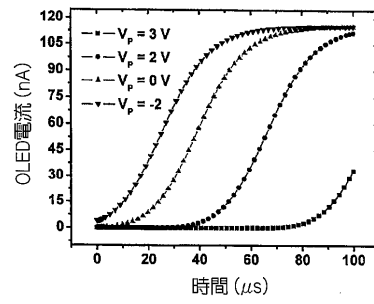
【図 21A】



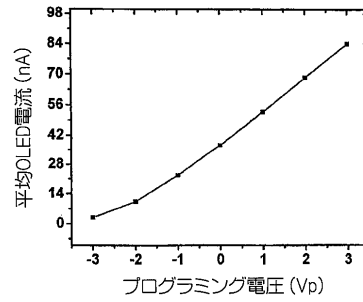
【図 2 1 B】



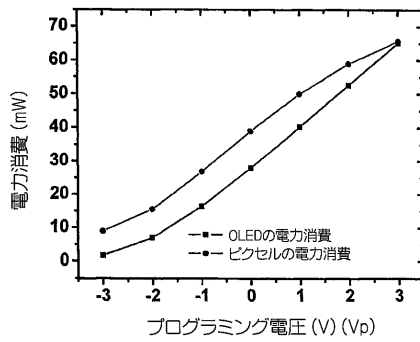
【図 2 2】



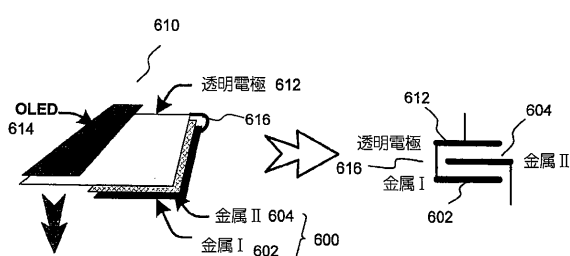
【図 2 3】



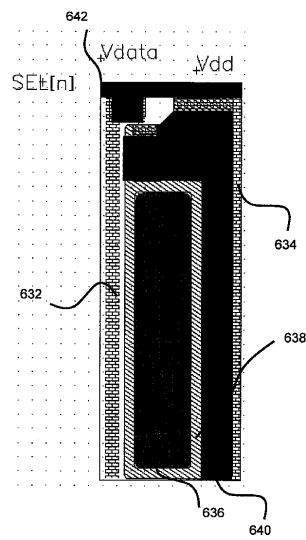
【図 2 4】



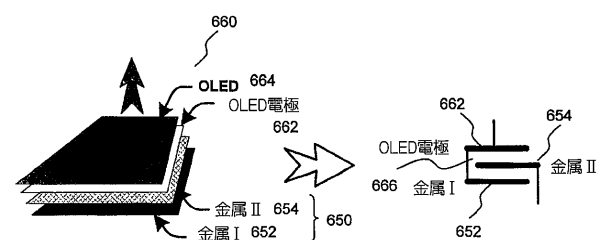
【図 2 5】



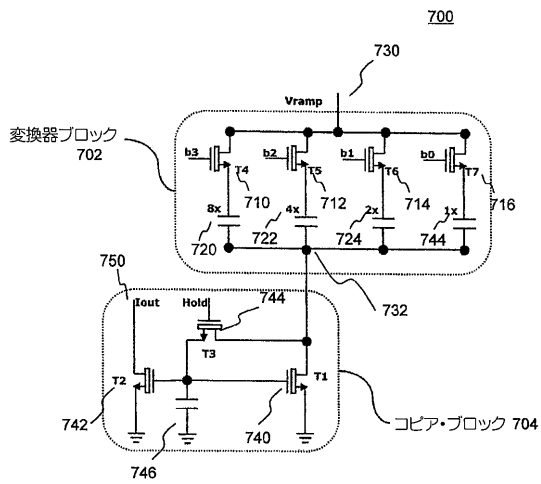
【図 2 6】



【図 2 7】



【図 28】



【図 29】

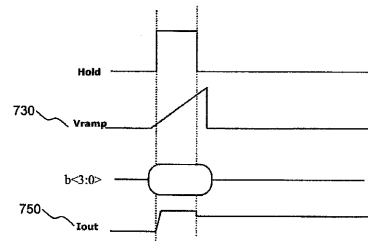
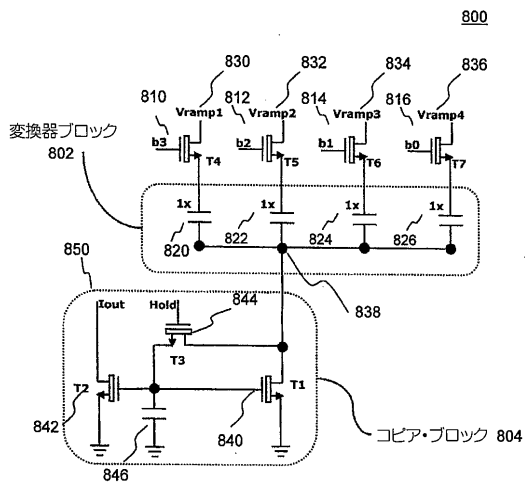


FIG. 29

【図 30】



【図 31】

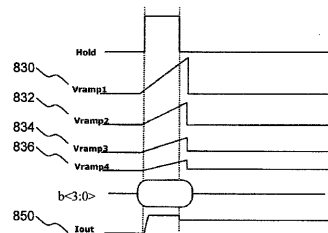


FIG. 31

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CA2009/001769		
A. CLASSIFICATION OF SUBJECT MATTER IPC : <i>G09G-3/20 (2006.01); G09G-3/32 (2006.01)</i> According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G09G-3/20 (2006.01); G09G-3/32 (2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic database(s) consulted during the international search (name of data base, and, where practicable, search terms used) : Databases : Delphion, West, Espacenet, Canadian Patent Database Keywords : pixel display/driver; voltage conversion; current driven; OLED; voltage programming; bidirectional capacitor circuit; bidirectional current; bias/offset current; interdigitated/finger capacitor; transparent electrode; top emission				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
Y	US 20080290805 (YAMADA et al.) 27 November 2008 (27.11.2008), abstract; claim 1; figs. 2-8; paras 0028 - 0033, 0069 - 0071, 0100, 0106 - 0112	1, 2, 5-8, 13-20, 23-30		
Y	US 20060038762 (CHOU) 23 February 2006 (23.02.2006), abstract; paras 0045 - 0046, 0065 - 0067	1, 2, 5-8, 13-20, 23-30		
X	US 7112820 (CHANG et al.) 26 September 2006 (26.09.2006); abstract; fig. 3; col. 1, lines 33-55; col. 2, lines 6-30; col. 4, lines 1-17; col. 4, line 63 - col. 5, line 16; col. 5, lines 50-64	31		
Y		13-16, 23-26, 32-34		
Y	US 20080001544 (MURAKAMI et al.) 3 January 2008 (03.01.2008), abstract; figs 7, 8; paras 0010, 0093 - 0095,	15, 16, 25, 26, 32, 33		
Y	US 20050248515 (NAUGLER et al.) 10 November 2005 (10.11.2005), abstract; fig. 2; para 0036	34		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;"> * Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel, or cannot be considered to involve an inventive step, when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel, or cannot be considered to involve an inventive step, when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel, or cannot be considered to involve an inventive step, when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 7 April 2010 (07-04-2010)		Date of mailing of the international search report 8 April 2010 (08-04-2010)		
Name and mailing address of the ISA/CA Canadian Intellectual Property Office Place du Portage I, C114 - 1st Floor, Box PCT 50 Victoria Street Gatineau, Quebec K1A 0C9 Facsimile No. 001-819-953-2476		Authorized officer Terry Cartile 819- 997-2951		

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CA2009/001769

Box No. II	Observations where certain claims were found unsearchable (Continuation of item 2 of the first sheet)
This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons :	
1 ☐	Claims Nos. : because they relate to subject matter not required to be searched by this Authority; namely:
2 ☐	Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically :
3 ☐	Claims Nos. : because they are dependant claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).
Box No. III	Observation where unity of invention is lacking (Continuation of item 3 of the first sheet)
This International Searching Authority found multiple inventions in this international application, as follows :	
The claims on file define <u>2</u> distinct sets of subject matter :	
Group A (Claims 1-30) concerns a means for driving a pixel circuit in a display system, comprising converting a time-variant voltage in a predetermined timing to a current, which is used to drive a light emitting device	
Group B (Claims 31-34) concerns a pixel circuit comprising an OLED device and an OLED layer, and an inter-digitated capacitor having multiple layers, one layer of which is interconnected to the electrode of the OLED for operating the OLED.	
1 ☒	As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2 ☐	As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3 ☐	As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos. :
4 ☐	No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos. :
Remark on Protest	☐ The additional search fees were accompanied by the applicant's protest, and, where applicable, the payment of a protest fee. ☐ The additional search fees were accompanied by the applicant's protest, but the applicable protest fee was not paid within the time limit specified in the invitation. ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
 Information on patent family members

 International application No.
PCT/CA2009/001769

Patent Document Cited in the Search Report	Publication Date (dd.mm.yyyy)	Patent Family Members	Publication Date(s) (dd.mm.yyyy)
Y US 20080290805	27.11.2008	WO 03/105117 A2 US 7355571 TW 0591578 B JP 2004012897 A2 EP 1509899 A2 CN 1659617 A	18.12.2003 08.04.2008 11.06.2004 15.01.2004 02.03.2005 24.08.2005
Y US 20060038762	23.02.2006	WO 06/021922 A2 US 7053875 CN 11019166 A	02.03.2006 30.05.2006 15.08.2007
X US 7112820	26.09.2006	TW 0227031 B	21.01.2005
Y US 20080001544	03.01.2008	US 6882105 JP 2004191627 A2	19.04.2005 08.07.2004
Y US 20050248515	10.11.2005	WO 05/104809 A2 KR 7005733 A JP 2007535714 T2 EP 1741084 A2 AU 5237649 AA	10.11.2005 10.01.2007 06.12.2007 10.01.2007 10.11.2005

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 7 0 J
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 D

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100096068

弁理士 大塚 住江

(72)発明者 チャジ, ジー・レザ

カナダ国オンタリオ エヌ2 ヴイ・2 エス3, ウォータールー, ケルソー・ドライブ 4 6 3

(72)発明者 ネイサン, アロキア

イギリス国ケンブリッジ シービー3・0 ディーエル, ハンティンドン・ロード 1 8 9

Fターム(参考) 5C080 AA06 BB05 DD05 DD27 DD29 FF11 JJ02 JJ03 JJ04 JJ06

KK07 KK47

5C380	AA01	AB06	AB11	AB12	AC11	AC12	BA29	BA38	BA39	BB02
	BD02	CA12	CA13	CA35	CA54	CB16	CB17	CC03	CC04	CC05
	CC06	CC14	CC26	CC27	CC33	CC35	CC39	CC41	CC52	CC53
	CC55	CC62	CC63	CD011	CD012	CD013	CD014	CD016	CD023	CD024
	CD034	CE04	CF26	CF43	CF48	CF49	DA02	DA06	DA30	GA17

【要約の続き】

動作において、発光デバイスをオンにする時変電圧を、電力供給線を通してピクセル回路のストレージ・キャパシタへ供給するステップとを含む。ピクセル回路は、電極及びOLED層を有する有機発光ダイオード・デバイスと、複数の層を有するインター・デジタル型キャパシタとを含む。

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2012511183A5	公开(公告)日	2013-01-31
申请号	JP2011539859	申请日	2009-12-08
[标]申请(专利权)人(译)	伊格尼斯创新公司		
申请(专利权)人(译)	伊格尼斯创新公司		
[标]发明人	チャジジーレザ ネイサンアロキア		
发明人	チャジ,ジー・レザ ネイサン,アロキア		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3283 G09G3/3291 G09G2300/0465 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2310/0259 G09G2310/0262 G09G2310/027 G09G2310/066 G09G2320/0233 G09G2320/043 G09G2330/021 G09G2330/023		
FI分类号	G09G3/30.J G09G3/20.612.E G09G3/20.611.A G09G3/20.621.J G09G3/20.611.H G09G3/20.642.A G09G3/20.670.J G09G3/20.623.C G09G3/20.623.D G09G3/20.641.C G09G3/20.641.D		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD27 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AC11 5C380/AC12 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/CA12 5C380/CA13 5C380/CA35 5C380/CA54 5C380/CB16 5C380/CB17 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC35 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC53 5C380/CC55 5C380/CC62 5C380/CC63 5C380/CD011 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD016 5C380/CD023 5C380/CD024 5C380/CD034 5C380/CE04 5C380/CF26 5C380/CF43 5C380/CF48 5C380/CF49 5C380/DA02 5C380/DA06 5C380/DA30 5C380/GA17		
代理人(译)	小林 泰 千叶昭夫		
优先权	2647112 2008-12-09 CA 2654409 2008-12-19 CA		
其他公开文献	JP5715063B2 JP2012511183A		

摘要(译)

显示系统，用于操作显示阵列的驱动器，用于操作显示系统的方法，以及用于显示系统的像素电路。该驱动器包括双向电流源，该双向电流源具有耦合到时变电压的转换器并将时变电压转换成电流。像素电路包括用于向发光器件提供像素电流的晶体管和电耦合到晶体管并在预定定时耦合到时变电压的存储电容器，以基于时变电压提供电流。在编程操作的第一周期中将提供给像素电路的存储电容器的时变电压从参考电压改变为编程电压，其中存储电容器驱动发光器件电耦合到驱动晶体管;以及第二周期的编程操作在编程电压下保持时变电压。该方法包括以下步骤：将来自数据线的编程数据提供给像素电路，该像素电路包括在编程操作中耦合到数据线和存储电容器的晶体管以及接通发光器件的时变电压，并通过电源线将其提供给像素电路的存储电容器

