

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 223120

(P2003 - 223120A)

(43)公開日 平成15年8月8日 (2003.8.8)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コ-ド* (参考)
G 0 9 F 9/30	338	G 0 9 F 9/30	3 K 0 0 7
	365		5 C 0 9 4
H 0 1 L 21/336		H 0 5 B 33/14	5 F 1 1 0
29/786		H 0 1 L 29/78	612 B
H 0 5 B 33/14			618 Z

審査請求 未請求 請求項の数 12 O L (全 13数)

(21)出願番号 特願2002 - 21846(P2002 - 21846)

(22)出願日 平成14年1月30日(2002.1.30)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 佐野 景一

大阪府守口市京阪本通2丁目5番5号 三洋電

機株式会社社内

(74)代理人 100111383

弁理士 芝野 正雅

最終頁に続く

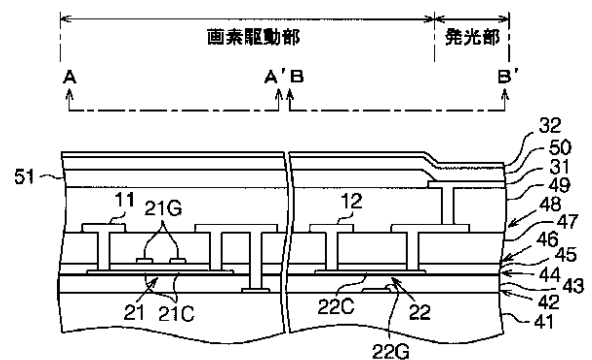
(54)【発明の名称】 半導体表示装置

(57)【要約】

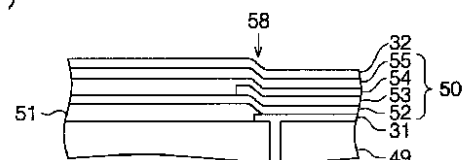
【課題】アクティブマトリクス方式にて駆動される表示装置の高速応答性や制御性を低下させることなく、各画素の開口率を向上させることのできる半導体表示装置を提供する。

【解決手段】有機エレクトロルミネッセンス (E L) 素子を発光体とする表示装置をアクティブマトリクス方式にて駆動するために、1つの画素についてその画素駆動部に駆動用薄膜トランジスタ (T F T) 2 2 と画素スイッチング用 (S W 用) T F T 2 1 とを備える。この表示装置は、ガラス基板 4 1 上に形成した積層膜により構成されており、駆動用 T F T 2 2 がボトムゲート構造を、S W 用 T F T 2 1 がトップゲート構造を有する。駆動用 T F T 2 2 のゲート絶縁膜は厚く、また S W 用 T F T のゲート絶縁膜は薄く形成されている。

(a)



(b)



【特許請求の範囲】

【請求項1】表示装置基板上に形成された画素毎に、駆動回路から付与される走査信号に基づいてスイッチング動作を行う画素スイッチング用薄膜トランジスタと、このスイッチング動作に基づいて画素を駆動する駆動用薄膜トランジスタとを備える半導体表示装置において、前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとのうち、一方がトップゲート構造に、他方がボトムゲート構造に形成されてなることを特徴とする半導体表示装置。

【請求項2】前記画素スイッチング用薄膜トランジスタがトップゲート構造に、前記駆動用薄膜トランジスタがボトムゲート構造に形成されてなる請求項1記載の半導体表示装置。

【請求項3】前記駆動回路を構成する薄膜トランジスタが、前記画素スイッチング用薄膜トランジスタ共々、トップゲート構造にて形成されてなる請求項2記載の半導体表示装置。

【請求項4】前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各ゲート絶縁膜の膜厚が異ならしめられてなる請求項1～3のいずれかに記載の半導体表示装置。

【請求項5】前記駆動用薄膜トランジスタは、前記画素スイッチング用薄膜トランジスタに比べて、そのゲート絶縁膜の膜厚が厚く形成されてなる請求項4記載の半導体表示装置。

【請求項6】前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各チャンネル領域における結晶の粒径が異ならしめられてなる請求項1～5のいずれかに記載の半導体表示装置。

【請求項7】前記駆動用薄膜トランジスタは、前記画素スイッチング用薄膜トランジスタに比べて、そのチャンネル領域における結晶の粒径が小径に形成されてなる請求項6記載の半導体表示装置。

【請求項8】表示装置基板上に形成された画素毎に、駆動回路から付与される走査信号に基づいてスイッチング動作を行う画素スイッチング用薄膜トランジスタと、このスイッチング動作に基づいて画素を駆動する駆動用薄膜トランジスタとを備える半導体表示装置において、前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各ゲート絶縁膜の物理特性が異ならしめられてなることを特徴とする半導体表示装置。

【請求項9】前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各ゲート絶縁膜の膜厚が異ならしめられてなる請求項8記載の半導体表示装置。

【請求項10】前記駆動用薄膜トランジスタは、前記画素スイッチング用薄膜トランジスタに比べて、そのゲート絶縁膜の膜厚が厚く形成されてなる請求項9記載の半

導体表示装置。

【請求項11】前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各チャンネル領域における結晶の粒径が異ならしめられてなる請求項8～10のいずれかに記載の半導体表示装置。

【請求項12】前記駆動用薄膜トランジスタは、前記画素スイッチング用薄膜トランジスタに比べて、そのチャンネル領域における結晶の粒径が小径に形成されてなる請求項11記載の半導体表示装置。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置の画素毎に複数の薄膜トランジスタを有して構成されたアクティブマトリクス駆動方式の半導体表示装置およびその製造方法に関する。

【0002】

【従来の技術】近年、薄膜トランジスタ(TFT:Thin Film Transistor)を有して構成されたアクティブマトリクス駆動方式の半導体表示装置が広く利用されるようになってきている。特に、有機エレクトロルミネッセンス(EL:Electroluminescence)素子を発光源とする有機発光表示装置(OLED:Organic Light Emitting Display)は、液晶表示装置にとって代わりうる表示装置として盛んに研究開発がすすめられている。

【0003】このOLEDは電流を流すことにより発光する素子を用いていることから、表示信号の記憶素子(補助容量)を用いたアクティブマトリクス方式にて駆動するためには、画素あたり少なくとも2つのTFTを必要とする。これらのTFTとは、図8に1つの画素を拡大した平面図を示すように、表示信号の入力に基づいて画素の発光状態を制御する駆動用TFT102と、その表示信号を外部から駆動用TFT102に伝達する画素スイッチング用TFT(SW用TFT)103である。このうち、SW用TFT103は、表示装置の走査サイクル毎に画素の表示信号を駆動用TFT102に伝達するとともに、その表示信号を補助容量104に保持させる機能を有している。他方、駆動用TFT102は、SW用TFT103から伝達された(補助容量104に保持された)表示信号に基づいて画素の発光素子に流す電流を制御する機能を有している。

【0004】そして、これら機能の異なる2種のTFTには通常、異なった特性が求められている。まず、SW用TFT103には、表示信号を所定の期間保持するためにオフリーク電流の小さい特性が求められる。これは、オフリーク電流が大きいと補助容量104に記憶した表示信号の変化が速くなってしまい、表示状態を所定期間維持することができなくなるためである。また、駆動用TFT102には、均一で制御性のよい入出力特性が求められる。これは、入力信号に対する出力特性がそろっていないと、あるレベルの表示信号に対して画素毎

に発光状態が異なってしまい、表示面にムラが発生するためである。加えて、その入出力の信号レベルは制御性のよいものとするのが望ましい。これにより、制御が容易になるとともに回路を簡素に構成することができるようになる。

【0005】こうした理由から、上記2種のTFTは各々、これらの特性が得られるように構成される。たとえば、SW用TFT103については、オフリーク電流を低減するためにチャンネル領域にゲートを2つ並べたダブルゲート電極105が採用されることがある。また、駆動用TFT102については、素子の均一性や制御性を確保できるように考慮して、そのチャンネル長L等の寸法が決定される。

【0006】

【発明が解決しようとする課題】ところで、SW用TFT103は、走査サイクル毎の表示信号を正確に駆動用TFT102に伝達する必要がある。このため、SW用TFT103には、上記補助容量104をすばやく充電するに足る電流駆動能力が要求される。また同時に、SW用TFT103は、画素の開口率向上の観点からその素子寸法をより縮小することが望ましい。したがって、SW用TFT103としては、小型で十分に電流を流す能力があり、かつその入出力の信号レベルは制御性のよいものが求められる。すなわち、SW用TFT103のゲート絶縁膜の膜厚については、これを可能な限り薄く形成することが好ましい。

【0007】また通常、上記駆動用TFT102とSW用TFT103とは、製造にかかる工程数を考慮して、各々の半導体層となる膜が同じ層に形成される。図9は、図8のX-X'線およびY-Y'線に沿った断面図である。図9に示すように、SW用TFT103を駆動用TFT102と同じ層に形成すると、SW用TFT103の膜厚の薄いゲート絶縁膜106に合わせて駆動用TFT102が形成されることになる。その結果、駆動用TFT102に対する入出力特性の均一性と制御性を確保するためには、そのチャンネル長L2の寸法を大きくとる必要がある。すなわちこの場合、表示装置を構成する画素の開口率が制限されてしまうことになる。そして、こうした画素の開口率の制限が表示装置の表示品質に及ぼす影響は無視できないものとなっている。

【0008】本発明は、こうした実情に鑑みてなされたものであり、その目的は、アクティブマトリクス方式にて駆動される表示装置の高速応答性や制御性を低下させることなく、各画素の開口率を向上させることのできる半導体表示装置を提供することにある。

【0009】

【課題を解決するための手段】以下、上記目的を達成するための手段について記載する。請求項1に記載の発明は、半導体表示装置として、表示装置基板上に形成された画素毎に、駆動回路から付与される走査信号に基づい

てスイッチング動作を行う画素スイッチング用薄膜トランジスタと、このスイッチング動作に基づいて画素を駆動する駆動用薄膜トランジスタとを備えるものであって、前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとのうち、一方がトップゲート構造に、他方がボトムゲート構造に形成されてなることをその要旨とする。

【0010】また、請求項2に記載の発明は、請求項1記載の半導体表示装置において、前記画素スイッチング用薄膜トランジスタがトップゲート構造に、前記駆動用薄膜トランジスタがボトムゲート構造に形成されてなることをその要旨とする。

【0011】また、請求項3に記載の発明は、請求項2記載の半導体表示装置において、前記駆動回路を構成する薄膜トランジスタが、前記画素スイッチング用薄膜トランジスタ共々、トップゲート構造にて形成されてなることをその要旨とする。

【0012】また、請求項4に記載の発明は、請求項1～3のいずれかに記載の半導体表示装置において、前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各ゲート絶縁膜の膜厚が異ならしめられてなることをその要旨とする。

【0013】また、請求項5に記載の発明は、請求項4記載の半導体表示装置において、前記駆動用薄膜トランジスタは、前記画素スイッチング用薄膜トランジスタに比べて、そのゲート絶縁膜の膜厚が厚く形成されてなることを要旨とする。

【0014】また、請求項6に記載の発明は、請求項1～5のいずれかに記載の半導体表示装置において、前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各チャンネル領域における結晶の粒径が異ならしめられてなることをその要旨とする。

【0015】また、請求項7に記載の発明は、請求項6記載の半導体表示装置において、前記駆動用薄膜トランジスタは、前記画素スイッチング用薄膜トランジスタに比べて、そのチャンネル領域における結晶の粒径が小径に形成されてなることをその要旨とする。

【0016】また、請求項8に記載の発明は、半導体表示装置として、表示装置基板上に形成された画素毎に、駆動回路から付与される走査信号に基づいてスイッチング動作を行う画素スイッチング用薄膜トランジスタと、このスイッチング動作に基づいて画素を駆動する駆動用薄膜トランジスタとを備える半導体表示装置であって、前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各ゲート絶縁膜の物理特性が異ならしめられてなることをその要旨とする。

【0017】また、請求項9に記載の発明は、請求項8記載の半導体表示装置において、前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各ゲート絶縁膜の膜厚が異ならしめられてなる

ことをその要旨とする。

【0018】また、請求項10に記載の発明は、請求項9記載の半導体表示装置において、前記駆動用薄膜トランジスタは、前記画素スイッチング用薄膜トランジスタに比べて、そのゲート絶縁膜の膜厚が厚く形成されてなることをその要旨とする。

【0019】また、請求項11に記載の発明は、請求項8～10のいずれかに記載の半導体表示装置において、前記画素スイッチング用薄膜トランジスタと前記駆動用薄膜トランジスタとで、その各チャンネル領域における結晶の粒径が異ならしめられてなることをその要旨とする。

【0020】そして、請求項12に記載の発明は、請求項11記載の半導体表示装置において、前記駆動用薄膜トランジスタは、前記画素スイッチング用薄膜トランジスタに比べて、そのチャンネル領域における結晶の粒径が小径に形成されてなることをその要旨とする。

【0021】

【発明の実施の形態】以下、本発明にかかる半導体表示装置を、カラー表示装置に適用した一実施の形態について図1～図7を使って説明する。なお、本実施の形態において示す半導体表示装置は、トップゲート構造とボトムゲート構造とを有し、発光素子として有機エレクトロルミネッセンス(EL)を用いている。

【0022】まず、本実施の形態の半導体表示装置の構成例について図1および図2を使って説明する。図1はこの表示装置の表示面を構成する基板の拡大平面図であり、1つ画素の構成を示している。上記表示面にはこの画素が格子状をなして構成されており、上記基板上においてその表示面の周辺には表示装置を駆動するための図示しない駆動回路が配置されている。図1に示されるように、1つの画素は駆動回路から延設されている各種配線に対応して、有機EL素子が形成されている発光部16と、それを制御するための駆動素子が形成されている画素駆動部17とを有して構成されている。そして、この画素は以下の各種配線の信号および電源電圧に基づいて所定のレベル(輝度)にて発光するように構成されている。

【0023】図1において画素左端に縦方向に設けられたドレイン信号線11は、表示信号を伝達する信号配線である。また、画素右端に縦方向に設けられた駆動電源線12は、有機EL素子を発光させるための電流を供給する電源配線である。他方、図1において画素上端に横方向に設けられたゲート信号線13は、ドレイン信号線11により与えられる表示信号の画素内への伝達を制御する信号配線である。さらに、ゲート信号線13と平行

して設けられている容量電源線14は、その伝達された表示信号を画素内に記憶するために設けられた補助容量15を充電する電源配線である。この容量電源線14は、換言すれば、表示信号を記憶する補助容量15に対しての基準電位となっている。

【0024】これら各種配線から付与される信号および電源電圧によって、画素駆動部17を構成する薄膜トランジスタ(TFT)が以下のように動作して画素の発光部16が発光する。まず、画素に対する表示信号がドレイン信号線11に与えられ、それに対応した所定のタイミングにてゲート信号線13に活性化信号が与えられる。このゲート信号線13に対する活性化信号が走査信号となり、その周期にて各画素における表示状態が更新される。この走査線信号によって活性化された画素スイッチング用(SW用)TFT21は、ドレイン信号線11の表示信号を補助容量15および駆動用TFT22に伝達する。そののち、ゲート信号線13が不活性にされると、補助容量15はその伝達された表示信号を次の走査信号が与えられるまで保持する。そして、この補助容量15に保持された表示信号を入力として、駆動用TFT22が、その入出力特性によって決まる電流を駆動電源線12から有機EL素子の透明電極(陽極)31、そして図示しない陰極へと流すように動作して発光部を発光させる。なおここで、SW用TFT21のゲート電極21Gは、半導体層のチャンネル領域を直列に2分割したダブルゲート構造により形成してある。これは、補助容量15が保持している表示信号を、SW用TFT21のオフリーク電流により変化させないようにするためである。

【0025】ところで、本実施の形態の表示装置においては、画素駆動部17を構成しているSW用TFT21および駆動用TFT22は、それぞれトップゲート構造およびボトムゲート構造にて形成してある。

【0026】図2(a)は、それらTFTとその周辺の構成を、先の図1におけるA-A'線およびB-B'線に沿った断面に対応して示す図である。図2(a)に示したように、この表示装置は、ガラス基板41にボトムゲート層42、ボトムゲート絶縁膜43、半導体層44、トップゲート絶縁膜45、トップゲート層46、配線層絶縁膜47、配線層48、および第1平坦化膜49などをこの順に堆積形成してある。なお、これら積層膜の構成と材料、およびその膜厚は次の表に示すとおりである。

【0027】

【表1】

膜・層の名称	符号	材料・構成	膜厚
ボトムゲート層	42	クロム(Cr)、モリブデン(Mo)、チタン(Ti)、タンゲステン(W)などの高融点金属膜	200nm
ボトムゲート絶縁膜	43	下から、「50nm」のSiN膜と「130nm」のSiO ₂ 膜との積層膜	180nm
半導体層	44	多結晶シリコン膜	50nm
トップゲート絶縁膜	45	下から、「80nm」のSiO ₂ 膜と「40nm」のSiN膜との積層膜	120nm
トップゲート層	46	クロム(Cr)、モリブデン(Mo)、チタン(Ti)、タンゲステン(W)などの高融点金属膜	200nm
配線層絶縁膜	47	下から、「100nm」のSiN膜と「500nm」のSiO ₂ 膜との積層膜	600nm
配線層	48	アルミニウム(Al)、銅(Cu)などの低抵抗金属とMo、Tiなどの高融点金属との積層膜	600nm

【0028】このうち、ボトムゲート層42、半導体層44、トップゲート層46、および配線層48はパターン形成されている。また、これらパターン形成された各層に対応してボトムゲート絶縁膜43、トップゲート絶縁膜45、配線層絶縁膜47、および第1平坦化膜にはコンタクトホールが形成され、そこに配線材料が充填されて各層間の電気的接続が確保されている。なお、ボトムゲート絶縁膜43、トップゲート絶縁膜45、および配線層絶縁膜47がシリコン窒化膜(SiN)とシリコン酸化膜(SiO₂)との積層膜により構成してあるのは、各層ごとに注入した不純物等が各層間の接触界面を越えて拡散することがないようにするためである。

【0029】ここで、SW用TF T 21はトップゲート構造にて、また駆動用TF T 22はボトムゲート構造にて形成してある。すなわち、両者のゲート電極は、トップゲート絶縁膜45およびボトムゲート絶縁膜43により、それぞれ半導体層44に形成されたチャネル領域21Cおよび22Cと絶縁されている。こうして、各TF Tのゲート絶縁膜を互いに異なる層にて形成することによって、それら各特性を異ならしめられたものとするを容易にしている。そして、本実施の形態においては、SW用TF T 21が小型であっても十分な電流駆動能力を確保できるように、トップゲート絶縁膜45を薄く形成してある。また、駆動用TF T 22が制御性のよい入出力特性となり、かつそのチャネル22Cのチャネル長寸法L1が大きくならないように、ボトムゲート絶縁膜43を厚く形成してある(表1参照)。なおここで、制御性がよいとはすなわち、ゲート電極22Gに入力される信号レベル(駆動電源線12の電位に対するゲ*

*ート電極22Gの電位)が、発光部16の発光輝度を制御するのに適した範囲の電流を駆動可能であるということである。さらに、上記2種のTF Tは、半導体層44を構成している多結晶シリコン膜の結晶の粒径が、チャネル領域21Cとチャネル領域22Cとで異ならしめられて形成してある。特に、本実施の形態においては、駆動用TF T 22のチャネル領域22Cにおける結晶の粒径が小さく形成してある。このため、駆動用TF T 22のチャネル領域22Cの結晶粒の界面が画素毎にそろって物理的な構造のばらつきが小さくなり、同駆動用TF T 22の入出力特性が複数の素子間でより均一化されたものとなる。こうしてSW用TF T 21および駆動用TF T 22は、それら各ゲート絶縁膜の膜厚を適切に選ぶことによりそれぞれのTF Tに要求される特性を満たしつつ、その素子寸法が最小となるように設計してある。

【0030】ちなみに、第1平坦化膜49上面の発光部16の領域においては陽極31が形成されており、さらにその上面には画素駆動部17の領域を含めて有機EL素子層50、および陰極32がこの順に堆積形成されている。図2(b)はその断面を拡大して示す図であり、有機EL素子層50とその上下層を含む積層膜の積層構造を示している。ここで、この陽極31としては、インジウムとスズとの酸化物である透明な「ITO」(Indium Tin Oxide)を用いている。また、有機EL素子層50の材料および構成は、次の表に示すとおりである。

【0031】

【表2】

膜・層の名称	符号	材料・構成
ホール輸送層	52	NPB
発光層	53	各発光色に対応して次の材料を使用 ・赤色…ホスト材料「Alq ₃ 」に「DCJT B」をドープしたもの ・緑色…ホスト材料「Alq ₃ 」に「Coumarin 6」をドープしたもの ・青色…ホスト材料「BAIq」に「Perylene」をドープしたもの
電子輸送層	54	Alq ₃
電子注入層	55	フッ化リチウム(LiF)

【0032】ただし、上記表2において略称にて記載した材料の正式名称は以下のとおりである。

「NPB」...N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine

「Alq3」...Tris(8-hydroxyquinolino)aluminum

「DCJT B」...(2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[*ij*]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene)propanedinitrile

「Coumarin 6」...3-(2-Benzothiazolyl)-7-(diethylamino)coumarin

「BALq」...(1,1'-Bisphenyl-4-Olato)bis(2-methyl-8-quinolinplate-N1,08)Aluminum

上記ホール輸送層52、電子輸送層54、電子注入層55、および陰極32は全画素に共通に形成されており、発光層53は陽極31の形状に対応して各発光色の材料の膜が島状に形成されている。また、陽極31の上面上にはこれを囲繞してその端部を覆うように第2平坦化膜51が形成してある。これは、陽極31の厚みに起因して形成される有機EL素子層50の段差58において、絶縁不良が発生したり電界集中による劣化が助長されたりするのを防止するためである。

【0033】次に、上述の半導体表示装置の製造方法について説明する。図3～図7は、先の図1および図2に示した表示装置についてその製造工程例を示す図であり、いずれも図1に示したA-A'線およびB-B'線に沿った基板断面に対応させて示したものである。そしてさらに、各工程に対応して、表示装置の表示面の周辺に駆動回路として同時形成するp型およびn型のTF Tも併せて示してある。なお、これら各工程において形成する膜の材料や膜厚等は、たとえば先の表1に示したものをを用いることができる。また、この製造工程では、画素毎に形成されるSW用TF T 21はトップゲート構造のnチャネル型にて、駆動用TF T 22はボトムゲート構造のpチャネル型にて形成する。また、表示面の周辺に駆動回路として形成されるTF Tは、トップゲート構造のnチャネル型およびpチャネル型にて形成する。

【0034】まず、図3(a)に示すように、ガラス基板41上に駆動用TF T 22のゲート電極22Gを含むボトムゲート層42の金属膜をスパッタ法によりパターン形成する。続いて、図3(b)に示すように、ボトムゲート層42の上面上にボトムゲート絶縁膜43をプラズマCVD(化学的気相成長)法により堆積し、さらにその上面上に非結晶シリコン膜をプラズマCVD法により堆積する。そのうち、非結晶シリコン膜をたとえばレーザーアニール処理により結晶化して多結晶シリコン膜44aとする。このとき、ボトムゲート電極22Gが設けられている部分においては熱の放散量が大きいことから、非結晶シリコン膜のうちのボトムゲート電極22Gに対向している領域においてはそれ以外の領域と比較して結晶

化が進まず、その結晶の粒径は小さいものとなる。ただし、この放熱の影響はボトムゲート絶縁膜43の膜厚によって調整することができるため、上記結晶の粒径もそれに応じて可変とすることができる。特に本実施の形態においては、ボトムゲート絶縁膜43の膜厚は、トップゲート絶縁膜45の膜厚とは独立した構成となっているため、SW用TF T 21の特性に影響を及ぼすことなくこれを自由度高く選ぶことができるようになる。ここで、図3に示した断面において、ボトムゲート層42および半導体層44に形成した膜に起因して発生する段差の図示は割愛した(以下に示す図4～図7についても同様)。

【0035】次に、図4(a)に示すように、この多結晶シリコン膜44aを各TF Tの形状に合わせて島状にパターンニングする。そのうち、このパターンニングした多結晶シリコン膜のうち、pチャネル型TF Tのチャネル領域となる部分にホウ素を、またnチャネル型TF Tのチャネル領域となる部分にリンを、それぞれ「 10^{12} ions/cm²」程度イオン注入する(ともに図示略)。なお、図4(a)に付した符号21Cおよび22CはそれぞれSW用TF T 21および駆動用TF T 22のチャネル領域であり、これらは駆動回路のTF Tのチャネル領域とともにこの工程で形成される。ひきつづき、pチャネル型TF Tの全面とnチャネル型TF Tのチャネル領域にレジストマスク61を形成し、その上面上からリンを「 10^{15} ions/cm²」程度イオン注入する。これにより、nチャネル型TF Tのn型導電領域を形成する。そして、図4(b)に示すように、レジストマスク61を除去したのち、トップゲート絶縁膜45をプラズマCVD法により堆積し、さらにその上面上にトップゲート層46をなす金属膜46aをスパッタ法により堆積する。

【0036】次に、図5(a)に示すように、金属膜46aのうち、半導体層44においてpチャネル型TF Tの導電領域に対向する部分(SW用TF T 21との配線部分を含む)をエッチング除去する。そのうち、その表面上にレジストを塗布して、そのレジストをガラス基板41の裏面から露光、現像してパターンニングする。これにより、レジストはボトムゲート電極22Gが形成されている部分と、トップゲート電極21Gを形成するための金属膜46aが形成されている部分とを除いて除去され、レジストマスク62が形成される。そして、このレジストマスク62の上面上からホウ素を「 10^{15} ions/cm²」程度イオン注入する。これにより、pチャネル型TF Tのp型導電領域が形成される。続いて、図5(b)に示すように、レジストマスク62を除去したのち、トップゲート構造を有するnチャネル型TF TであるSW用TF T 21および駆動回路を構成するTF Tのゲート電極(それぞれ図中に符号21Gおよび符号23にて図示)をパターンニングしてトップゲート層46を形成する。

【0037】次に、図6(a)に示すように、表面にレジストを塗布して、そのレジストをガラス基板41の裏面から露光、現像してパターンニングする。これにより、レジストはボトムゲート構造およびトップゲート構造のすべてのゲート電極が形成されている部分を除いて除去され、レジストマスク63が形成される。そして、このレジストマスク63の上面からリンを「 10^{13} ions/cm²」程度イオン注入し、nチャネル型TFTのLDD(Lightly Doped Drain)領域を形成する。この工程により、半導体層44が完成する。引き続き、図6(b)に示すように、レジストマスク63を除去したのち、配線層絶縁膜47をプラズマCVD法により基板表面の全面に堆積する。そして、その表面をエッチングして配線層絶縁膜47、トップゲート絶縁膜45、およびボトムゲート絶縁膜43の各膜のボトムゲート電極22G、半導体層44の導電領域、およびトップゲート電極21Gの各パターンに対応した位置にコンタクトホール33を形成する。さらに、その表面に配線材料を堆積してコンタクトホール33にプラグを充填するとともに、配線層48をパターン形成する。この配線層48が、ド

レイン信号線11や駆動電源線12など表示面に格子状に設けられる配線、各画素内の配線、あるいは駆動回路の配線となる。本実施の形態においては、Mo、アルミニウム(Al)、およびMoを、それぞれこの順に「100nm」、「400nm」、および「100nm」堆積する。

【0038】次に、図7(a)に示すように、基板表面の全面に第1平坦化膜49を堆積し、これにコンタクトホール34を形成する。このコンタクトホール34は、駆動用TFT22と画素の発光部16とを接続するため

のものである。そのうち、発光部16の陽極31として上述のITOの透明導電膜をパターン形成する。そして、図7(b)に示すように、第2平坦化膜51を陽極31の端部35を覆うように形成する。このとき、陽極31の形成されている部分はその端部35を除いて開口し、その開口端部36をテーパ状に形成する。そして、この上面に上記表2に示した有機EL素子層50を堆積し、さらにその上面に陰極32を堆積する。ここで、第2平坦化膜51の開口端部36をテーパ状に形成するのは、陽極端部35の段差に起因する有機EL素子層50

40 内の層間短絡等の不良を防止するためである。

【0039】以上説明したように、本実施の形態にかか

る半導体表示装置によれば、以下のような効果を得ることができるようになる。

(1) SW用TFT21をトップゲート構造にて、また駆動用TFT22をボトムゲート構造にてそれぞれ形成しているため、各々のTFTに要求される機能に応じてそれらを自由度高く設計することができるようになる。したがって、それらTFTを所望の特性としつつもその素子寸法を縮小することができるようになり、画素の開

口率の向上にも寄与することができるようになる。換言すれば、上記各TFTの特性と素子寸法とを最適なバランスの元に形成することができるようになる。

【0040】(2) SW用TFT21をトップゲート構造により構成し、駆動用TFT22をボトムゲート構造により構成することによって、レーザアニール処理の際に前者の半導体層の結晶の粒径を大きく、後者のそれを小さくすることができるようになる。これにより、SW用TFT21の電流駆動能力の増大と駆動用TFT22の特性の均一化との両立が図られるようになる。

【0041】(3) 駆動回路におけるnチャネル型およびpチャネル型のTFTを、SW用TFT21共々、トップゲート構造にて形成している。このため、表示面すなわち画素駆動部17のTFTと同時に、駆動回路のTFTを効率よく形成することができるようになる。

【0042】(4) トップゲート絶縁膜45の膜厚を薄く、ボトムゲート絶縁膜43の膜厚を厚く形成している。このため、トップゲート構造にて形成されたTFTを電流駆動能力の高いものとし、ボトムゲート構造にて形成されたTFTを制御性がよく信頼性の高いものとする

ことができるようになる。

【0043】なお、上記実施の形態は以下のように変更して実施してもよい。

- ・上記実施の形態においては、表示装置の基板としてガラス基板41を用いた場合について例示したが、化学的および物理的に安定でかつ透明な他の絶縁性基板を用いてもよい。

- ・半導体層44に注入するイオンの種類およびその濃度は、適宜変更してもよい。

- ・上記実施の形態においては、ボトムゲート絶縁膜43、トップゲート絶縁膜45、および配線層絶縁膜47は、シリコン窒化膜とシリコン酸化膜との積層膜として構成した場合について例示したが、必ずしもこの構成に限定されるものではない。これら絶縁膜として、シリコン酸化膜およびシリコン窒化膜のいずれか一方のみを用いてもよいし、これら以外の他の絶縁膜を用いてもよい。

- ・上記実施の形態において示した積層構造をなす膜の材料とその膜厚は、適宜変更してもよい。また、それら各層の成膜工程についても、上記実施の形態において示した方法に限定されるものではない。

- ・上記実施の形態においては、SW用TFT21をトップゲート構造にて、また駆動用TFT22をボトムゲート構造にて構成した場合について例示したが、これらTFTのゲート構造は必ずしもこの構成に限定されるものではない。たとえば、SW用TFT21をボトムゲート構造にて、また駆動用TFT22をトップゲート構造にて構成した場合であっても、本実施の形態に準じた効果を得ることができるようになる。さらに、これらTFTをトップゲート構造とボトムゲート構造と

を混在させて構成する必要は必ずしもない。要は、互いに異なるゲート絶縁層を有してTF Tの特性を独立に決定できるようにそれぞれのゲート構造を構成しさえすれば、本実施の形態に準じた効果を得ることができる。

【0047】・上記実施の形態においては、SW用TF T 21および駆動用TF T 22のゲート絶縁膜を互いに異なる層の異なる膜厚にて構成することにより、それらTF Tの物理特性が異ならしめられたものとする場合について例示したが、必ずしもこの構成に限定されるものではない。これらTF Tのゲート絶縁膜は、同じ層に異なる膜厚にて形成することによっても、また異なる材料にて形成することによっても、あるいはその絶縁膜にイオン注入処理や熱処理などを施すことによっても、さらにはこれらを適宜組み合わせることによっても、その物理特性が異ならしめられたものとする事ができる。要は、上記各TF Tとして物理特性が異ならしめられたゲート絶縁膜を形成することができさえすればよい。

【0048】・上記実施の形態においては、SW用TF T 21をnチャンネル型にて、また駆動用TF T 22をpチャンネル型にて、さらに駆動回路をなすTF Tをnチャンネル型およびpチャンネル型にて構成する場合について例示したが、これらTF Tのチャンネル導電型は任意である。また、画素毎に備える薄膜トランジスタの数を2つとする必要は必ずしもなく、3つ以上備えていてもよい。

【0049】・上記実施の形態においては、発光部に有機エレクトロルミネッセンス素子を用いた半導体表示装置およびその製造方法について説明したが、この構成および方法に限定されるものではない。アクティブマトリクス方式にて駆動される他の発光素子を用いたものに対しても、本実施の形態にて示した半導体表示装置およびその製造方法を広く適用することができる。

【0050】

【発明の効果】請求項1に記載の半導体表示装置によれば、上記画素毎に形成される画素スイッチング用薄膜トランジスタおよび駆動用薄膜トランジスタの各ゲート絶縁膜を相異なる層に独立に形成することができる。このため、上記両薄膜トランジスタに対して互いに異なる特性を容易にもたせることができるようになる。これにより、上記両薄膜トランジスタを、その各々に対して要求される機能に応じて形成することができるようになる。したがって、上記両薄膜トランジスタに所望の特性をもたせつつ、その素子寸法を縮小して上記画素の開口率を向上させることができるようになる。

【0051】また、請求項2に記載の半導体表示装置によれば、上記両薄膜トランジスタのゲート絶縁膜を確実に異ならしめることができるようになる。特に、それら薄膜トランジスタの半導体層となる膜の結晶化をレーザーアニール処理などにより行う場合には、ボトムゲート電極における照射熱の放散により駆動用薄膜トランジスタ

のチャンネル領域における結晶の粒径が画素スイッチング用薄膜トランジスタのそれよりも小径となる。このため、画素スイッチング用薄膜トランジスタの電流駆動能力の向上と駆動用薄膜トランジスタの特性の均一化との両立が図られるようになる。

【0052】また、請求項3に記載の半導体表示装置によれば、表示面の薄膜トランジスタを駆動するために駆動回路として形成する薄膜トランジスタが上記画素スイッチング用薄膜トランジスタ共々、トップゲート構造に形成される。このため、駆動回路の薄膜トランジスタは画素スイッチング用薄膜トランジスタと共通のゲート絶縁膜を有し、その特性を同画素スイッチング用薄膜トランジスタと同じものにする事ができるようになる。そして、表示面と駆動回路とを同時に形成するため、製造工程としての効率も向上するようになる。

【0053】また、請求項4に記載の半導体表示装置によれば、上記画素スイッチング用薄膜トランジスタと駆動用薄膜トランジスタとで、その特性が確実に異ならしめられるようになる。特に、請求項5に記載の半導体表示装置のように、駆動用薄膜トランジスタのゲート絶縁膜の膜厚が画素スイッチング用薄膜トランジスタのそれに比べて厚く形成される場合には、画素スイッチング用薄膜トランジスタの電流駆動能力の向上と駆動用薄膜トランジスタの特性の均一化との両立が図られるようになる。

【0054】また、請求項6に記載の半導体表示装置によれば、上記両薄膜トランジスタの特性が、その各チャンネル領域における結晶の粒径を変化させることによっても、可変とすることができるようになる。特に、請求項7に記載の半導体表示装置のように、駆動用薄膜トランジスタのチャンネル領域における結晶の粒径を画素スイッチング用薄膜トランジスタのそれに比べて小径とする場合には、駆動用薄膜トランジスタの特性をより均一なものとする事ができるようになる。

【0055】また、請求項8に記載の半導体表示装置によれば、上記画素スイッチング用薄膜トランジスタと上記駆動用薄膜トランジスタとで、その各ゲート絶縁膜の物理特性が異ならしめられるため、それら薄膜トランジスタの特性が互いに異なったものとなる。これにより、上記両薄膜トランジスタを、その各々に対して要求される機能に応じて形成することができるようになる。したがって、上記両薄膜トランジスタに所望の特性をもたせつつ、その素子寸法を小さいものとして上記画素の開口率を向上させることが可能になる。

【0056】また、請求項9に記載の半導体表示装置によれば、上記画素スイッチング用薄膜トランジスタと駆動用薄膜トランジスタとで、その特性が確実に異ならしめられるようになる。特に、請求項10に記載の半導体表示装置のように、駆動用薄膜トランジスタのゲート絶縁膜の膜厚が画素スイッチング用薄膜トランジスタのそ

れに比べて厚く形成される場合には、画素スイッチング用薄膜トランジスタの電流駆動能力の向上と駆動用薄膜トランジスタの特性の均一化との両立が図られるようになる。

【0057】また、請求項11に記載の半導体表示装置によれば、上記両薄膜トランジスタの特性が、その各チャンネル領域における結晶の粒径を変化させることによっても、可変とすることができるようになる。特に、請求項12に記載の半導体表示装置のように、駆動用薄膜トランジスタのチャンネル領域における結晶の粒径を画素スイッチング用薄膜トランジスタのそれに比べて小径とする場合には、駆動用薄膜トランジスタの特性をより均一なものとすることができるようになる。

【図面の簡単な説明】

【図1】本発明にかかる半導体表示装置の一実施の形態について、画素の構成例を模式的に示す部分平面図。

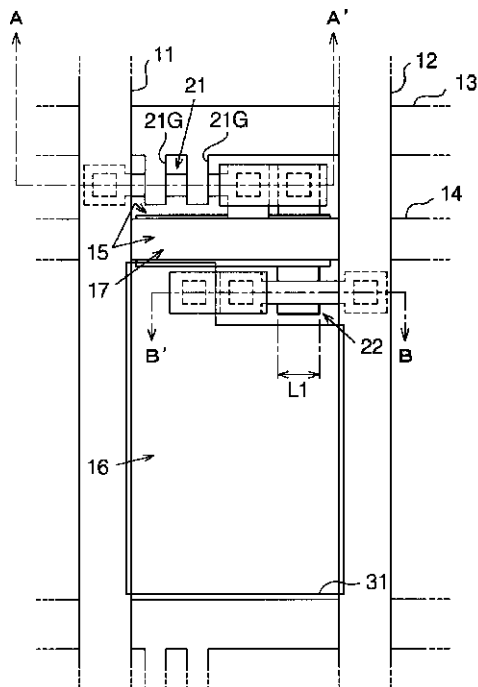
【図2】同画素の構成例を模式的に示す部分断面図。

【図3】本発明にかかる半導体表示装置の製造方法の一実施の形態について、その形成過程例を模式的に示す部分断面図。

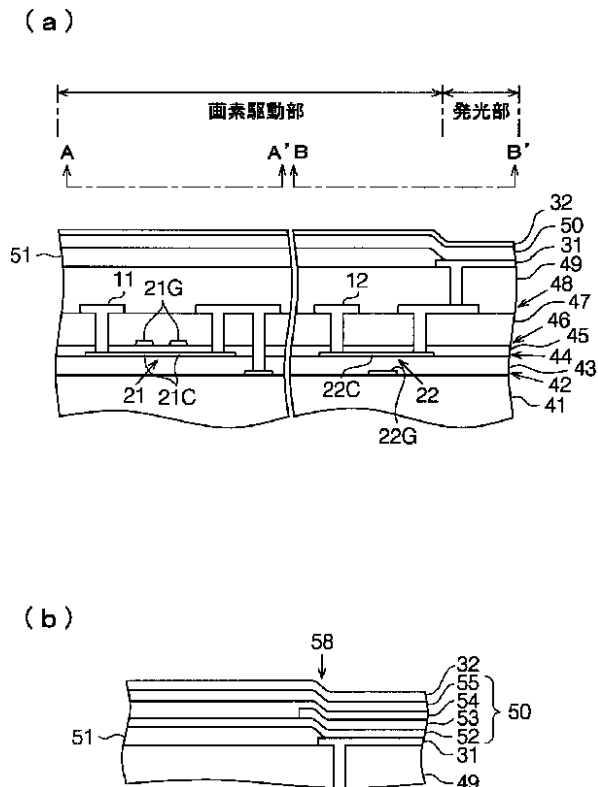
【図4】同形成過程例を模式的に示す部分断面図。

【図5】同形成過程例を模式的に示す部分断面図。

【図1】



【図2】



【図6】同形成過程例を模式的に示す部分断面図。

【図7】同形成過程例を模式的に示す部分断面図。

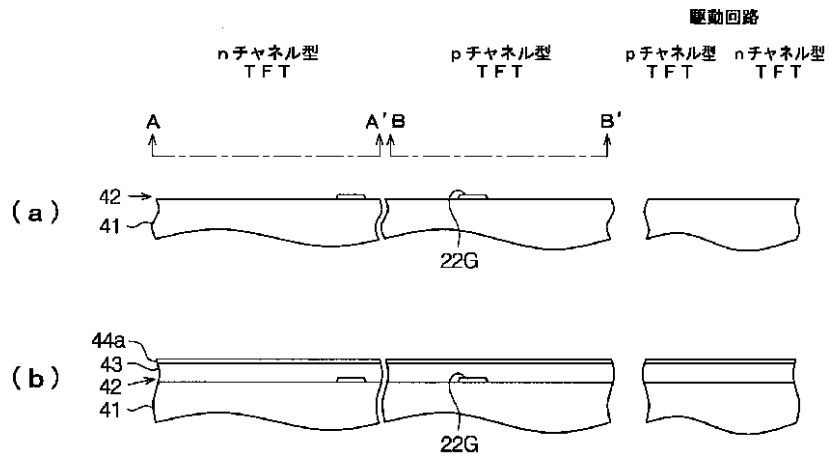
【図8】従来の半導体表示装置について、画素の構成例を模式的に示す部分平面図。

【図9】同画素の構成例を模式的に示す部分断面図。

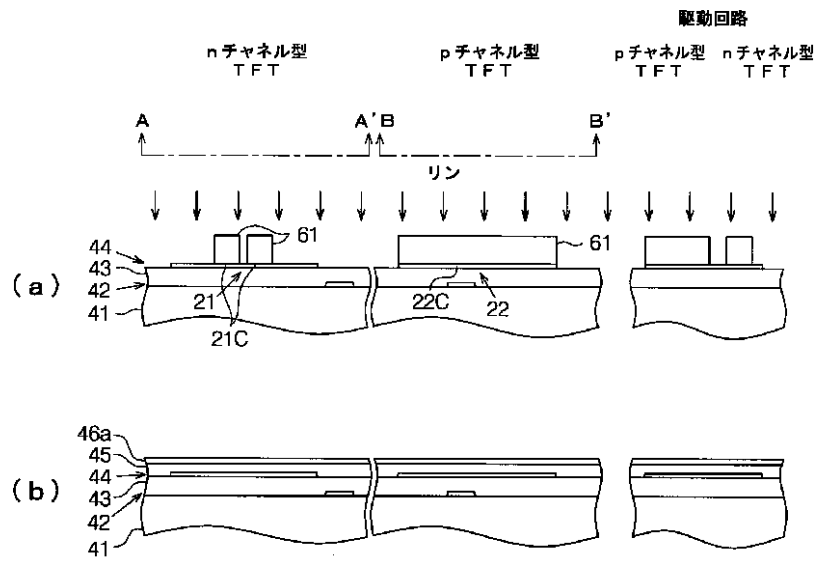
【符号の説明】

- 11...ドレイン信号線、12...駆動電源線、13...ゲート信号線、14...容量電源線、15...補助容量、16...発光部、17...画素駆動部、21...SW用TFT、21C...チャンネル領域、21G...トップゲート電極、22...駆動用TFT、22C...チャンネル領域、22G...ボトムゲート電極、23...ゲート電極、31...透明電極(陽極)、32...陰極、33...コンタクトホール、34...コンタクトホール、35...端部、36...開口端部、41...ガラス基板、42...ボトムゲート層、43...ボトムゲート絶縁膜、44...半導体層、44a...多結晶シリコン膜、45...トップゲート絶縁膜、46...トップゲート層、46a...金属膜、47...配線層絶縁膜、48...配線層、49...第1平坦化膜、50...有機EL素子層、51...第2平坦化膜、52...ホール輸送層、53...発光層、54...電子輸送層、55...電子注入層、58...段差、61~63...レジストマスク。

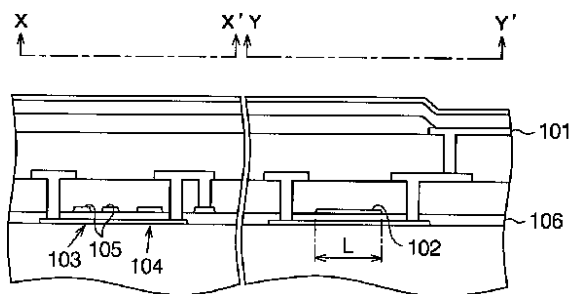
【図3】



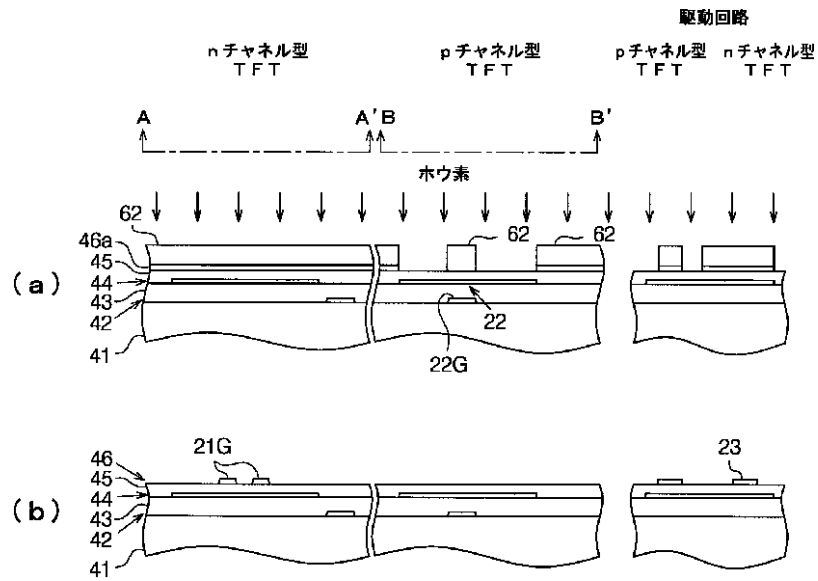
【図4】



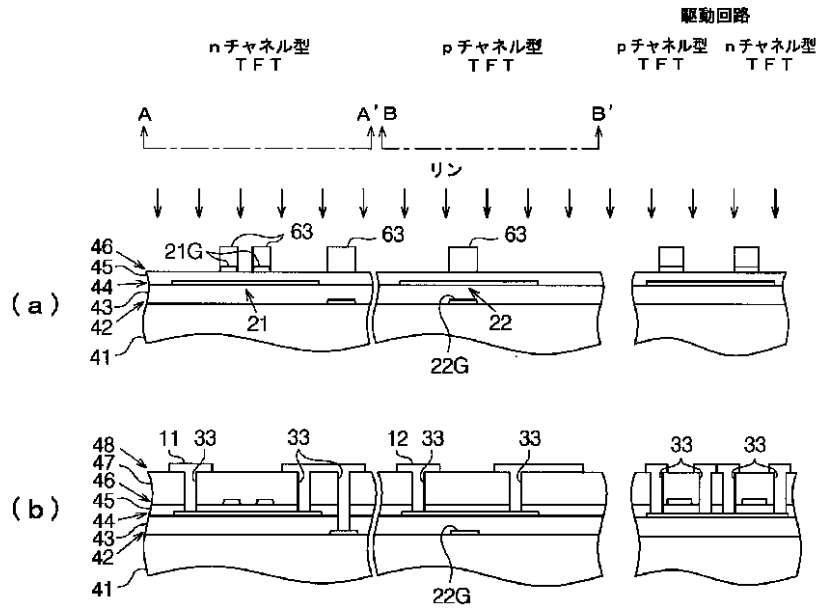
【図9】



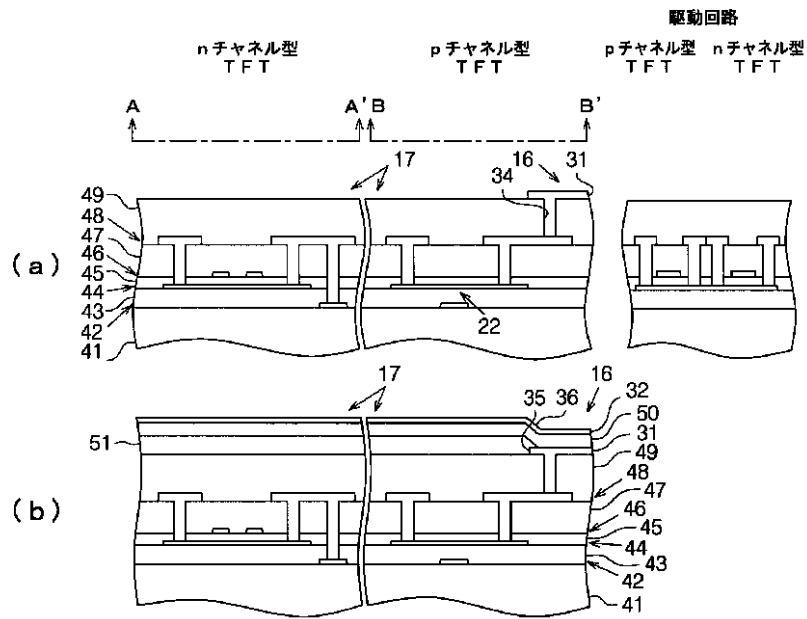
【図5】



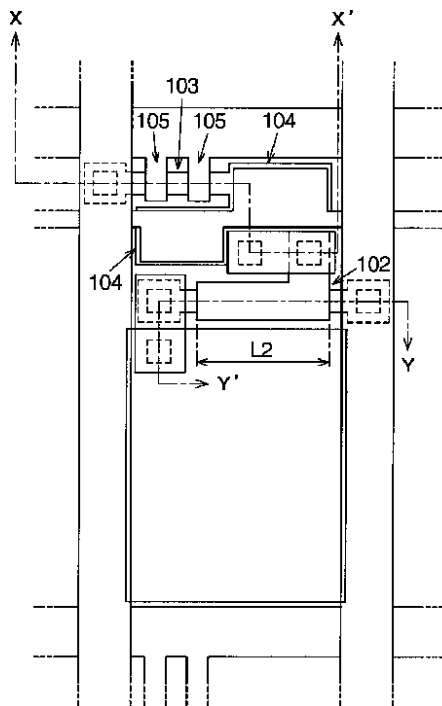
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 3K007 AB02 AB11 AB17 DB03 GA04
5C094 AA10 AA13 BA03 BA27 CA19
DA15 EA04 EA07 FB15
5F110 AA06 AA30 BB02 BB04 CC02
CC07 CC08 DD02 EE04 EE28
EE44 FF02 FF03 FF09 FF29
FF30 FF40 GG02 GG13 GG16
GG44 HJ01 HJ04 HJ13 HL02
HL03 HL04 HL07 HL11 HL12
HL22 HM15 NN03 NN23 NN24
NN73 NN78 PP03 PP40 QQ12

专利名称(译)	半导体表示装置		
公开(公告)号	JP2003223120A	公开(公告)日	2003-08-08
申请号	JP2002021846	申请日	2002-01-30
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	佐野景一		
发明人	佐野 景一		
IPC分类号	H01L51/50 G09F9/30 H01L21/336 H01L27/32 H01L29/786 H05B33/14		
FI分类号	G09F9/30.338 G09F9/30.365.Z H05B33/14.A H01L29/78.612.B H01L29/78.618.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB11 3K007/AB17 3K007/DB03 3K007/GA04 5C094/AA10 5C094/AA13 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA15 5C094/EA04 5C094/EA07 5C094/FB15 5F110/AA06 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/CC07 5F110/CC08 5F110/DD02 5F110/EE04 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF29 5F110/FF30 5F110/FF40 5F110/GG02 5F110/GG13 5F110/GG16 5F110/GG44 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL07 5F110/HL11 5F110/HL12 5F110/HL22 5F110/HM15 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN73 5F110/NN78 5F110/PP03 5F110/PP40 5F110/QQ12 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/EE04 3K107/HH04 3K107/HH05		
代理人(译)	柴野Seimiyabi		
外部链接	Espacenet		

摘要(译)

提供一种能够改善每个像素的孔径比而不会降低由有源矩阵方法驱动的显示装置的高速响应和可控性的半导体显示装置。为了通过有源矩阵方法驱动使用有机电致发光(EL)元件作为发光器的显示装置,驱动薄膜晶体管(TFT)22和像素切换SW)TFT21。该显示装置由形成在玻璃基板41上的层叠膜构成,驱动TFT22具有底栅结构,SW TFT21具有顶栅结构。驱动TFT22的栅极绝缘膜较厚,SW TFT的栅极绝缘膜较薄。

