

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002 - 358049

(P2002 - 358049A)

(43)公開日 平成14年12月13日(2002.12.13)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	338	G 0 9 F 9/30	338 5 C 0 5 8
	365		365 Z 5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A 5 C 0 9 4
			611 H

審査請求 未請求 請求項の数 9 O L (全 10数) 最終頁に続く

(21)出願番号 特願2001 - 164349(P2001 - 164349)

(22)出願日 平成13年5月31日(2001.5.31)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 近藤 茂樹

東京都大田区下丸子3丁目30番2号 キヤノ

ン株式会社内

(74)代理人 100096828

弁理士 渡辺 敬介 (外2名)

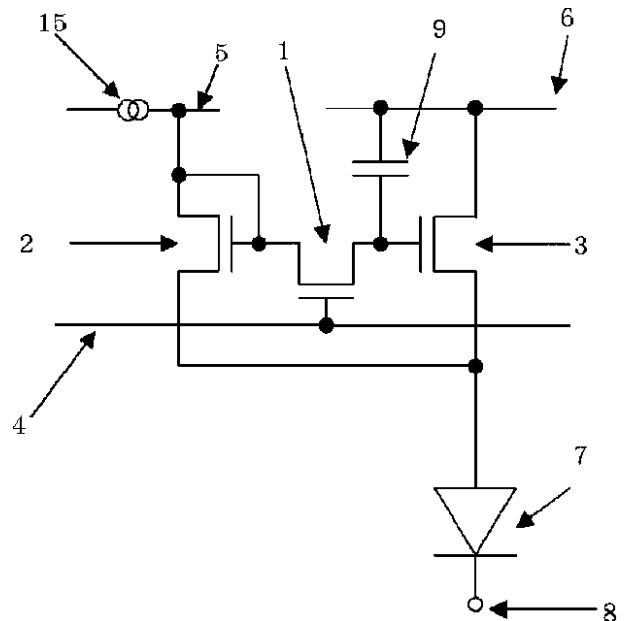
最終頁に続く

(54)【発明の名称】 発光素子の駆動回路、及びアクティブマトリクス型表示パネル

(57)【要約】

【課題】 有機 E L 素子に代表される電流制御型の発光素子の駆動回路の高性能化、低コスト化を目的とする。

【解決手段】 第 1 トランジスタのゲート電極が前記走査線に接続され、前記第 1 トランジスタの第 1 主電極が第 2 トランジスタのゲート電極及び第 1 主電極と前記信号線とに接続され、前記第 1 トランジスタの第 2 主電極が第 3 トランジスタのゲート電極と前記蓄積容量の第 1 電極とに接続され、前記第 2 トランジスタの第 2 主電極が前記発光素子の第 1 電極と前記第 3 トランジスタの第 2 主電極とに接続され、前記第 3 トランジスタの第 1 主電極が第 1 電源と前記蓄積容量の第 2 電極とに接続され、前記発光素子の第 2 電極が第 2 電源に接続された構成とする。



【特許請求の範囲】

【請求項1】 複数のトランジスタと、蓄積容量と、電流制御型の発光素子と、走査線及び信号線と、を少なくとも備えた発光素子の駆動回路において、第1トランジスタのゲート電極が前記走査線に接続され、前記第1トランジスタの第1主電極が第2トランジスタのゲート電極及び第1主電極と前記信号線とに接続され、前記第1トランジスタの第2主電極が第3トランジスタのゲート電極と前記蓄積容量の第1電極とに接続され、前記第2トランジスタの第2主電極が前記発光素子の第1電極と前記第3トランジスタの第2主電極とに接続され、前記第3トランジスタの第1主電極が第1電源と前記蓄積容量の第2電極とに接続され、前記発光素子の第2電極が第2電源に接続されたことを特徴とする発光素子の駆動回路。

【請求項2】 複数のトランジスタと、蓄積容量と、電流制御型の発光素子と、走査線及び信号線及び制御信号線と、を少なくとも備えた発光素子の駆動回路において、第1トランジスタのゲート電極が前記走査線に接続され、前記第1トランジスタの第1主電極が第2トランジスタのゲート電極及び第1主電極と前記信号線とに接続され、前記第1トランジスタの第2主電極が第3トランジスタのゲート電極と前記蓄積容量の第1電極とに接続され、前記第2トランジスタの第2主電極が第4トランジスタの第1主電極に接続され、前記第3トランジスタの第1主電極が第1電源と前記蓄積容量の第2電極とに接続され、前記第3トランジスタの第2主電極が前記発光素子の第1電極と前記第4トランジスタの第2主電極とに接続され、第4トランジスタのゲート電極が前記制御信号線に接続され、前記発光素子の第2電極が第2電源に接続されたことを特徴とする発光素子の駆動回路。

【請求項3】 更に第5トランジスタと、リセット線と、を有し、該第5トランジスタの第1主電極が前記蓄積容量の第1電極及び第2電極のうちのどちらか一方に接続され、前記第5トランジスタの第2主電極が前記蓄積容量の残りの電極に接続され、前記第5トランジスタのゲート電極は前記リセット線に接続されたことを特徴とする請求項1又は2に記載の発光素子の駆動回路。

【請求項4】 前記トランジスタが薄膜トランジスタであることを特徴とする請求項1から3のうちのいずれか1項に記載の発光素子の駆動回路。

【請求項5】 前記第3トランジスタのゲート幅 W とゲート長 L との比 W/L が、前記第2トランジスタの W/L より大きいことを特徴とする請求項4に記載の発光素子の駆動回路。

【請求項6】 前記信号線が、定電流源に接続されていることを特徴とする請求項1から5のうちのいずれか1項に記載の発光素子の駆動回路。

【請求項7】 前記定電流源から前記信号線を介して前

記第2トランジスタに供給される電流が、前記発光素子の発光閾値電流より小さい電流であることを特徴とする請求項6に記載の発光素子の駆動回路。

【請求項8】 前記発光素子が有機エレクトロルミネセンス素子であることを特徴とする請求項1から7のうちのいずれか1項に記載の発光素子の駆動回路。

【請求項9】 少なくとも複数の走査線及び信号線がマトリクス状に配置された基板と、該基板上に配置された各々の走査線と信号線との対に接続された請求項1から8のうちのいずれか1項に記載の発光素子の駆動回路を備えた画素と、を有することを特徴とするアクティブマトリクス型表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、テレビ、携帯端末、車載用ディスプレイなどに用いられる表示パネル、該表示パネルに用いられる電流制御型の発光素子の駆動回路に関する。

【0002】

【従来の技術】有機エレクトロルミネセンス素子（有機EL素子）等の電流制御型の発光素子を用いた表示パネルは、陰極線管（CRT）やプラズマディスプレイパネルと同様、自発光型の表示デバイスである。液晶ディスプレイと異なり、照明のためのバックライトを必要とせず、低消費電力化が可能なこと、また視野角依存が少ないという特徴もあり、フラットパネルディスプレイ（FPD）として、テレビ、携帯端末、車載用ディスプレイへ広く応用され、今後の発展も期待されている。駆動方式には、パッシブ方式とアクティブ方式があるが、カラー表示、解像度、低消費電力を実現する上でアクティブ方式が優れている。

【0003】図9は従来例として、発光素子として有機EL素子を用いた、アクティブマトリクス駆動における最も単純な、一画素あたり2ヶの薄膜トランジスタ（TFT）による、アナログ階調方式の駆動回路である。

【0004】図9において、201は有機EL素子、202、203はTFT、204は信号線、205は走査線、207は電源線、208は接地、209は蓄積容量である。

【0005】図9の動作を以下に説明する。

【0006】走査線205に印加される電圧によってTFT202がオン状態となると、信号線204からの電圧が209の蓄積容量に印加され、TFT202がオフ状態になっても蓄積容量209によってTFT203のゲート電極は電圧を印加され続ける為、TFT203はオン状態を続け、有機EL素子201は発光状態のままとなる。ここで、TFT203に印加する電圧に応じて、即ち、信号線204から与えられるアナログ電圧に応じてTFT203のゲート電極は電圧を与えられ、電源線207からTFT203に供給される電流は制御さ

れる。この結果、発光状態は制御され、中間調表示を行う。

【0007】また、時間階調方式は階調を有機EL素子の点灯時間によって制御する方式であり、2000SID 36.1で報告されている。アナログ階調方式との違いは、有機EL素子は発光時は最高輝度で発光し、発光時間によって階調を表現する点である。

【0008】このように、画像に階調性を出すために、従来、アナログ階調方式、時間階調方式等が知られている。

【0009】アナログ階調方式では、有機EL素子に電流を供給するTFTのゲート電位を、ビデオ信号に応じて制御する、即ち、TFTのコンダクタンスを制御する必要がある。しかしながら、TFTの特性のパラツキにより、信号線を介して画素に転送されるビデオ信号が均一であっても、表示にムラが生じてしまうことがある。例えば、図9の駆動回路において、駆動TFT203の V_{th} 特性にばらつきがあると(図10実線と点線)、同じ信号(ゲート)電圧 V_A によって駆動されたとしても、発光素子に供給される電流値が I_A 、 I_B のように異なってしまう、表示時に輝度ムラが生じて表示品位を落とすことになる。

【0010】これに対して、特許第2953465号やInternational Display Research Conf.(IDRC)2000 Digest 頁358、などに記載されている、カレントミラー回路が提案されている。

【0011】図8に、特許第2953465号に記載されている駆動回路図を示した。この駆動回路は、3個の P_{ch} -TFT、及び、1個の蓄積容量からなっており、また、トランジスタ105のドレインには、負荷108が接続されている。負荷108は、例えば定電流駆動を要する有機EL素子である。このようにして構成された駆動回路には、トランジスタ104及び105からなるカレントミラー回路が含まれている。

【0012】このように構成された駆動回路の動作について説明する。

【0013】入力端子101に画像信号等の入力信号が入力されると、この信号の電圧に応じて抵抗103に電流が流れる。そして、抵抗103に流れる電流は、ドレイン及びソースが相互に接続されたトランジスタ104に流れ、トランジスタ104にゲート-ソース間電圧が発生する。

【0014】そして、制御端子102に入力されたアドレス信号がロウレベルでスイッチ用トランジスタ106が導通状態の場合には、トランジスタ104に発生したゲート-ソース間電圧は、スイッチ用トランジスタ106を介して電荷保持容量素子107及びトランジスタ105のゲートに印加される。このとき、トランジスタ104及び105はカレントミラー回路を構成しているた

め、抵抗103に流れる電流に比例した電流がトランジスタ105のドレイン電流として流れる。即ち、トランジスタ104とトランジスタ105とのパターンサイズの比によって決定される電流、例えばトランジスタ104及び105が同一パターンサイズで構成されている場合には、抵抗103に流れる電流と等しい電流がトランジスタ105のドレインとソースとの間を流れる。これにより、負荷108が駆動される。

【0015】次に、制御端子102に入力されたアドレス信号がハイレベルでスイッチ用トランジスタ106が遮断状態となると、トランジスタ104及び105からなるカレントミラー回路も遮断される。しかし、スイッチ用トランジスタ106が導通状態の時に、入力端子101の信号電圧に応じた電流がトランジスタ104に流れ、その電流に応じたトランジスタ104のゲート-ソース間電圧が電荷保持容量素子107に印加されている。このため、スイッチ用トランジスタ106が遮断された後にも、この電圧がトランジスタ105のゲートに印加されるので、このゲート電圧に応じた電流が負荷108に供給される。即ち、スイッチ用トランジスタ106が遮断状態でも、負荷108には入力端子101の信号電圧に応じた電流が供給され続ける。

【0016】この回路をアクティブマトリクス方式の有機EL素子の駆動回路に適用した場合、入力端子101には入力画像信号が入力され、その階調データによって発光輝度が変化する。また、制御端子102にはアドレス信号が入力され、入力端子101からの画像信号に対応する画素が電荷保持容量素子107に選択的に読み込まれ、次の新しい画像信号が入力されるまで電荷が保持され、画素は発光し続ける。

【0017】このように、カレントミラー回路は、外部定電流源(図8では、入力端子に印加される電圧により抵抗103を流れる電流)の電流に応じたゲート電圧が立ち上がるので、基本的に V_{th} などTFT特性のばらつきの影響を受けない回路といえる。

【0018】

【発明が解決しようとする課題】しかしながら、上述のカレントミラー回路を発光素子の駆動回路として用いて表示パネルを作製しようとした場合、回路に流れる電流を制御する外部定電流源に大きな出力能力が要求されることになる。従来は、図8における抵抗103のような定電流源を各画素毎に設けるとそのばらつきの影響が生じるため、駆動回路とは別に共通の定電流源を、比較的精度良く、かつ高集積に作成できるバイポーラトランジスタやMOSトランジスタなどのトランジスタ回路を用いて設けるのが一般的である。例えば、図5に示すように、全画素共通の定電流源15を設け、それを各画素毎に転送する方式である。有機EL素子などの電流制御型の発光素子を各画素に持つ表示パネルの場合、その外部定電流源からの電流により発光輝度が制御される。図5

のような構成をとり、駆動回路として図8のような回路を用いた場合、外部定電流源の電流出力能力は、1回の走査で選択される画素数（通常は、1本の走査線に接続されている画素数）分の電流供給能力が必要になる。例えば、有機EL素子を発光素子とした場合、画素として必要な白輝度を得るための電流量は、 $100\mu\text{m} \times 100\mu\text{m}$ の大きさの画素を想定した場合、約 $2 \sim 3\mu\text{A}$ 程度である。表示パネルとして、カラーでVGAの解像度を持つものを考えると、1本の走査線に接続されている総画素数は、 $640 \times 3 = 1920$ 画素となり、外部定電流源の電流供給能力は、

$$2 \sim 3\mu\text{A} \times 1920 = 3840 \sim 5760\mu\text{A}$$

だけ必要になる。これだけの電流が、実際には、わずかに数 μm ～数 $10\mu\text{m}$ の大きさのトランジスタのエミッタ・ベース接合面、或いは、ドレイン・ウエル接合面を流れることになり、そのトランジスタの発熱等による信頼性の低下が問題となる。この問題を避けるためにはトランジスタのサイズを充分大きくすれば良いが、素子面積の増大を招きコストアップの要因ともなってしまう。

【0019】また、現在、長寿命化、低消費電力化の観点から発光効率を上げるための研究開発が盛んに行われているが、現状での有機EL素子の最大効率を得る為の駆動電流値は、 $100\mu\text{m} \times 100\mu\text{m}$ の画素サイズに対しておよそ $2 \sim 3\mu\text{A}$ である。

【0020】一方、有機EL素子は、通常、発光層を含む複数の材料層の積層により構成される（例えば、SID96、Digest p.181、月刊ディスプレイ1998、10月号、p.9など）。これらの層は、キャリアである電子、正孔の注入効率や輸送効率、発光層での発光効率を向上させる目的で、異なるエネルギーバンド構造を持つ材料が選択される。これら異なるエネルギーバンド構造を持つ材料の接合により材料の接合界面には必ず接合容量が存在する。この各界面での接合容量の合成容量として、有機EL素子の接合容量はおよそ $25\text{nF}/\text{cm}^2$ であり、 $100\mu\text{m} \times 100\mu\text{m}$ の画素は 2.5pF の容量を持つことになる。本発明者らは、発光素子に実質的に存在するこの接合容量が、発光素子の実質的な応答速度に影響することを見出した。

【0021】アナログ階調方式で8ビット階調を得ようとすると、最小電流は

$$2 \sim 3\mu\text{A} \div 28 \quad 8 \sim 12\text{nA}$$

となる。

【0022】一般的に有機EL素子の発光閾値電圧は $2 \sim 3\text{V}$ であり、8ビット階調を得る為の最小電流で発光させる為には接合容量 $C \times$ 閾値電圧 $V_{\text{th}} =$ 最小電流 $I_{\text{min}} \times$ 時間 t より

$$\text{時間 } t = 2.5\text{pF} \times 2 \sim 3\text{V} / 8 \sim 12\text{nA}$$

$$420\mu\text{s} \sim 940\mu\text{s}$$

となり、VGAクラスの画像表示装置においても動画の表示ができないことになる。

【0023】時間階調方式は、最高輝度での発光時間を1フレーム内でオン・オフさせて階調を得る方式であるが、8ビット階調を得ようとすると、最小オン時間は $1/60 \div 28 \quad 65\mu\text{s}$ となる。

【0024】画素サイズを同様に考えると、発光までに要する時間 t は

$$t = 2.5\text{pF} \times 2 \sim 3\text{V} \div 2 \sim 3\mu\text{A}$$

$$1.7 \sim 3.75\mu\text{s}$$

となり、発光時間に対して重大な影響は与えない。

【0025】しかしながら、前述のように長寿命、低消費電力化のために発光効率向上の研究開発がなされており、現在での目標値は $100 \sim 200\text{nA}$ で最大効率を得ることにある。

【0026】この場合、発光までに要する時間 t は

$$t = 25 \sim 75\mu\text{s}$$

となり、時間階調方式では発光効率向上に対応できないことになる。

【0027】本発明は、上記課題に鑑みなされたものであり、具体的な解決手段を提供することを目的とするものである。

【0028】

【課題を解決するための手段】上記目的を達成するために、本発明は、複数のトランジスタと、蓄積容量と、電流制御型の発光素子と、走査線及び信号線と、を少なくとも備えた発光素子の駆動回路において、第1トランジスタのゲート電極が前記走査線に接続され、前記第1トランジスタの第1主電極が第2トランジスタのゲート電極及び第1主電極と前記信号線とに接続され、前記第1トランジスタの第2主電極が第3トランジスタのゲート電極と前記蓄積容量の第1電極とに接続され、前記第2トランジスタの第2主電極が前記発光素子の第1電極と前記第3トランジスタの第2主電極とに接続され、前記第3トランジスタの第1主電極が第1電源と前記蓄積容量の第2電極とに接続され、前記発光素子の第2電極が第2電源に接続されたことを特徴とする発光素子の駆動回路を提供する。

【0029】また、複数のトランジスタと、蓄積容量と、電流制御型の発光素子と、走査線及び信号線と制御信号線と、を少なくとも備えた発光素子の駆動回路において、第1トランジスタのゲート電極が前記走査線に接続され、前記第1トランジスタの第1主電極が第2トランジスタのゲート電極及び第1主電極と前記信号線とに接続され、前記第1トランジスタの第2主電極が第3トランジスタのゲート電極と前記蓄積容量の第1電極とに接続され、前記第2トランジスタの第2主電極が第4トランジスタの第1主電極に接続され、前記第3トランジスタの第1主電極が第1電源と前記蓄積容量の第2電極とに接続され、前記第3トランジスタの第2主電極が前記発光素子の第1電極と前記第4トランジスタの第2主

電極とに接続され、第4トランジスタのゲート電極が前記制御信号線に接続され、前記発光素子の第2電極が第2電源に接続されたことを特徴とする発光素子の駆動回路を提供する。

【0030】また本発明は、上述の発光素子の駆動回路において、更に第5トランジスタと、リセット線と、を有し、該第5トランジスタの第1主電極が前記蓄積容量の第1電極及び第2電極のうちどちらか一方に接続され、前記第5トランジスタの第2主電極が前記蓄積容量の残りの電極に接続され、前記第5トランジスタのゲート電極は前記リセット線に接続されたこと、さらには、前記トランジスタが薄膜トランジスタであること、さらには、前記第3トランジスタのゲート幅 W とゲート長 L との比 W/L が、前記第2トランジスタの W/L より大きいこと、さらには、前記信号線が、外部定電流源に接続されていること、さらには、前記外部定電流源から前記信号線を介して前記第2トランジスタに供給される電流が、前記発光素子の発光閾値電流より小さい電流であること、さらには、前記発光素子が有機エレクトロルミネセンス素子であることを特徴とする発光素子の駆動回路を含むものである。

【0031】さらに本発明は、少なくとも複数の走査線及び信号線がマトリクス状に配置された基板と、該基板上に配置された各々の走査線と信号線との対に接続された上述の発光素子の駆動回路を備えた画素と、を有することを特徴とするアクティブマトリクス型表示パネルをも提供するものである。

【0032】本発明において、トランジスタの第1主電極、第2主電極とは、ゲート電極以外の2電極を表し、例えば、第1主電極がドレイン電極であれば、第2主電極はソース電極となる。

【0033】本発明において、発光素子の第1電極、第2電極とは、それぞれ2つの電極のうちどちらか一方の電極を表しており、本発明の範囲の中で駆動回路の設計を行った結果の電流の流れる向きを考慮して適切な接続を選択すればよい。

【0034】本発明において、蓄積容量の第1電極、第2電極とは、それぞれ2つの電極のうちどちらか一方の電極を表しており、一般に蓄積容量には極性はないので、これらが入れ替わることに意味はない。すなわち、本発明はこれらが入れ替わった場合をも当然に含むものである。

【0035】

【発明の実施の形態】(実施形態1)図1に、本発明の発光素子の駆動回路の一実施形態を表す回路図を示す。

【0036】本実施形態の駆動回路は、3個のTFTと1個の蓄積容量からなっている。本実施形態においては、第1～第3トランジスタが、TFT1～3にそれぞれ対応し、第1、第2主電極はドレイン電極、ソース電極にそれぞれ対応している。また、本発明において使用

する発光素子としては、発光閾値電流が存在する電流制御型の発光素子であれば制限はないが、後述のように本発明は、本実施形態に限らず、発光素子を等価回路で表した際に直列に接続された状態の接合容量を有し、発光させるために該容量を充電する必要がある型の発光素子を用いる際に特に顕著な効果を発揮するものである。このような発光素子としては、従来の技術においても例示した有機EL素子が挙げられ、本実施形態においてもこれを使用している。さらに本発明における、第1電源、第2電源とは、電流を供給する目的で設けられた端子という意味であり、例えば第1電源側に電池などの電力源を接続し、第2電源は接地にする場合や、その逆、或いは第1電源、第2電源の両方に電力源を接続するといった形態でも良い。本実施形態においては、第1電源が電源線6に対応し、第2電源が接地8に対応する。

【0037】TFT1のゲート電極が走査線4に接続され、TFT1のドレイン電極がTFT2のゲート電極及びドレイン電極と信号線5を介して定電流源15とに接続され、TFT1のソース電極がTFT3のゲート電極と蓄積容量9の第1電極とに接続され、TFT2のソース電極が有機EL素子7のアノード電極とTFT3のソース電極とに接続され、TFT3のドレイン電極が電源線6と蓄積容量9の第2電極とに接続され、有機EL素子7のカソード電極が接地8に接続されている。

【0038】図8の従来例の駆動回路との違いは、図8では負荷(有機EL素子)を駆動するためにTFT105のみが接続されているが、本実施形態では、TFT2およびTFT3の2個のTFTが有機EL素子7の駆動を行うために接続されている点である。この2つのTFTの機能については後述する。

【0039】定電流源15から映像情報に基づいた信号電流がTFT2に流れ、それに応じてTFT2にゲート-ソース間電圧が発生する。この信号電流は、TFT2のソースから有機EL素子にも流れる。このとき定電流源の電流値を有機EL素子の発光閾値電流以下に設定しておけば有機EL素子7は発光しない。

【0040】次に走査線4が選択されるとTFT1がオンし、TFT2に発生したソース-ゲート間電圧がTFT1を介して蓄積容量9及びTFT3のゲート電極に印加される。このときTFT2及びTFT3はカレントミラー回路を構成しているため、定電流源15の信号電流に比例した電流がTFT3に流れる。結果、有機EL素子7には、TFT2に流れる電流とTFT3に流れる電流の和が流れる。この電流量の和を有機EL素子の発光輝度に合わせた値に調整することで有機EL素子は所定輝度で発光する。

【0041】次に走査線4が非選択状態になると、TFT1がオフし、TFT2及びTFT3からなるカレントミラー回路も遮断される。しかし、TFT1がオンの時にTFT2に流れる電流に対応した電圧が蓄積容量9に

保持されているため、この電圧に応じた電流が、電源線6からTFT3を介して有機EL素子7に供給される。次に走査線4が選択され新たな信号電流が定電流源6からTFT3に供給されるまで有機EL素子7は所定輝度で発光しつづける。

【0042】ここで、TFT2およびTFT3の機能、すなわち、外部定電流源15からTFT2を介して有機EL素子7に供給される電流、電源線6からTFT3を介して有機EL素子7に供給される電流の役割について述べる。

【0043】先述したように、定電流源15の出力電流値、言い換えれば、TFT2を介して有機EL素子7に流れる電流は、有機EL素子の発光閾値電流よりも低い電流値に調整されている。一方、TFT3を介して有機EL素子7に流れる電流により有機EL素子は発光する。

【0044】ここで、TFT2及びTFT3はカレントミラー回路を構成しており、TFT3を介して有機EL素子に流れる電流値は、TFT3とTFT2のサイズ比(W/L比、W:ゲート幅、L:ゲート長)により決定される。ここで、サイズ比は、TFT3から流れる電流により有機EL素子7が発光するように、TFT3のW/LをTFT2のW/Lより大きく設定する。例えば、有機EL素子の発光閾値電流を約10nA、映像表示時に必要な有機EL素子の電流範囲を約2μA(階調100%白)~20nA(階調最小ビットに相当する輝度)とする。このとき、外部定電流源15の出力電流、すなわちTFT2に流れる電流値を10nA~0.1nA、TFT3のW/LをTFT2のW/Lの200倍、に設定すれば、TFT3を介して有機EL素子に流れる電流値は2μA~20nAとなり、有機EL素子は所定の輝度で発光する。

【0045】一方、TFT2を介して有機EL素子7に流れる電流値は、10nAの発光閾値電流以下であり、この電流が流れても有機EL素子7が発光することはない。このように設定することで、TFT2から流れてくる電流は、まず初期段階で、有機EL素子に実質的に存在する接合容量を充電する。初期の接合容量の充電が完了すると、電流は有機EL素子(単純にはダイオードと考えられる)に流れ始める。この後、有機EL素子ダイオードの電圧は、外部定電流源15で制限された電流値に応じた電圧で一定になる。

【0046】図7に有機EL素子の電流-電圧特性の模式図を示した。図中、 I_{th} 、 V_{th} は有機EL素子の発光閾値を示す。本実施形態では、外部定電流源によりTFT2を流れる電流を、発光閾値電流以下(I_{th} 値)に制限している。この制限された電流が有機EL素子側に流れ始め、その結果、ダイオードのインピーダンスが徐々に低下していく。最終的には、有機EL素子の電圧は、図で示す V_r 値で一定になるまで、徐々にダイオ-

ードのインピーダンスが低下し、 V_r で一定になる。その後、ダイオード電圧が変動することがあっても、常にTFT2を介して電流が供給されつづけるので、接合容量は常に充電されつづけ、かつ、有機EL素子ダイオード電圧は V_r に落ち着く。

【0047】発光素子を発光させることなく、電流 I_r により接合容量は常に発光閾値以下の電荷が注入される。有機EL素子の V_{th} は2V程度であり、 I_{th} は、100μm角の画素サイズを想定した場合、10nA程度である。例えば、 I_r 値設定として、 V_r 値電圧が発光閾値電圧の4分の1まで余裕を見て設定するなどが適切と思われるが、余裕値としてどこまで見るかは、作製プロセス等のばらつき、消費電力等の仕様、で決められるべきである。

【0048】このように設定した駆動回路において、有機EL素子の発光閾値を V_{th} 、有機EL素子に実質的に存在する接合容量をC、発光に必要な電流をI、プリ設定電圧値を V_r 、とすると、発光までに要する時間tは、以下のように示される。

$$【0049】 t = (V_{th} - V_r) \times C / I$$

ここで、前述したように、発光電流が100nAの場合を想定する。

【0050】例えば $V_{th} - V_r = 2 - 0.5 = 1.5V$ となるように、 I_r 値を設定するし、接合容量は、100μm角の素子サイズを想定して、2.5pFであるとすると、発光までに要する時間tは、
 $t = 1.5 \times 2.5 \text{ pF} / 100 \text{ nA}$
 $= 37.5 \mu\text{S}$

となり、8ビット階調に必要な最小時間65μSを実現することが可能となる。

【0051】また、本実施形態においては、駆動回路に共通接続される外部定電流源は、各画素毎に有機EL素子の発行閾値電流以下の電流を供給するだけでよく、例えば、1画素当たり10nAの電流供給能力があれば良い。VGAの解像度を持つ場合、外部定電流源としては、

$$10 \text{ nA} \times 1920 = 1.92 \mu\text{A}$$

の能力を持てばよい。この値は、先述した従来の定電流源能力の2000~3000分の1であり、外部定電流源回路を構成するトランジスタ素子のサイズを充分小さくすることが可能である。

【0052】(実施形態2)図2に、本発明の第2の実施形態の回路図を示す。図1と同じ機能を持つ素子には同一の番号を付与してある。本実施形態では、TFT2のソース電極は、有機EL素子7のアノード電極、及び、抵抗14を介して接地に接続されている。

【0053】本実施形態では、TFT2を介して流れる電流は、抵抗14と有機EL素子7の両方に流れる。有機EL素子に流れる電流は、第1の実施形態と同様、発光閾値電流以下に制限されるが、抵抗14に流れる電流

値には基本的に制限はない。したがって、TFT2に流れる電流量を実施形態1より多くすることができるため、カレントミラー回路のミラー比(TFT3とTFT2のサイズ比)を実施形態1ほど大きくとらなくてもよくなる。すなわち、TFT3のサイズをより小さくすることができる。たとえば、抵抗に流れる電流を発光閾値電流の10倍となるように設定する。もともと発光閾値電流は、前述のように約20nAと非常に小さい。したがって、抵抗に流れる電流を10倍に設定しても消費電流の上昇は低く抑えられる。有機EL素子の発光制御に必要な電流値が最大2μAとすると、TFT3のサイズはTFT2に比べ、約10倍あればよくなる。これは、画素サイズが小さくなっていくと大きなメリットとなる。

【0054】(実施形態3)図3に、本発明の第3の実施形態による回路図を示す。図1と同じ機能を持つ素子には同一の番号を付与してある。本実施形態では、TFT2と有機EL素子7との間に第4のTFT10を挿入した。

【0055】第1の実施形態では、TFT2を介して有機EL素子には常時電流が供給される構成であったが、本実施形態では、TFT10の開閉を制御することでTFT2から有機EL素子に流れる電流量を制御できる。TFT10の開閉を制御する制御信号線11は、全画素共通に接続されている。第1の実施形態でも示したようにTFT2を介してまず有機EL素子の接合容量を充電する。このタイミングは、全ての行の走査が終了し、次の画面走査が始まるまでの、いわゆる垂直ブランキング期間内に行う。その後の動作は実施形態1と同様である。

【0056】本実施形態によれば、TFT2を介して有機EL素子に流れる、発光閾値以下の電流においても常時流れるのではなく、有機EL素子に実質的に存在する接合容量を充電するだけの必要最小限の電流消費に抑えられる。また、その時間については、先述の数値例を用いるならば、 $V_r = 0.5V$ 、 $I_r = 10nA$ 、接合容量 $2.5pF$ として、
 $t = 2.5pF \times 0.5V / 10nA$
 $= 125\mu sec$.

であり、垂直ブランキング期間(NTSC規格では数msec.)内であれば十分充電可能である。

【0057】(実施形態4)図4に、本発明の第4の実施形態による回路図を示す。図1~3と同じ機能を持つ素子には同一の番号を付与してある。本実施形態では、TFT2と有機EL素子7との間に第4のTFT10を挿入し、かつ、蓄積容量の電荷を制御できるようにTFT12及びリセット線13を追加した。

【0058】リセット線13からの信号によって蓄積容量9の電荷を放電し、TFT3のゲート電圧を閾値電圧以下にすることで、TFT3を介した定電流の有機EL*

素子への供給を禁止することができ、確実に有機EL素子の発光を停止させることができる。

【0059】また、TFT12を動作させることにより、常に蓄積容量9の電荷を電源線6の一定電圧にリセットすることができ、TFT2から信号電圧を蓄積容量9にチャージするとき、常に同じソース電圧でTFT2を動作させることができ、電荷の蓄積動作を安定させることができるようになる。

【0060】(実施形態5)少なくとも複数の走査線及び信号線がマトリクス状に配置された基板と、該基板上に配置された各々の走査線と信号線との対に接続された上述の発光素子の駆動回路を備えた画素と、を有するアクティブマトリクス型表示パネルを作製した。回路ブロックは、図5に示したような従来のものと同じ構成が可能である。図5において、16は走査ドライバ、17は信号ドライバである。これらを含め、上記の走査線、信号線や、制御信号線、リセット線に駆動信号を与えるドライバには、既存のドライバを上記本発明に合わせて適宜設計変更することで容易に適用可能である。

【0061】なお、定電流源は図5に示すように全画素共通に設けても良いし、図6に示すように各信号線毎に設けても良い。

【0062】TFTの特性ばらつきに影響されない、階調性に優れた、かつ、画像の切れの良い(発光素子の応答速度を感じさせない)画像表示を得ることができた。

【0063】また、外部定電流源を構成する回路規模も従来に比べ小さくすることができ、表示パネル全体の大きさを小さくすることができた。

【0064】

【発明の効果】以上説明したように、本発明によれば、TFTの特性ばらつきに影響されない、優れた階調性を持つ表示パネルを実現できる。

【0065】また、本発明によれば、定電流源の信号電流を有機EL素子の接合容量の充電に用いる構成とすることで、素子の応答速度を動画表示可能な速度に引き上げることができる。

【0066】また、更に、本発明によれば、外部定電流源を構成する回路規模を従来に比べ大幅に小さくすることができ、その分回路面積を小さくでき、コストを低減させることができる。

【図面の簡単な説明】

【図1】本発明の発光素子の駆動回路の一実施形態を表す回路図である。

【図2】本発明の発光素子の駆動回路の一実施形態を表す回路図である。

【図3】本発明の発光素子の駆動回路の一実施形態を表す回路図である。

【図4】本発明の発光素子の駆動回路の一実施形態を表す回路図である。

【図5】複数の発光素子の駆動回路を組み込んだ表示パ

ネルの概念図である。

【図6】複数の発光素子の駆動回路を組み込んだ表示パネルの概念図である。

【図7】有機EL素子の電流 - 電圧特性を示す模式図である。

【図8】従来の駆動回路の一例を表す回路図である。

【図9】従来の駆動回路の一例を表す回路図である。

【図10】2つの薄膜トランジスタの特性差を示す模式図である。

【符号の説明】

1 ~ 3, 10, 12 薄膜トランジスタ (TFT)

4 走査線

* 5 信号線

6 電源線

7 発光素子

8 接地

9 蓄積容量

11 制御信号線

13 リセット線

14 抵抗

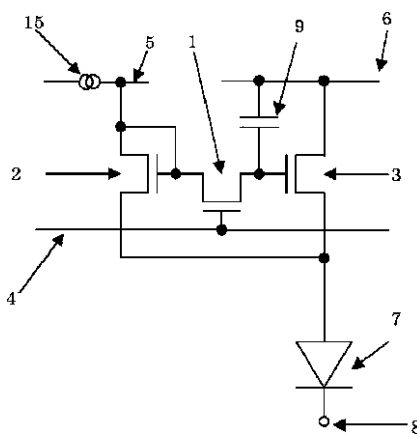
15 定電流源

10 16 走査ドライバ

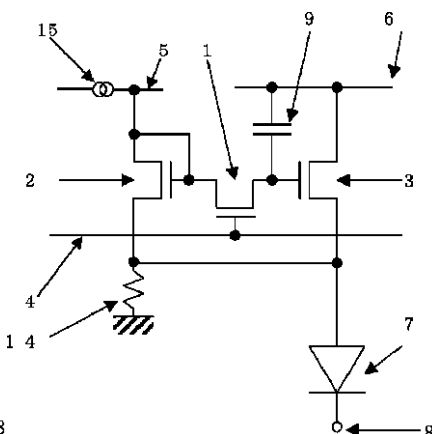
17 信号ドライバ

*

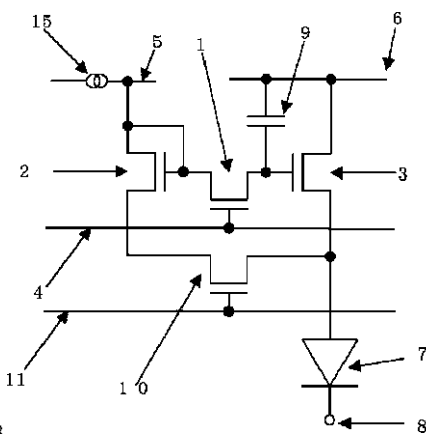
【図1】



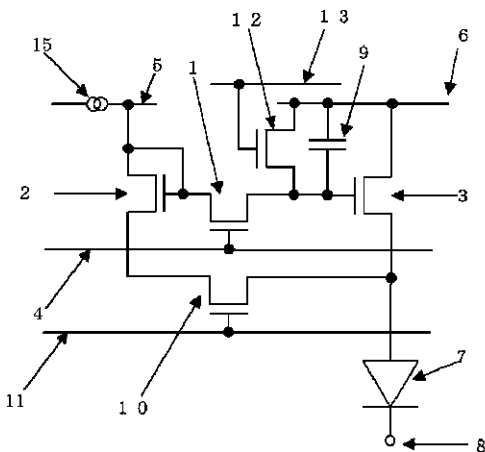
【図2】



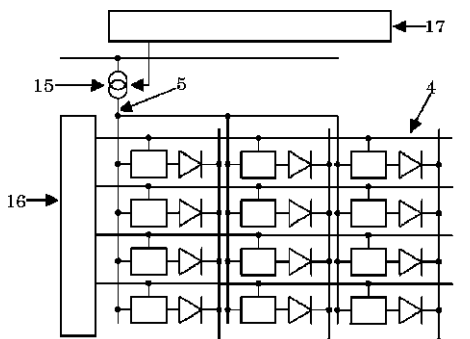
【図3】



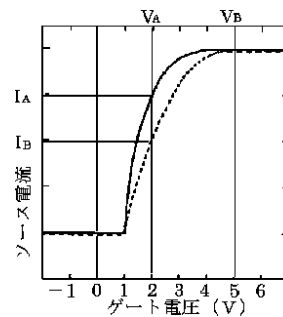
【図4】



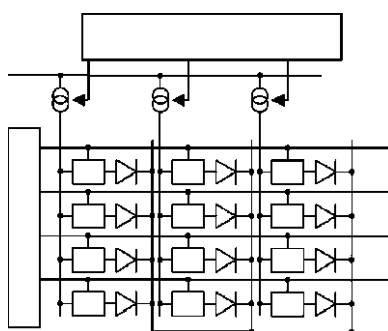
【図5】



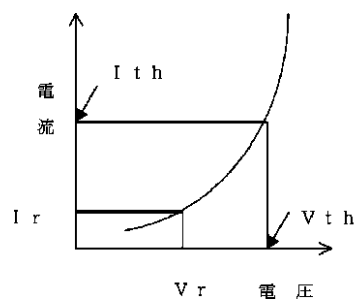
【図10】



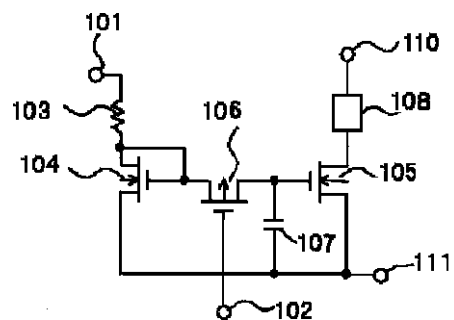
【図6】



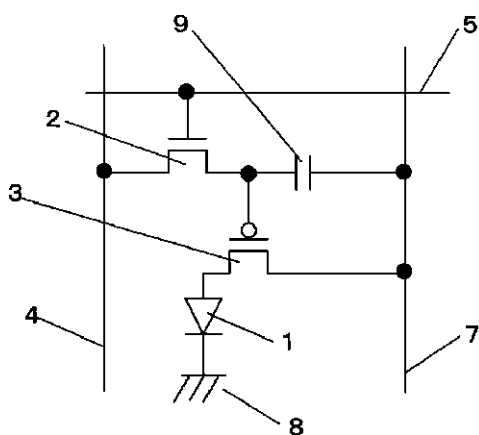
【図7】



【図8】



【図9】



フロントページの続き

(51) Int.Cl. ⁷	識別記号	FI	テ-マコード (参考)
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 F
	6 2 4		6 2 1 M
	6 4 1		6 2 4 B
H 0 4 N 5/70		H 0 4 N 5/70	6 4 1 E
H 0 5 B 33/14		H 0 5 B 33/14	A
			A

F ターム(参考) 3K007 AB02 AB05 AB11 BA06 BB07
DA01 DB03 EB00 GA04
5C058 AA12 BA02 BA35 BB25
5C080 AA06 BB05 DD03 DD08 DD22
DD26 DD27 EE29 FF11 JJ02
JJ03 JJ05
5C094 AA05 AA10 AA13 AA15 AA22
AA31 AA45 AA53 AA56 BA03
BA27 CA19 CA25 DA09 DB01
DB04 EA04 EA07 EB02 FA01
FB01 FB02 FB12 FB14 FB15

专利名称(译)	发光元件和有源矩阵型显示板的驱动电路		
公开(公告)号	JP2002358049A	公开(公告)日	2002-12-13
申请号	JP2001164349	申请日	2001-05-31
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	近藤茂樹		
发明人	近藤 茂樹		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L27/32 H04N5/70 H05B33/14		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.611.A G09G3/20.611.H G09G3/20.621.F G09G3/20.621.M G09G3/20.624.B G09G3/20.641.E H04N5/70.A H05B33/14.A G09F9/30.365 G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB05 3K007/AB11 3K007/BA06 3K007/BB07 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 5C058/AA12 5C058/BA02 5C058/BA35 5C058/BB25 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD08 5C080/DD22 5C080/DD26 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C094/AA05 5C094/AA10 5C094/AA13 5C094/AA15 5C094/AA22 5C094/AA31 5C094/AA45 5C094/AA53 5C094/AA56 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DA09 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/FA01 5C094/FB01 5C094/FB02 5C094/FB12 5C094/FB14 5C094/FB15 3K107/AA01 3K107/BB01 3K107/CC04 3K107/CC14 3K107/CC21 3K107/EE04 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AC07 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA11 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC04 5C380/CA08 5C380/CA09 5C380/CA13 5C380/CB17 5C380/CC14 5C380/CC15 5C380/CC26 5C380/CC35 5C380/CC38 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CF41 5C380/DA49 5C380/HA12		
外部链接	Espacenet		

摘要(译)

解决的问题：为了提高性能并降低以有机EL元件为代表的电流控制型发光元件的驱动电路的成本。第一晶体管的栅极连接到扫描线，第一晶体管的第一主电极连接到第二晶体管的栅极和第一主电极，信号线，一个晶体管的第二主电极连接到第三晶体管的栅极和存储电容器的第一电极，第二晶体管的第二主电极是发光元件的第一电极和第三晶体管的第三电极。连接第二主电极，第三晶体管的第一主电极连接到第一电源和存储电容器的第二电极，并且发光元件的第二电极连接到第二电源。配置。

