

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6262845号
(P6262845)

(45) 発行日 平成30年1月17日(2018.1.17)

(24) 登録日 平成29年12月22日(2017.12.22)

(51) Int.Cl.		F I	
G09G 3/3233 (2016.01)		G09G 3/3233	
G09G 3/20 (2006.01)		G09G 3/20	624B
HO1L 51/50 (2006.01)		G09G 3/20	641P
		G09G 3/20	670J
		HO5B 33/14	A

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2016-509259 (P2016-509259)
(86) (22) 出願日	平成25年6月26日 (2013.6.26)
(65) 公表番号	特表2016-524174 (P2016-524174A)
(43) 公表日	平成28年8月12日 (2016.8.12)
(86) 国際出願番号	PCT/CN2013/077965
(87) 国際公開番号	W02014/172992
(87) 国際公開日	平成26年10月30日 (2014.10.30)
審査請求日	平成28年6月13日 (2016.6.13)
(31) 優先権主張番号	201310150519.3
(32) 優先日	平成25年4月26日 (2013.4.26)
(33) 優先権主張国	中国 (CN)

(73) 特許権者	510280589
	京東方科技集團股▲ふん▼有限公司
	BOE TECHNOLOGY GROUP CO., LTD.
	中華人民共和国100015北京市朝陽區
	酒仙橋路10號
	No. 10 Jiuxianqiao Rd., Chaoyang District, Beijing 100015, CHINA
(74) 代理人	100108453
	弁理士 村山 靖彦
(74) 代理人	100089037
	弁理士 渡邊 隆

最終頁に続く

(54) 【発明の名称】 画素ユニット回路及びその補償方法、並びに表示装置

(57) 【特許請求の範囲】

【請求項1】

画素ユニット回路であって、駆動トランジスタ、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、蓄積容量及び発光デバイスを備え、

前記駆動トランジスタは、ドレイン電極が前記第4のトランジスタのソース電極に接続され、ソース電極が前記第3のトランジスタのドレイン電極に接続され、ゲート電極が前記蓄積容量の第1の端子及び前記第1のトランジスタのソース電極に接続され、

前記第1のトランジスタは、ドレイン電極が前記第4のトランジスタのソース電極に接続され、ソース電極が前記駆動トランジスタのゲート電極に接続され、ゲート電極が走査制御信号線に接続され、

前記第2のトランジスタは、ドレイン電極がデータラインに接続され、ソース電極が前記駆動トランジスタのソース電極及び第3のトランジスタのドレイン電極に接続され、ゲート電極が前記走査制御信号線に接続され、

前記第3のトランジスタは、ドレイン電極が駆動トランジスタのソース電極に接続され、ソース電極が前記発光デバイスのアノードに接続され、ゲート電極が発光制御信号線に接続され、

前記第4のトランジスタは、ドレイン電極が第1の電源電圧に接続され、ソース電極が前記駆動トランジスタのドレイン電極及び第1のトランジスタのドレイン電極に接続され、ゲート電極がプリチャージ制御信号線に接続され、

前記蓄積容量は、第1の端子が前記駆動トランジスタのゲート電極に接続され、第2の

10

20

端子が前記第 1 の電源電圧に接続され、

前記発光デバイスのカソードが第 2 の電源電圧に接続され、

発光デバイスの作動段階によって、補償方式を選択し、前記補償方式は内部補償方式および外部補償方式を有し、

前記発光デバイスが通常に発光する作動段階にあると、内部補償方式によって前記発光デバイスを補償し、

前記発光デバイスがパネルリセットの作動段階にあり、或いは前記発光デバイスがフレーム間、行間の表示空きの作動段階にあると、外部補償方式によって前記発光デバイスを補償し、

前記外部補償方式によって前記発光デバイスを補償する場合に、

前記駆動トランジスタに対して電流抽出し、前記発光デバイスに対して電流抽出して、前記駆動トランジスタ又は前記発光デバイスから抽出した電流を検出し、検出された電流値によって前記発光デバイスに対して電圧又は電流補償することを特徴とする画素ユニット回路。

【請求項 2】

前記発光デバイスは有機発光ダイオードデバイスであることを特徴とする請求項 1 に記載の画素ユニット回路。

【請求項 3】

請求項 1 に記載の画素ユニット回路の補償方法であって、

発光デバイスの作動段階によって、補償方式を選択し、前記補償方式は内部補償方式および外部補償方式を有するステップと、

前記発光デバイスが通常に発光する作動段階にあると、内部補償方式によって前記発光デバイスを補償するステップと、

前記発光デバイスがパネルリセットの作動段階にあり、或いは前記発光デバイスがフレーム間、行間の表示空きの作動段階にあると、外部補償方式によって前記発光デバイスを補償するステップと、を備え、

前記外部補償方式によって前記発光デバイスを補償するステップは、具体的に、

前記駆動トランジスタに対して電流抽出するステップと、

前記発光デバイスに対して電流抽出するステップと、

前記駆動トランジスタ又は前記発光デバイスから抽出した電流を検出し、検出された電流値によって前記発光デバイスに対して電圧又は電流補償するステップと、を備えることを特徴とする画素ユニット回路の補償方法。

【請求項 4】

前記内部補償方式によって前記発光デバイスを補償するステップは、具体的に、

前記駆動トランジスタに対してプリチャージするステップと、前記駆動トランジスタに対して電圧又は電流補償するステップと、前記発光デバイスを常に発光させるように、前記発光デバイスに対して電圧又は電流補償するステップと、を備えることを特徴とする請求項 3 に記載の画素ユニット回路の補償方法。

【請求項 5】

前記駆動トランジスタに対してプリチャージするステップは、具体的に、

発光制御信号をローレベルにさせ、前記第 3 のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第 4 のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第 1 のトランジスタ及び第 2 のトランジスタをオンにするステップと、前記駆動トランジスタのソース電極の電圧をデータラインの電圧 V_{Data} にさせるステップと、を備えることを特徴とする請求項 4 に記載の画素ユニット回路の補償方法。

【請求項 6】

前記駆動トランジスタに対して電圧又は電流補償するステップは、具体的に、

発光制御信号をローレベルにさせ、前記第 3 のトランジスタをオフにするステップと、プリチャージ制御信号をローレベルにさせ、前記第 4 のトランジスタをオフにするステッ

10

20

30

40

50

プと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタのゲート電極の電圧を $V_{DATA} + V_{thn}$ にさせ、 V_{DATA} が前記データラインの電圧であり、 V_{thn} が前記駆動トランジスタの閾値電圧であるステップと、を備えることを特徴とする請求項4に記載の画素ユニット回路の補償方法。

【請求項7】

前記発光デバイスを常に発光させるように、前記発光デバイスに対して電圧又は電流補償するステップは、具体的に、

発光制御信号をハイレベルにさせ、前記第3のトランジスタをオンにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をローレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオフにするステップと、前記駆動トランジスタを介して前記発光デバイスに入力される電流 I_{OLED} を、

【数1】

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

にさせ、

μ_n がキャリアの移動度であり、 C_{OX} が前記蓄積容量のゲート酸化層のコンデンサーであり、 W/L が前記駆動トランジスタの幅長比であり、 V_{DATA} が前記データラインの電圧であり、 V_{OLED} が前記発光デバイスのアノード電圧であるステップと、を備えることを特徴とする請求項4に記載の画素ユニット回路の補償方法。

【請求項8】

前記駆動トランジスタに対して電流抽出するステップは、具体的に、

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタの電流を前記データラインに入力させるとともに、前記発光デバイスからデータラインに流入する電流を遮断するステップと、を備えることを特徴とする請求項3に記載の画素ユニット回路の補償方法。

【請求項9】

前記発光デバイスに対して電流抽出するステップは、具体的に、

発光制御信号をハイレベルにさせ、前記第3のトランジスタをオンにするステップと、プリチャージ制御信号をローレベルにさせ、前記第4のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第2のトランジスタをオンにするステップと、前記発光デバイスの電流を前記データラインに入力させるとともに、前記駆動トランジスタから前記データラインに流入する電流を遮断するステップと、を備えることを特徴とする請求項8に記載の画素ユニット回路の補償方法。

【請求項10】

前記発光デバイスは有機発光ダイオードデバイスであることを特徴とする請求項3～9のいずれか1項に記載の画素ユニット回路の補償方法。

【請求項11】

請求項1又は2に記載の画素ユニット回路を備えることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、表示技術分野に関し、特に、画素ユニット回路及びその補償方法、並びに表示装置に関する。

【背景技術】

【0002】

有機発光ダイオード(OLED、Organic Light-Emitting Diode)は、電流型発光デバイスとして、高性能の表示装置にますます多く応用されている。従来のパッシブマトリクス型有機発光ダイオード(Passive Matrix OLED)は、表示サイズの大きくなることに従って、1つの画素に対する駆動時間をさらに短くする必要があるため、過渡電流を大きくする必要があり、消費電力も多くなってしまふ。それとともに、大電流の応用によって、ナノのインジウムスズ酸化物(ITO、Indium Tin Oxides)の線路電圧降下が大きすぎるようになり、OLEDデバイスは、作動電圧も高すぎるようになり、効率が低下してしまふ。アクティブマトリクス型有機発光ダイオード(AMOLED、Active Matrix OLED)は、スイッチ管によって、OLEDに入力する電流を行毎に走査するため、これらの問題をよく解決できる。

10

【0003】

AMOLEDのアレイ基板を設計する場合、主に、画素ユニット回路の間の輝度が不均一である問題を解決する必要がある。

【0004】

まず、AMOLEDは、薄膜トランジスタ(TFT、Thin-Film Transistor)によって画素ユニットの回路を形成して、対応する電流をOLEDデバイスに供給する。従来技術では、主に、低温多結晶シリコン薄膜トランジスタ又は酸化物薄膜トランジスタが採用される。低温多結晶シリコン薄膜トランジスタ及び酸化物薄膜トランジスタは、普通のアモルファスシリコン薄膜トランジスタに比べて、さらに高い移動度及びさらに安定する特性を有し、AMOLED表示にさらに適合に應用される。然し、結晶化技術の制約によって、大面積のガラス基板上に形成されたLTFT(Low-Temperature Poly Silicon thin-film transistor)は、例えば、閾値電圧及び移動度等の電気学的なパラメータが不均一である場合が多い。このような不均一性によって、OLED表示デバイスに電流差及び輝度差、即ち、ムラ現象が現れるようになり、人の目に感じられる。酸化物薄膜トランジスタは、技術的に均一性がよいが、アモルファスシリコン薄膜トランジスタと同じように、長時間に加圧される場合及び高温の場合に、閾値電圧がドリフトしてしまふ。表示画面が異なるため、パネルの薄膜トランジスタ毎の閾値ドリフト量が異なり、表示の輝度の異なりが生じてしまふ。このような異なりが直前の表示画像に関わるため、残像現象が現れる。

20

30

【0005】

第二に、大きいサイズの表示では、アレイ基板の電源線に一定の抵抗があり、全ての画素の駆動電流がいずれも電源電圧(ARVDD)によって提供されるため、アレイ基板では、ARVDD電源の給電位置に近い領域の電源電圧が給電位置から離れる領域の電源電圧より高い。このような現象は、電源の電圧降下と呼ばれる。ARVDDの電圧が電流に関わるため、電源の電圧降下によって、異なる領域の電流も異なるようになり、表示する場合、ムラ現象が生じてしまふ。P型TFTによって画素ユニットを形成する低温多結晶シリコン技術は、このような問題にさらに敏感である。これは、その蓄積容量がARVDDと駆動トランジスタTFTのゲート電極との間に接続され、ARVDDの電圧の変わりによって、駆動トランジスタTFTのゲート-ソース間電圧 V_{gs} が直接に影響されるからである。

40

【0006】

第三に、OLEDデバイスを蒸着するとき、膜厚が不均一であることにより、電気学的な性能も不均一になる。N型TFTによって画素ユニットを形成するアモルファスシリコン又は酸化物薄膜トランジスタ技術は、蓄積容量が駆動TFTのゲート電極とOLEDのアノードとの間に接続され、データ電圧がゲート電極に伝送されるとき、画素毎のOLE

50

Dのアノードの電圧が異なると、駆動TFTに実際に印加されるゲート-ソース間電圧 V_{gs} も異なるになって、駆動電流の異なりが表示輝度の異なりを生じてします。

【0007】

AMOLEDは、駆動のタイプによって、デジタル型、電流型及び電圧型という3つのタイプに分ける。デジタル型駆動方法は、TFTをスイッチとして駆動時間を制御することによってグレースケールを実現し、不均一性を補償する必要がない。然し、その作動頻度が表示サイズの増大に従って倍に上昇し、消費電力も大きくなり、且つ設計の物理的な限界がある範囲で達するため、大きいサイズの表示の応用に適しない。電流型駆動方法は、大きさが異なる電流を直接に駆動トランジスタTFTに提供することによって、グレースケールを実現し、駆動トランジスタTFTの不均一性及び電源の電圧降下をよく補償できる。然し、ローグレースケール信号を書き入れるとき、小電流がデータラインにおける大きい寄生容量を充電することは、書き入れ時間の長すぎる問題をもたらしてしまう。この問題は、大きいサイズの表示で特に深刻であって克服し難い。電圧型駆動方法は、従来のアクティブマトリクス液晶ディスプレイ(AMLCD、Active Matrix Liquid Crystal Display)の駆動方法に類似するように、駆動ICによってグレースケールを示す電圧信号を提供する。この電圧信号は、画素回路の内部で駆動トランジスタTFTの電流信号に変換され、OLEDを駆動して輝度グレースケールを実現する。このような方法は、駆動速度が速くて簡単に実現できるメリットを有し、大きいサイズのパネルの駆動に適し、業界において広く応用されている。然し、駆動トランジスタTFTの不均一性、電源の電圧降下及びOLEDの不均一性を補償するように、余計なTFT及びコンデンサーを設計する必要がある。

【0008】

図1は、従来技術に係る画素ユニット回路である。図1に示すように、画素ユニット回路は、2つの薄膜トランジスタT2、T1、及び1つのコンデンサーCを備える。図1に示す画素ユニット回路は、典型的な電圧駆動型画素回路構造(2T1C)である。ここで、薄膜トランジスタT2は、スイッチトランジスタとして、データラインの電圧を駆動トランジスタとしての薄膜トランジスタT1のゲート電極に伝送し、駆動トランジスタは、このデータ電圧を対応する電流に変換してOLEDデバイスに供給する。通常では、駆動トランジスタT1は、飽和領域にあり、1行の走査時間期間に定電流を提供すべきである。その電流は、

【数1】

$$I_{OLED} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{data} - V_{OLED} - V_{thn})^2$$

であり、ここで、 μ_n は、キャリアの移動度であり、 C_{ox} はゲート酸化層の電気容量であり、 W/L はトランジスタの幅長比であり、 V_{DATA} はデータラインの信号電圧であり、 V_{OLED} はOLEDデバイスの作動電圧であり、 V_{thn} は駆動トランジスタの閾値電圧である。増強型TFTにおいて、 V_{thn} は正值であり、空乏型TFTにおいて、 V_{thn} は負値である。上式から分かるように、 V_{thn} が画素ユニットによって異なると、電流が異なるようになる。画素ユニットにおいて、駆動トランジスタTFTの V_{thn} が時間によってドリフトすると、前後の電流が異なるようになり、残像が生じてしまう。OLEDデバイスの不均一性により、OLEDの作動電圧が異なるようになり、電流も異なるようになる。

【0009】

V_{thn} の不均一性、 V_{thn} のドリフト及びOLEDの不均一性を補償することに臨む画素構造が様々あり、一般的に、内部補償型及び外部補償型に分ける。内部補償は、画素の内部において、TFT及びコンデンサーによって画素駆動トランジスタTFTの閾値電圧の情報を記憶して、駆動トランジスタTFTの V_{gs} バイアス電圧にフィードバックすることによって図る補償方式である。図2aは従来技術に係る内部補償式の増強型TFT

T画素ユニット回路であり、図2bは従来技術に係る内部補償式の空乏型TFT画素ユニット回路である。図2a及び図2bに示すように、従来技術に係る内部補償式の画素ユニット回路は、1つの駆動トランジスタを備え、駆動トランジスタは薄膜トランジスタであり、駆動トランジスタのゲート電極がソース電極に接続され、駆動トランジスタのドレイン電極がOLEDのアノードに接続され、OLEDのカソードは第2の電源電圧ELVSSに接続される。然し、このような構造は増強型TFTのみに適用され、空乏型TFTに対して、TFTのゲート電極の電圧が0であっても依然として導通することができるため、TFTに蓄積される電圧において、 V_{thn} の電圧情報を備えなくなり、 V_{thn} の不均一性を補償することができなくなる。

【0010】

他の補償方式は外部補償であり、即ち、画素内部のTFTによって駆動トランジスタのI-V特性及びOLEDデバイスのI-V特性を外部誘導回路に読取り、補償する必要がある駆動電圧値を計算して駆動パネルのチップにフィードバックして補償を図る方式である。図3は、従来技術に係る外部補償式の画素ユニット回路である。図3に示すように、従来技術に係る外部補償式の画素ユニット回路は、アクティブマトリクス式有機EL(AMOLED)、ディスプレイ用行選択器(Display row selector)、センサー用行選択器(Sensor row selector)、列読み出し器(Column readout)、画像処理用大規模集積回路(Image processing LSI)、アナログ・デジタル変換器(ADC)、特定用途向け集積回路プロセッサ(AP, ASIC Processor)を備え、前記特定用途向け集積回路APは、ディスプレイデータ(Display DATA)を前記画像処理用大規模集積回路LSIに提供し、前記AMOLEDは、画素ユニット回路のアレイを備え、画素ユニット回路毎の電流又は電圧を列読み出し器によって出力し、図3に示すように、列読み出し器とアナログ・デジタル変換器との間の三角形は増幅補償回路を示し、データ電圧を参考電圧とすると、列読み出し器から流出する電圧が参考電圧より小さい場合、画素ユニット回路の電圧を補償する必要があることを説明し、前記増幅補償回路によって列読み出し器からの電圧を補償することによって、対応する画素ユニット回路の駆動トランジスタ及び/又はOLEDデバイスの電圧又は電流が補償された。

【発明の概要】

【発明が解決しようとする課題】

【0011】

内部補償及び外部補償は利点及び欠点をそれぞれ有する。限られた空間及び回路構造により、一般的に、内部補償は、駆動トランジスタTFTの閾値電圧の不均一性及びドリフトのみを補償することができ、外部補償は、外部の集積回路チップで複雑な算法をすることができるため、駆動トランジスタのTFT閾値電圧及び移動度の不均一性及びOLEDのエージング等の望まない状況を補償することができる。然し、外部補償の補償範囲が限られるため、その補償電圧がデータライン(DATA)電圧の最大範囲を超えてはできない。内部補償回路を介して得られる内部駆動電圧は外部DATA電圧の最大範囲を超えてもよい。内部補償及び外部補償を組み合わせれば、両方のメリットを兼備することができる。

【課題を解決するための手段】

【0012】

本発明は、従来技術に係る画素ユニット回路が内部補償及び外部補償を組み合わせられない問題、及び発光デバイス及び対応する画素ユニット回路を補償する場合に生じる駆動トランジスタの閾値電圧の不均一性問題を解決し、外部補償するように、駆動トランジスタ及び発光デバイスの回路特性の抽出機能を有し、表示装置のムラ現象を解消する目的を実現できる画素ユニット回路及びその補償方法、並びに表示装置を提供する。

【0013】

本発明の実施形態は、画素ユニット回路を提供し、駆動トランジスタ、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、蓄積容量及び発

10

20

30

40

50

光デバイスを備え、

前記駆動トランジスタは、ドレイン電極が前記第4のトランジスタのソース電極に接続され、ソース電極が前記第3のトランジスタのドレイン電極に接続され、ゲート電極が前記蓄積容量の第1の端子および前記第1のトランジスタのソース電極に接続され、

前記第1のトランジスタは、ドレイン電極が前記第4のトランジスタのソース電極に接続され、ソース電極が前記駆動トランジスタのゲート電極に接続され、ゲート電極が走査制御信号線に接続され、

前記第2のトランジスタは、ドレイン電極がデータラインに接続され、ソース電極が前記駆動トランジスタのソース電極及び第3のトランジスタのドレイン電極に接続され、ゲート電極が前記走査制御信号線に接続され、

10

前記第3のトランジスタは、ドレイン電極が駆動トランジスタのソース電極に接続され、ソース電極が前記発光デバイスのアノードに接続され、ゲート電極が発光制御信号線に接続され、

前記第4のトランジスタは、ドレイン電極が第1の電源電圧に接続され、ソース電極が前記駆動トランジスタのドレイン電極及び第1のトランジスタのドレイン電極に接続され、ゲート電極がプリチャージ制御信号線に接続され、

前記蓄積容量は、第1の端子が前記駆動トランジスタのゲート電極に接続され、第2の端子が前記第1の電源電圧に接続され、

前記発光デバイスのカソードが第2の電源電圧に接続される。

【0014】

20

さらに、本発明の実施形態に係る画素ユニット回路では、前記発光デバイスは有機発光ダイオードデバイスである。

【0015】

さらに、本発明の実施形態は、前記画素ユニット回路の補償方法を提供する。前記方法は、

発光デバイスの作動段階により、補償方式を選択し、前記補償方式は、内部補償方式及び外部補償方式を備えるステップと、

前記発光デバイスが通常に発光する作動段階にあると、内部補償方式によって前記発光デバイスを補償するステップと、

前記発光デバイスがパネルリセットの作動段階、或いは、前記発光デバイスがフレーム間、行間の表示空きの作動段階にあるとき、外部補償方式によって前記発光デバイスを補償するステップと、を備える。

30

【0016】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記内部補償方式によって前記発光デバイスを補償するステップは、具体的に、

前記駆動トランジスタに対してプリチャージするステップと、

前記駆動トランジスタに対して電圧又は電流補償するステップと、

前記発光デバイスを常に発光させるように、前記発光デバイスに対して電圧又は電流補償するステップと、を備える。

【0017】

40

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記駆動トランジスタに対してプリチャージするステップは、具体的に、

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタのソース電極の電圧をデータラインの電圧 V_{Data} にするステップと、を備える。

【0018】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記駆動トランジスタに対して電圧又は電流補償するステップは、具体的に、

50

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をローレベルにさせ、前記第4のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタのゲート電極電圧を $V_{DATA} + V_{thn}$ にさせ、 V_{DATA} が前記データラインの電圧であり、 V_{thn} が前記駆動トランジスタの閾値電圧であるステップと、を備える。

【0019】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記発光デバイスを常に発光させるように、前記発光デバイスを電圧又は電流補償するステップは、具体的に、

10

発光制御信号をハイレベルにさせ、前記第3のトランジスタをオンにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をローレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオフにするステップと、前記駆動トランジスタを介して前記発光デバイスに入力される電流 I_{OLED} を、

【数2】

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

20

にさせ、 μ_n がキャリアの移動度であり、 C_{OX} が前記蓄積容量のゲート酸化層のコンデンサーであり、 W/L が前記駆動トランジスタの幅長比であり、 V_{DATA} が前記データラインの電圧であり、 V_{OLED} が前記発光デバイスのアノードの電圧であるステップと、を備える。

【0020】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記外部補償方式によって前記発光デバイスを補償するステップは、具体的に、

前記駆動トランジスタに対して電流抽出を行うステップと、

前記発光デバイスに対して電流抽出を行うステップと、

前記駆動トランジスタ又は前記発光デバイスから抽出する電流を検出し、検出された電流値によって前記発光デバイスに対して電圧又は電流補償するステップと、を備える。

30

【0021】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記駆動トランジスタに対して電流抽出するステップは、具体的に、

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタの電流を前記データラインに入力させるとともに、前記発光デバイスからデータラインに流入する電流を遮断するステップと、を備える。

40

【0022】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記発光デバイスに対して電流抽出するステップは、具体的に、

発光制御信号をハイレベルにさせ、前記第3のトランジスタをオンにするステップと、プリチャージ制御信号をローレベルにさせ、前記第4のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第2のトランジスタをオンにするステップと、前記発光デバイスの電流を前記データラインに入力させるとともに、前記駆動トランジスタから前記データラインに流入する電流を遮断するステップと、を備える。

【0023】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記発光デバイス

50

は有機発光ダイオードデバイスである。

【0024】

本発明の実施形態は、本発明実施形態に係る画素ユニット回路を備える表示装置をさらに提供する。

【発明の効果】

【0025】

本発明実施形態に係る画素ユニット回路及びその補償方法、並びに表示装置によれば、以下の有益な効果を実現することができる。

一、本発明の実施形態に係る画素ユニット回路及びその補償方法は、内部補償及び外部補償を組み合わせることでOLEDデバイスを補償することができるとともに、内部補償及び外部補償のメリットを兼備し、内部補償によって、N型空乏型又は増強型TFT駆動トランジスタの閾値電圧の非均一性又はドリフトによるムラ現象が解消されて、表示効果が向上されるとともに、駆動TFTの特性及びOLED特性の抽出機能を有し、外部補償の駆動に効果的に応用されることができる。

二、本発明の実施形態に係る画素ユニット回路及びその補償方法は、電源の電圧降下による異なる領域の電流差を補償することができ、表示効果を向上することができる。

三、本発明の実施形態に係る表示装置は、本発明の実施形態に係る画素ユニット回路を採用するため、ムラ現象をさらに解消し、表示装置の表示効果をさらに向上することができる。

【図面の簡単な説明】

【0026】

【図1】従来技術に係る画素ユニット回路である。

【図2】従来技術に係る内部補償式の画素ユニット回路である。

【図3】従来技術に係る外部補償式の画素ユニット回路である。

【図4】本発明の実施形態に係る画素ユニット回路の回路図である。

【図5】本発明の実施形態に係る画素ユニット回路の補償方法のフローチャートである。

【図6】本発明の実施形態に係る内部補償モードの画素ユニット回路の補償方法のフローチャートである。

【図7】本発明の実施形態に係る内部補償モードの画素ユニット回路の等価回路図である。

【図8】本発明の実施形態に係る内部補償モードの画素ユニット回路の補償方法の制御信号のシーケンス図である。

【図9】本発明の実施形態に係る外部補償モードの画素ユニット回路の補償方法のフローチャートである。

【図10】本発明の実施形態に係る外部補償モードの画素ユニット回路の等価回路図である。

【図11】本発明の実施形態に係る外部補償モードの画素ユニット回路の補償方法の制御信号のシーケンス図である。

【発明を実施するための形態】

【0027】

以下、本発明をさらに理解するように、図面及び具体的な実施形態を組み合わせ、本発明をさらに説明する。

【0028】

本発明の実施形態に係る画素ユニット回路は、主に、発光デバイスOLEDの駆動補償に用いられ、発光デバイス毎が1つの画素ユニット回路によって駆動補償され、画素ユニット回路毎が5つの薄膜トランジスタ及び1つのコンデンサーによって前記発光デバイスに接続されて構成される。この構造は、内部及び外部補償に兼用できる。内部補償の表示過程は、プリチャージ、補償及び表示という3つの過程に分ける。外部補償は、駆動トランジスタTFTの電流抽出及び発光デバイスの電流抽出という2つの過程に分ける。従来の画素構造に対して、増強型又は空乏型駆動トランジスタTFTの閾値電圧のドリフト及

10

20

30

40

50

び非均一性、発光デバイスの電圧の非均一性及びエイジングを効果的に補償することができる。

【 0 0 2 9 】

本発明の実施形態に係る画素ユニット回路は、出力端子の発光デバイスが A M O L E D であってもよい。前記画素ユニット補償回路は、内部補償によって N 型空乏型又は増強型駆動トランジスタ T F T の閾値電圧の非均一性を効果的に補償することができ、表示効果を向上することができるとともに、駆動トランジスタ T F T の特性、発光デバイス特性の抽出機能を有し、効果的に外部補償の駆動に用いられる。ここで、前記発光デバイスは O L E D デバイスであり、前記発光デバイス特性は、O L E D デバイスの電圧、電流特性である。

10

【 0 0 3 0 】

図 4 は本発明の実施形態に係る画素ユニット回路の回路図である。図 4 に示すように、本発明の実施形態に係る画素ユニット回路は、駆動トランジスタ T 1、第 1 のトランジスタ T 2、第 2 のトランジスタ T 3、第 3 のトランジスタ T 4、第 4 のトランジスタ T 5、蓄積容量 $C_{S T}$ 及び発光デバイスを備え、前記発光デバイスは有機発光ダイオードデバイス O L E D である。

【 0 0 3 1 】

駆動トランジスタ T 1 は、前記発光デバイスを駆動するものであり、ドレイン電極が前記第 4 のトランジスタ T 5 のソース電極に接続され、ソース電極が前記第 3 のトランジスタ T 4 のドレイン電極に接続され、ゲート電極が前記蓄積容量 $C_{S T}$ の第 1 の端子及び前記第 1 のトランジスタ T 2 のソース電極に接続される。

20

【 0 0 3 2 】

第 1 のトランジスタ T 2 は、走査制御信号の制御スイッチである。前記第 1 のトランジスタ T 2 は、ドレイン電極が前記第 4 のトランジスタ T 5 のソース電極に接続され、ソース電極が前記駆動トランジスタ T 1 のゲート電極に接続され、ゲート電極が走査制御信号線 S C A N に接続される。

【 0 0 3 3 】

第 2 のトランジスタ T 3 は走査制御信号の他の制御スイッチである。前記第 2 のトランジスタ T 3 は、ドレイン電極がデータライン D A T A に接続され、ソース電極が前記駆動トランジスタ T 1 のソース電極及び第 3 のトランジスタ T 4 のドレイン電極に接続され、ゲート電極が前記走査制御信号線 S C A N に接続される。

30

【 0 0 3 4 】

第 3 のトランジスタ T 4 は発光制御信号の制御スイッチである。前記第 3 のトランジスタ T 4 は、ドレイン電極が駆動トランジスタ T 1 のソース電極に接続され、ソース電極が前記発光デバイス O L E D のアノードに接続され、ゲート電極が発光制御信号線 E M に接続される。

【 0 0 3 5 】

第 4 のトランジスタ T 5 はプリチャージ制御信号の制御スイッチである。前記第 4 のトランジスタ T 5 は、ドレイン電極が第 1 の電源電圧 E L V D D に接続され、ソース電極が前記駆動トランジスタ T 1 のドレイン電極及び第 1 のトランジスタ T 2 のドレイン電極に接続され、ゲート電極がプリチャージ制御信号線 P R に接続される。

40

【 0 0 3 6 】

蓄積容量 $C_{S T}$ は、第 1 の端子が前記駆動トランジスタ T 1 のゲート電極に接続され、第 2 の端子が前記第 1 の電源電圧 E L V D D に接続される。

【 0 0 3 7 】

前記発光デバイス O L E D のカソードは第 2 の電源電圧 E L V S S に接続される。

【 0 0 3 8 】

第 2 の電源電圧 E L V S S は発光デバイスのカソードに供給される電圧であり、一般的に、 $-5 V \sim 0 V$ であり、実際のデバッグによって得られる。

【 0 0 3 9 】

50

さらに、図5は本発明の実施形態に係る画素ユニット回路の補償方法のフローチャートである。図5に示すように、前記方法は、

発光デバイスの作動段階により、内部補償及び外部補償を有する補償方式を選択するステップS100と、

前記発光デバイスが通常に発光する作動段階にあると、内部補償によって前記発光デバイスを補償するステップS200と、

有機発光ダイオードデバイスOLEDである前記発光デバイスが、パネルリセットの作動段階にあり、或いは、前記発光デバイスがフレーム間、行間の表示空きの作動段階にあると、外部補償によって前記発光デバイスを補償するステップS300と、
を備える。

10

【0040】

さらに、図6は本発明の実施形態の内部補償モードの画素ユニット回路の補償方法のフローチャートを示す。図6に示すように、前記内部補償によって前記発光デバイスを補償するステップ200は、具体的に、

前記駆動トランジスタのドレイン電極にプリチャージを行うステップS210と、

前記駆動トランジスタのゲート電極に電圧又は電流補償を行うステップS220と、

前記発光デバイスを常に発光させるように、前記発光デバイスに電圧又は電流補償を行うステップS230と、

を備える。

【0041】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法において、前記駆動トランジスタのドレイン電極にプリチャージを行うステップ210は、具体的に、

発光制御信号EMをローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号PRをハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタのソース電極の電圧をデータラインの電圧 V_{Data} にするステップと、を備える。

【0042】

図7は、本発明の実施形態に係る内部補償モードの画素ユニット回路の等価回路図である。図7(a)に示すように、プリチャージ段階では、駆動トランジスタT1、第1のトランジスタT2、第2のトランジスタT3及びトランジスタT5がオンされ、トランジスタT4がオフされ、データラインの電圧が今回のフレームのデータライン信号電圧 V_{Data} であり、コンデンサー C_{ST} に蓄積された電荷が解放され、駆動トランジスタT1のソース電極をハイレベル、即ち、データライン電圧 V_{Data} までプリチャージする。

30

【0043】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法において、前記駆動トランジスタのゲート電極に電圧又は電流補償を行うステップ220は、具体的に、

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をローレベルにさせ、前記第4のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタのゲート電極の電圧を $V_{Data} + V_{thn}$ にさせ、 V_{Data} が前記データラインの電圧であり、 V_{thn} が前記駆動トランジスタの閾値電圧であるステップと、を備える。

40

【0044】

図7は、本発明の実施形態に係る内部補償モードの画素ユニット回路の等価回路図である。図7(b)に示すように、補償段階では、駆動トランジスタT1、第1のトランジスタT2及び第2のトランジスタT3がオンされ、第3のトランジスタT4及び第4のトランジスタT5がオフされ、駆動トランジスタT1のゲート電極は、駆動トランジスタT1のゲート電極の電圧が $V_{Data} + V_{thn}$ になるまで放電する。このとき、プリチャージされたトランジスタを補償し、蓄積容量 C_{ST} の両端に蓄積される電荷が $(V_{ELVD}$

50

$V_{thn} - V_{Data}) \cdot C_{ST}$ になり、 V_{ELVDD} が第1の電源電圧 V_{ELVDD} の電圧であり、 C_{ST} が蓄積容量 C_{ST} のゲート酸化層の容量値であり、 V_{thn} が駆動トランジスタ $T1$ の閾値電圧であり、 V_{Data} がデータラインの信号電圧である。

【0045】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法において、前記発光デバイスを常に発光させるように、前記発光デバイスに電圧又は電流補償を行うステップ 230 は、具体的に、

発光制御信号をハイレベルにさせ、前記第3のトランジスタをオンにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をローレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオフにするステップと、前記駆動トランジスタを介して前記発光デバイスに入力される電流 I_{OLED} を、

【数3】

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

にさせ、 μ がキャリアの移動度であり、 C_{OX} が前記蓄積容量のゲート酸化層のコンデンサーであり、 W/L が前記駆動トランジスタの幅長比であり、 V_{Data} が前記データラインの電圧であり、 V_{OLED} が前記発光デバイスのアノードの電圧であるステップと、

【0046】

図7は本発明の実施形態に係る内部補償モードの画素ユニット回路の等価回路図である。図7(c)に示すように、前記発光デバイスは $OLED$ デバイスであり、発光段階では、駆動トランジスタ $T1$ 、第3のトランジスタ $T4$ 及び第4のトランジスタ $T5$ がオンされ、第1のトランジスタ $T2$ 及び第2のトランジスタ $T3$ がオフされ、蓄積容量 C_{ST} が駆動トランジスタ $T1$ のゲート電極と第1の電源電圧 V_{ELVDD} との間に接続され、駆動トランジスタ $T1$ のゲート電極電圧を $V_{Data} + V_{thn}$ に保持させ、 V_{thn} が薄膜トランジスタ $T1$ の閾値電圧であり、 V_{Data} がデータラインの信号電圧である。このとき、データラインが画素ユニット回路から切断され、 $OLED$ デバイスの電流が安定されることに従って、駆動トランジスタ $T1$ のソース電極の電圧が V_{OLED} になり、駆動トランジスタ $T1$ のゲート電極の電圧が $V_{Data} + V_{thn}$ を維持し、このとき薄膜トランジスタ $T1$ を流す電流 I_{OLED} は、

【数4】

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} + V_{thn} - V_{thn} - V_{OLED}]^2 \\ &= \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2 \end{aligned}$$

になり、

μ_n がキャリアの移動度であり、 C_{OX} が蓄積容量 C_{ST} のゲート酸化層の容量値であり、 W/L が駆動トランジスタ $T1$ の幅長比であり、 V_{Data} がデータラインの信号電圧であり、 V_{OLED} が $OLED$ デバイスのアノードの電圧、即ち、 $OLED$ デバイスの作動電圧であり、 V_{thn} が駆動トランジスタ $T1$ の閾値電圧であり、増強型 $TFET$ トランジスタに対しては、 V_{thn} が正值であり、空乏型 $TFET$ トランジスタに対しては、 V_{thn} が負値である。

【0047】

上式から分かるように、駆動トランジスタを流す電流は、その閾値電圧 V_{thn} に関わ

らないとともに、発光デバイスの両端の電圧にも関わらないため、駆動トランジスタの閾値電圧の非均一性及びドリフトの影響が基本的に解消される。本発明の実施形態に係る画素ユニット回路を採用すれば、増強型薄膜トランジスタであっても空乏型薄膜トランジスタであっても、駆動トランジスタの閾値電圧の非均一性の影響を解消することができるため、適用性が一層広がった。

【0048】

図8は本発明の実施形態に係る内部補償モードの画素ユニット回路の補償方法の制御信号のシーケンス図である。図8に示すように、内部補償の場合、前記発光制御信号EM、プリチャージ制御信号PRおよび走査制御信号SCANの制御順序は、

前記ステップS210に対応し、発光制御信号EMがローレベルであり、プリチャージ制御信号PRおよび走査制御信号SCANがハイレベルであるプリチャージ段階と、

前記ステップS220に対応し、発光制御信号EM及びプリチャージ制御信号PRがローレベルであり、走査制御信号SCANがハイレベルである補償段階と、

前記ステップS230に対応し、発光制御信号EM及びプリチャージ制御信号PRがハイレベルであり、走査制御信号SCANがローレベルである発光段階と、である。

【0049】

また、本発明の実施形態に係る画素ユニット回路の補償方法は、外部補償によって前記発光デバイスを補償してもよい。外部補償は、パネルリセット(PANEL RESET)の作動段階、或いは、フレーム間、行間の表示空きの作動段階で行われる。例えば、起動の瞬間でパネルリセットを行ってもよい。外部補償の過程は、駆動トランジスタの電流抽出及び発光デバイスの電流抽出という2つの段階に分ける。

【0050】

さらに、図9は本発明の実施形態に係る外部補償モードの画素ユニット回路の補償方法のフローチャートを示す。図9に示すように、外部補償方式を採用することによって前記発光デバイスを補償する前記ステップS300は、具体的に、

前記駆動トランジスタに対して電流抽出を行うステップS310と、前記発光デバイスに対して電流抽出を行うステップS320と、

前記駆動トランジスタ又は前記発光デバイスから抽出された電流を検出し、検出された電流値によって前記発光ダイオードに対して電圧又は電流補償するステップS330と、を備える。

【0051】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法では、前記駆動トランジスタに対して電流抽出を行うステップS310は、具体的に、

発光制御信号をローレベルにさせ、前記第3のトランジスタをオフにするステップと、プリチャージ制御信号をハイレベルにさせ、前記第4のトランジスタをオンにするステップと、走査制御信号をハイレベルにさせ、前記第1のトランジスタ及び第2のトランジスタをオンにするステップと、前記駆動トランジスタの電流を前記データラインに入力させるとともに、前記発光デバイスからデータラインに流入する電流を遮断するステップと、を備える。前記データラインに接続される誘導チップによって前記駆動トランジスタを流す電流値を検出する。

【0052】

データライン信号の電圧を参考電圧 V_{REF} とすると、 $V_{REF} < V_{ELVDD}$ であり、 V_{ELVDD} が電源ELVDDの電圧である。図10は本発明の実施形態に係る外部補償モードの画素ユニット回路の等価回路図である。図10(a)に示すように、前記発光デバイスはOLEDデバイスであり、駆動トランジスタT1、第1のトランジスタT2、第2のトランジスタT3及び第4のトランジスタT5がオンにされ、第3のトランジスタT4がオフにされる。このとき、OLEDデバイスが駆動トランジスタT1から切断され、駆動トランジスタT1のゲート電極とソース電極との間の電圧が $V_{ELVDD} - V_{REF}$ にオフセットされ、駆動トランジスタT1の駆動電流が第2のトランジスタT3を介してデータラインに入り、データラインに接続される外部誘導チップを、この電流値を誘導

できるようにさせて更なる処理を行う。

【0053】

さらに、本発明の実施形態に係る画素ユニット回路の補償方法によれば、前記発光デバイスに電流抽出を行うステップS320は、具体的に、

発光制御信号をハイレベルにさせ、前記第3のトランジスタをオンにするステップと、プリチャージ制御信号をローレベルにさせ、前記第4のトランジスタをオフにするステップと、走査制御信号をハイレベルにさせ、前記第2のトランジスタをオンにするステップと、前記発光デバイスの電流を前記データラインに入力させるとともに、前記駆動トランジスタから前記データラインに流入する電流を遮断するステップと、を備える。前記データラインに接続される誘導チップによって前記発光デバイスを流す電流値を検出する。

10

【0054】

データラインの信号電圧を参考電圧 V_{REF} とすると、 $V_{REF} > V_{thn}$ であり、 V_{thn} が駆動トランジスタT1の閾値電圧である。図10は本発明の実施形態に係る外部補償モードの画素ユニット回路の等価回路図である。図10(b)に示すように、前記発光デバイスはOLEDデバイスである。このとき、第1のトランジスタT2、第2のトランジスタT3及び第3のトランジスタT4がオンにされ、駆動トランジスタT1及び第4のトランジスタT5がオフにされ、OLEDデバイスのアノードとカソードとの間の電圧差が $V_{REF} - V_{ELVSS}$ である。このとき、OLEDデバイスを流す電流が第2のトランジスタT3を介してデータラインに入力され、データラインに接続される外部誘導チップは、この電流値を誘導できて、更なる処理を行う。

20

【0055】

図11は本発明の実施形態に係る外部補償モードの画素ユニット回路の補償方法の制御信号のシーケンス図である。図11に示すように、前記発光制御信号EM、プリチャージ制御信号PR及び走査制御信号SCANの制御順序は、

前記駆動トランジスタT1の電流を抽出するステップS310に対応し、発光制御信号EMをローレベルにさせ、プリチャージ制御信号PRおよび走査制御信号SCANをハイレベルにさせる第1の段階と、

前記OLEDデバイスの電流を抽出するステップS320に対応し、発光制御信号EMおよび走査制御信号SCANをハイレベルにさせ、プリチャージ制御信号PRをローレベルにさせる第2の段階と、である。

30

【0056】

以上のように、この画素ユニット回路は、二つの作業モードである内部補償及び外部補償を同時に兼用することができるため、補償効果が両方のメリットを具備する。

【0057】

本発明の実施形態は、さらに表示装置を提供する。前記表示装置は、本発明の実施形態に係る画素ユニット回路を備え、本発明の実施形態に係る補償方法によって前記画素ユニット回路を補償する。

【0058】

以上は本発明の優れた実施形態に過ぎず、本発明は他の複数の実施形態を有してもよい。当業者は、本発明の精神及び趣旨から逸脱しなくて、様々な変化及び変形をすることができる。従って、その変化及び変形はいずれも本発明の特許請求の保護範囲に入る。

40

【0059】

A D C アナログ・デジタル変換器
 A R V D D 電源電圧
 C コンデンサー
 D A T A データライン
 E L V D D 第1の電源電圧
 E L V S S 第2の電源電圧
 E M 発光制御信号
 P R プリチャージ制御信号

50

SCAN 走査制御信号
 T1 駆動トランジスタ
 T2 第1のトランジスタ
 T3 第2のトランジスタ
 T4 第3のトランジスタ
 T5 第4のトランジスタ

【図1】

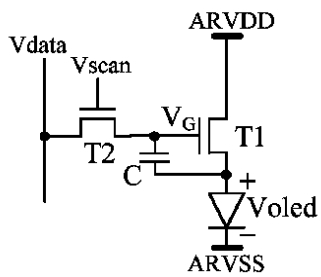
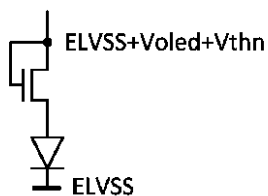


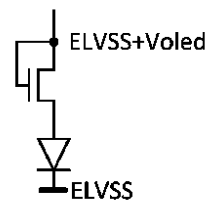
图 1

【図2(a)】



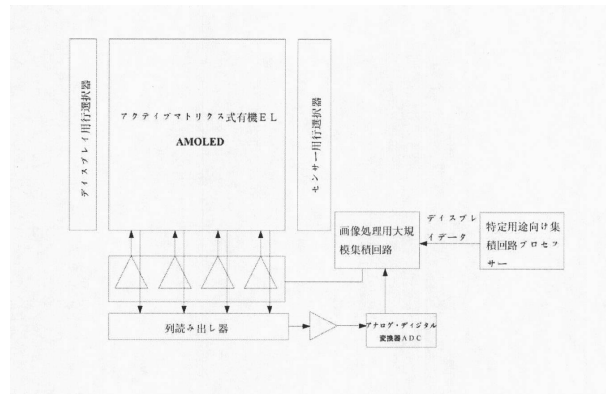
(a)

【図2(b)】



(b)

【図3】



【 図 4 】

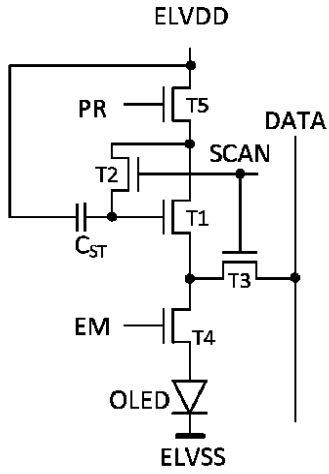
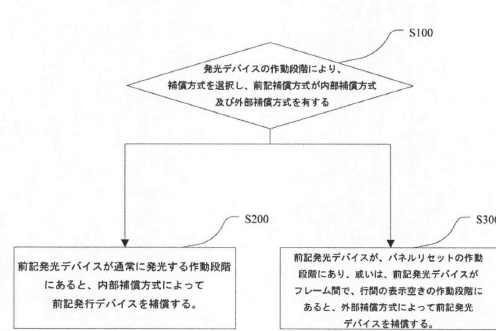
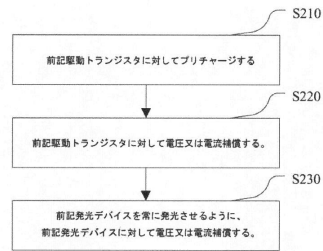


図 4

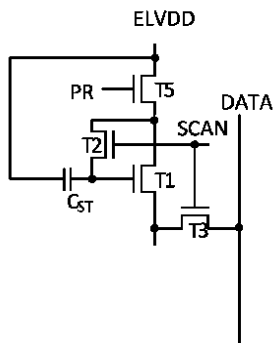
【 図 5 】



【 図 6 】

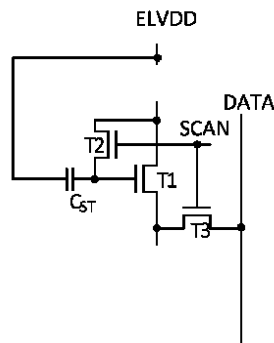


【 図 7 (a) 】



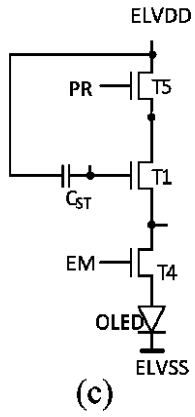
(a)

【 図 7 (b) 】

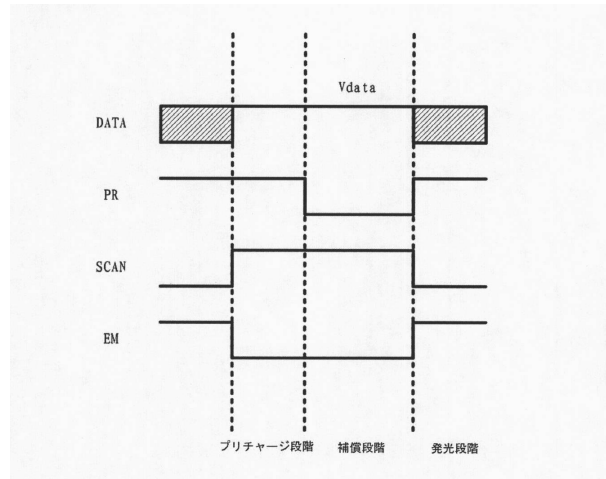


(b)

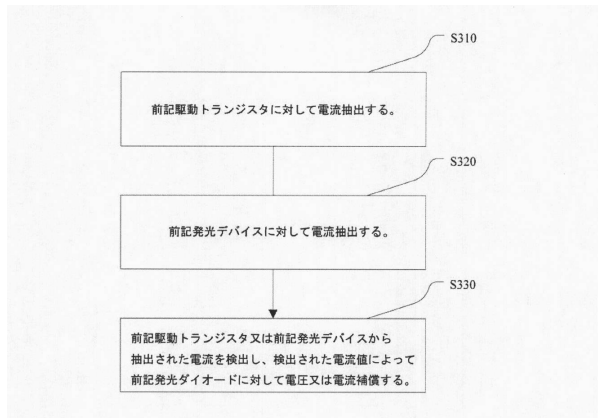
【図7(c)】



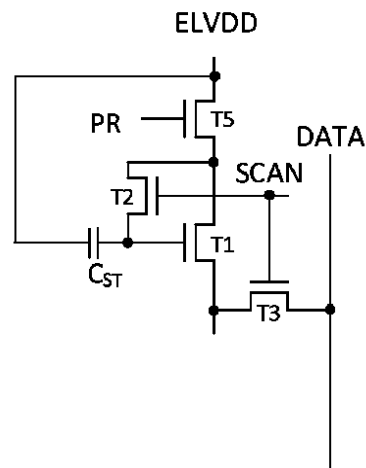
【図8】



【図9】

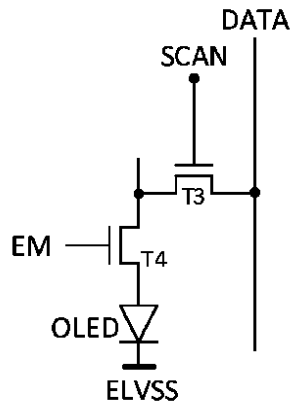


【図10(a)】



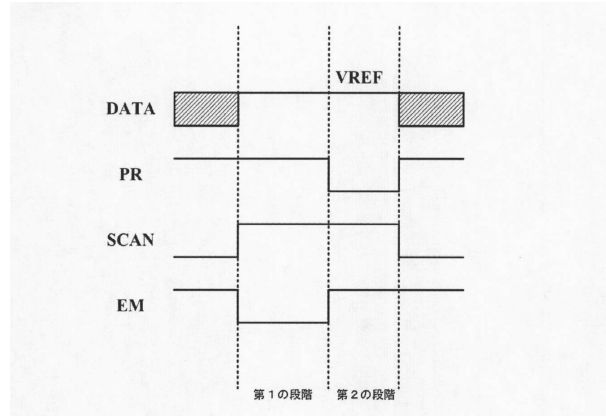
(a)

【 図 10 (b) 】



(b)

【 図 11 】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 吳 仲 遠

中華人民共和国100176北京市 經 濟 技 術 開 發 区地 澤 路9号

(72)発明者 段 立 業

中華人民共和国100176北京市 經 濟 技 術 開 發 区地 澤 路9号

審査官 小野 健二

(56)参考文献 特開2009-053647(JP,A)

特開2008-224864(JP,A)

特開2008-165159(JP,A)

米国特許出願公開第2009/0021287(US,A1)

米国特許出願公開第2011/0122119(US,A1)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

专利名称(译)	像素单元电路及其补偿方法，显示装置		
公开(公告)号	JP6262845B2	公开(公告)日	2018-01-17
申请号	JP2016509259	申请日	2013-06-26
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
当前申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	吳仲遠 段立業		
发明人	▲吳▼仲▲遠▼ 段立▲業▼		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2320/0233 G09G2320/029 G09G2320/043 G09G3/2003 G09G2310/0248 G09G2310/0289 G09G2320/045		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.641.P G09G3/20.670.J H05B33/14.A		
代理人(译)	村山彦 渡边 隆		
审查员(译)	小野贤二		
优先权	201310150519.3 2013-04-26 CN		
其他公开文献	JP2016524174A		
外部链接	Espacenet		

摘要(译)

本发明提供像素单元电路，其补偿方法和显示装置。该像素单元电路包括驱动晶体管 (T1) ，第一晶体管 (T2) ，第二晶体管 (T3) ，第三晶体管 (T4) ，第四晶体管 (T5) ，存储电容器 > ST) 和发光器件 (OLED) 。该像素单元电路和补偿方法及显示装置可以通过内部补偿和外部补偿相结合来补偿发光器件 (OLED) ，它具有内部补偿和外部补偿的优点，并且通过内部补偿，N型耗尽型或者有效地消除了由于增强型驱动晶体管TFT晶体管的阈值电压的不均匀性或漂移引起的不均匀性，提高了显示效果，提取了驱动晶体管TFT特性和发光器件特性，驱动了外部补偿有效地利用。

(19) 日本国特許庁 (JP)	(12) 特許公報 (B2)	(11) 特許番号 特許第6262845号 (P6262845)
(45) 発行日 平成30年1月17日 (2018.1.17)	(24) 登録日 平成29年12月22日 (2017.12.22)	
(51) Int. Cl.	F I	
G09G 3/3233 (2016.01)	G09G 3/3233	
G09G 3/20 (2006.01)	G09G 3/20 624B	
H01L 51/50 (2006.01)	G09G 3/20 641P	
	G09G 3/20 670J	
	H05B 33/14 A	
		請求項の数 11 (全 19 頁)
(21) 出願番号 特願2016-509259 (P2016-509259)	(73) 特許権者 510280589	
(86) (22) 出願日 平成25年6月26日 (2013.6.26)	京東方科技集團股▲ふん▼有限公司	
(65) 公表番号 特表2016-524174 (P2016-524174A)	BOE TECHNOLOGY GROUP CO., LTD.	
(43) 公表日 平成28年8月12日 (2016.8.12)	中華人民共和國100015北京市朝陽區酒仙橋路10號	
(86) 国際出願番号 PCT/CN2013/077965	No. 10 Jiuxianqiao Rd.	
(87) 国際公開番号 W02014/172992	d., Chaoyang District,	
(87) 国際公開日 平成26年10月30日 (2014.10.30)	Beijing 100015, CHINA	
審査請求日 平成28年6月13日 (2016.6.13)	(74) 代理人 100108453	
(31) 優先権主張番号 201310150519.3	弁理士 村山 靖彦	
(32) 優先日 平成25年4月26日 (2013.4.26)	(74) 代理人 100089037	
(33) 優先権主張国 中国 (CN)	弁理士 渡邊 隆	

(54) 【発明の名称】 画素ユニット回路及びその補償方法、並びに表示装置

最終頁に続く