

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6138254号  
(P6138254)

(45) 発行日 平成29年5月31日 (2017.5.31)

(24) 登録日 平成29年5月12日 (2017.5.12)

(51) Int.Cl.	F I
<b>G09G 3/3233 (2016.01)</b>	G09G 3/3233
<b>G09G 3/3291 (2016.01)</b>	G09G 3/3291
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 J
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 642A
請求項の数 19 (全 65 頁) 最終頁に続く	

(21) 出願番号	特願2015-524022 (P2015-524022)	(73) 特許権者	000005049
(86) (22) 出願日	平成26年6月20日 (2014.6.20)		シャープ株式会社
(86) 国際出願番号	PCT/JP2014/066403		大阪府堺市堺区匠町 1 番地
(87) 国際公開番号	W02014/208459	(74) 代理人	100104695
(87) 国際公開日	平成26年12月31日 (2014.12.31)		弁理士 島田 明宏
審査請求日	平成27年11月4日 (2015.11.4)	(74) 代理人	100121348
(31) 優先権主張番号	特願2013-134638 (P2013-134638)		弁理士 川原 健児
(32) 優先日	平成25年6月27日 (2013.6.27)	(74) 代理人	100114247
(33) 優先権主張国	日本国 (JP)		弁理士 奥田 邦廣
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	岸 宣孝
			大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
			シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

10

20

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

前記特性検出処理期間は、垂直走査期間内に設けられ、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動部は、前記着目電気光学素子が前記モニタ行に含まれている場合、前記発光準備期間には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位を前記データ線に与えることを特徴とする、表示装置。

#### 【請求項2】

アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

10

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

20

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

前記特性検出処理期間は、垂直帰線期間内に設けられ、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動部は、前記着目電気光学素子が前記モニタ行に含まれている場合、前記モニタ行に含まれる画素回路への前記データ信号の書き込みを垂直走査期間に行う際には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位を前記データ線に与えることを特徴とする、表示装置。

30

### 【請求項3】

アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

40

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線，前記モニタ制御線，および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部と

50

を備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサと  
を含み、

10

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

20

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

30

前記特性検出対象回路素子として前記駆動トランジスタのみの特性の検出が行われるフレームと前記特性検出対象回路素子として前記電気光学素子のみの特性の検出が行われるフレームとが存在することを特徴とする、表示装置。

#### 【請求項4】

アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個( $n$ および $m$ は2以上の整数)の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

40

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部と  
を備え、

50

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサと

10

を含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

20

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

前記電流測定期間は、前記駆動トランジスタの特性を検出するための電流測定が行われる駆動トランジスタ特性検出期間と前記電気光学素子の特性を検出するための電流測定が行われる電気光学素子特性検出期間とからなり、

30

前記画素回路駆動部は、前記駆動トランジスタ特性検出期間と前記電気光学素子特性検出期間とで前記第2の所定電位として異なる電位を前記データ線に与えることを特徴とする、表示装置。

【請求項5】

アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

40

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して

50

、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正部と、  
温度を検出する温度検出部と、  
前記特性データに対して前記温度検出部で検出された温度に基づく補正を施す温度変化  
補償部と  
を備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサと  
を含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

前記補正データ記憶部には、前記温度変化補償部による補正が施されたデータが前記補正データとして記憶されることを特徴とする、表示装置。

#### 【請求項6】

アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は2以上の整数)の画素回路からなる  $n$  行  $\times$   $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正部と、

電源オフの際に最後に前記特性検出処理が行われた領域を特定する情報を記憶するモニタ領域記憶部と

を備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサと

を含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

電源オン後には、前記モニタ領域記憶部に記憶されている情報に基づいて得られる領域近傍の領域から、前記特性検出処理が行われることを特徴とする、表示装置。

#### 【請求項7】

前記検出準備期間に前記データ線に与える電位を  $V_{mg}$  とし、前記駆動トランジスタ特性検出期間に前記データ線に与える電位を  $V_{m\_TFT}$  とし、前記電気光学素子特性検出期間に前記データ線に与える電位を  $V_{m\_oled}$  としたとき、 $V_{mg}$  の値は以下の式を満たすように定められていることを特徴とする、請求項4に記載の表示装置：

$$V_{mg} > V_{m\_TFT} + V_{th}(T_2)$$

$$V_{mg} < V_{m\_oled} + V_{th}(T_2)$$

ここで、 $V_{th}(T_2)$  は前記駆動トランジスタの閾値電圧である。

#### 【請求項8】

前記検出準備期間に前記データ線に与える電位を  $V_{mg}$  とし、前記駆動トランジスタ特性検出期間に前記データ線に与える電位を  $V_{m\_TFT}$  としたとき、 $V_{m\_TFT}$  の値は以下の式を満たすように定められていることを特徴とする、請求項4に記載の表示装置：

$$V_{m\_TFT} < V_{mg} - V_{th}(T_2)$$

$$V_{m\_TFT} < ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$  は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$  は前記電気光学素子の発光閾値電圧であって、 $ELVSS$  は前記電気光学素子の陰極の電位である。

【請求項 9】

前記検出準備期間に前記データ線に与える電位を  $V_{mg}$  とし、前記電気光学素子特性検出期間に前記データ線に与える電位を  $V_{m\_oled}$  としたとき、 $V_{m\_oled}$  の値は以下の式を満たすように定められていることを特徴とする、請求項 4 に記載の表示装置：

$$V_{m\_oled} > V_{mg} - V_{th}(T2)$$

$$V_{m\_oled} > ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$  は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$  は前記電気光学素子の発光閾値電圧であって、 $ELVSS$  は前記電気光学素子の陰極の電位である。

【請求項 10】

前記検出準備期間に前記データ線に与える電位を  $V_{mg}$  とし、前記駆動トランジスタ特性検出期間に前記データ線に与える電位を  $V_{m\_TFT}$  とし、前記電気光学素子特性検出期間に前記データ線に与える電位を  $V_{m\_oled}$  としたとき、以下の関係を満たすように  $V_{mg}$ 、 $V_{m\_TFT}$ 、および  $V_{m\_oled}$  の値が定められていることを特徴とする、請求項 4 に記載の表示装置：

$$V_{m\_TFT} < V_{mg} - V_{th}(T2)$$

$$V_{m\_TFT} < ELVSS + V_{th}(oled)$$

$$V_{m\_oled} > V_{mg} - V_{th}(T2)$$

$$V_{m\_oled} > ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$  は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$  は前記電気光学素子の発光閾値電圧であって、 $ELVSS$  は前記電気光学素子の陰極の電位である。

【請求項 11】

前記画素回路駆動部は、前記データ信号を前記データ線に印加する機能および前記データ線に流れている電流を測定する機能を有する出力／電流モニタ回路を含み、

前記出力／電流モニタ回路は、

前記データ信号が非反転入力端子に与えられ、前記データ線に反転入力端子が接続されたオペアンプと、

前記データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第 2 のコンデンサと、

前記データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続されたスイッチとを含み、

前記電流測定期間には、前記スイッチをオン状態にして前記第 2 の所定電位を前記データ線に与えた後、前記スイッチをオフ状態にすることによって前記データ線に流れている電流を測定することを特徴とする、請求項 1 から 6 までのいずれか 1 項に記載の表示装置。

【請求項 12】

複数本のデータ線につき 1 つの出力／電流モニタ回路が設けられ、

所定期間毎に前記複数本のデータ線が順次に前記出力／電流モニタ回路に電氣的に接続されることを特徴とする、請求項 11 に記載の表示装置。

【請求項 13】

前記特性検出処理は、1 フレーム期間につき前記画素マトリクス of 1 つの行のみに対して行われることを特徴とする、請求項 1 から 6 までのいずれか 1 項に記載の表示装置。

【請求項 14】

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整



数)の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

10

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

20

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

30

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

40

前記特性検出処理期間は、垂直走査期間内に設けられ、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動ステップでは、前記着目電気光学素子が前記モニタ行に含まれている場合、前記発光準備期間には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位が前記データ線に与えられることを特徴とする、駆動方法。

【請求項15】

50

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第 1 導通端子が接続され、前記駆動トランジスタの制御端子に第 2 導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ線に第 2 導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第 1 の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第 2 の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

前記特性検出処理期間は、垂直帰線期間内に設けられ、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動ステップでは、前記着目電気光学素子が前記モニタ行に含まれている場合、前記モニタ行に含まれる画素回路への前記データ信号の書き込みを垂直走査期間に行う際には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当

10

20

30

40

50

するデータ信号の電位が前記データ線に与えられることを特徴とする、駆動方法。

【請求項 16】

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第 1 導通端子が接続され、前記駆動トランジスタの制御端子に第 2 導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ線に第 2 導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第 1 の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第 2 の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

前記特性検出対象回路素子として前記駆動トランジスタのみの特性の検出が行われるフレームと前記特性検出対象回路素子として前記電気光学素子のみの特性の検出が行われるフレームとが存在することを特徴とする、駆動方法。

10

20

30

40

50

## 【請求項 17】

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $\times$   $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第 1 導通端子が接続され、前記駆動トランジスタの制御端子に第 2 導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ線に第 2 導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第 1 の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第 2 の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

前記電流測定期間は、前記駆動トランジスタの特性を検出するための電流測定が行われる駆動トランジスタ特性検出期間と前記電気光学素子の特性を検出するための電流測定が行われる電気光学素子特性検出期間とからなり、

前記画素回路駆動ステップでは、前記駆動トランジスタ特性検出期間と前記電気光学素

10

20

30

40

50

子特性検出期間とで前記第2の所定電位として異なる電位が前記データ線に与えられることを特徴とする、駆動方法。

【請求項18】

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップと、温度を検出する温度検出ステップと、

前記特性データに対して前記温度検出ステップで検出された温度に基づく補正を施す温度変化補償ステップと

を含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた

10

20

30

40

50

電位が前記データ線に与えられ、

前記補正データ記憶ステップでは、前記温度変化補償ステップによる補正が施されたデータが前記補正データとして前記補正データ記憶部に記憶されることを特徴とする、駆動方法。

【請求項 19】

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $\times$   $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

10

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップと、

20

電源オフの際に最後に前記特性検出処理が行われた領域を特定する情報を記憶するモニタ領域記憶ステップと

を含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第 1 導通端子が接続され、前記駆動トランジスタの制御端子に第 2 導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ線に第 2 導通端子が接続されたモニタ制御トランジスタと、

30

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサと

を含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

40

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第 1 の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第 2 の所定電位

50

が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

電源オン後には、前記モニタ領域記憶ステップで記憶された情報に基づいて得られる領域近傍の領域から、前記特性検出処理が行われることを特徴とする、駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置およびその駆動方法に関し、より詳しくは、有機EL(Electro Luminescence)素子などの電気光学素子を含む画素回路を備える表示装置およびその駆動方法に関する。

10

【背景技術】

【0002】

従来より、表示装置が備える表示素子としては、印加される電圧によって輝度が制御される電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加される電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げられる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機EL素子が挙げられる。有機EL素子は、OLED(Organic Light-Emitting Diode)とも呼ばれている。自発光型の電気光学素子である有機EL素子を使用した有機EL表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機EL表示装置の開発が進められている。

20

【0003】

有機EL表示装置の駆動方式として、パッシブマトリクス方式(単純マトリクス方式とも呼ばれる。)とアクティブマトリクス方式とが知られている。パッシブマトリクス方式を採用した有機EL表示装置は、構造は単純であるものの、大型化および高精細化が困難である。これに対して、アクティブマトリクス方式を採用した有機EL表示装置(以下「アクティブマトリクス型の有機EL表示装置」という。)は、パッシブマトリクス方式を採用した有機EL表示装置に比べて大型化および高精細化を容易に実現できる。

【0004】

アクティブマトリクス型の有機EL表示装置には、複数の画素回路がマトリクス状に形成されている。アクティブマトリクス型の有機EL表示装置の画素回路は、典型的には、画素を選択する入力トランジスタと、有機EL素子への電流の供給を制御する駆動トランジスタとを含んでいる。なお、以下においては、駆動トランジスタから有機EL素子に流れる電流のことを「駆動電流」という場合がある。

30

【0005】

図37は、従来の一般的な画素回路91の構成を示す回路図である。この画素回路91は、表示部に配設されている複数のデータ線Sと複数の走査線Gとの各交差点に対応して設けられている。図37に示すように、この画素回路91は、2個のトランジスタT1、T2と、1個のコンデンサCstと、1個の有機EL素子OLEDとを備えている。トランジスタT1は入力トランジスタであり、トランジスタT2は駆動トランジスタである。

40

【0006】

トランジスタT1は、データ線SとトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、走査線Gにゲート端子が接続され、データ線Sにソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられている。そのトランジスタT2に関し、ハイレベル電源電圧ELVDDを供給する電源線にドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。なお、ハイレベル電源電圧ELVDDを供給する電源線のことを以下「ハイレベル電源線」といい、ハイレベル電源線にはハイレベル電源電圧と同じ符号ELVDDを付す。コンデンサCstについては、トランジスタT2のゲート端子に一端が接続され、トランジスタT2のソース端子に他端が接続されている。有機EL素子OLEDのカソ

50

ード端子は、ローレベル電源電圧  $E L V S S$  を供給する電源線に接続されている。なお、ローレベル電源電圧  $E L V S S$  を供給する電源線のことを以下「ローレベル電源線」といい、ローレベル電源線にはローレベル電源電圧と同じ符合  $E L V S S$  を付す。また、ここでは、トランジスタ  $T 2$  のゲート端子と、コンデンサ  $C s t$  の一端と、トランジスタ  $T 1$  のドレイン端子との接続点のことを便宜上「ゲートノード  $V G$  」という。なお、一般的には、ドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなることもある。

#### 【 0 0 0 7 】

図 3 8 は、図 3 7 に示す画素回路 9 1 の動作を説明するためのタイミングチャートである。時刻  $t 1$  以前には、走査線  $G$  は非選択状態となっている。従って、時刻  $t 1$  以前には、トランジスタ  $T 1$  がオフ状態になっており、ゲートノード  $V G$  の電位は初期レベル（例えば、1 つ前のフレームでの書き込みに応じたレベル）を維持している。時刻  $t 1$  になると、走査線  $G$  が選択状態となり、トランジスタ  $T 1$  がターンオンする。これにより、データ線  $S$  およびトランジスタ  $T 1$  を介して、この画素回路 9 1 が形成する画素（サブ画素）の輝度に対応するデータ電圧  $V d a t a$  がゲートノード  $V G$  に供給される。その後、時刻  $t 2$  までの期間に、ゲートノード  $V G$  の電位がデータ電圧  $V d a t a$  に応じて変化する。このとき、コンデンサ  $C s t$  は、ゲートノード  $V G$  の電位とトランジスタ  $T 2$  のソース電位との差であるゲート - ソース間電圧  $V g s$  に充電される。時刻  $t 2$  になると、走査線  $G$  が非選択状態となる。これにより、トランジスタ  $T 1$  がターンオフし、コンデンサ  $C s t$  が保持するゲート - ソース間電圧  $V g s$  が確定する。トランジスタ  $T 2$  は、コンデンサ  $C s t$  が保持するゲート - ソース間電圧  $V g s$  に応じて有機  $E L$  素子  $O L E D$  に駆動電流を供給する。その結果、駆動電流に応じた輝度で有機  $E L$  素子  $O L E D$  が発光する。

#### 【 0 0 0 8 】

ところで、有機  $E L$  表示装置においては、駆動トランジスタとして、典型的には薄膜トランジスタ（ $T F T$ ）が採用される。しかしながら、薄膜トランジスタについては、閾値電圧にばらつきが生じやすい。表示部内に設けられている駆動トランジスタに閾値電圧のばらつきが生じると、輝度のばらつきが生じるので表示品位が低下する。そこで、有機  $E L$  表示装置における表示品位の低下を抑制する技術が従来より提案されている。例えば、日本の特開 2 0 0 5 - 3 1 6 3 0 号公報には、駆動トランジスタの閾値電圧のばらつきを補償する技術が開示されている。また、日本の特開 2 0 0 3 - 1 9 5 8 1 0 号公報および日本の特開 2 0 0 7 - 1 2 8 1 0 3 号公報には、画素回路から有機  $E L$  素子  $O L E D$  に流れる電流を一定にする技術が開示されている。さらに、日本の特開 2 0 0 7 - 2 3 3 3 2 6 号公報には、駆動トランジスタの閾値電圧や電子移動度に関わらず均一な輝度の画像を表示する技術が開示されている。

#### 【 0 0 0 9 】

上述の先行技術によれば、表示部内に設けられている駆動トランジスタに閾値電圧のばらつきが生じて、所望の輝度（目標輝度）に応じて有機  $E L$  素子（発光素子）に一定電流を供給することが可能となる。しかしながら、有機  $E L$  素子に関しては、時間の経過とともに電流効率が低下する。すなわち、たとえ一定電流が有機  $E L$  素子に供給されたとしても、時間の経過とともに輝度が徐々に低下する。その結果、焼き付きが生じる。

#### 【 0 0 1 0 】

以上より、駆動トランジスタの劣化および有機  $E L$  素子の劣化に対して何ら補償が行われなければ、図 3 9 に示すように、駆動トランジスタの劣化に起因する電流低下が生じるとともに有機  $E L$  素子の劣化に起因する輝度低下が生じる。また、駆動トランジスタの劣化に対して補償が行われても、図 4 0 に示すように、時間が経過するにつれて、有機  $E L$  素子の劣化に起因する輝度低下が生じる。そこで、日本の特表 2 0 0 8 - 5 2 3 4 4 8 号公報には、駆動トランジスタの特性に基づいてデータを補正する技術に加えて、有機  $E L$  素子  $O L E D$  の特性に基づいてデータを補正する技術が開示されている。

#### 【 先行技術文献 】



## 【特許文献】

## 【0011】

【特許文献1】日本の特開2005-31630号公報

【特許文献2】日本の特開2003-195810号公報

【特許文献3】日本の特開2007-128103号公報

【特許文献4】日本の特開2007-233326号公報

【特許文献5】日本の特表2008-523448号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0012】

10

ところが、日本の特表2008-523448号公報に開示された技術によれば、選択期間中には駆動トランジスタまたは有機EL素子のいずれか一方の特性しか検出することができない。このため、駆動トランジスタの劣化および有機EL素子の劣化の双方を同時に補償することはできない。また、駆動トランジスタおよび有機EL素子の双方の特性を検出するためには選択期間を長くする必要がある。これに関し、日本の特表2008-523448号公報に開示された技術においては、特性の検出を行う行の選択期間を長くした場合、特性の検出を行う行とそれ以外の行とで発光時間の長さが異なってしまう、所望の輝度表示が行われない。また、駆動トランジスタの特性の検出や有機EL素子の特性の検出が可能となるように表示装置を構成しようとする場合、できるだけ回路規模が増大しないことが望まれる。回路規模が増大すると、例えば低消費電力化や小型化を図る上で不利になるからである。

20

## 【0013】

そこで、本発明は、回路規模の増大を抑制しつつ回路素子の劣化を補償することのできる表示装置（特に、駆動トランジスタの劣化および有機EL素子の劣化の双方を同時に補償することのできる表示装置）を実現することを目的とする。

## 【課題を解決するための手段】

## 【0014】

本発明の第1の局面は、アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

30

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

40

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

50

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

10

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

20

前記特性検出処理期間は、垂直走査期間内に設けられ、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動部は、前記着目電気光学素子が前記モニタ行に含まれている場合、前記発光準備期間には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位を前記データ線に与えることを特徴とする。

【0015】

本発明の第2の局面は、アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個( $n$ および $m$ は2以上の整数)の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

30

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

40

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接

50

続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

10

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

20

前記特性検出処理期間は、垂直帰線期間内に設けられ、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動部は、前記着目電気光学素子が前記モニタ行に含まれている場合、前記モニタ行に含まれる画素回路への前記データ信号の書き込みを垂直走査期間に行う際には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位を前記データ線に与えることを特徴とする。

【0016】

30

本発明の第3の局面は、アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

40

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

50

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

前記特性検出対象回路素子として前記駆動トランジスタのみの特性の検出が行われるフレームと前記特性検出対象回路素子として前記電気光学素子のみの特性の検出が行われるフレームとが存在することを特徴とする。

【0017】

本発明の第4の局面は、アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子およ

10

20

30

40

50

び前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

前記電流測定期間は、前記駆動トランジスタの特性を検出するための電流測定が行われる駆動トランジスタ特性検出期間と前記電気光学素子の特性を検出するための電流測定が行われる電気光学素子特性検出期間とからなり、

前記画素回路駆動部は、前記駆動トランジスタ特性検出期間と前記電気光学素子特性検出期間とで前記第2の所定電位として異なる電位を前記データ線に与えることを特徴とする。

#### 【0018】

本発明の第5の局面は、アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部と、

温度を検出する温度検出部と、

前記特性データに対して前記温度検出部で検出された温度に基づく補正を施す温度変化補償部とを備え、

10

20

30

40

50

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサと

10

を含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

20

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

前記補正データ記憶部には、前記温度変化補償部による補正が施されたデータが前記補正データとして記憶されることを特徴とする。

30

【0019】

本発明の第6の局面は、アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動部と、

40

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部と、

電源オフの際に最後に前記特性検出処理が行われた領域を特定する情報を記憶するモニタ領域記憶部と

を備え、

50

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサと

10

を含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動部は、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線を駆動し、

20

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線を駆動し、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位を前記データ線に与え、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位を前記データ線に与え、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位を前記データ線に与え、

電源オン後には、前記モニタ領域記憶部に記憶されている情報に基づいて得られる領域近傍の領域から、前記特性検出処理が行われることを特徴とする。

30

【0020】

本発明の第7の局面は、本発明の第4の局面において、

前記検出準備期間に前記データ線に与える電位を  $V_{mg}$  とし、前記駆動トランジスタ特性検出期間に前記データ線に与える電位を  $V_{m\_TFT}$  とし、前記電気光学素子特性検出期間に前記データ線に与える電位を  $V_{m\_oled}$  としたとき、 $V_{mg}$  の値は以下の式を満たすように定められていることを特徴とする。

$$V_{mg} > V_{m\_TFT} + V_{th}(T2)$$

$$V_{mg} < V_{m\_oled} + V_{th}(T2)$$

ここで、 $V_{th}(T2)$  は前記駆動トランジスタの閾値電圧である。

40

【0021】

本発明の第8の局面は、本発明の第4の局面において、

前記検出準備期間に前記データ線に与える電位を  $V_{mg}$  とし、前記駆動トランジスタ特性検出期間に前記データ線に与える電位を  $V_{m\_TFT}$  としたとき、 $V_{m\_TFT}$  の値は以下の式を満たすように定められていることを特徴とする。

$$V_{m\_TFT} < V_{mg} - V_{th}(T2)$$

$$V_{m\_TFT} < ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$  は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$  は前記電気光学素子の発光閾値電圧であって、 $ELVSS$  は前記電気光学素子の陰極の電位である。

50

## 【0022】

本発明の第9の局面は、本発明の第4の局面において、

前記検出準備期間に前記データ線に与える電位を $V_{mg}$ とし、前記電気光学素子特性検出期間に前記データ線に与える電位を $V_{m\_oled}$ としたとき、 $V_{m\_oled}$ の値は以下の式を満たすように定められていることを特徴とする。

$$V_{m\_oled} > V_{mg} - V_{th}(T2)$$

$$V_{m\_oled} > ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$ は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$ は前記電気光学素子の発光閾値電圧であって、 $ELVSS$ は前記電気光学素子の陰極の電位である。

10

## 【0023】

本発明の第10の局面は、本発明の第4の局面において、

前記検出準備期間に前記データ線に与える電位を $V_{mg}$ とし、前記駆動トランジスタ特性検出期間に前記データ線に与える電位を $V_{m\_TFT}$ とし、前記電気光学素子特性検出期間に前記データ線に与える電位を $V_{m\_oled}$ としたとき、以下の関係を満たすように $V_{mg}$ 、 $V_{m\_TFT}$ 、および $V_{m\_oled}$ の値が定められていることを特徴とする。

$$V_{m\_TFT} < V_{mg} - V_{th}(T2)$$

$$V_{m\_TFT} < ELVSS + V_{th}(oled)$$

$$V_{m\_oled} > V_{mg} - V_{th}(T2)$$

$$V_{m\_oled} > ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$ は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$ は前記電気光学素子の発光閾値電圧であって、 $ELVSS$ は前記電気光学素子の陰極の電位である。

20

## 【0024】

本発明の第11の局面は、本発明の第1から第6までのいずれかの局面において、

前記画素回路駆動部は、前記データ信号を前記データ線に印加する機能および前記データ線に流れている電流を測定する機能を有する出力/電流モニタ回路を含み、

前記出力/電流モニタ回路は、

前記データ信号が非反転入力端子に与えられ、前記データ線に反転入力端子が接続されたオペアンプと、

30

前記データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第2のコンデンサと、

前記データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続されたスイッチと

を含み、

前記電流測定期間には、前記スイッチをオン状態にして前記第2の所定電位を前記データ線に与えた後、前記スイッチをオフ状態にすることによって前記データ線に流れている電流を測定することを特徴とする。

## 【0025】

40

本発明の第12の局面は、本発明の第11の局面において、

複数本のデータ線につき1つの出力/電流モニタ回路が設けられ、

所定期間毎に前記複数本のデータ線が順次に前記出力/電流モニタ回路に電氣的に接続されることを特徴とする。

## 【0026】

本発明の第13の局面は、本発明の第1から第6までのいずれかの局面において、

前記特性検出処理は、1フレーム期間につき前記画素マトリクス of 1つの行のみに対して行われることを特徴とする。

## 【0030】

本発明の第14の局面は、電流によって輝度が制御される電気光学素子および前記電気

50



光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $\times$   $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第 1 導通端子が接続され、前記駆動トランジスタの制御端子に第 2 導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ線に第 2 導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第 1 の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第 2 の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

前記特性検出処理期間は、垂直走査期間内に設けられ、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動ステップでは、前記着目電気光学素子が前記モニタ行に含まれている場合、前記発光準備期間には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位が前記データ線に与えられることを特徴とする。

本発明の第 15 の局面は、電流によって輝度が制御される電気光学素子および前記電気

10

20

30

40

50

光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個（ $n$  および  $m$  は 2 以上の整数）の画素回路からなる  $n$  行  $\times$   $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第 1 導通端子が接続され、前記駆動トランジスタの制御端子に第 2 導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ線に第 2 導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第 1 の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第 2 の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

前記特性検出処理期間は、垂直帰線期間内に設けられ、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動ステップでは、前記着目電気光学素子が前記モニタ行に含まれている場合、前記モニタ行に含まれる画素回路への前記データ信号の書き込みを垂直走査期間に行う際には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位が前記データ線に与えられることを特徴とする。

10

20

30

40

50

本発明の第16の局面は、電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

前記特性検出対象回路素子として前記駆動トランジスタのみの特性の検出が行われるフレームと前記特性検出対象回路素子として前記電気光学素子のみの特性の検出が行われるフレームとが存在することを特徴とする。

本発明の第17の局面は、電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個

10

20

30

40

50

( $n$ および $m$ は2以上の整数)の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

10

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第1導通端子が接続され、前記駆動トランジスタの制御端子に第2導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ線に第2導通端子が接続されたモニタ制御トランジスタと、

20

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

30

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第1の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第2の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

40

前記電流測定期間は、前記駆動トランジスタの特性を検出するための電流測定が行われる駆動トランジスタ特性検出期間と前記電気光学素子の特性を検出するための電流測定が行われる電気光学素子特性検出期間とからなり、

前記画素回路駆動ステップでは、前記駆動トランジスタ特性検出期間と前記電気光学素子特性検出期間とで前記第2の所定電位として異なる電位が前記データ線に与えられることを特徴とする。

本発明の第18の局面は、電流によって輝度が制御される電気光学素子および前記電気

50

光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップと、

温度を検出する温度検出ステップと、

前記特性データに対して前記温度検出ステップで検出された温度に基づく補正を施す温度変化補償ステップと

を含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第 1 導通端子が接続され、前記駆動トランジスタの制御端子に第 2 導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ線に第 2 導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサと

を含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第 1 の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第 2 の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

前記補正データ記憶ステップでは、前記温度変化補償ステップによる補正が施されたデータが前記補正データとして前記補正データ記憶部に記憶されることを特徴とする。

本発明の第 19 の局面は、電流によって輝度が制御される電気光学素子および前記電気

10

20

30

40

50

光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $m$  列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ線とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ線を駆動する画素回路駆動ステップと、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップと、

電源オフの際に最後に前記特性検出処理が行われた領域を特定する情報を記憶するモニタ領域記憶ステップと

を含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記データ線に第 1 導通端子が接続され、前記駆動トランジスタの制御端子に第 2 導通端子が接続された入力トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ線に第 2 導通端子が接続されたモニタ制御トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサと

を含み、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記画素回路駆動ステップでは、

前記検出準備期間および前記発光準備期間には前記入力トランジスタがオン状態となり、かつ、前記電流測定期間には前記入力トランジスタがオフ状態となるよう、前記走査線が駆動され、

前記検出準備期間および前記発光準備期間には前記モニタ制御トランジスタがオフ状態となり、かつ、前記電流測定期間には前記モニタ制御トランジスタがオン状態となるよう、前記モニタ制御線が駆動され、

前記検出準備期間には前記電気光学素子の特性および前記駆動トランジスタの特性に基づいて定められる第 1 の所定電位が前記データ線に与えられ、前記電流測定期間には前記特性検出対象回路素子の特性に応じた電流を前記データ線に流すための第 2 の所定電位が前記データ線に与えられ、前記発光準備期間には前記電気光学素子の目標輝度に応じた電位が前記データ線に与えられ、

電源オン後には、前記モニタ領域記憶ステップで記憶された情報に基づいて得られる領域近傍の領域から、前記特性検出処理が行われることを特徴とする。

【発明の効果】

【 0 0 3 1 】

10

20

30

40

50

本発明の第1の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機EL素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタを含む画素回路を有する表示装置において、フレーム期間に回路素子（電気光学素子または駆動トランジスタの少なくとも一方）の特性の検出が行われる。そして、その検出結果を考慮して得られる補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、回路素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、回路素子の特性は、データ線に流れている電流を測定することによって検出される。すなわち、データ線は、各画素回路内の電気光学素子を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。このため、回路素子の特性を検出するために新たな信号線を表示部内に設ける必要がない。従って、回路規模の増大を抑制しつつ、回路素子の劣化を補償することが可能となる。

10

また、垂直帰線期間内に特性検出処理期間が設けられている構成とは異なり、モニタ行における目標輝度に応じた書き込みは1フレーム期間に1回だけ行われれば良い。

また、モニタ行での電気光学素子の発光期間の長さが非モニタ行での電気光学素子の発光期間の長さよりも短くなるということを考慮して、データ信号の電位が調整される。このため、表示品位の低下が抑制される。

#### 【0032】

本発明の第2の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機EL素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタを含む画素回路を有する表示装置において、フレーム期間に回路素子（電気光学素子または駆動トランジスタの少なくとも一方）の特性の検出が行われる。そして、その検出結果を考慮して得られる補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、回路素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、回路素子の特性は、データ線に流れている電流を測定することによって検出される。すなわち、データ線は、各画素回路内の電気光学素子を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。このため、回路素子の特性を検出するために新たな信号線を表示部内に設ける必要がない。従って、回路規模の増大を抑制しつつ、回路素子の劣化を補償することが可能となる。

20

30

また、モニタ行については、垂直走査期間における書き込み後、垂直帰線期間中の発光準備期間に再度書き込みが行われる。これに関し、発光準備期間における書き込みが可能となるよう、垂直走査期間における書き込み後に、該当のデータを保持しておく必要がある。この点に関し、保持すべきデータは1ライン分のデータにすぎないので、メモリ容量の増大は僅かである。これに対して、垂直走査期間内に特性検出処理期間が設けられている構成においては、数十ライン分のラインメモリが必要となることもある。以上より、垂直走査期間内に特性検出処理期間が設けられている構成と比較して、必要となるメモリ容量が低減される。

また、モニタ行では電気光学素子が垂直帰線期間中に一時的に消灯するということを考慮して、データ信号の電位が調整される。このため、表示品位の低下が抑制される。

40

#### 【0033】

本発明の第3の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機EL素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタを含む画素回路を有する表示装置において、フレーム期間に回路素子の特性の検出が行われる（駆動トランジスタのみの特性の検出が行われるフレームと電気光学素子のみの特性の検出が行われるフレームとが存在する）。そして、その検出結果を考慮して得られる補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、回路素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、回路素子の特性は、データ線に流れている電流を測定することによって検出される。すなわち、データ線は、各画素回路内の電気光学

50

素子を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。このため、回路素子の特性を検出するために新たな信号線を表示部内に設ける必要がない。従って、回路規模の増大を抑制しつつ、回路素子の劣化を補償することが可能となる。

また、フレーム期間には、電気光学素子または駆動トランジスタのいずれか一方の特性を検出するための特性検出処理期間が含まれていれば良い。このため、フレーム期間について十分な長さの垂直帰線期間が確保される。

#### 【 0 0 3 4 】

本発明の第 4 の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機 EL 素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタとを含む画素回路を有する表示装置において、フレーム期間に回路素子（電気光学素子および駆動トランジスタ）の特性の検出が行われる。そして、その検出結果を考慮して得られる補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、回路素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、回路素子の特性は、データ線に流れている電流を測定することによって検出される。すなわち、データ線は、各画素回路内の電気光学素子を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。このため、回路素子の特性を検出するために新たな信号線を表示部内に設ける必要がない。従って、回路規模の増大を抑制しつつ、電気光学素子の劣化および駆動トランジスタの劣化の双方を補償することが可能となる。

#### 【 0 0 3 5 】

本発明の第 5 の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機 EL 素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタとを含む画素回路を有する表示装置において、フレーム期間に回路素子（電気光学素子または駆動トランジスタの少なくとも一方）の特性の検出が行われる。そして、その検出結果を考慮して得られる補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、回路素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、回路素子の特性は、データ線に流れている電流を測定することによって検出される。すなわち、データ線は、各画素回路内の電気光学素子を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。このため、回路素子の特性を検出するために新たな信号線を表示部内に設ける必要がない。従って、回路規模の増大を抑制しつつ、回路素子の劣化を補償することが可能となる。

また、温度変化を考慮した補正データを用いて映像信号が補正される。このため、温度の変化に関わらず、回路素子の劣化を充分に補償することが可能となる。

#### 【 0 0 3 6 】

本発明の第 6 の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機 EL 素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタとを含む画素回路を有する表示装置において、フレーム期間に回路素子（電気光学素子または駆動トランジスタの少なくとも一方）の特性の検出が行われる。そして、その検出結果を考慮して得られる補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、回路素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、回路素子の特性は、データ線に流れている電流を測定することによって検出される。すなわち、データ線は、各画素回路内の電気光学素子を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。このため、回路素子の特性を検出するために新たな信号線を表示部内に設ける必要がない。従って、回路規模の増大を抑制しつつ、回路素子の劣化を補償することが可能となる。

また、例えば上方の行と下方の行との間で特性検出対象回路素子の特性の検出回数に差



が生じることが防止される。このため、特性検出対象回路素子の劣化に対する補償を画面全体で一様に行うことが可能となり、輝度のばらつきの発生が効果的に防止される。

【 0 0 3 7 】

本発明の第 7 の局面によれば、駆動トランジスタ特性検出期間には駆動トランジスタが確実にオン状態になり、電気光学素子特性検出期間には電気光学素子が確実にオン状態となる。

【 0 0 3 8 】

本発明の第 8 の局面によれば、駆動トランジスタ特性検出期間には、駆動トランジスタが確実にオン状態になるとともに電気光学素子が確実にオフ状態となる。

【 0 0 3 9 】

本発明の第 9 の局面によれば、電気光学素子特性検出期間には、駆動トランジスタが確実にオフ状態になるとともに電気光学素子が確実にオン状態となる。

【 0 0 4 0 】

本発明の第 1 0 の局面によれば、駆動トランジスタ特性検出期間には、駆動トランジスタが確実にオン状態になるとともに電気光学素子が確実にオフ状態となる。また、電気光学素子特性検出期間には、駆動トランジスタが確実にオフ状態になるとともに電気光学素子が確実にオン状態となる。

【 0 0 4 1 】

本発明の第 1 1 の局面によれば、画素回路駆動部の構成を複雑化させることなく、データ線を、各画素回路内の電気光学素子を所望の輝度で発光させるための信号を伝達する信号線として用いるとともに特性検出用の信号線として用いることが可能となる。

【 0 0 4 2 】

本発明の第 1 2 の局面によれば、ソースシェアドライビング ( S S D ) 方式を採用する表示装置において、回路規模の増大を抑制しつつ、回路素子の劣化を補償することが可能となる。

【 0 0 4 3 】

本発明の第 1 3 の局面によれば、フレーム期間には、1 つの行のみについての特性検出処理期間が含まれていれば良い。このため、フレーム期間について十分な長さの垂直帰線期間が確保される。

【 0 0 4 7 】

本発明の第 1 4 の局面によれば、本発明の第 1 の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

本発明の第 1 5 の局面によれば、本発明の第 2 の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

本発明の第 1 6 の局面によれば、本発明の第 3 の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

本発明の第 1 7 の局面によれば、本発明の第 4 の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

本発明の第 1 8 の局面によれば、本発明の第 5 の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

本発明の第 1 9 の局面によれば、本発明の第 6 の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

【 図面の簡単な説明 】

【 0 0 4 8 】

【 図 1 】 本発明の一実施形態において、モニタ行についての 1 水平走査期間の詳細を説明するためのタイミングチャートである。

【 図 2 】 上記実施形態に係るアクティブマトリクス型の有機 E L 表示装置の全体構成を示すブロック図である。

【 図 3 】 上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

10

20

30

40

50

【図 4】上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

【図 5】上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

【図 6】上記実施形態において、出力部内の出力 / 電流モニタ回路の入出力信号について説明するための図である。

【図 7】上記実施形態において、画素回路および出力 / 電流モニタ回路の構成を示す回路図である。

【図 8】上記実施形態において、各行の動作の推移について説明するための図である。

【図 9】上記実施形態において、通常動作が行われる際の電流の流れについて説明するための図である。

10

【図 10】上記実施形態において、モニタ行に含まれる画素回路 ( i 行 j 列の画素回路 ) の動作を説明するためのタイミングチャートである。

【図 11】上記実施形態において、検出準備期間の電流の流れについて説明するための図である。

【図 12】上記実施形態において、TFT特性検出期間の電流の流れについて説明するための図である。

【図 13】上記実施形態において、OLED特性検出期間の電流の流れについて説明するための図である。

【図 14】上記実施形態において、発光準備期間の電流の流れについて説明するための図である。

20

【図 15】上記実施形態において、発光期間の電流の流れについて説明するための図である。

【図 16】上記実施形態において、モニタ行における 1 フレーム期間と非モニタ行における 1 フレーム期間とを比較した図である。

【図 17】上記実施形態において、補正データ記憶部内の補正データの更新の手順を説明するためのフローチャートである。

【図 18】上記実施形態において、映像信号の補正について説明するための図である。

【図 19】上記実施形態において、TFT特性およびOLED特性の検出に関連する動作の概略を説明するためのフローチャートである。

30

【図 20】上記実施形態における効果について説明するための図である。

【図 21】上記実施形態における効果について説明するための図である。

【図 22】上記実施形態の第 1 の変形例における有機 EL 表示装置の全体構成を示すブロック図である。

【図 23】上記実施形態の第 1 の変形例において、接続制御部の詳細な構成を示す図である。

【図 24】上記実施形態の第 1 の変形例において、モニタ行についての 1 水平走査期間の詳細を説明するためのタイミングチャートである。

【図 25】上記実施形態の第 1 の変形例において、モニタ行に含まれる画素回路 11 ( i 行 j 列の画素回路とする ) の動作を説明するためのタイミングチャートである。

40

【図 26】上記実施形態の第 2 の変形例における有機 EL 表示装置の全体構成を示すブロック図である。

【図 27】有機 EL 素子の電流 - 電圧特性の温度依存性について説明するための図である。

【図 28】上記実施形態の第 3 の変形例における有機 EL 表示装置の全体構成を示すブロック図である。

【図 29】上記実施形態の第 3 の変形例において、補正データ記憶部内の補正データの更新の手順を説明するためのフローチャートである。

【図 30】上記実施形態の第 4 の変形例において、各行の動作の推移について説明するための図である。

50

【図 3 1】上記実施形態の第 4 の変形例において、モニタ行についての 1 水平走査期間の詳細を説明するためのタイミングチャート（モニタ行で O L E D 特性検出動作が行われるフレームにおけるタイミングチャート）である。

【図 3 2】上記実施形態の第 4 の変形例において、モニタ行についての 1 水平走査期間の詳細を説明するためのタイミングチャート（モニタ行で T F T 特性検出動作が行われるフレームにおけるタイミングチャート）である。

【図 3 3】上記実施形態の第 4 の変形例において、補正データ記憶部内の補正データの更新の手順を説明するためのフローチャートである。

【図 3 4】1 フレーム期間の構成を説明するための図である。

【図 3 5】上記実施形態の第 5 の変形例において、モニタ行に含まれる画素回路（ $i$  行  $j$  列の画素回路とする）の垂直帰線期間中の動作について説明するためのタイミングチャートである。

【図 3 6】上記実施形態の第 5 の変形例において、モニタ行に含まれる画素回路（ $i$  行  $j$  列の画素回路とする）の 1 フレーム期間中の動作について説明するためのタイミングチャートである。

【図 3 7】従来の一一般的な画素回路の構成を示す回路図である。

【図 3 8】図 3 7 に示す画素回路の動作を説明するためのタイミングチャートである。

【図 3 9】駆動トランジスタの劣化および有機 E L 素子の劣化に対して何ら補償が行われない場合について説明するための図である。

【図 4 0】駆動トランジスタの劣化に対してのみ補償が行われた場合について説明するための図である。

【発明を実施するための形態】

【0049】

以下、添付図面を参照しながら、本発明の一実施形態について説明する。なお、以下においては、 $m$  および  $n$  は 2 以上の整数、 $i$  は 1 以上  $n$  以下の整数、 $j$  は 1 以上  $m$  以下の整数であると仮定する。また、以下においては、画素回路内に設けられている駆動トランジスタの特性のことを「T F T 特性」といい、画素回路内に設けられている有機 E L 素子の特性のことを「O L E D 特性」という。

【0050】

< 1 . 全体構成 >

図 2 は、本発明の一実施形態に係るアクティブマトリクス型の有機 E L 表示装置 1 の全体構成を示すブロック図である。この有機 E L 表示装置 1 は、表示部 10、コントロール回路 20、ソースドライバ（データ線駆動回路）30、ゲートドライバ（走査線駆動回路）40、および補正データ記憶部 50 を備えている。本実施形態においては、ソースドライバ 30 およびゲートドライバ 40 によって画素回路駆動部が実現されている。なお、ソースドライバ 30 およびゲートドライバ 40 の一方または双方が表示部 10 と一体的に形成された構成であっても良い。

【0051】

表示部 10 には、 $m$  本のデータ線  $S(1) \sim S(m)$  およびこれらに直交する  $n$  本の走査線  $G1(1) \sim G1(n)$  が配設されている。以下では、データ線の延伸方向を Y 方向とし、走査線の延伸方向を X 方向とする。Y 方向に沿った構成要素を「列」という場合があり、X 方向に沿った構成要素を「行」という場合がある。また、表示部 10 には、 $n$  本の走査線  $G1(1) \sim G1(n)$  と 1 対 1 で対応するように、 $n$  本のモニタ制御線  $G2(1) \sim G2(n)$  が配設されている。走査線  $G1(1) \sim G1(n)$  とモニタ制御線  $G2(1) \sim G2(n)$  とは互いに平行になっている。さらに、表示部 10 には、 $n$  本の走査線  $G1(1) \sim G1(n)$  と  $m$  本のデータ線  $S(1) \sim S(m)$  との交差点に対応するように、 $n \times m$  個の画素回路 11 が設けられている。このように  $n \times m$  個の画素回路 11 が設けられることによって、 $n$  行  $\times$   $m$  列の画素マトリクスが表示部 10 に形成されている。また、表示部 10 には、ハイレベル電源電圧を供給するハイレベル電源線と、ローレベル電源電圧を供給するローレベル電源線とが配設されている。

10

20

30

40

50

## 【 0 0 5 2 】

なお、以下においては、 $m$ 本のデータ線  $S(1) \sim S(m)$  を互いに区別する必要がない場合にはデータ線を単に符号  $S$  で表す。同様に、 $n$ 本の走査線  $G1(1) \sim G1(n)$  を互いに区別する必要がない場合には走査線を単に符号  $G1$  で表し、 $n$ 本のモニタ制御線  $G2(1) \sim G2(n)$  を互いに区別する必要がない場合にはモニタ制御線を単に符号  $G2$  で表す。

## 【 0 0 5 3 】

本実施形態におけるデータ線  $S$  は、画素回路 11 内の有機 EL 素子を所望の輝度で発光させるための輝度信号を伝達する信号線として用いられるだけでなく、TFT特性やOLED特性の検出用の制御電位を画素回路 11 に与えるための信号線およびTFT特性やOLED特性を表す電流であって後述する出力/電流モニタ回路 330 で測定可能な電流の経路となる信号線としても用いられる。

## 【 0 0 5 4 】

コントロール回路 20 は、ソースドライバ 30 にデータ信号  $DA$  およびソース制御信号  $SCTL$  を与えることによりソースドライバ 30 の動作を制御し、ゲートドライバ 40 にゲート制御信号  $GCTL$  を与えることによりゲートドライバ 40 の動作を制御する。ソース制御信号  $SCTL$  には、例えば、ソーススタートパルス、ソースクロック、ラッチストロブ信号が含まれている。ゲート制御信号  $GCTL$  には、例えば、ゲートスタートパルス、ゲートクロック、およびアウトプットイネーブル信号が含まれている。また、コントロール回路 20 は、ソースドライバ 30 から与えられるモニタデータ  $MO$  を受け取り、補正データ記憶部 50 に格納されている補正データの更新を行う。なお、モニタデータ  $MO$  とは、TFT特性やOLED特性を求めるために測定されたデータである。

## 【 0 0 5 5 】

ゲートドライバ 40 は、 $n$ 本の走査線  $G1(1) \sim G1(n)$  および  $n$ 本のモニタ制御線  $G2(1) \sim G2(n)$  に接続されている。ゲートドライバ 40 は、シフトレジスタおよび論理回路などによって構成されている。ところで、本実施形態に係る有機 EL 表示装置 1 においては、TFT特性およびOLED特性に基づいて、外部から送られる映像信号（上記データ信号  $DA$  の元となるデータ）に補正が施される。これに関し、本実施形態では、各フレームにおいて、1つの行についてのTFT特性およびOLED特性の検出が行われる。すなわち、或るフレームに1行目についてのTFT特性およびOLED特性の検出が行われると、次のフレームには2行目についてのTFT特性およびOLED特性の検出が行われ、さらに次のフレームには3行目についてのTFT特性およびOLED特性の検出が行われる。このようにして、 $n$ フレーム期間をかけて、 $n$ 行分のTFT特性およびOLED特性の検出が行われる。なお、本明細書においては、任意のフレームに着目したときにTFT特性およびOLED特性の検出が行われている行のことを「モニタ行」といい、モニタ行以外の行のことを「非モニタ行」という。

## 【 0 0 5 6 】

ここで、1行目についてのTFT特性およびOLED特性の検出が行われるフレームを  $(k+1)$  フレーム目と定義すると、 $n$ 本の走査線  $G1(1) \sim G1(n)$  および  $n$ 本のモニタ制御線  $G2(1) \sim G2(n)$  は、 $(k+1)$  フレーム目には図3に示すように駆動され、 $(k+2)$  フレーム目には図4に示すように駆動され、 $(k+n)$  フレーム目には図5に示すように駆動される。なお、図3～図5に関し、ハイレベルの状態がアクティブな状態である。また、図3～図5では、モニタ行についての1水平走査期間を符号  $TH_m$  で表し、非モニタ行についての1水平走査期間を符号  $TH_n$  で表している。

## 【 0 0 5 7 】

図3～図5より把握されるように、モニタ行と非モニタ行とで1水平走査期間の長さが異なっている。詳しくは、モニタ行についての1水平走査期間の長さは、非モニタ行についての1水平走査期間の長さの4倍になっている。但し、本発明はこれには限定されない。非モニタ行については、一般的な表示装置と同様、1フレーム期間中に1回の選択期間がある。モニタ行については、一般的な表示装置とは異なり、1フレーム期間中に2回の

選択期間がある。1回目の選択期間は1水平走査期間THm中の最初の4分の1の期間であり、2回目の選択期間は1水平走査期間THm中の最後の4分の1の期間である。なお、モニタ行についての1水平走査期間THmに関する更に詳しい説明は後述する。

#### 【0058】

図3～図5に示すように、各フレームにおいて、非モニタ行に対応するモニタ制御線G2は非アクティブな状態で維持される。モニタ行に対応するモニタ制御線G2については、1水平走査期間THm中の選択期間以外の期間（走査線G1が非アクティブな状態になっている期間）に、アクティブな状態で維持される。本実施形態においては、以上のようにn本の走査線G1(1)～G1(n)およびn本のモニタ制御線G2(1)～G2(n)が駆動されるよう、ゲートドライバ40が構成されている。なお、モニタ行において1フレーム期間中に走査線G1に2回のパルスが発生させるためには、コントロール回路20からゲートドライバ40に送られるアウトプットイネーブル信号の波形を公知の手法を用いて制御すれば良い。

10

#### 【0059】

ソースドライバ30は、m本のデータ線S(1)～S(m)に接続されている。ソースドライバ30は、駆動信号発生回路31と、信号変換回路32と、m個の出力/電流モニタ回路330からなる出力部33とによって構成されている。出力部33内のm個の出力/電流モニタ回路330はそれぞれm本のデータ線S(1)～S(m)のうちの対応するデータ線Sに接続されている。

#### 【0060】

20

駆動信号発生回路31には、シフトレジスタ、サンプリング回路、およびラッチ回路が含まれている。駆動信号発生回路31において、シフトレジスタは、ソースクロックに同期して、ソーススタートパルスを入力端から出力端へと順次に転送する。ソーススタートパルスのこの転送に応じて、シフトレジスタから各データ線Sに対応するサンプリングパルスが出力される。サンプリング回路は、サンプリングパルスのタイミングに従って1行分のデータ信号DAを順次に記憶する。ラッチ回路は、サンプリング回路に記憶された1行分のデータ信号DAをラッチストロブ信号に応じて取り込んで保持する。

#### 【0061】

なお、本実施形態においては、データ信号DAには、各画素の有機EL素子を所望の輝度で発光させるための輝度信号と、TFT特性やOLED特性を検出する際に画素回路11の動作を制御するためのモニタ制御信号とが含まれている。

30

#### 【0062】

信号変換回路32には、D/AコンバータおよびA/Dコンバータが含まれている。上述のようにして駆動信号発生回路31内のラッチ回路に保持された1行分のデータ信号DAは、信号変換回路32内のD/Aコンバータによってアナログ電圧に変換される。その変換されたアナログ電圧は、出力部33内の出力/電流モニタ回路330に与えられる。また、信号変換回路32には、出力部33内の出力/電流モニタ回路330からモニタデータMOが与えられる。そのモニタデータMOは、信号変換回路32内のA/Dコンバータで、アナログ電圧からデジタル信号に変換される。そして、デジタル信号に変換されたモニタデータMOは、駆動信号発生回路31を介してコントロール回路20に与えられる。

40

#### 【0063】

図6は、出力部33内の出力/電流モニタ回路330の入出力信号について説明するための図である。出力/電流モニタ回路330には、信号変換回路32からデータ信号DAとしてのアナログ電圧Vsが与えられる。そのアナログ電圧Vsは、出力/電流モニタ回路330内のバッファを介してデータ線Sに印加される。また、出力/電流モニタ回路330はデータ線Sに流れている電流を測定する機能を有している。出力/電流モニタ回路330で測定されたデータは、モニタデータMOとして信号変換回路32に与えられる。なお、出力/電流モニタ回路330の詳しい構成については後述する（図7参照）。

#### 【0064】

50

補正データ記憶部 50 には、TFT 用オフセットメモリ 51a、OLED 用オフセットメモリ 51b、TFT 用ゲインメモリ 52a、および OLED 用ゲインメモリ 52b が含まれている。なお、これら 4 つのメモリは、物理的には 1 つのメモリであっても良いし、物理的に異なるメモリであっても良い。補正データ記憶部 50 は、外部から送られる映像信号の補正に使用される補正データを記憶している。詳しくは、TFT 用オフセットメモリ 51a は、TFT 特性の検出結果に基づくオフセット値を補正データとして記憶する。OLED 用オフセットメモリ 51b は、OLED 特性の検出結果に基づくオフセット値を補正データとして記憶する。TFT 用ゲインメモリ 52a は、TFT 特性の検出結果に基づくゲイン値を補正データとして記憶する。OLED 用ゲインメモリ 52b は、OLED 特性の検出結果に基づく劣化補正係数を補正データとして記憶する。なお、典型的には、表示部 10 内の画素の数に等しい数のオフセット値およびゲイン値が、TFT 特性の検出結果に基づく補正データとして、それぞれ TFT 用オフセットメモリ 51a および TFT 用ゲインメモリ 52a に記憶される。また、典型的には、表示部 10 内の画素の数に等しい数のオフセット値および劣化補正係数が、OLED 特性の検出結果に基づく補正データとして、それぞれ OLED 用オフセットメモリ 51b および OLED 用ゲインメモリ 52b に記憶される。但し、複数の画素毎に 1 つの値が各メモリに記憶されるようにしても良い。

10

#### 【0065】

コントロール回路 20 は、ソースドライバ 30 から与えられるモニタデータ MO に基づいて、TFT 用オフセットメモリ 51a 内のオフセット値、OLED 用オフセットメモリ 51b 内のオフセット値、TFT 用ゲインメモリ 52a 内のゲイン値、および OLED 用ゲインメモリ 52b 内の劣化補正係数を更新する。また、コントロール回路 20 は、TFT 用オフセットメモリ 51a 内のオフセット値、OLED 用オフセットメモリ 51b 内のオフセット値、TFT 用ゲインメモリ 52a 内のゲイン値、および OLED 用ゲインメモリ 52b 内の劣化補正係数を読み出して、映像信号の補正を行う。その補正によって得られたデータが、データ信号 DA としてソースドライバ 30 に送られる。

20

#### 【0066】

< 2. 画素回路および出力 / 電流モニタ回路の構成 >

< 2. 1 画素回路 >

図 7 は、画素回路 11 および出力 / 電流モニタ回路 330 の構成を示す回路図である。なお、図 7 に示す画素回路 11 は、i 行 j 列の画素回路 11 である。この画素回路 11 は、1 個の有機 EL 素子 OLED、3 個のトランジスタ T1 ~ T3、および 1 個のコンデンサ Cst を備えている。トランジスタ T1 は画素を選択する入力トランジスタとして機能し、トランジスタ T2 は有機 EL 素子 OLED への電流の供給を制御する駆動トランジスタとして機能し、トランジスタ T3 は TFT 特性や OLED 特性を検出するか否かを制御するモニタ制御トランジスタとして機能する。

30

#### 【0067】

トランジスタ T1 は、データ線 S(j) とトランジスタ T2 のゲート端子との間に設けられている。そのトランジスタ T1 に関し、走査線 G1(i) にゲート端子が接続され、データ線 S(j) にソース端子が接続されている。トランジスタ T2 は、有機 EL 素子 OLED と直列に設けられている。そのトランジスタ T2 に関し、トランジスタ T1 のドレイン端子にゲート端子が接続され、ハイレベル電源線 ELVDD にドレイン端子が接続され、有機 EL 素子 OLED のアノード端子にソース端子が接続されている。トランジスタ T3 については、モニタ制御線 G2(i) にゲート端子が接続され、有機 EL 素子 OLED のアノード端子にドレイン端子が接続され、データ線 S(j) にソース端子が接続されている。コンデンサ Cst については、トランジスタ T2 のゲート端子に一端が接続され、トランジスタ T2 のドレイン端子に他端が接続されている。なお、このコンデンサ Cst によって第 1 のコンデンサが実現されている。有機 EL 素子 OLED のカソード端子は、ローレベル電源線 ELVSS に接続されている。

40

#### 【0068】

50

ところで、図 37 に示した構成においては、コンデンサ  $C_{st}$  は、トランジスタ  $T_2$  のゲート - ソース間に設けられていた。これに対して、本実施形態においては、コンデンサ  $C_{st}$  は、トランジスタ  $T_2$  のゲート - ドレイン間に設けられている。この理由は次のとおりである。本実施形態においては、1 フレーム期間中に、トランジスタ  $T_3$  をオンにした状態でデータ線  $S(j)$  の電位を変動させる制御が行われる。仮にトランジスタ  $T_2$  のゲート - ソース間にコンデンサ  $C_{st}$  が設けられていると、データ線  $S(j)$  の電位の変動に応じてトランジスタ  $T_2$  のゲート電位も変動する。そうすると、トランジスタ  $T_2$  のオン / オフ状態が所望の状態とはならないことが生じ得る。そこで、本実施形態においては、データ線  $S(j)$  の電位の変動に応じてトランジスタ  $T_2$  のゲート電位が変動することのないよう、図 7 に示すようにトランジスタ  $T_2$  のゲート - ドレイン間にコンデンサ  $C_{st}$  が設けられている。但し、データ線  $S(j)$  の電位の変動がトランジスタ  $T_2$  のゲート電位に及ぼす影響が小さい場合には、トランジスタ  $T_2$  のゲート - ソース間にコンデンサ  $C_{st}$  が設けられていても良い。

10

#### 【0069】

##### < 2.2 画素回路内のトランジスタについて >

本実施形態においては、画素回路 11 内のトランジスタ  $T_1 \sim T_3$  はすべて  $n$  チャンネル型である。また、本実施形態においては、トランジスタ  $T_1 \sim T_3$  には、酸化物 TFT (酸化物半導体をチャネル層に用いた薄膜トランジスタ) が採用されている。

#### 【0070】

以下、酸化物 TFT に含まれる酸化物半導体層について説明する。酸化物半導体層は、例えば、 $In-Ga-Zn-O$  系の半導体層である。酸化物半導体層は、例えば  $In-Ga-Zn-O$  系の半導体を含む。 $In-Ga-Zn-O$  系半導体は、 $In$  (インジウム)、 $Ga$  (ガリウム)、 $Zn$  (亜鉛) の三元系酸化物である。 $In$ 、 $Ga$  および  $Zn$  の割合 (組成比) は、特に限定されない。例えば  $In:Ga:Zn = 2:2:1$ 、 $In:Ga:Zn = 1:1:1$ 、 $In:Ga:Zn = 1:1:2$  などでもよい。

20

#### 【0071】

$In-Ga-Zn-O$  系半導体層を有する TFT は、高い移動度 (アモルファスシリコン TFT に比べて 20 倍を超える移動度) と低いリーク電流 (アモルファスシリコン TFT に比べて 100 分の 1 未満のリーク電流) を有するので、画素回路内の駆動 TFT (上記トランジスタ  $T_2$ ) およびスイッチング TFT (上記トランジスタ  $T_1$ ) として好適に用いられる。 $In-Ga-Zn-O$  系半導体層を有する TFT を用いれば、表示装置の消費電力を大幅に削減することができる。

30

#### 【0072】

$In-Ga-Zn-O$  系半導体は、アモルファスでもよく、結晶質部分を含み、結晶性を有していてもよい。結晶質  $In-Ga-Zn-O$  系半導体としては、 $c$  軸が層面に概ね垂直に配向した結晶質  $In-Ga-Zn-O$  系半導体が好ましい。このような  $In-Ga-Zn-O$  系半導体の結晶構造は、例えば日本の特開 2012-134475 号公報に開示されている。

#### 【0073】

酸化物半導体層は、 $In-Ga-Zn-O$  系半導体に代えて、他の酸化物半導体を含んでいてもよい。例えば  $Zn-O$  系半導体 ( $ZnO$ )、 $In-Zn-O$  系半導体 ( $IZO$  (登録商標))、 $Zn-Ti-O$  系半導体 ( $ZTO$ )、 $Cd-Ge-O$  系半導体、 $Cd-Pb-O$  系半導体、 $CdO$  (酸化カドニウム)、 $Mg-Zn-O$  系半導体、 $In-Sn-Zn-O$  系半導体 (例えば  $In_2O_3-SnO_2-ZnO$ )、 $In-Ga-Sn-O$  系半導体などを含んでいてもよい。

40

#### 【0074】

##### < 2.3 出力 / 電流モニタ回路 >

図 7 を参照しつつ、本実施形態における出力 / 電流モニタ回路 330 の詳細な構成について説明する。この出力 / 電流モニタ回路 330 には、オペアンプ 331 とコンデンサ 332 とスイッチ 333 とが含まれている。なお、コンデンサ 332 によって第 2 のコンデ

50

ンサが実現されている。オペアンプ331については、反転入力端子はデータ線S(j)に接続され、非反転入力端子にはデータ信号DAとしてのアナログ電圧Vsが与えられる。コンデンサ332およびスイッチ333は、オペアンプ331の出力端子とデータ線S(j)との間に設けられている。以上のように、この出力/電流モニタ回路330は積分回路で構成されている。このような構成において、制御クロック信号Sc1kによってスイッチ333がオン状態にされると、オペアンプ331の出力端子-反転入力端子間が短絡状態となる。これにより、オペアンプ331の出力端子およびデータ線S(j)の電位がアナログ電圧Vsの電位と等しくなる。データ線S(j)に流れている電流の測定が行われる際には、制御クロック信号Sc1kによってスイッチ333がオフ状態にされる。これにより、コンデンサ332の存在に起因して、データ線S(j)に流れている電流の大きさに応じてオペアンプ331の出力端子の電位が変化する。そのオペアンプ331からの出力はモニタデータMOとして信号変換回路32内のA/Dコンバータに送られる。

10

【0075】

&lt;3. 駆動方法&gt;

&lt;3.1 概要&gt;

次に、本実施形態における駆動方法について説明する。上述したように、本実施形態においては、各フレームに1つの行のTF特性およびOLED特性の検出が行われる。各フレームにおいて、モニタ行についてはTF特性およびOLED特性の検出を行うための動作(以下、「特性検出動作」という。)が行われ、非モニタ行については通常動作が行われる。すなわち、1行目についてのTF特性およびOLED特性の検出が行われるフレームを(k+1)フレーム目と定義すると、図8に示すように、各行の動作は推移する。また、TF特性およびOLED特性の検出が行われると、その検出結果を用いて、補正データ記憶部50内の補正データの更新が行われる。そして、補正データ記憶部50に記憶されている補正データを用いて映像信号の補正が行われる。

20

【0076】

図1は、モニタ行についての1水平走査期間THmの詳細を説明するためのタイミングチャートである。なお、この1水平走査期間THmによって特性検出処理期間が実現されている。図1に示すように、モニタ行についての1水平走査期間THmは、モニタ行においてTF特性およびOLED特性を検出する準備が行われる期間(以下、「検出準備期間」という。)Taと、TF特性を検出するための電流測定が行われる期間(以下、「TF特性検出期間」という。)Tbと、OLED特性を検出するための電流測定が行われる期間(以下、「OLED特性検出期間」という。)Tcと、モニタ行において有機EL素子OLEDを発光させる準備が行われる期間(以下、「発光準備期間」という。)Tdとによって構成されている。なお、本実施形態においては、TF特性検出期間とOLED特性検出期間とによって電流測定期間が実現されている。

30

【0077】

検出準備期間Taには、走査線G1はアクティブな状態とされ、モニタ制御線G2は非アクティブな状態とされ、データ線Sには電位Vm<sub>g</sub>が与えられる。TF特性検出期間Tbには、走査線G1は非アクティブな状態とされ、モニタ制御線G2はアクティブな状態とされ、データ線Sには電位Vm<sub>TF</sub>が与えられる。OLED特性検出期間Tcには、走査線G1は非アクティブな状態とされ、モニタ制御線G2はアクティブな状態とされ、データ線Sには電位Vm<sub>oled</sub>が与えられる。発光準備期間Tdには、走査線G1はアクティブな状態とされ、モニタ制御線G2は非アクティブな状態とされ、データ線Sにはモニタ行に含まれる有機EL素子OLEDの目標輝度に応じたデータ電位Dが与えられる。本実施形態においては、電位Vm<sub>g</sub>によって第1の所定電位が実現され、電位Vm<sub>TF</sub>および電位Vm<sub>oled</sub>によって第2の所定電位が実現されている。なお、電位Vm<sub>g</sub>、電位Vm<sub>TF</sub>、および電位Vm<sub>oled</sub>についての詳しい説明は後述する。

40

【0078】

&lt;3.2 画素回路の動作&gt;

50



## &lt; 3.2.1 通常動作 &gt;

各フレームにおいて、非モニタ行では、通常動作が行われる。非モニタ行に含まれる画素回路 11 では、目標輝度に対応するデータ電位  $V_{data}$  に基づく書き込みが選択期間に行われた後、トランジスタ T1 はオフ状態で維持される。データ電位  $V_{data}$  に基づく書き込みによってトランジスタ T2 はオン状態となる。トランジスタ T3 についてはオフ状態で維持される。以上より、図 9 で符号 71 で示す矢印のように、トランジスタ T2 を介して有機 EL 素子 OLED に駆動電流が供給される。これにより、駆動電流に応じた輝度で有機 EL 素子 OLED が発光する。

【0079】

## &lt; 3.2.2 特性検出動作 &gt;

各フレームにおいて、モニタ行では、特性検出動作が行われる。図 10 は、モニタ行に含まれる画素回路 11 (i 行 j 列の画素回路 11 とする) の動作を説明するためのタイミングチャートである。なお、図 10 では、i 行目がモニタ行とされるフレームにおける i 行目の 1 回目の選択期間開始時点を基準にして「1 フレーム期間」を表している。また、ここでは、モニタ行における 1 フレーム期間のうちの上述した 1 水平走査期間  $TH_m$  以外の期間のことを「発光期間」という。発光期間には符号 TL を付している。

【0080】

検出準備期間  $T_a$  には、走査線  $G_1(i)$  はアクティブな状態とされ、モニタ制御線  $G_2(i)$  は非アクティブな状態で維持される。これにより、トランジスタ T1 はオン状態となり、トランジスタ T3 はオフ状態で維持される。また、この期間には、データ線  $S(j)$  には電位  $V_{mg}$  が与えられる。この電位  $V_{mg}$  に基づく書き込みによってコンデンサ  $C_{st}$  が充電され、トランジスタ T2 がオン状態となる。以上より、検出準備期間  $T_a$  には、図 11 で符号 72 で示す矢印のように、トランジスタ T2 を介して有機 EL 素子 OLED に駆動電流が供給される。これにより、駆動電流に応じた輝度で有機 EL 素子 OLED が発光する。但し、有機 EL 素子 OLED が発光するのは極めて短い時間である。

【0081】

TFT 特性検出期間  $T_b$  には、走査線  $G_1(i)$  は非アクティブな状態とされ、モニタ制御線  $G_2(i)$  はアクティブな状態とされる。これにより、トランジスタ T1 はオフ状態となり、トランジスタ T3 はオン状態となる。また、この期間にはデータ線  $S(j)$  に電位  $V_{m\_TFT}$  が与えられる。なお、後述する OLED 特性検出期間  $T_c$  には、データ線  $S(j)$  に電位  $V_{m\_oled}$  が与えられる。また、上述したように、検出準備期間  $T_a$  に、電位  $V_{mg}$  に基づく書き込みが行われている。

【0082】

ここで、TFT 用オフセットメモリ 51a に格納されているオフセット値に基づいて求められるトランジスタ T2 の閾値電圧を  $V_{th}(T_2)$  とすると、次式 (1), (2) が成立するように、電位  $V_{mg}$  の値, 電位  $V_{m\_TFT}$  の値, および電位  $V_{m\_oled}$  の値が設定されている。

$$V_{m\_TFT} + V_{th}(T_2) < V_{mg} \quad \dots (1)$$

$$V_{mg} < V_{m\_oled} + V_{th}(T_2) \quad \dots (2)$$

また、OLED 用オフセットメモリ 51b に格納されているオフセット値に基づいて求められる有機 EL 素子 OLED の発光閾値電圧を  $V_{th}(oled)$  とすると、次式 (3) が成立するように電位  $V_{m\_TFT}$  の値が設定されている。

$$V_{m\_TFT} < ELVSS + V_{th}(oled) \quad \dots (3)$$

さらに、有機 EL 素子 OLED の降伏電圧を  $V_{br}(oled)$  とすると、次式 (4) が成立するように電位  $V_{m\_TFT}$  の値が設定されている。

$$V_{m\_TFT} > ELVSS - V_{br}(oled) \quad \dots (4)$$

【0083】

以上のように、検出準備期間  $T_a$  に上式 (1), (2) を満たす電位  $V_{mg}$  に基づく書き込みが行われた後、TFT 特性検出期間  $T_b$  には上式 (1), (3), および (4) を満たす電位  $V_{m\_TFT}$  がデータ線  $S(j)$  に与えられる。上式 (1) より、TFT 特性

検出期間  $T_b$  には、トランジスタ  $T_2$  はオン状態となる。また、上式 (3), (4) より、 $TFT$  特性検出期間  $T_b$  には、有機  $EL$  素子  $OLED$  に電流は流れない。

【0084】

以上より、 $TFT$  特性検出期間  $T_b$  には、図 12 で符号 73 で示す矢印のように、トランジスタ  $T_2$  を流れる電流が、トランジスタ  $T_3$  を介してデータ線  $S(j)$  に出力される。これにより、データ線  $S(j)$  に出力された電流（シンク電流）が、出力／電流モニタ回路 330 によって測定される。以上のようにして、トランジスタ  $T_2$  のゲート・ソース間の電圧を所定の大きさ ( $V_{mg} - V_{m\_TFT}$ ) にした状態で当該トランジスタ  $T_2$  のドレイン・ソース間を流れる電流の大きさが測定され、 $TFT$  特性が検出される。

【0085】

$OLED$  特性検出期間  $T_c$  には、走査線  $G_1(i)$  は非アクティブな状態で維持され、モニタ制御線  $G_2(i)$  はアクティブな状態で維持される。このため、この期間には、トランジスタ  $T_1$  はオフ状態で維持され、トランジスタ  $T_3$  はオン状態で維持される。また、上述したように、この期間には、データ線  $S(j)$  には電位  $V_{m\_oled}$  が与えられる。

【0086】

ここで、上式 (2) および次式 (5) が成立するように電位  $V_{m\_oled}$  の値が設定されている。

$$ELVSS + V_{th}(oled) < V_{m\_oled} \quad \dots (5)$$

また、トランジスタ  $T_2$  の降伏電圧を  $V_{br}(T_2)$  とすると、次式 (6) が成立するように電位  $V_{m\_oled}$  の値が設定されている。

$$V_{m\_oled} < V_{mg} + V_{br}(T_2) \quad \dots (6)$$

【0087】

以上のように、 $OLED$  特性検出期間  $T_c$  には、上式 (2), (5), および (6) を満たす電位  $V_{m\_oled}$  がデータ線  $S(j)$  に与えられる。上式 (2), (6) より、 $OLED$  特性検出期間  $T_c$  には、トランジスタ  $T_2$  はオフ状態となる。また、上式 (5) より、 $OLED$  特性検出期間  $T_c$  には、有機  $EL$  素子  $OLED$  に電流が流れる。

【0088】

以上より、 $OLED$  特性検出期間  $T_c$  には、図 13 で符号 74 で示す矢印のように、データ線  $S(j)$  からトランジスタ  $T_3$  を介して有機  $EL$  素子  $OLED$  に電流が流れ、有機  $EL$  素子  $OLED$  が発光する。この状態において、データ線  $S(j)$  に流れている電流が出力／電流モニタ回路 330 によって測定される。以上のようにして、有機  $EL$  素子  $OLED$  のアノード（陽極）- カソード（陰極）間の電圧を所定の大きさ ( $V_{m\_oled} - ELVSS$ ) にした状態で当該有機  $EL$  素子  $OLED$  を流れる電流の大きさが測定され、 $OLED$  特性が検出される。

【0089】

なお、電位  $V_{mg}$  の値、電位  $V_{m\_TFT}$  の値、および電位  $V_{m\_oled}$  の値については、上式 (1) ~ (6) の他、採用されている出力／電流モニタ回路 330 での電流の測定可能範囲なども考慮して決定される。

【0090】

ここで、出力／電流モニタ回路 330 内のスイッチ 333 のオン／オフ状態の変化について説明する。スイッチ 333 がオフ状態からオン状態に切り替えられると、コンデンサ 332 に蓄積された電荷が放電される。その後、スイッチ 333 がオン状態からオフ状態に切り替えられると、コンデンサ 332 への充電が開始される。そして、出力／電流モニタ回路 330 が積分回路として動作する。なお、スイッチ 333 は、データ線  $S$  に流れている電流を測定しようとする期間、オフ状態で維持される。具体的には、まず、 $TFT$  特性検出期間  $T_b$  に、スイッチ 333 をオン状態にしてデータ線  $S$  に電位  $V_{m\_TFT}$  を与えた後、スイッチ 333 をオフ状態にしてデータ線  $S$  に流れている電流を測定する。次に、 $OLED$  特性検出期間  $T_c$  に、スイッチ 333 をオン状態にしてデータ線  $S$  に電位  $V_{m\_oled}$  を与えた後、スイッチ 333 をオフ状態にしてデータ線  $S$  に流れている電流を

10

20

30

40

50

測定する。

【0091】

発光準備期間  $T_d$  には、走査線  $G_1(i)$  はアクティブな状態とされ、モニタ制御線  $G_2(i)$  は非アクティブな状態とされる。これにより、トランジスタ  $T_1$  はオン状態となり、トランジスタ  $T_3$  はオフ状態となる。また、この期間には、データ線  $S(j)$  には目標輝度に応じたデータ電位  $D(i, j)$  が与えられる。このデータ電位  $D(i, j)$  に基づく書き込みによってコンデンサ  $C_{st}$  が充電され、トランジスタ  $T_2$  がオン状態となる。以上より、発光準備期間  $T_d$  には、図14で符号75で示す矢印のように、トランジスタ  $T_2$  を介して有機EL素子  $OLED$  に駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子  $OLED$  が発光する。

10

【0092】

発光期間  $T_L$  には、走査線  $G_1(i)$  は非アクティブな状態とされ、モニタ制御線  $G_2(i)$  は非アクティブな状態で維持される。これにより、トランジスタ  $T_1$  はオフ状態となり、トランジスタ  $T_3$  はオフ状態で維持される。トランジスタ  $T_1$  はオフ状態となるが、発光準備期間  $T_d$  中に目標輝度に応じたデータ電位  $D(i, j)$  に基づく書き込みによってコンデンサ  $C_{st}$  が充電されていることから、トランジスタ  $T_2$  はオン状態で維持される。従って、発光期間  $T_L$  には、図15で符号76で示す矢印のように、トランジスタ  $T_2$  を介して有機EL素子  $OLED$  に駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子  $OLED$  が発光する。すなわち、発光期間  $T_L$  には、目標輝度に応じて有機EL素子  $OLED$  が発光する。ところで、トランジスタ  $T_1$  がオフ状態になると、トランジスタ  $T_2$  のゲート電位は理想的には保持される。しかしながら、実際には、トランジスタ  $T_1$  によるチャージインжекション、走査線  $G_1(i)$  のフィードスルー、寄生容量との電荷分配等の二次効果により、トランジスタ  $T_2$  のゲート電位については書き込まれた電位からの変動が生じる。一方、発光期間  $T_L$  よりも先行するTFT特性検出期間  $T_b$  の直前にも、トランジスタ  $T_1$  がオフ状態となってトランジスタ  $T_2$  のゲートがホールド状態になることから、TFT特性検出期間  $T_b$  と発光期間  $T_L$  における、二次効果の影響は、ほぼ等しくなる。従って、これら二次効果による影響の大きさが（寄生容量値のばらつき等によって）画素毎にばらついていても、二次効果を考慮してTFT特性の検出が行われ、補正が施される。よって、画素毎の二次効果のばらつきを互いに相殺することができる。

20

30

【0093】

以上のように、非モニタ行においては、一般的な表示装置と同様に、有機EL素子  $OLED$  を発光させる処理が行われる。これに対して、モニタ行においては、TFT特性および  $OLED$  特性を検出するための処理が行われた後に、有機EL素子  $OLED$  を発光させる処理が行われる。従って、図16から把握されるように、モニタ行における発光期間の長さは非モニタ行における発光期間の長さよりも短くなる。このため、発光準備期間  $T_d$  にデータ線  $S(j)$  に印加されるデータ電位  $D(i, j)$  の大きさについては、フレーム期間内での積分輝度が非モニタ行で現れる輝度と等しくなるように調整が施される。詳しくは、非モニタ行における階調電圧よりもやや大きい階調電圧に相当するデータ電位が、発光準備期間  $T_d$  にデータ線  $S(j)$  に与えられる。換言すれば、任意の有機EL素子  $OLED$  を着目有機EL素子と定義したとき、着目有機EL素子がモニタ行に含まれている場合、発光準備期間  $T_d$  には、着目有機EL素子が非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ電位がソースドライバ30によってデータ線  $S(j)$  に与えられる。これにより、表示品位の低下が抑制される。

40

【0094】

なお、本実施形態においては、図8に示すようにフレームが変わる毎にモニタ行も変わるが、本発明はこれに限定されない。複数フレームにわたって同じ行をモニタ行としても良い。このようにして1つの行で繰り返して特性検出の処理を行うことによって、S/N比が向上するという効果が得られる。また、本実施形態においては、各フレームに1つの行のみがモニタ行とされるが、本発明はこれに限定されない。表示品位が損なわれない範

50

囲内で、各フレームに複数の行がモニタ行とされても良いし、パネルの電源オン直後や電源オフ期間、又は非表示期間の任意のタイミングで、全行の特性検出を連続実行するようにしても良い。

#### 【0095】

##### < 3.3 補正データ記憶部内の補正データの更新 >

次に、補正データ記憶部50に記憶されている補正データ(TFT用オフセットメモリ51aに記憶されているオフセット値、OLED用オフセットメモリ51bに記憶されているオフセット値、TFT用ゲインメモリ52aに記憶されているゲイン値、およびOLED用ゲインメモリ52bに記憶されている劣化補正係数)がどのように更新されるかについて説明する。図17は、補正データ記憶部50内の補正データの更新の手順を説明するためのフローチャートである。なお、ここでは1つの画素に対応する補正データに着目する。

10

#### 【0096】

まず、TFT特性検出期間TbにTFT特性の検出が行われる(ステップS110)。このステップS110によって、映像信号を補正するためのオフセット値およびゲイン値が求められる。そして、ステップS110で求められたオフセット値が、新たなオフセット値としてTFT用オフセットメモリ51aに格納される(ステップS120)。また、ステップS110で求められたゲイン値が、新たなゲイン値としてTFT用ゲインメモリ52aに格納される(ステップS130)。その後、OLED特性検出期間Tcに、OLED特性の検出が行われる(ステップS140)。このステップS140によって、映像信号を補正するためのオフセット値および劣化補正係数が求められる。そして、ステップS140で求められたオフセット値が、新たなオフセット値としてOLED用オフセットメモリ51bに格納される(ステップS150)。また、ステップS140で求められた劣化補正係数が、新たな劣化補正係数としてOLED用ゲインメモリ52bに格納される(ステップS160)。以上のようにして、1つの画素に対応する補正データの更新が行われる。本実施形態においては、各フレームに1つの行についてのTFT特性およびOLED特性の検出が行われるので、1フレーム期間につき、TFT用オフセットメモリ51a内のm個のオフセット値、TFT用ゲインメモリ52a内のm個のゲイン値、OLED用オフセットメモリ51b内のm個のオフセット値、およびOLED用ゲインメモリ52b内のm個の劣化補正係数の更新が行われる。

20

30

#### 【0097】

なお、本実施形態においては、ステップS110およびステップS140での検出結果に基づいて得られるデータ(オフセット値、ゲイン値、劣化補正係数)によって特性データが実現されている。

#### 【0098】

ところで、上述したように、OLED特性検出期間Tcには、一定電圧(Vm<sub>oled</sub>-ELVSS)に基づいて有機EL素子OLEDを流れる電流の大きさの測定が行われる。その測定結果としての検出電流が小さいほど、有機EL素子OLEDの劣化の程度は大きい。従って、検出電流が小さいほど、オフセット値が大きくなかつ劣化補正係数が大きくなるようにOLED用オフセットメモリ51bおよびOLED用ゲインメモリ52b内のデータの更新が行われる。

40

#### 【0099】

##### < 3.4 映像信号の補正 >

本実施形態においては、駆動トランジスタの劣化および有機EL素子OLEDの劣化を補償するために、補正データ記憶部50に格納されている補正データを用いて、外部から送られる映像信号の補正が行われる。以下、映像信号のこの補正について図18を参照しつつ説明する。

#### 【0100】

図18に示すように、コントロール回路20には、映像信号を補正するための構成要素として、LUT211、乗算部212、乗算部213、加算部214、加算部215、お

50

よび乗算部 216 が設けられている。また、コントロール回路 20 には、OLED 特性検出期間  $T_c$  にデータ線  $S$  に与える電位  $V_{m\_oled}$  を補正するための構成要素として、乗算部 221 および加算部 222 が設けられている。コントロール回路 20 内の CPU 230 は、上記各構成要素の動作の制御、補正データ記憶部 50 内の各メモリ (TFT 用オフセットメモリ 51a, TFT 用ゲインメモリ 52a, OLED 用オフセットメモリ 51b, および OLED 用ゲインメモリ 52b) に対するデータの更新 / 読み出し, 不揮発性メモリ 70 に対するデータの更新 / 読み出し, ソースドライバ 30 との間のデータ授受などを行う。なお、本実施形態においては、LUT 211, 乗算部 212, 乗算部 213, 加算部 214, 加算部 215, および乗算部 216 によって映像信号補正部が実現されている。

10

#### 【0101】

以上のような構成において、外部から送られる映像信号は、以下のように補正される。まず、LUT 211 を用いて、外部から送られる映像信号にガンマ補正が施される。すなわち、映像信号が示す階調  $P$  がガンマ補正によって制御電圧  $V_c$  に変換される。乗算部 212 は、制御電圧  $V_c$  と TFT 用ゲインメモリ 52a から読み出されたゲイン値  $B_1$  とを受け取り、それらを乗じて得られる値 " $V_c \cdot B_1$ " を出力する。乗算部 213 は、乗算部 212 から出力された値 " $V_c \cdot B_1$ " と OLED 用ゲインメモリ 52b から読み出された劣化補正係数  $B_2$  とを受け取り、それらを乗じて得られる値 " $V_c \cdot B_1 \cdot B_2$ " を出力する。加算部 214 は、乗算部 213 から出力された値 " $V_c \cdot B_1 \cdot B_2$ " と TFT 用オフセットメモリ 51a から読み出されたオフセット値  $V_{t1}$  とを受け取り、それら

20

を加算することによって得られる値 " $V_c \cdot B_1 \cdot B_2 + V_{t1}$ " を出力する。加算部 215 は、加算部 214 から出力された値 " $V_c \cdot B_1 \cdot B_2 + V_{t1}$ " と OLED 用オフセットメモリ 51b から読み出されたオフセット値  $V_{t2}$  とを受け取り、それらを加算することによって得られる値 " $V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2}$ " を出力する。乗算部 216 は、加算部 215 から出力された値 " $V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2}$ " と画素回路 11 内の寄生容量に起因するデータ電位の減衰を補償するための係数  $Z$  とを受け取り、それらを乗じて得られる値 " $Z(V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2})$ " を出力する。以上のようにして得られた値 " $Z(V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2})$ " がデータ信号  $DA$  としてコントロール回路 20 からソースドライバ 30 に送られる。検出準備期間  $T_a$  にデータ線  $S$  に与える電位  $V_{mg}$  についても映像信号と同様の処理によって補正される。なお、加算部 215 から出力された値にデータ電位の減衰を補償するための係数  $Z$  を乗ずる処理を行う乗算部 216 については、必ずしも設けられる必要はない。

20

30

#### 【0102】

また、OLED 特性検出期間  $T_c$  にデータ線  $S$  に与える電位  $V_{m\_oled}$  が以下のように補正される。乗算部 221 は、 $pre\_V_{m\_oled}$  (補正前の  $V_{m\_oled}$ ) と OLED 用ゲインメモリ 52b から読み出された劣化補正係数  $B_2$  とを受け取り、それらを乗じて得られる値 " $pre\_V_{m\_oled} \cdot B_2$ " を出力する。加算部 222 は、乗算部 221 から出力された値 " $pre\_V_{m\_oled} \cdot B_2$ " と OLED 用オフセットメモリ 51b から読み出されたオフセット値  $V_{t2}$  とを受け取り、それらを加算することによって得られる値 " $pre\_V_{m\_oled} \cdot B_2 + V_{t2}$ " を出力する。以上のようにして得られた値 " $pre\_V_{m\_oled} \cdot B_2 + V_{t2}$ " が、OLED 特性検出期間  $T_c$  中のデータ線  $S$  の電位  $V_{m\_oled}$  を指示するデータとしてコントロール回路 20 からソースドライバ 30 に送られる。

40

#### 【0103】

##### < 3.5 駆動方法のまとめ >

図 19 は、TFT 特性および OLED 特性の検出に関連する動作の概略を説明するためのフローチャートである。まず、TFT 特性検出期間  $T_b$  に TFT 特性の検出が行われる (ステップ S210)。そして、ステップ S210 での検出結果を用いて、TFT 用オフセットメモリ 51a および TFT 用ゲインメモリ 52a の更新が行われる (ステップ S220)。次に、OLED 特性検出期間  $T_c$  に OLED 特性の検出が行われる (ステップ S

50

230)。そして、ステップS230での検出結果を用いて、OLED用オフセットメモリ51bおよびOLED用ゲインメモリ52bの更新が行われる(ステップS240)。その後、TFT用オフセットメモリ51a、TFT用ゲインメモリ52a、OLED用オフセットメモリ51b、およびOLED用ゲインメモリ52bに格納されている補正データを用いて、外部から送られる映像信号の補正が行われる(ステップS250)。

#### 【0104】

なお、本実施形態においては、ステップS220およびステップS240によって補正データ記憶ステップが実現され、ステップS250によって映像信号補正ステップが実現されている。

#### 【0105】

##### <4. 効果>

本実施形態によれば、各フレームにおいて1つの行についてのTFT特性およびOLED特性の検出が行われる。モニタ行における1水平走査期間THmは非モニタ行における1水平走査期間THnよりも長くされ、モニタ行では、その1水平走査期間THm中にTFT特性の検出およびOLED特性の検出が行われる。そして、TFT特性の検出結果およびOLED特性の検出結果の双方を考慮して求められた補正データを用いて、外部から送られる映像信号が補正される。このようにして補正された映像信号に基づくデータ電位がデータ線Sに印加されるので、各画素回路11内の有機EL素子OLEDを発光させる際に、駆動トランジスタ(トランジスタT2)の劣化および有機EL素子OLEDの劣化が補償されるような大きさの駆動電流が有機EL素子OLEDに供給される(図20参照)。また、図21に示すように劣化の最も少ない画素の劣化レベルに合わせて電流を増加させることによって、焼き付きに対する補償を行うことが可能となる。ここで、本実施形態におけるデータ線Sは、各画素回路11内の有機EL素子OLEDを所望の輝度で発光させるための輝度信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線(特性検出用の制御電位(Vmg, Vm\_TFT, Vm\_ole))を画素回路11に与える信号線、特性を表す電流であって出力/電流モニタ回路330で測定可能な電流の経路となる信号線)としても用いられる。すなわち、TFT特性やOLED特性を検出するために新たな信号線を表示部10内に設ける必要がない。従って、回路規模の増大を抑制しつつ、駆動トランジスタ(トランジスタT2)の劣化および有機EL素子OLEDの劣化の双方を同時に補償することが可能となる。

#### 【0106】

また、本実施形態においては、画素回路11内のトランジスタT1~T3に酸化物TFT(具体的にはIn-Ga-Zn-O系半導体層を有するTFT)が採用されているので、十分なS/N比を確保できるという効果が得られる。これについて以下に説明する。なお、In-Ga-Zn-O系半導体層を有するTFTのことをここでは「In-Ga-Zn-O-TFT」という。In-Ga-Zn-O-TFTとLTPS(Low Temperature Poly silicon)-TFTとを比較すると、LTPS-TFTよりもIn-Ga-Zn-O-TFTの方がオフ電流が極めて小さい。例えば、画素回路11内のトランジスタT3にLTPS-TFTが採用されている場合には、オフ電流は最大1pA程度となる。これに対して、画素回路11内のトランジスタT3にIn-Ga-Zn-O-TFTが採用されている場合には、オフ電流は最大10fA程度となる。従って、例えば1000行分のオフ電流は、LTPS-TFTが採用されている場合には最大1nA程度となり、In-Ga-Zn-O-TFTが採用されている場合には最大10pA程度となる。検出電流については、いずれが採用されている場合にも10~100nA程度となる。ところで、各データ線Sは、対応する列の全ての行の画素回路11内のトランジスタT3に接続されている。従って、特性検出が行われているときのデータ線SのS/N比は、非モニタ行のトランジスタT3の漏れ電流の合計に依存する。具体的には、特性検出が行われているときのデータ線SのS/N比は「検出電流/(漏れ電流×非モニタ行の行数)」で表される。以上のことから、例えば、“Landscape FHD”の表示部10を有する有機EL表示装置においては、LTPS-TFTが採用されている場合にはS/N比は10程度と

10

20

30

40

50

なるのに対し、In - Ga - Zn - O - TFTが採用されている場合にはS / N比は1000程度となる。このように、本実施形態においては、電流の検出を行う際に十分なS / N比を確保することができる。

【0107】

< 5 . 変形例 >

以下、上記実施形態の変形例について説明する。なお、以下においては、上記実施形態と異なる点についてのみ詳しく説明し、上記実施形態と同様の点については説明を省略する。

【0108】

< 5 . 1 第1の変形例 >

上記実施形態においては、表示部10内のデータ線Sとソースドライバ30内の出力 / 電流モニタ回路330とが1対1で対応することを前提としていた。しかしながら、本発明はこれに限定されず、1つの出力 / 電流モニタ回路330が複数のデータ線Sに対応する構成（本変形例の構成）を採用することもできる。なお、本変形例のようにソースドライバからの1つの出力を複数のデータ線Sに振り分ける方式のことは「ソースシェアドライビング（SSD）方式」などと呼ばれている。

【0109】

図22は、本変形例における有機EL表示装置2の全体構成を示すブロック図である。図22から把握されるように、本変形例においては、3本のデータ線Sにつき1つの出力 / 電流モニタ回路330が設けられている。また、本変形例においては、出力 / 電流モニタ回路330とデータ線Sとの電気的な接続状態を制御するための接続制御部80が表示部10とソースドライバ30との間に設けられている。

【0110】

図23に示すように、接続制御部80には、出力 / 電流モニタ回路330と赤色用のデータ線S（R）との電気的な接続状態を制御するためのトランジスタTS（R）と、出力 / 電流モニタ回路330と緑色用のデータ線S（G）との電気的な接続状態を制御するためのトランジスタTS（G）と、出力 / 電流モニタ回路330と青色用のデータ線S（B）との電気的な接続状態を制御するためのトランジスタTS（B）とが含まれている。トランジスタTS（R）のオン / オフ状態は、制御信号SMP（R）によって制御される。トランジスタTS（G）のオン / オフ状態は、制御信号SMP（G）によって制御される。トランジスタTS（B）のオン / オフ状態は、制御信号SMP（B）によって制御される。赤色用のデータ線S（R）は赤色用の画素回路11（R）に接続されており、緑色用のデータ線S（G）は緑色用の画素回路11（G）に接続されており、青色用のデータ線S（B）は青色用の画素回路11（B）に接続されている。

【0111】

図24は、本変形例において、モニタ行についての1水平走査期間THmの詳細を説明するためのタイミングチャートである。図25は、本変形例において、モニタ行に含まれる画素回路11（i行j列の画素回路11とする）の動作を説明するためのタイミングチャートである。上記実施形態と同様、モニタ行についての1水平走査期間THmは、検出準備期間TaとTFT特性検出期間TbとOLED特性検出期間Tcと発光準備期間Tdとによって構成されている。検出準備期間Taには、走査線G1はアクティブな状態とされ、モニタ制御線G2は非アクティブな状態とされる。TFT特性検出期間Tbには、走査線G1は非アクティブな状態とされ、モニタ制御線G2はアクティブな状態とされる。OLED特性検出期間Tcには、走査線G1は非アクティブな状態で維持され、モニタ制御線G2はアクティブな状態で維持される。発光準備期間Tdには、走査線G1はアクティブな状態とされ、モニタ制御線G2は非アクティブな状態とされる。

【0112】

図24および図25から把握されるように、検出準備期間Ta，TFT特性検出期間Tb，OLED特性検出期間Tc，および発光準備期間Tdについては、いずれも3つの期間に分割されている。いずれについても、最初の3分の1の期間には制御信号SMP（R

10

20

30

40

50

）がハイレベルとなり、２番目の３分の１の期間には制御信号ＳＭＰ（Ｇ）がハイレベルとなり、最後の３分の１の期間には制御信号ＳＭＰ（Ｂ）がハイレベルとなる。従って、検出準備期間Ｔ<sub>a</sub>、ＴＦＴ特性検出期間Ｔ<sub>b</sub>、ＯＬＥＤ特性検出期間Ｔ<sub>c</sub>、および発光準備期間Ｔ<sub>d</sub>のいずれについても、最初の３分の１の期間にはトランジスタＴＳ（Ｒ）がオン状態となって出力／電流モニタ回路３３０と赤色用のデータ線Ｓ（Ｒ）とが電氣的に接続され、２番目の３分の１の期間にはトランジスタＴＳ（Ｇ）がオン状態となって出力／電流モニタ回路３３０と緑色用のデータ線Ｓ（Ｇ）とが電氣的に接続され、最後の３分の１の期間にはトランジスタＴＳ（Ｂ）がオン状態となって出力／電流モニタ回路３３０と青色用のデータ線Ｓ（Ｂ）とが電氣的に接続される。

#### 【０１１３】

出力／電流モニタ回路３３０からデータ線Ｓに与えられる電位は次のようになっている。検出準備期間Ｔ<sub>a</sub>には、電位Ｖ<sub>m</sub>ｇとして、赤色用の電位、緑色用の電位、および青色用の電位が順次に出力／電流モニタ回路３３０からデータ線Ｓに与えられる。ＴＦＴ特性検出期間Ｔ<sub>b</sub>には、電位Ｖ<sub>m</sub>＿ＴＦＴとして、赤色用の電位、緑色用の電位、および青色用の電位が順次に出力／電流モニタ回路３３０からデータ線Ｓに与えられる。ＯＬＥＤ特性検出期間Ｔ<sub>c</sub>には、電位Ｖ<sub>m</sub>＿oledとして、赤色用の電位、緑色用の電位、および青色用の電位が順次に出力／電流モニタ回路３３０からデータ線Ｓに与えられる。発光準備期間Ｔ<sub>d</sub>には、データ電位Ｄとして、赤色用の電位、緑色用の電位、および青色用の電位が順次に出力／電流モニタ回路３３０からデータ線Ｓに与えられる。

#### 【０１１４】

以上より、検出準備期間Ｔ<sub>a</sub>には、赤色用の電位に基づく赤色用の画素回路１１（Ｒ）への書き込み、緑色用の電位に基づく緑色用の画素回路１１（Ｇ）への書き込み、および青色用の電位に基づく青色用の画素回路１１（Ｂ）への書き込みが順次に行われる。ＴＦＴ特性検出期間Ｔ<sub>b</sub>には、赤色用の画素回路１１（Ｒ）内のトランジスタＴ<sub>2</sub>の特性の検出、緑色用の画素回路１１（Ｇ）内のトランジスタＴ<sub>2</sub>の特性の検出、および青色用の画素回路１１（Ｂ）内のトランジスタＴ<sub>2</sub>の特性の検出が順次に行われる。ＯＬＥＤ特性検出期間Ｔ<sub>c</sub>には、赤色用の画素回路１１（Ｒ）内の有機ＥＬ素子ＯＬＥＤの特性の検出、緑色用の画素回路１１（Ｇ）内の有機ＥＬ素子ＯＬＥＤの特性の検出、および青色用の画素回路１１（Ｂ）内の有機ＥＬ素子ＯＬＥＤの特性の検出が順次に行われる。発光準備期間Ｔ<sub>d</sub>には、目標輝度に応じた赤色用の画素回路１１（Ｒ）への書き込み、目標輝度に応じた緑色用の画素回路１１（Ｇ）への書き込み、および目標輝度に応じた青色用の画素回路１１（Ｂ）への書き込みが順次に行われる。

#### 【０１１５】

本変形例によれば、以上のようにして、ＳＳＤ方式を採用している有機ＥＬ表示装置においても、回路規模の増大を抑制しつつ、駆動トランジスタ（トランジスタＴ<sub>2</sub>）の劣化および有機ＥＬ素子ＯＬＥＤの劣化の双方を同時に補償することが可能となる。

#### 【０１１６】

##### < ５．２ 第２の変形例 >

上記実施形態によれば、有機ＥＬ表示装置１の短時間運転が繰り返されると、表示部１０の上方の行と表示部１０の下方の行との間で、ＴＦＴ特性およびＯＬＥＤ特性の検出の回数に大きな差が生じる。そこで、本変形例に係る有機ＥＬ表示装置３においては、図２６に示すように、コントロール回路２０内にモニタ行を記憶するためのモニタ行記憶部２０１が設けられている。このような構成において、電源オフの際に、最後にＴＦＴ特性およびＯＬＥＤ特性の検出が行われた行を特定する情報がモニタ行記憶部２０１に格納される。電源オン後には、モニタ行記憶部２０１に格納されている情報に基づいて特定される行の次の行から、ＴＦＴ特性およびＯＬＥＤ特性の検出が行われる。なお、本実施形態においては、モニタ行記憶部２０１によってモニタ領域記憶部が実現されている。

#### 【０１１７】

以上より、本変形例によれば、表示部１０の上方の行と表示部１０の下方の行との間でＴＦＴ特性およびＯＬＥＤ特性の検出の回数に差が生じることが防止される。このため、

10

20

30

40

50



駆動トランジスタ（トランジスタＴ２）の劣化および有機ＥＬ素子ＯＬＥＤの劣化に対する補償を画面全体で一様に行うことが可能となり、輝度のばらつきの発生が効果的に防止される。

#### 【０１１８】

なお、電源オン後に最初にＴＦＴ特性およびＯＬＥＤ特性の検出が行われる行は、モニタ行記憶部２０１に格納されている情報に基づいて特定される行の次の行には限定されず、モニタ行記憶部２０１に格納されている情報に基づいて特定される行の近傍の行であっても良い。例えば、電源オフ直前と電源オン直後とで特性検出動作が重複して行われる行が存在しても良い。

#### 【０１１９】

また、最後にＴＦＴ特性およびＯＬＥＤ特性の検出が行われた列を特定する情報を記憶するようにしても良いし、最後にＴＦＴ特性およびＯＬＥＤ特性の検出が行われた行および列の双方を特定する情報を記憶するようにしても良い。

#### 【０１２０】

##### < ５．３ 第３の変形例 >

図２７は、有機ＥＬ素子の電流－電圧特性の温度依存性について説明するための図である。図２７には、温度ＴＥ１における有機ＥＬ素子の電流－電圧特性、温度ＴＥ２における有機ＥＬ素子の電流－電圧特性、および温度ＴＥ３における有機ＥＬ素子の電流－電圧特性を示している。なお、“ＴＥ１＞ＴＥ２＞ＴＥ３”である。図２７から把握されるように、有機ＥＬ素子に所定の電流を供給するためには、温度が低くなるほど電圧を高くする必要がある。このように、有機ＥＬ素子の電流－電圧特性は、温度に大きく依存している。そこで、温度変化を補償することのできる構成（本変形例の構成）を採用することが好ましい。

#### 【０１２１】

図２８は、本変形例における有機ＥＬ表示装置４の全体構成を示すブロック図である。本変形例においては、上記実施形態における構成要素に加えて、温度センサ６０が設けられている。この温度センサ６０によって温度検出部が実現されている。また、コントロール回路２０には、温度変化補償部２０２が設けられている。温度センサ６０は、随時、温度を測定した結果である温度情報ＴＥをコントロール回路２０に与える。温度変化補償部２０２は、ソースドライバ３０から与えられるモニタデータＭＯに対して、温度情報ＴＥに基づく補正を施す。詳しくは、温度変化補償部２０２は、検出時の温度に対応するモニタデータＭＯの値を或る標準温度に対応する値に変換し、その変換で得られた値に基づいてＯＬＥＤ用オフセットメモリ５１ｂ内のオフセット値およびＯＬＥＤ用ゲインメモリ５２ｂ内の劣化補正係数を更新する。

#### 【０１２２】

図２９は、本変形例における補正データ記憶部５０内の補正データ（ＴＦＴ用オフセットメモリ５１ａに記憶されているオフセット値、ＯＬＥＤ用オフセットメモリ５１ｂに記憶されているオフセット値、ＴＦＴ用ゲインメモリ５２ａに記憶されているゲイン値、およびＯＬＥＤ用ゲインメモリ５２ｂに記憶されている劣化補正係数）の更新の手順を説明するためのフローチャートである。なお、本変形例（図２９）におけるステップＳ３１０～ステップＳ３４０の処理は上記実施形態（図１７）におけるステップＳ１１０～ステップＳ１４０の処理と同じであり、本変形例（図２９）におけるステップＳ３５０～ステップＳ３６０の処理は上記実施形態（図１７）におけるステップＳ１５０～ステップＳ１６０の処理と同じである。本変形例においては、ＯＬＥＤ特性の検出が行われた後、オフセット値および劣化補正係数の更新が行われる前に、温度センサ６０によって与えられた温度情報ＴＥに基づいて、オフセット値および劣化補正係数に補正が施される（ステップＳ３４５）。

#### 【０１２３】

以上より、本変形例によれば、外部から送られる映像信号は、温度変化を考慮した補正データによって補正される。このため、有機ＥＬ表示装置において、温度の変化に関わら

10

20

30

40

50

ず駆動トランジスタ（トランジスタＴ２）の劣化および有機ＥＬ素子ＯＬＥＤの劣化の双方を同時に補償することが可能となる。

#### 【０１２４】

< ５．４ 第４の変形例 >

< ５．４．１ 概要 >

上記実施形態においては、各フレームにおいて１つの行についてのＴＦＴ特性およびＯＬＥＤ特性の双方の検出が行われていた。しかしながら、本発明はこれに限定されず、各フレームにおいて１つの行についてのＴＦＴ特性の検出または１つの行についてのＯＬＥＤ特性の検出のいずれかが行われる構成（本変形例の構成）を採用することもできる。

#### 【０１２５】

本変形例においては、或るフレームに１行目についてのＯＬＥＤ特性の検出が行われると、次のフレームには２行目についてのＯＬＥＤ特性の検出が行われ、さらに次のフレームには３行目についてのＯＬＥＤ特性の検出が行われる。その後、４～ $n$ 行目についてのＯＬＥＤ特性の検出が順次に行われる。 $n$ 行目についてのＯＬＥＤ特性の検出が行われた後、１行目についてのＴＦＴ特性の検出が行われる。そして、２～ $n$ 行目についてのＴＦＴ特性の検出が順次に行われる。このようにＴＦＴ特性の検出とＯＬＥＤ特性の検出とは異なるフレームで行われる。以上のように、各フレームにおいて、モニタ行についてはＴＦＴ特性の検出を行うための動作（以下、「ＴＦＴ特性検出動作」という。）またはＯＬＥＤ特性の検出を行うための動作（以下、「ＯＬＥＤ特性検出動作」という。）のいずれかが行われ、非モニタ行については通常動作が行われる。すなわち、１行目についてのＯＬＥＤ特性の検出が行われるフレームを（ $k+1$ ）フレーム目と定義すると、図３０に示すように、各行の動作は推移する。なお、（ $k+1$ ）フレーム目から（ $k+n$ ）フレーム目までは、いずれの行においてもＴＦＴ特性検出動作は行われない。また、（ $k+n+1$ ）フレーム目から（ $k+2n$ ）フレーム目までは、いずれの行においてもＯＬＥＤ特性検出動作は行われない。

#### 【０１２６】

モニタ行でＯＬＥＤ特性検出動作が行われた後には、検出結果に基づいて、ＯＬＥＤ用オフセットメモリ５１ｂおよびＯＬＥＤ用ゲインメモリ５２ｂの更新が行われる。モニタ行でＴＦＴ特性検出動作が行われた後には、検出結果に基づいて、ＴＦＴ用オフセットメモリ５１ａおよびＴＦＴ用ゲインメモリ５２ａの更新が行われる。映像信号の補正については、上記実施形態と同様にして行われる。

#### 【０１２７】

< ５．４．２ 駆動方法 >

< ５．４．２．１ 画素回路の動作 >

図３１および図３２を参照しつつ、本変形例における駆動方法について説明する。図３１および図３２は、モニタ行に含まれる画素回路１１（ $i$ 行 $j$ 列の画素回路１１とする）の動作を説明するためのタイミングチャートである。図３１は、モニタ行でＯＬＥＤ特性検出動作が行われるフレームにおけるタイミングチャートであり、図３２は、モニタ行でＴＦＴ特性検出動作が行われるフレームにおけるタイミングチャートである。なお、非モニタ行では、各フレームにおいて、上記実施形態と同様にして通常動作が行われる。以下、モニタ行に含まれる画素回路１１の動作について説明する。

#### 【０１２８】

まず、モニタ行でＯＬＥＤ特性検出動作が行われるフレームにおける動作について説明する。図３１に示すように、このフレームにおいては、モニタ行についての１水平走査期間 $T_{Hm}$ は、検出準備期間 $T_a$ とＯＬＥＤ特性検出期間 $T_c$ と発光準備期間 $T_d$ とによって構成されている。

#### 【０１２９】

検出準備期間 $T_a$ には、走査線 $G_1(i)$ はアクティブな状態とされ、モニタ制御線 $G_2(i)$ は非アクティブな状態で維持される。また、この期間には、データ線 $S(j)$ には電位 $V_{mg}$ が与えられる。以上より、この期間には、電位 $V_{mg}$ に基づく書き込みによ

10

20

30

40

50

って画素回路 11 内のコンデンサ  $C_{st}$  が充電される。

【0130】

OLED 特性検出期間  $T_c$  には、走査線  $G1(i)$  は非アクティブな状態とされ、モニタ制御線  $G2(i)$  はアクティブな状態とされる。このため、この期間には、トランジスタ  $T1$  はオフ状態となり、トランジスタ  $T3$  はオン状態となる。また、この期間には、データ線  $S(j)$  には電位  $V_{m\_oled}$  が与えられる。

【0131】

ここで、OLED 用オフセットメモリ 51b に格納されているオフセット値に基づいて求められる有機 EL 素子 OLED の発光閾値電圧を  $V_{th(oled)}$  とし、トランジスタ  $T2$  の降伏電圧を  $V_{br}(T2)$  とすると、上式 (2), (5), および (6) が成立するように、電位  $V_{mg}$  の値および電位  $V_{m\_oled}$  の値が設定されている。上式 (2), (6) より、OLED 特性検出期間  $T_c$  には、トランジスタ  $T2$  はオフ状態となる。また、上式 (5) より、OLED 特性検出期間  $T_c$  には、有機 EL 素子 OLED に電流が流れる。

10

【0132】

以上より、OLED 特性検出期間  $T_c$  には、図 13 で符号 74 で示す矢印のように、データ線  $S(j)$  からトランジスタ  $T3$  を介して有機 EL 素子 OLED に電流が流れ、有機 EL 素子 OLED が発光する。この状態において、データ線  $S(j)$  に流れている電流が出力 / 電流モニタ回路 330 によって測定される。このようにして、OLED 特性が検出される。

20

【0133】

発光準備期間  $T_d$  には、走査線  $G1(i)$  はアクティブな状態とされ、モニタ制御線  $G2(i)$  は非アクティブな状態とされる。これにより、トランジスタ  $T1$  はオン状態となり、トランジスタ  $T3$  はオフ状態となる。また、この期間には、データ線  $S(j)$  には目標輝度に応じたデータ電位  $D(i, j)$  が与えられる。以上より、この期間には、データ電位  $D(i, j)$  に基づく書き込みによって画素回路 11 内のコンデンサ  $C_{st}$  が充電される。

【0134】

発光期間  $T_L$  には、走査線  $G1(i)$  は非アクティブな状態とされ、モニタ制御線  $G2(i)$  は非アクティブな状態で維持される。これにより、トランジスタ  $T1$  はオフ状態となり、トランジスタ  $T3$  はオフ状態で維持される。トランジスタ  $T1$  はオフ状態となるが、発光準備期間  $T_d$  中に目標輝度に応じたデータ電位  $D(i, j)$  に基づく書き込みによってコンデンサ  $C_{st}$  が充電されていることから、トランジスタ  $T2$  はオン状態で維持される。従って、発光期間  $T_L$  には、図 15 で符号 76 で示す矢印のように、トランジスタ  $T2$  を介して有機 EL 素子 OLED に駆動電流が供給される。これにより、駆動電流に応じた輝度で有機 EL 素子 OLED が発光する。すなわち、発光期間  $T_L$  には、目標輝度に応じて有機 EL 素子 OLED が発光する。

30

【0135】

次に、モニタ行で TFT 特性検出動作が行われるフレームにおける動作について説明する。なお、検出準備期間  $T_a$ , 発光準備期間  $T_d$ , および発光期間  $T_L$  における動作については、モニタ行で OLED 特性検出動作が行われるフレームと同様であるので、説明を省略する。

40

【0136】

TFT 特性検出期間  $T_b$  には、走査線  $G1(i)$  は非アクティブな状態とされ、モニタ制御線  $G2(i)$  はアクティブな状態とされる。このため、この期間には、トランジスタ  $T1$  はオフ状態となり、トランジスタ  $T3$  はオン状態となる。また、この期間には、データ線  $S(j)$  には電位  $V_{m\_TFT}$  が与えられる。

【0137】

ここで、TFT 用オフセットメモリ 51a に格納されているオフセット値に基づいて求められるトランジスタ  $T2$  の閾値電圧を  $V_{th}(T2)$  とし、OLED 用オフセットメモ

50

リ51bに格納されているオフセット値に基づいて求められる有機EL素子OLEDの発光閾値電圧を $V_{th}(oled)$ とし、有機EL素子OLEDの降伏電圧を $V_{br}(oled)$ とすると、上式(1)、(3)、および(4)が成立するように、電位 $V_{mg}$ の値および電位 $V_{m\_TFT}$ の値が設定されている。上式(1)より、TFT特性検出期間 $T_b$ には、トランジスタT2はオン状態となる。また、上式(3)、(4)より、TFT特性検出期間 $T_b$ には、有機EL素子OLEDに電流は流れない。

#### 【0138】

以上より、TFT特性検出期間 $T_b$ には、図12で符号73で示す矢印のように、トランジスタT2を流れる電流が、トランジスタT3を介してデータ線 $S(j)$ に出力される。これにより、データ線 $S(j)$ に出力された電流(シンク電流)が、出力/電流モニタ回路330によって測定される。このようにして、TFT特性が検出される。

10

#### 【0139】

<5.4.2.2 補正データ記憶部内の補正データの更新>

次に、補正データ記憶部50内の補正データ(TFT用オフセットメモリ51aに記憶されているオフセット値、OLED用オフセットメモリ51bに記憶されているオフセット値、TFT用ゲインメモリ52aに記憶されているゲイン値、およびOLED用ゲインメモリ52bに記憶されている劣化補正係数)の更新について説明する。図33は、補正データ記憶部50内の補正データの更新の手順を説明するためのフローチャートである。なお、ここでは1つの画素に対応する補正データに着目する。ところで、図30から把握されるように、本変形例においては、任意の1つの画素に着目したとき、TFT特性の検出はOLED特性の検出が行われたフレームの $n$ フレーム後に行われる。そこで、ここでは、 $K$ フレーム目にOLED特性の検出が行われ、 $(K+n)$ フレーム目にTFT特性の検出が行われるものとする。

20

#### 【0140】

まず、 $K$ フレーム目において、OLED特性検出期間 $T_c$ に、OLED特性の検出が行われる(ステップS410)。このステップS410によって、映像信号を補正するためのオフセット値および劣化補正係数が求められる。そして、ステップS410で求められたオフセット値が、新たなオフセット値としてOLED用オフセットメモリ51bに格納される(ステップS420)。また、ステップS410で求められた劣化補正係数が、新たな劣化補正係数としてOLED用ゲインメモリ52bに格納される(ステップS430)。その後、 $(K+n)$ フレーム目において、TFT特性検出期間 $T_b$ に、TFT特性の検出が行われる(ステップS440)。このステップS440によって、映像信号を補正するためのオフセット値およびゲイン値が求められる。そして、ステップS440で求められたオフセット値が、新たなオフセット値としてTFT用オフセットメモリ51aに格納される(ステップS450)。また、ステップS440で求められたゲイン値が、新たなゲイン値としてTFT用ゲインメモリ52aに格納される(ステップS460)。

30

#### 【0141】

以上のようにして、1つの画素に対応するオフセット値およびゲイン値の更新が行われる。本変形例においては、各フレームに、1つの行についてのOLED特性の検出または1つの行についてのTFT特性の検出のいずれかが行われる。従って、OLED特性の検出が行われるフレームにおいては1フレームにつきOLED用オフセットメモリ51b内の $m$ 個のオフセット値およびOLED用ゲインメモリ52b内の $m$ 個の劣化補正係数の更新が行われ、TFT特性の検出が行われるフレームにおいては1フレームにつきTFT用オフセットメモリ51a内の $m$ 個のオフセット値およびTFT用ゲインメモリ52a内の $m$ 個のゲイン値の更新が行われる。

40

#### 【0142】

<5.4.3 効果>

本変形例によれば、各画素について、 $n$ フレーム毎( $n$ は画素マトリクスを構成する行の数)にOLED特性の検出とTFT特性の検出とが交互に行われる。そして、上記実施形態と同様に、OLED特性の検出結果およびTFT特性の検出結果の双方を考慮して求

50

められた補正データを用いて、外部から送られる映像信号が補正される。このため、各画素回路 11a 内の有機 EL 素子 OLED を発光させる際に、駆動トランジスタ（トランジスタ T2）の劣化および有機 EL 素子 OLED の劣化が補償されるような大きさの駆動電流が有機 EL 素子 OLED に供給される。ここで、本変形例においても、データ線 S は、各画素回路 11 内の有機 EL 素子 OLED を所望の輝度で発光させるための輝度信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。従って、回路規模の増大を抑制しつつ、駆動トランジスタ（トランジスタ T2）の劣化および有機 EL 素子 OLED の劣化の双方を同時に補償することが可能となる。

#### 【0143】

##### < 5.5 第 5 の変形例 >

一般に、有機 EL 表示装置においては、1 フレーム期間は、先頭行から最終行への順番で順次に画素への映像信号の書き込みが行われる期間である垂直走査期間と、映像信号の書き込みを最終行から先頭行に戻すために設けられている期間である垂直帰線期間（垂直同期期間）とからなる。そして、有機 EL 表示装置の動作中、図 34 に示すように、垂直走査期間  $T_v$  と垂直帰線期間  $T_f$  とが交互に繰り返される。ところで、上記実施形態においては、垂直走査期間  $T_v$  中に TFT 特性の検出および OLED 特性の検出が行われていた。しかしながら、本発明はこれに限定されず、垂直帰線期間  $T_f$  中に TFT 特性の検出および OLED 特性の検出が行われる構成（本変形例の構成）を採用することもできる。

#### 【0144】

本変形例においては、例えば  $(k+1)$  フレーム目の垂直帰線期間  $T_f$  に 1 行目についての TFT 特性および OLED 特性の検出が行われるとすると、 $(k+2)$  フレーム目の垂直帰線期間  $T_f$  には、2 行目についての TFT 特性および OLED 特性の検出が行われ、 $(k+3)$  フレーム目の垂直帰線期間  $T_f$  には、3 行目についての TFT 特性および OLED 特性の検出が行われ、 $(k+n)$  フレーム目の垂直帰線期間  $T_f$  には、 $n$  行目についての TFT 特性および OLED 特性の検出が行われる。すなわち、フレームが変わる毎にモニタ行も変わる。なお、垂直走査期間  $T_v$  には、一般的な有機 EL 表示装置と同様の動作が行われる。

#### 【0145】

図 35 は、モニタ行に含まれる画素回路 11（ $i$  行  $j$  列の画素回路 11 とする）の垂直帰線期間  $T_f$  中の動作について説明するためのタイミングチャートである。図 35 に示すように、本変形例においては、垂直帰線期間  $T_f$  に、検出準備期間  $T_a$  と TFT 特性検出期間  $T_b$  と OLED 特性検出期間  $T_c$  と発光準備期間  $T_d$  とが含まれている。

#### 【0146】

本変形例における垂直帰線期間  $T_f$  中の検出準備期間  $T_a$ 、TFT 特性検出期間  $T_b$ 、OLED 特性検出期間  $T_c$ 、および発光準備期間  $T_d$  には、それぞれ上記実施形態における検出準備期間  $T_a$ 、TFT 特性検出期間  $T_b$ 、OLED 特性検出期間  $T_c$ 、および発光準備期間  $T_d$  と同様の動作が行われる。このようにして、垂直走査期間  $T_v$  ではなく垂直帰線期間  $T_f$  に TFT 特性および OLED 特性の検出を行うことも可能である。

#### 【0147】

ところで、非モニタ行においては、垂直走査期間  $T_v$  中の選択期間に目標輝度に応じた書き込みが行われ、当該書き込みに基づく有機 EL 素子 OLED の発光がほぼ 1 フレーム期間継続される。これに対して、モニタ行においては、垂直走査期間  $T_v$  中の選択期間に書き込みが行われるが、垂直帰線期間  $T_f$  になると有機 EL 素子 OLED の発光が一時的に中断される。このため、垂直帰線期間  $T_f$  終了後にモニタ行で有機 EL 素子 OLED が発光するよう、垂直帰線期間  $T_f$  中の発光準備期間  $T_d$  にデータ電位  $D(i, j)$  に基づく書き込みが行われる。

#### 【0148】

すなわち、モニタ行においては、図 36 に示すように、まず、先行フレームの垂直走査期間  $T_v$  中の選択期間における書き込みに基づいて有機 EL 素子 OLED が発光する。その後、垂直帰線期間  $T_f$  に、有機 EL 素子 OLED が一時的に消灯する。その後、垂直帰

10

20

30

40

50

線期間  $T_f$  中の発光準備期間  $T_d$  における書き込みに基づいて有機 EL 素子 O L E D が発光する。これに関し、発光準備期間  $T_d$  にデータ電位  $D(i, j)$  に基づく書き込みが可能となるよう、垂直走査期間  $T_v$  中の選択期間における書き込み後に、該当のデータを保持しておく必要がある。この点に関し、保持すべきデータは 1 ライン分のデータにすぎないので、メモリ容量の増大は僅かである。これに対して、上記実施形態においては、モニタ行と非モニタ行とで 1 水平走査期間の長さが異なるので、コントロール回路 20 からのデータ転送のタイミングによっては、数十ライン分のラインメモリが必要となることもある。以上より、本変形例によれば、上記実施形態と比較して、必要となるメモリ容量が低減される。

【0149】

10

なお、垂直帰線期間  $T_f$  にモニタ行での有機 EL 素子 O L E D の発光が一時的に中断されることを考慮して、垂直走査期間  $T_v$  中の選択期間（図 36 で符号  $T_z$  で示す期間）に予め本来の階調電圧よりも大きい階調電圧に相当するデータ電位がデータ線  $S$  に与えられるようにしても良い。換言すれば、任意の有機 EL 素子 O L E D を着目有機 EL 素子と定義したとき、着目有機 EL 素子がモニタ行に含まれている場合、垂直走査期間  $T_v$  中の選択期間には、着目有機 EL 素子が非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ電位がソースドライバ 30 によってデータ線  $S(j)$  に与えられるようにしても良い。これにより、表示品位の低下が抑制される。

【0150】

< 6 . その他 >

20

本発明は、上記実施形態および変形例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、本発明を適用可能な有機 EL 表示装置は、上記実施形態で例示した画素回路 11 を備えるものに限定されるものではない。画素回路は、少なくとも、電流によって制御される電気光学素子（有機 EL 素子 O L E D）、トランジスタ  $T_1 \sim T_3$ 、およびコンデンサ  $C_{st}$  を備えていれば、上記実施形態で例示した構成以外の構成であっても良い。

【符号の説明】

【0151】

1 ~ 4 ... 有機 EL 表示装置

10 ... 表示部

30

11 ... 画素回路

20 ... コントロール回路

30 ... ソースドライバ

31 ... 駆動信号発生回路

32 ... 信号変換回路

33 ... 出力部

40 ... ゲートドライバ

50 ... 補正データ記憶部

51 a ... T F T 用オフセットメモリ

51 b ... O L E D 用オフセットメモリ

40

52 a ... T F T 用ゲインメモリ

52 b ... O L E D 用ゲインメモリ

60 ... 温度センサ

201 ... モニタ行記憶部

202 ... 温度変化補償部

330 ... 出力 / 電流モニタ回路

$T_1 \sim T_3$  ... トランジスタ

$C_{st}$  ... コンデンサ

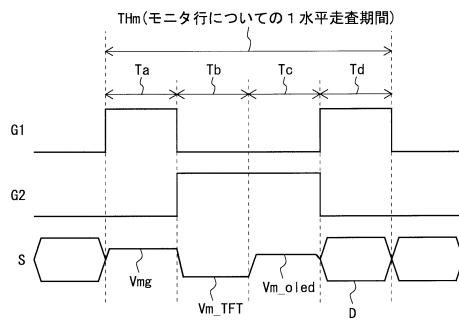
$G_1(1) \sim G_1(n)$  ... 走査線

$G_2(1) \sim G_2(n)$  ... モニタ制御線

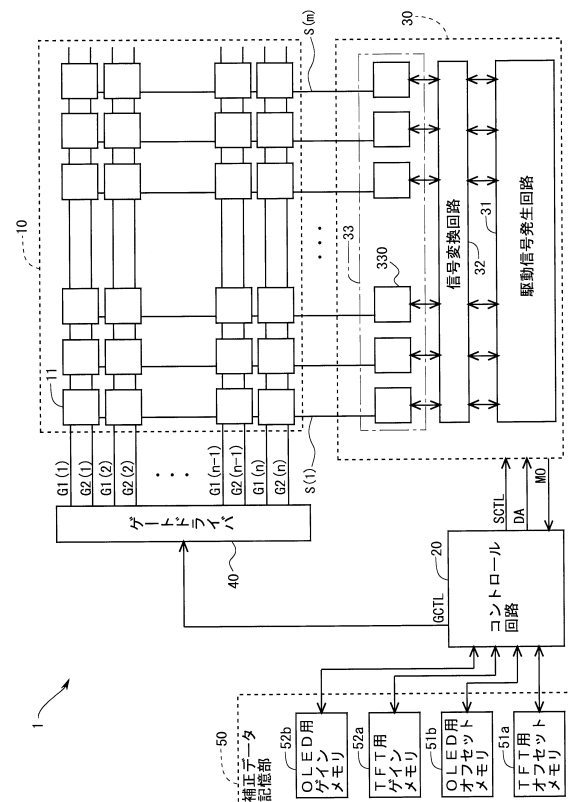
50

$S(1) \sim S(m)$  ... データ線  
 $ELVDD$  ... ハイレベル電源電圧, ハイレベル電源線  
 $ELVSS$  ... ローレベル電源電圧, ローレベル電源線  
 $Ta$  ... 検出準備期間  
 $Tb$  ... TFT特性検出期間  
 $Tc$  ... OLED特性検出期間  
 $Td$  ... 発光準備期間  
 $TL$  ... 発光期間

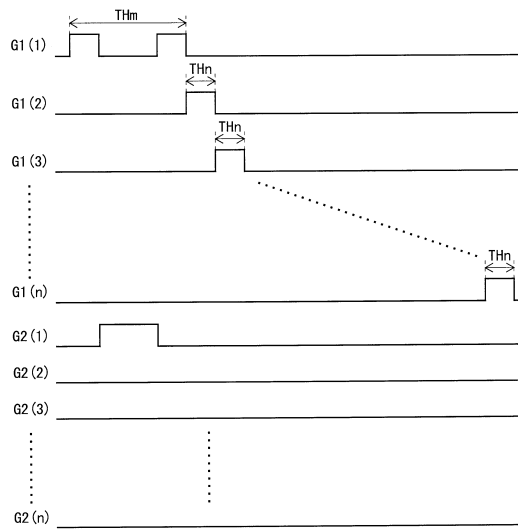
【図1】



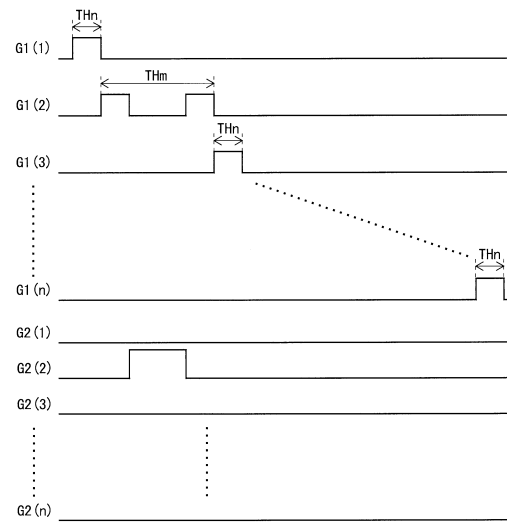
【図2】



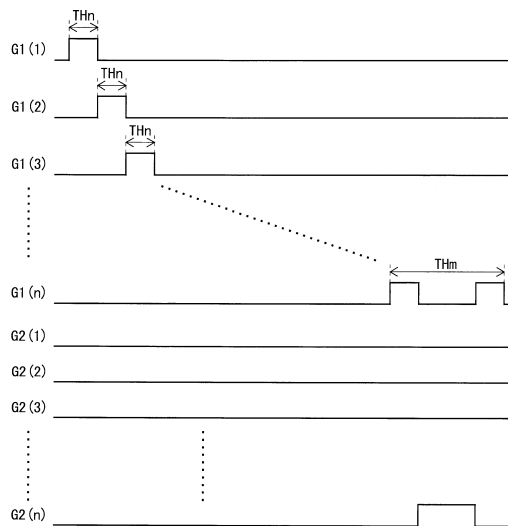
【図 3】



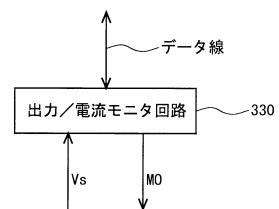
【図 4】



【図 5】



【図 6】

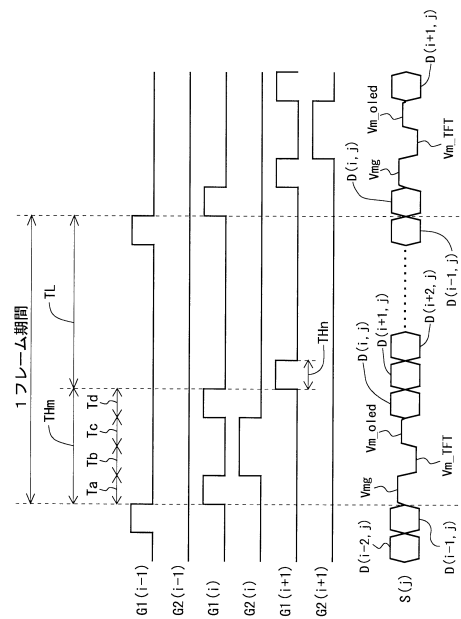




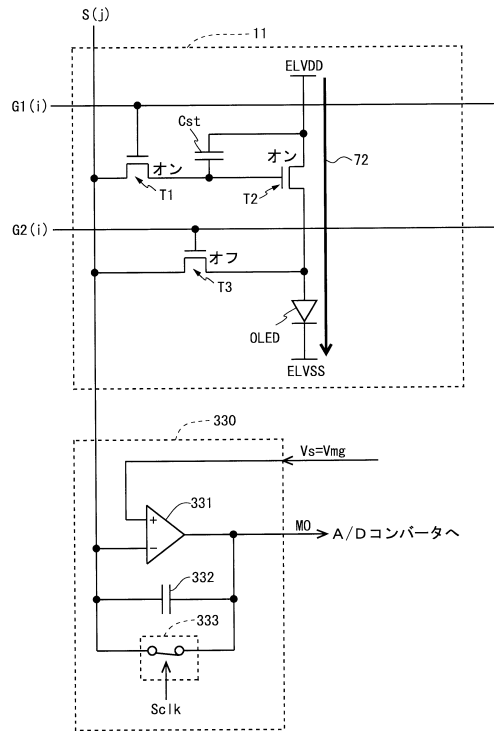
【 図 8 】



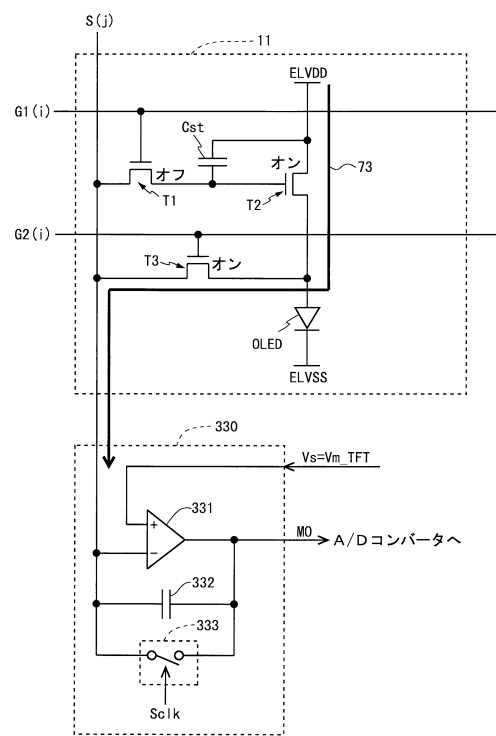
【 図 1 0 】



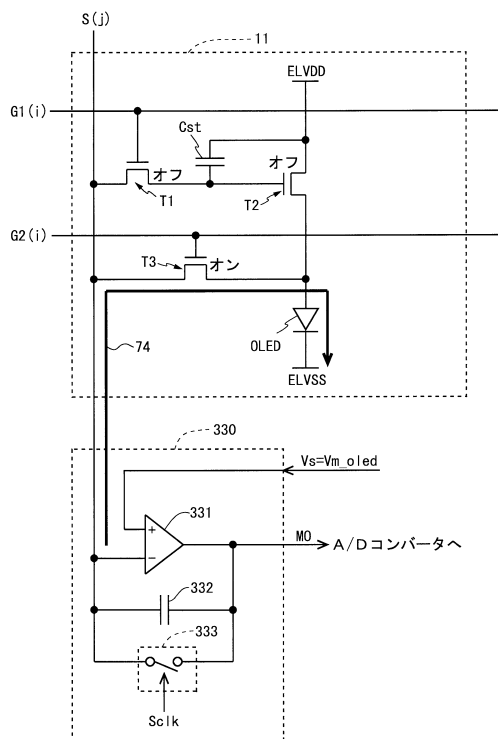
【図 1 1】



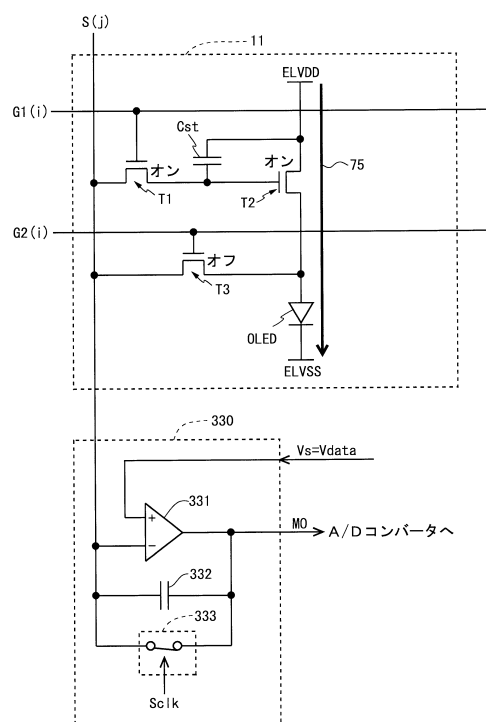
【図 1 2】



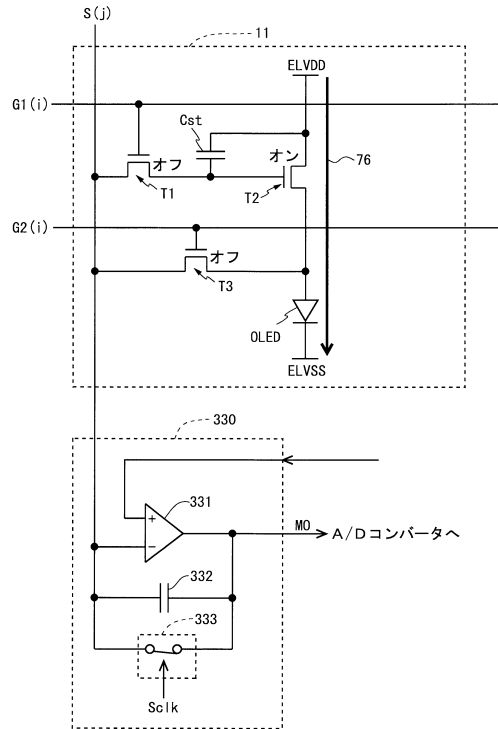
【図 1 3】



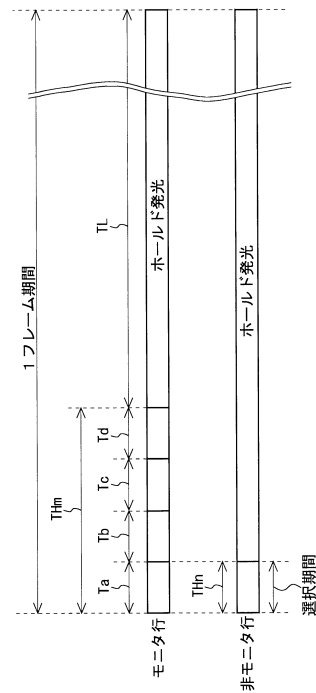
【図 1 4】



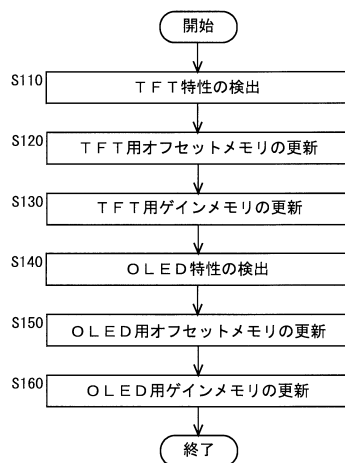
【図 15】



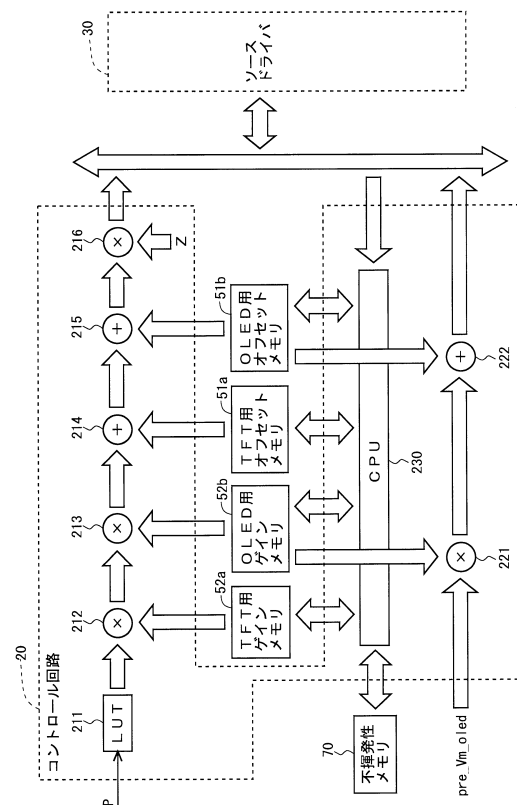
【図 16】



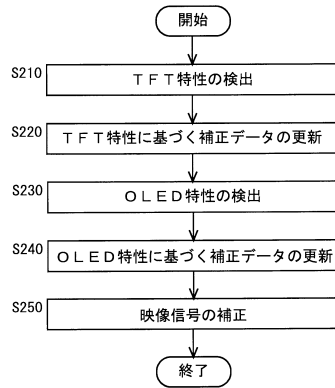
【図 17】



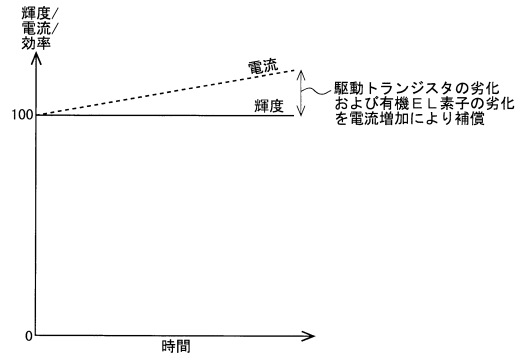
【図 18】



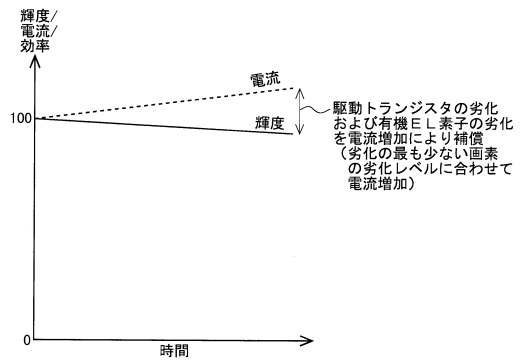
【図 19】



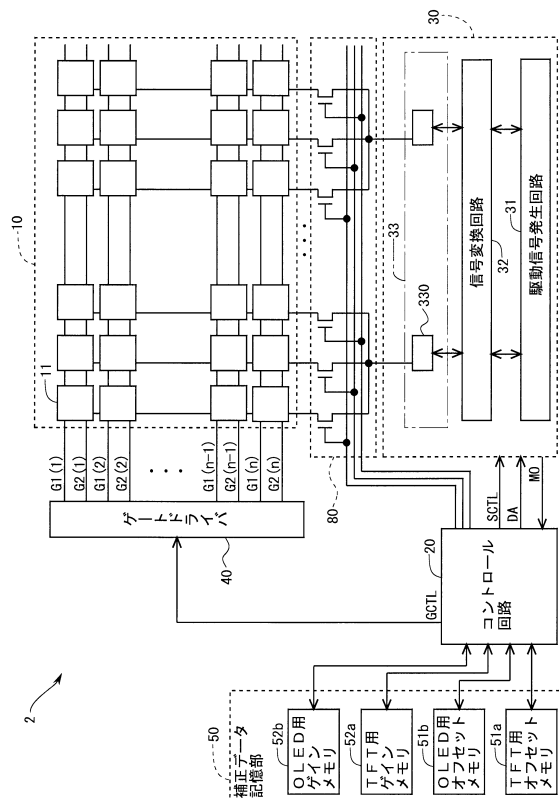
【図 20】



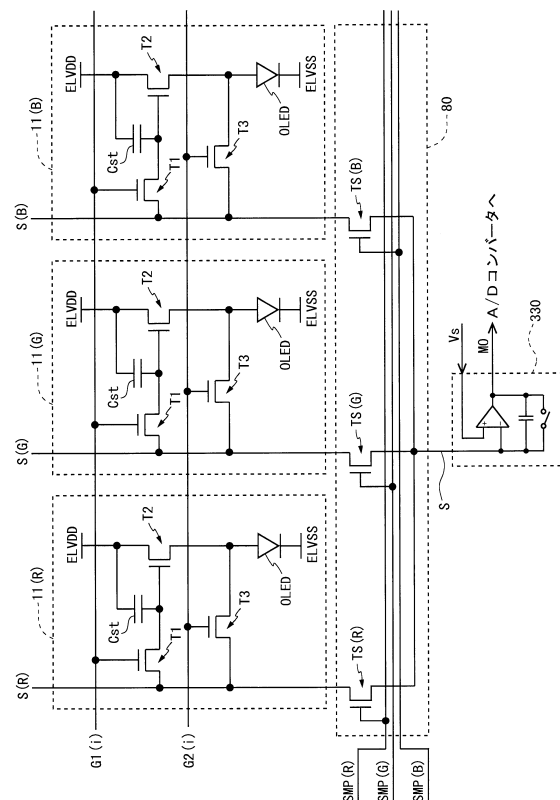
【図 21】



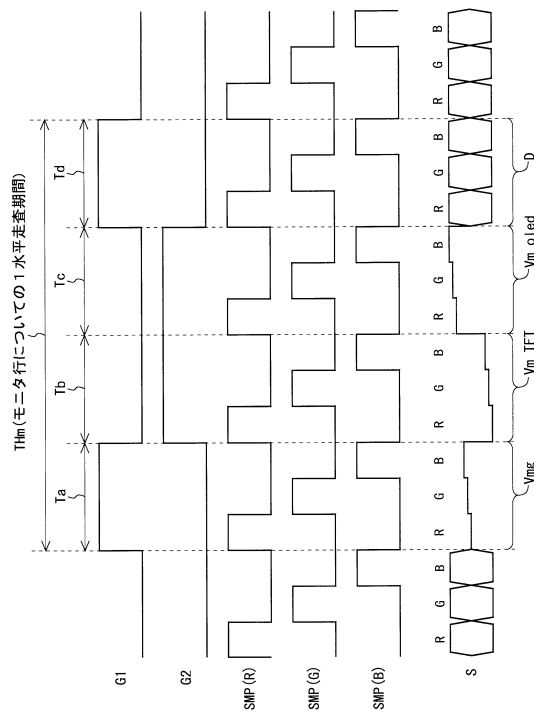
【図 22】



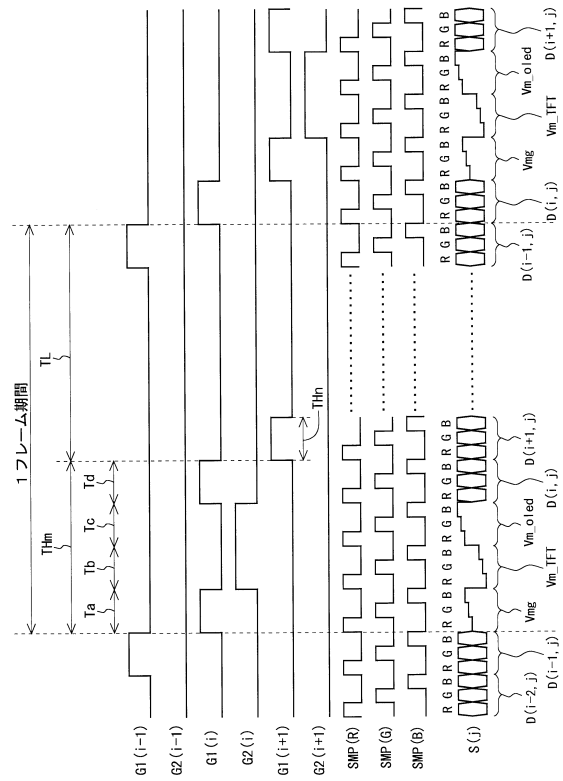
【図 23】



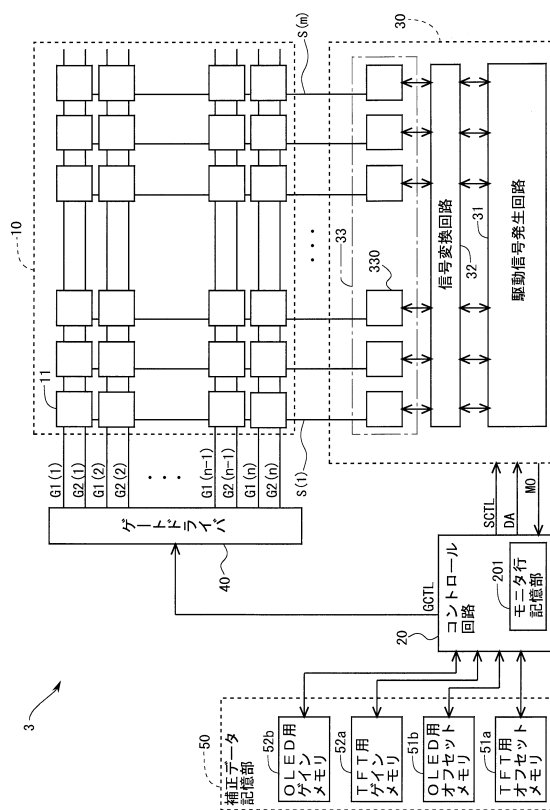
【図 24】



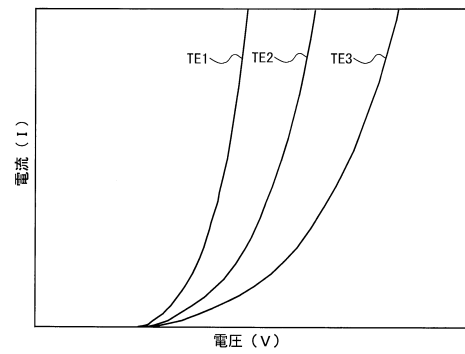
【図 25】



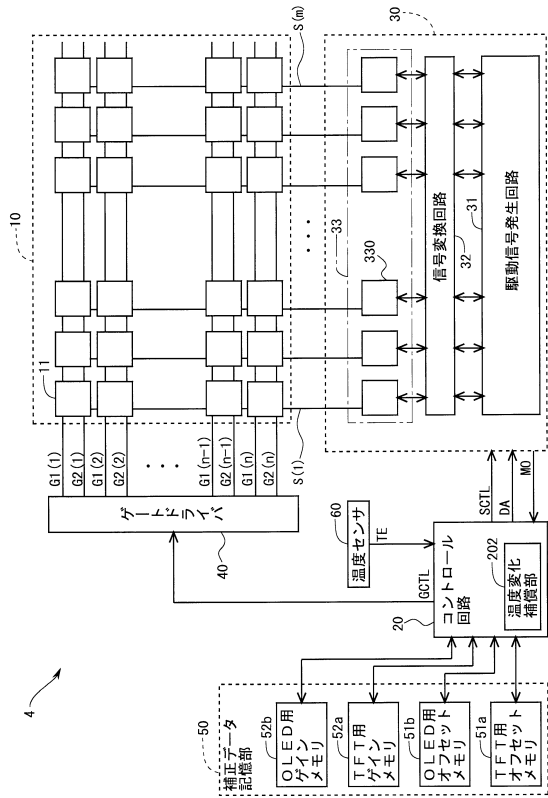
【図 26】



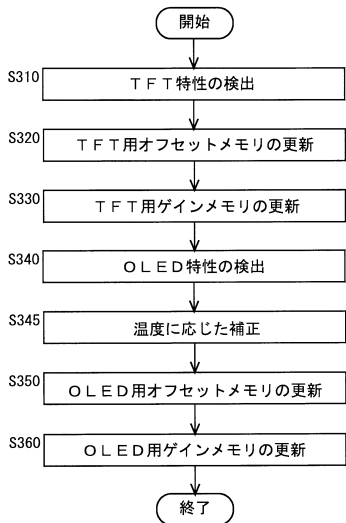
【図 27】



【図 28】



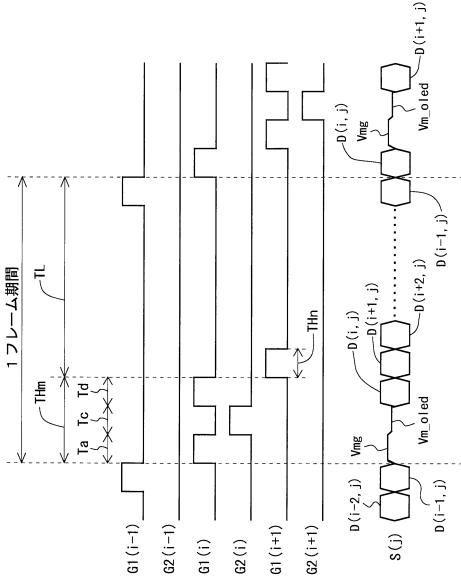
【図 29】



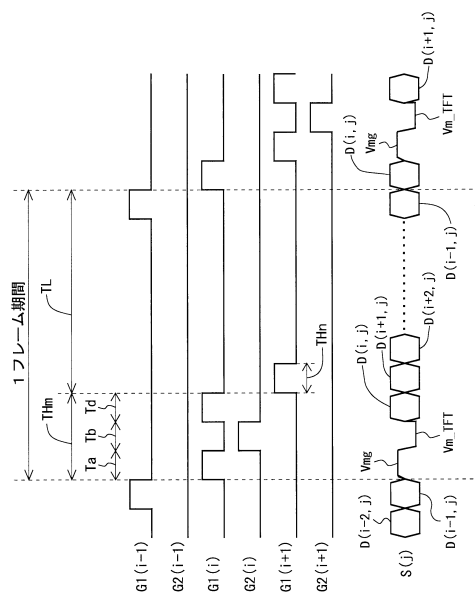
【図 30】

	OLED特性検出動作	TFT特性検出動作	通常動作
(k+1) フレーム目	1 行目		2 ~ n 行目
(k+2) フレーム目	2 行目		1 行目, 3 ~ n 行目
(k+3) フレーム目	3 行目		1 ~ 2 行目, 4 ~ n 行目
...	...	...	...
(k+n) フレーム目	n 行目		1 ~ (n-1) 行目
(k+n+1) フレーム目		1 行目	2 ~ n 行目
(k+n+2) フレーム目		2 行目	1 行目, 3 ~ n 行目
(k+n+3) フレーム目		3 行目	1 ~ 2 行目, 4 ~ n 行目
...	...	...	...
(k+2n) フレーム目		n 行目	1 ~ (n-1) 行目

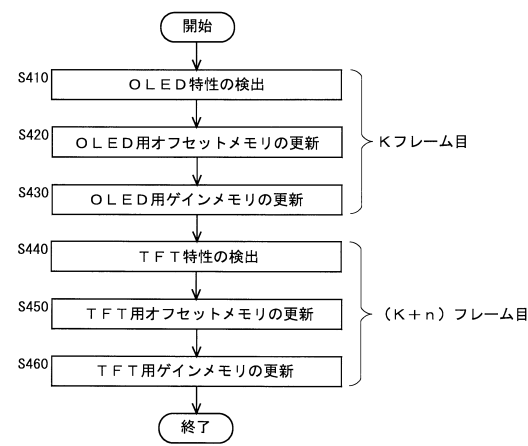
【図 31】



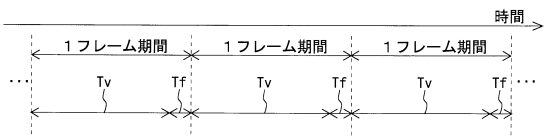
【図 3 2】



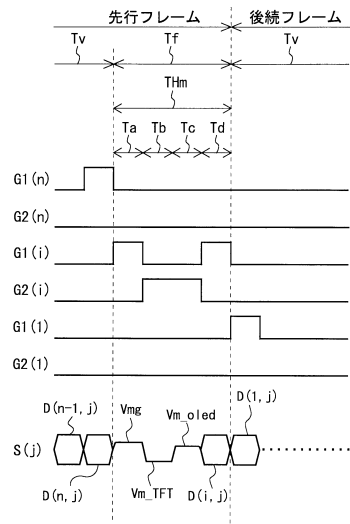
【図 3 3】



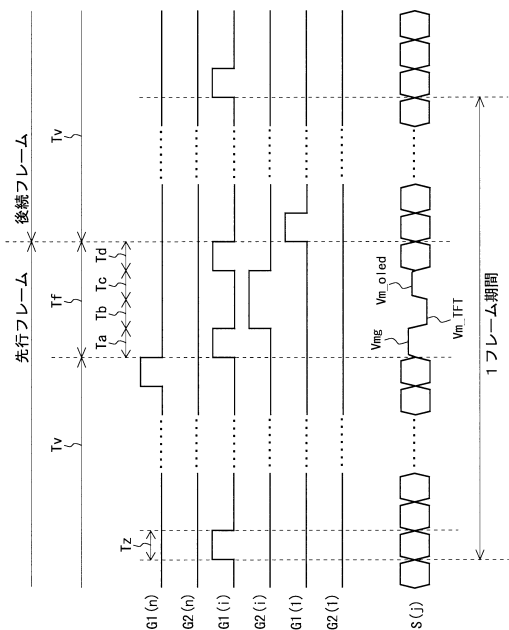
【図 3 4】



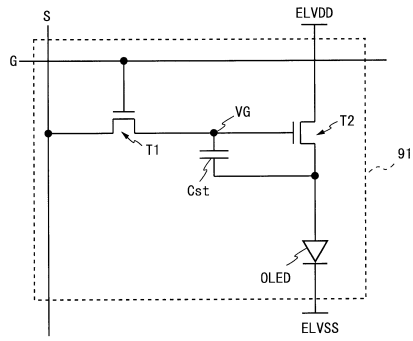
【図 3 5】



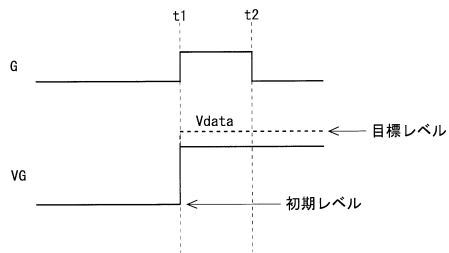
【図 3 6】



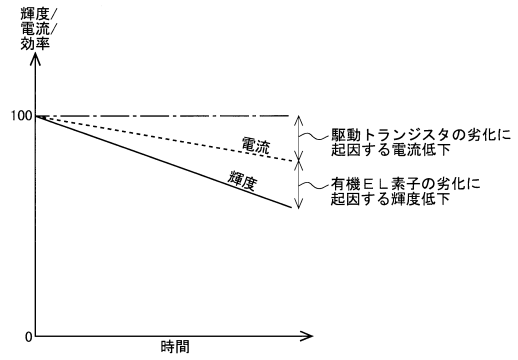
【図 37】



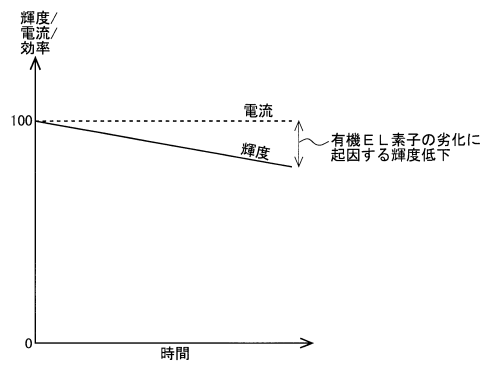
【図 38】



【図 39】



【図 40】





## フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 7 0 J
	G 0 9 G	3/20	6 4 1 P
	G 0 9 G	3/20	6 3 1 V
	G 0 9 G	3/20	6 2 2 D
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 2 3 C
	G 0 9 G	3/20	6 2 3 D
	G 0 9 G	3/20	6 2 3 R
	G 0 9 G	3/20	6 1 1 H
	G 0 9 G	3/20	6 1 2 T
	H 0 5 B	33/14	A

(72)発明者 野口 登  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 小原 将紀  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 橋本 直明

(56)参考文献 特開 2 0 1 1 - 2 2 1 4 8 0 ( J P , A )  
特開 2 0 1 0 - 2 8 1 8 7 4 ( J P , A )  
国際公開第 2 0 1 2 / 1 0 5 9 9 6 ( W O , A 1 )

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 2 3 3  
G 0 9 G 3 / 2 0  
G 0 9 G 3 / 3 0  
G 0 9 G 3 / 3 2 9 1  
H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	<a href="#">JP6138254B2</a>	公开(公告)日	2017-05-31
申请号	JP2015524022	申请日	2014-06-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝 野口登 小原将紀		
发明人	岸 宣孝 野口 登 小原 将紀		
IPC分类号	G09G3/3233 G09G3/3291 G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2320/029 G09G2320/045 G09G2310/0291 G09G2320/0233 G09G2320/041 G09G2320/0626 G09G2330/021		
FI分类号	G09G3/3233 G09G3/3291 G09G3/30.K G09G3/30.J G09G3/20.642.A G09G3/20.670.J G09G3/20.641. P G09G3/20.631.V G09G3/20.622.D G09G3/20.624.B G09G3/20.623.C G09G3/20.623.D G09G3/20. 623.R G09G3/20.611.H G09G3/20.612.T H05B33/14.A		
代理人(译)	岛田彰 川原贤治 川本悟		
审查员(译)	Naoaki桥本		
优先权	2013134638 2013-06-27 JP		
其他公开文献	JPWO2014208459A1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

(特别是，能够同时补偿驱动晶体管的劣化和发光元件的劣化的显示装置)能够在抑制电路规模的增加的同时补偿电路元件的劣化。监视器行的一个水平扫描周期(THm)被分成在监视器行中执行用于检测TFT特性和OLED特性的准备的检测准备时段(Ta)，以及执行用于检测TFT特性的电流测量的TFT特性。执行OLED特性检测时段(Tc)，其中执行用于检测OLED特性的电流测量;执行用于使有机EL元件在监视器行中发光的准备的发光准备时段(T;d)由组成。数据线不仅用作用于传输信号的信号线，该信号用于使每个像素电路中的有机EL元件发射具有期望亮度的光，而且还用作用于特性检测的信号线。

(19) 日本国特許庁(JP)	(12) 特 許 公 報(B2)	(11) 特許番号 特許第6138254号 (P6138254)
(45) 発行日 平成29年5月31日(2017.5.31)	(24) 登録日 平成29年5月12日(2017.5.12)	
(51) Int. Cl. G09G 3/3233 (2016.01) G09G 3/3291 (2016.01) G09G 3/30 (2006.01) G09G 3/20 (2006.01) H01L 51/50 (2006.01)	FI G09G 3/3233 G09G 3/3291 G09G 3/30 G09G 3/30 G09G 3/20 642A 請求項の数 19 (全 65 頁) 最終頁に続く	
(21) 出願番号 特願2015-524022(P2015-524022) (86) (22) 出願日 平成26年6月20日(2014.6.20) (86) 国際出願番号 PCT/JP2014/066403 (87) 国際公開番号 WO2014/208459 (87) 国際公開日 平成26年12月31日(2014.12.31) 審査請求日 平成27年11月4日(2015.11.4) (31) 優先権主張番号 特願2013-134638(P2013-134638) (32) 優先日 平成25年6月27日(2013.6.27) (33) 優先権主張国 日本国(JP)	(73) 特許権者 000005049 シャープ株式会社 大阪府堺市堺区匠町1番地 (74) 代理人 100104695 弁理士 島田 明宏 (74) 代理人 100121348 弁理士 川原 健児 (74) 代理人 100114247 弁理士 奥田 邦廣 (74) 代理人 100148459 弁理士 河本 悟 (72) 発明者 岸 宣孝 大阪府大阪市阿倍野区長池町2-2番22号 シャープ株式会社内	最終頁に続く
(54) 【発明の名称】表示装置およびその駆動方法		