

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5152448号  
(P5152448)

(45) 発行日 平成25年2月27日 (2013. 2. 27)

(24) 登録日 平成24年12月14日 (2012. 12. 14)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 C

G 0 9 G 3 / 2 0 6 4 1 D

G 0 9 G 3 / 2 0 6 8 0 H

請求項の数 19 (全 39 頁) 最終頁に続く

(21) 出願番号 特願2004-273206 (P2004-273206)

(22) 出願日 平成16年9月21日 (2004. 9. 21)

(65) 公開番号 特開2006-91089 (P2006-91089A)

(43) 公開日 平成18年4月6日 (2006. 4. 6)

審査請求日 平成18年10月4日 (2006. 10. 4)

(73) 特許権者 000001443

カシオ計算機株式会社

東京都渋谷区本町 1 丁目 6 番 2 号

(74) 代理人 100096699

弁理士 鹿嶋 英實

(72) 発明者 白崎 友之

東京都八王子市石川町 2 9 5 1 番地の 5

カシオ計算機株式会

社 八王子技術センター内

(72) 発明者 山口 郁博

東京都八王子市石川町 2 9 5 1 番地の 5

カシオ計算機株式会

社 八王子技術センター内

最終頁に続く

(54) 【発明の名称】 画素駆動回路及び画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

表示画素に設けられた電流制御型の発光素子に対して、階調信号に応じた電流値を有する発光駆動電流を供給して、前記階調信号に基づく所定の輝度階調で発光動作させる画素駆動回路において、

少なくとも、

前記階調信号に基づく電荷を電圧成分として保持する電荷保持手段と、

該電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する駆動電流制御手段と、  
を備え、

前記駆動電流制御手段は、半導体層の上方に設けられた第 1 のゲート電極と、前記半導体層の下方に設けられた第 2 のゲート電極と、前記半導体層の上面の一部の領域に設けられたブロック絶縁膜と、前記半導体層の両端部に設けられるとともに、前記ブロック絶縁膜の上面の一部に重なる重なり領域を有して、前記半導体層の両端部側に沿った方向で互いに対向して設けられたソース電極及びドレイン電極と、を具備するダブルゲート型の薄膜トランジスタ構造を有し、

前記駆動電流制御手段は、前記ソース電極と前記ドレイン電極の一方に第 1 の電位を有する電圧が印加され、前記ソース電極と前記ドレイン電極の他方は前記発光素子の一端に接続され、前記発光素子の他端に前記第 1 の電位より低い第 2 の電位を有する電圧が印加され、前記第 1 の電位と前記第 2 の電位との電位差は、前記ソース電極と前記ドレイン電

10

20

極の前記一方から前記発光素子の他端に電流が流れる値に設定されており、

前記重なり領域における、前記ソース電極及び前記ドレイン電極の前記一方と前記ブロック絶縁膜との、前記ソース電極と前記ドレイン電極とが対向する方向の重なり寸法が、前記ソース電極及び前記ドレイン電極の前記他方と前記ブロック絶縁膜との、前記ソース電極と前記ドレイン電極とが対向する方向の重なり寸法より長いことを特徴とする画素駆動回路。

【請求項 2】

前記駆動電流制御手段は、前記第 1 のゲート電極と前記第 2 のゲート電極が電氣的に接続されていることを特徴とする請求項 1 記載の画素駆動回路。

【請求項 3】

前記電荷保持手段は、前記第 1 のゲート電極及び前記第 2 のゲート電極と前記ソース電極とが対向することにより形成される容量成分であることを特徴とする請求項 1 又は 2 記載の画素駆動回路。

【請求項 4】

前記駆動電流制御手段は、前記半導体層がアモルファスシリコンからなることを特徴とする請求項 1 乃至 3 のいずれかに記載の画素駆動回路。

【請求項 5】

前記駆動電流制御手段は、前記第 1 のゲート電極が前記ソース電極と前記ドレイン電極との間の領域に設けられていることを特徴とする請求項 1 乃至 4 のいずれかに記載の画素駆動回路。

【請求項 6】

前記階調信号は、前記輝度階調に応じた電流値を有する信号電流であることを特徴とする請求項 1 乃至 5 のいずれかに記載の画素駆動回路。

【請求項 7】

前記階調信号は、前記輝度階調に応じた電圧値を有する信号電圧であることを特徴とする請求項 1 乃至 5 のいずれかに記載の画素駆動回路。

【請求項 8】

前記画素駆動回路は、前記階調信号を前記電荷保持手段に供給するタイミングを制御する階調信号制御手段を備えていることを特徴とする請求項 1 乃至 7 のいずれかに記載の画素駆動回路。

【請求項 9】

前記階調信号制御手段は、単一のゲート電極を備える電界効果型トランジスタにより構成されていることを特徴とする請求項 8 記載の画素駆動回路。

【請求項 10】

前記階調信号制御手段は、ダブルゲート型の薄膜トランジスタ構造を有していることを特徴とする請求項 8 記載の画素駆動回路。

【請求項 11】

表示パネルに互いに直行するように配設された複数の走査ライン及び複数の信号ラインの各交点近傍に配置された複数の表示画素に対して、前記各信号ラインを介して、表示データに応じた階調信号を供給することにより、前記表示パネルに所望の画像情報を表示する画像表示装置において、

前記各表示画素は、電流制御型の発光素子と、前記発光素子の発光動作を制御する画素駆動回路と、を備え、

前記画素駆動回路は、少なくとも、前記階調信号に基づく電荷を電圧成分として保持する電荷保持手段と、該電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する駆動電流制御手段と、前記階調信号を前記電荷保持手段に供給するタイミングを制御する階調信号制御手段と、を備え、

前記駆動電流制御手段は、半導体層の上方に設けられた第 1 のゲート電極と、前記半導体層の下方に設けられた第 2 のゲート電極と、前記半導体層の上面の一部の領域に設けられたブロック絶縁膜と、前記半導体層の両端部に設けられるとともに、前記ブロック絶縁

10

20

30

40

50

膜の上面の一部に重なる重なり領域を有して、前記半導体層の両端部側に沿った方向で互いに対向して設けられたソース電極及びドレイン電極と、を具備するダブルゲート型の薄膜トランジスタ構造を有し、

前記駆動電流制御手段は、前記ソース電極と前記ドレイン電極の一方に第１の電位を有する電圧が印加され、前記ソース電極と前記ドレイン電極の他方は前記発光素子の一端に接続され、前記発光素子の他端に前記第１の電位より低い第２の電位を有する電圧が印加され、前記第１の電位と前記第２の電位との電位差は、前記ソース電極と前記ドレイン電極の前記一方から前記発光素子の他端に電流が流れる値に設定されており、

前記駆動電流制御手段において、前記ソース電極及び前記ドレイン電極の前記一方と前記ブロック絶縁膜との前記重なり領域における、前記ソース電極と前記ドレイン電極とが対向する方向の重なり寸法が、前記ソース電極及び前記ドレイン電極の前記他方と前記ブロック絶縁膜との、前記ソース電極と前記ドレイン電極とが対向する方向の重なり寸法より長いことを特徴とする画像表示装置。

10

【請求項１２】

前記画像表示装置は、少なくとも、

前記走査ラインに選択信号を印加して、前記走査ラインに接続された前記表示画素に設けられた前記階調信号制御手段により、前記階調信号の当該表示画素への書き込みを可能とする選択状態に設定する走査駆動手段と、

前記選択状態に設定された前記表示画素に対応した前記表示データに基づく前記階調信号を生成して、前記信号ラインに供給する信号駆動手段と、  
を備えることを特徴とする請求項１１記載の画像表示装置。

20

【請求項１３】

前記信号駆動手段から供給される前記階調信号は、前記表示データに応じた電流値を有する信号電流であることを特徴とする請求項１１又は１２記載の画像表示装置。

【請求項１４】

前記信号駆動手段から供給される前記階調信号は、前記表示データに応じた電圧値を有する信号電圧であることを特徴とする請求項１１又は１２記載の画像表示装置。

【請求項１５】

前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第１のゲート電極と前記第２のゲート電極が電氣的に接続されていることを特徴とする請求項１１乃至１４のいずれかに記載の画像表示装置。

30

【請求項１６】

前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第１のゲート電極が前記ソース電極と前記ドレイン電極との間の領域に設けられていることを特徴とする請求項１１乃至１５のいずれかに記載の画像表示装置。

【請求項１７】

前記画素駆動回路に設けられる前記階調信号制御手段は、単一のゲート電極を備える電界効果型トランジスタにより構成されていることを特徴とする請求項１１記載の画像表示装置。

【請求項１８】

前記画素駆動回路に設けられる前記階調信号制御手段は、ダブルゲート型の薄膜トランジスタ構造を有していることを特徴とする請求項１１記載の画像表示装置。

40

【請求項１９】

前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項１１乃至１８のいずれかに記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、画素駆動回路及び画像表示装置に関し、特に、階調信号に応じた発光駆動電

50

流に基づいて、電流制御型の発光素子を所定の輝度階調で発光動作させるための画素駆動回路、及び、該画素駆動回路と上記発光素子とからなる表示画素を２次元配列した表示パネルを備えた画像表示装置に関する。

【背景技術】

【０００２】

従来、有機エレクトロルミネッセント素子（以下、「有機ＥＬ素子」と略記する）や無機エレクトロルミネッセント素子、発光ダイオード（ＬＥＤ）等のように、供給される駆動電流の電流値に応じて所定の輝度階調で発光動作する電流制御型の発光素子を具備する表示画素を、２次元配列した表示パネルを備えた発光素子型のディスプレイ（表示装置）が知られている。

10

【０００３】

特に、アクティブマトリックス駆動方式を適用した発光素子型ディスプレイは、携帯情報機器を始め、パーソナルコンピュータやテレビジョン受像器等、様々な電子機器に広く利用されている液晶表示装置（ＬＣＤ）に比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるとともに、液晶表示装置の場合のように、バックライトを必要としないので、一層の薄型軽量化や低消費電力化が可能である、という極めて優位な特徴を有しており、次世代のディスプレイとして研究開発が盛んに行われている。

【０００４】

そして、このような発光素子型ディスプレイにおいては、上述した電流制御型の発光素子を発光制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献１や特許文献２等に記載されているように、表示パネルを構成する各表示画素ごとに、上記発光素子に加えて、該発光素子を発光制御するための複数のスイッチング手段からなる駆動回路（画素駆動回路）を備えたものが知られている。

20

【０００５】

以下、従来技術における、画素駆動回路を備えた表示画素について簡単に説明する。

図２４は、従来技術における発光素子型ディスプレイの要部を示す概略構成図である。図２５は、従来技術における発光素子型ディスプレイに適用可能な各表示画素（画素駆動回路及び発光素子）の要部構成例を示す等価回路図である。

【０００６】

30

従来技術におけるアクティブマトリクス型の発光素子型ディスプレイ（有機ＥＬ表示装置）は、概略、図２４に示すように、行、列方向に配設された複数の走査ライン（選択ライン）ＳＬｐ及びデータライン（信号ライン）ＤＬｐの各交点近傍に、複数の表示画素ＥＭｐがマトリクス状に配置された表示パネル１１０Ｐと、各走査ラインＳＬｐに接続された走査ドライバ（走査線駆動回路）１２０Ｐと、各データラインＤＬｐに接続されたデータドライバ（データ線駆動回路）１３０Ｐと、を備え、データドライバ１３０Ｐにおいて表示データに応じた階調信号（後述する階調信号電圧 $V_{pix}$ 、もしくは、階調信号電流 $I_{pix}$ ）を生成して、各データラインＤＬｐを介して各表示画素ＥＭｐに供給する構成を有している。

【０００７】

40

ここで、特許文献１等に記載された表示画素ＥＭｐは、図２５（ａ）に示すように、ゲート端子が走査ラインＳＬｐに、ソース端子及びドレイン端子がデータラインＤＬｐ及び接点 $N_{111}$ に各々接続された薄膜トランジスタ（ＴＦＴ） $T_{r111}$ と、ゲート端子が接点 $N_{111}$ に接続され、ソース端子に接地電位 $V_{gnd}$ が印加された薄膜トランジスタ $T_{r112}$ と、を備えた画素駆動回路ＤＰ１、及び、該画素駆動回路ＤＰ１の薄膜トランジスタ $T_{r112}$ のドレイン端子にアノード端子が接続され、カソード端子に接地電位 $V_{gnd}$ よりも低い低電源電圧 $V_{ss}$ が印加された有機ＥＬ素子（電流制御型の発光素子） $OEL$ を有して構成されている。

【０００８】

ここで、図２５（ａ）において、ＣＰ１は、薄膜トランジスタ $T_{r112}$ のゲート - ソ

50

ース間に形成される寄生容量（保持容量）である。また、薄膜トランジスタ $T_{r111}$ は、 $n$ チャネル型の電界効果型トランジスタにより構成され、薄膜トランジスタ $T_{r112}$ は、 $p$ チャネル型の電界効果型トランジスタにより構成されている。

【0009】

そして、このような構成を有する表示画素 $EMp$ からなる表示パネル $110P$ を備えた表示装置においては、まず、走査ドライバ $120P$ から各行の走査ライン $SLp$ に選択レベル（ハイレベル）の走査信号 $V_{sel}$ を順次印加することにより、行ごとの表示画素 $EMp$ （画素駆動回路 $DP1$ ）の薄膜トランジスタ $T_{r111}$ がオン動作して、当該表示画素 $EMp$ が選択状態に設定される。

【0010】

この選択タイミングに同期して、データドライバ $130P$ により表示データに応じた電圧値を有する階調信号電圧 $V_{pix}$ を生成して、各列のデータライン $DLp$ に印加することにより、当該階調信号電圧 $V_{pix}$ が各表示画素 $EMp$ （画素駆動回路 $DP1$ ）の薄膜トランジスタ $T_{r111}$ を介して、接点 $N111$ （すなわち、薄膜トランジスタ $T_{r112}$ のゲート端子）に印加される。これにより、薄膜トランジスタ $T_{r112}$ が当該階調信号電圧 $V_{pix}$ に応じた導通状態でオン動作して、接地電位 $V_{gnd}$ から所定の発光駆動電流が薄膜トランジスタ $T_{r112}$ 及び有機 $EL$ 素子 $OEL$ を介して低電源電圧 $V_{ss}$ に流れ、有機 $EL$ 素子 $OEL$ が表示データに応じた輝度階調で発光動作する。

【0011】

次いで、走査ドライバ $120P$ から走査ライン $SLp$ に非選択レベル（ローレベル）の走査信号 $V_{sel}$ を印加することにより、行ごとの各行の表示画素 $EMp$ の薄膜トランジスタ $T_{r111}$ がオフ動作して、当該表示画素 $EMp$ が非選択状態に設定され、データライン $DLp$ と画素駆動回路 $DP1$ とが電氣的に遮断される。このとき、薄膜トランジスタ $T_{r112}$ のゲート端子に印加され、寄生容量 $CP1$ に保持された電圧に基づいて、薄膜トランジスタ $T_{r112}$ は、オン状態を持続することになり、上記選択状態と同様に、接地電位 $V_{gnd}$ から所定の発光駆動電流が薄膜トランジスタ $T_{r112}$ を介して有機 $EL$ 素子 $OEL$ に流れて、発光動作が継続される。この発光動作は、次の表示データに応じた階調信号電圧 $V_{pix}$ が各行の表示画素 $EMp$ に印加される（書き込まれる）まで、例えば、1フレーム期間継続するように制御される。

【0012】

このような駆動制御方法は、各表示画素 $EMp$ （画素駆動回路 $DP1$ の薄膜トランジスタ $T_{r112}$ のゲート端子）に印加する電圧（階調信号電圧 $V_{pix}$ ）を調整することにより、有機 $EL$ 素子 $OEL$ に流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電圧指定方式（又は、電圧印加方式）と呼ばれている。

【0013】

一方、特許文献2等に記載された表示画素は、図25（b）に示すように、相互に並行して配設された一組の走査ライン $SLp1$ 、 $SLp2$ （上述した走査ライン $SLp$ に相当する）とデータライン $DLp$ との各交点近傍に、ゲート端子が走査ライン $SLp1$ に、ソース端子及びドレイン端子がデータライン $DLp$ 及び接点 $N121$ に各々接続された薄膜トランジスタ $T_{r121}$ と、ゲート端子が走査ライン $SLp2$ に、ソース端子及びドレイン端子が接点 $N121$ 及び接点 $N122$ に各々接続された薄膜トランジスタ $T_{r122}$ と、ゲート端子が接点 $N122$ に、ドレイン端子が接点 $N121$ に各々接続され、ソース端子に高電圧 $V_{dd}$ が印加された薄膜トランジスタ $T_{r123}$ と、ゲート端子が接点 $N122$ に接続され、ソース端子に高電源電圧 $V_{dd}$ が印加された薄膜トランジスタ $T_{r124}$ とを備えた画素駆動回路 $DP2$ 、及び、該画素駆動回路 $DP2$ の薄膜トランジスタ $T_{r124}$ のドレイン端子にアノード端子が接続され、カソード端子に接地電位 $V_{gnd}$ が印加された有機 $EL$ 素子 $OEL$ を有して構成されている。

【0014】

ここで、図25（b）において、 $CP2$ は、薄膜トランジスタ $T_{r123}$ 及び $T_{r124}$ のゲート・ソース間に形成される寄生容量（保持容量）である。また、薄膜トランジス

10

20

30

40

50

タ $T_{r121}$ は、 $n$ チャネル型の電界効果型トランジスタにより構成され、薄膜トランジスタ $T_{r122}$ 乃至 $T_{r124}$ は、 $p$ チャネル型の電界効果型トランジスタにより構成されている。

【0015】

そして、このような構成を有する表示画素 $EMp$ からなる表示パネル $110P$ を備えた表示装置においては、まず、走査ドライバ $120P$ から各行の走査ライン $SLp1$ にハイレベルの走査信号 $V_{sel1}$ を、走査ライン $SLp2$ にローレベルの走査信号 $V_{sel2}$ を各々印加して行ごとの表示画素 $EMp$ （画素駆動回路 $DP2$ ）を選択状態に設定することにより、薄膜トランジスタ $T_{r121}$ 、 $T_{r122}$ 及び $T_{r123}$ がオン動作し、この選択タイミングに同期して、データドライバ $130P$ により表示データに応じた電流値を有する階調信号電流 $I_{pix}$ を生成して、各列のデータライン $DLp$ に供給することにより、当該階調信号電流 $I_{pix}$ が薄膜トランジスタ $T_{r121}$ 及び $T_{r123}$ を介して高電圧 $V_{dd}$ に流れる。

10

【0016】

このとき、薄膜トランジスタ $T_{r122}$ により薄膜トランジスタ $T_{r123}$ のゲート・ドレイン間が電氣的に短絡されるため、薄膜トランジスタ $T_{r123}$ は、飽和領域でオン動作する。これにより、上記階調信号電流 $I_{pix}$ の電流レベルが薄膜トランジスタ $T_{r123}$ により電圧レベルに変換されてゲート・ソース間に所定の電圧が生じる（書込動作）。

【0017】

20

この薄膜トランジスタ $T_{r123}$ のゲート・ソース間に生じた電圧に応じて薄膜トランジスタ $T_{r124}$ がオン動作し、高電源電圧 $V_{dd}$ から所定の発光駆動電流が薄膜トランジスタ $T_{r124}$ 及び有機 $EL$ 素子 $OEL$ を介して接地電位 $V_{gnd}$ に流れ、有機 $EL$ 素子 $OEL$ が表示データに応じた輝度階調で発光動作する（発光動作）。

【0018】

次いで、走査ライン $SLp2$ にハイレベルの走査信号 $V_{sel2}$ を印加すると、薄膜トランジスタ $T_{r122}$ がオフ動作することにより、薄膜トランジスタ $T_{r123}$ のゲート・ソース間に生じた電圧が寄生容量 $CP2$ により保持され、次に、走査ライン $SLp1$ にローレベルの走査信号 $V_{sel1}$ を印加すると、薄膜トランジスタ $T_{r121}$ がオフ動作することにより、データライン $DLp$ と画素駆動回路 $DP2$ とが電氣的に遮断される。これにより、上記寄生容量 $CP2$ に保持された電圧に基づく電位差により、薄膜トランジスタ $T_{r124}$ が継続してオン動作し、高電源電圧 $V_{dd}$ から所定の発光駆動電流が薄膜トランジスタ $T_{r124}$ 及び有機 $EL$ 素子 $OEL$ を介して接地電位に流れ、有機 $EL$ 素子 $OEL$ の発光動作が継続される。この発光動作は、次の表示データに応じた階調信号電流 $I_{pix}$ が各表示画素 $EMp$ に書き込まれるまで、例えば、1フレーム期間継続するように制御される。

30

【0019】

このような駆動制御方法は、各表示画素 $EMp$ （画素駆動回路 $DP2$ の薄膜トランジスタ $T_{r123}$ のソース・ドレイン間）に供給する電流（階調信号電流 $I_{pix}$ ）に応じて、寄生容量（保持容量） $CP2$ に保持される電圧を調整することにより、有機 $EL$ 素子 $OEL$ に流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電流指定方式又は電流印加方式と呼ばれている。

40

【0020】

なお、図25に示した各回路構成は、電圧指定方式及び電流指定方式の駆動制御方法に対応した表示画素（画素駆動回路）の一例を示すものに過ぎず、画素駆動回路を構成するスイッチング手段（薄膜トランジスタ）の個数やそのチャネル極性については、各種考案されており、例えば、単一のチャネル極性の薄膜トランジスタのみを用いた回路構成も知られている。

【0021】

【特許文献1】特開2002-156923号公報（第3頁～第4頁、図1、図2）

【特許文献2】特開2001-147659号公報（第7頁～第8頁、図1）

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0022】

上述したような回路構成を有する表示画素（画素駆動回路）を適用した表示パネルにおいて、当該表示パネルの大型化や高精細化に伴って、画素数が増加すると、製造プロセスの増加や煩雑化、製品歩留まりの低下や製品コストの高騰を招く。そこで、画素駆動回路を構成する各薄膜トランジスタを、例えば、アモルファスシリコンを用いたトランジスタ構造にすることにより、単結晶シリコンを適用した場合に比較して、製造プロセスが簡単で、かつ、その製造技術が確立され、さらに、素子特性の安定性も高い、アモルファスシリコン製造プロセスを適用することができるので、安価に素子特性に優れた表示パネルを実現することができる。

10

## 【0023】

しかしながら、アモルファスシリコン薄膜トランジスタは、電子移動度が低いため、例えば、発光素子に発光駆動電流を供給する発光駆動用の薄膜トランジスタにこのようなアモルファスシリコン薄膜トランジスタを適用した場合、所定の階調信号に対応した駆動電流を流すために、（１）当該薄膜トランジスタのゲート電極幅（ゲート幅）を大きく設定するとともに、（２）ゲート電極の長さ（ゲート長）を短く設定したり、あるいは、（３）所定の駆動電流を流すために、ゲートに印加される電圧（ゲート電圧）を高く設定したり、する必要があった。

## 【0024】

20

この場合、ゲート幅を大きく設定することは、予め規定された各表示画素の形成面積において、当該ゲートが占める面積が大きくなるため、相対的に発光素子の発光領域の面積が減少することになり、開口率の低下を招くという問題を有している。

また、ゲート長を短く設定することは、微細加工を必要とするため、製品歩留まりの低下や製品コストの上昇を招くという問題を有している。

さらに、ゲート電圧を高く設定することは、消費電力の増加を招くとともに、当該薄膜トランジスタの特性劣化が進行して製品寿命が短命化し、動作不良等が生じて製品の信頼性の低下を招くという問題を有している。

## 【0025】

そこで、本発明は、上述した課題に鑑み、製造プロセスの簡素化や歩留まりの向上を図りつつ、開口率や信頼性の向上を実現して、表示品質が良好な画素駆動回路及び画像表示装置を提供することを目的とする。

30

## 【課題を解決するための手段】

## 【0026】

請求項１記載の発明は、表示画素に設けられた電流制御型の発光素子に対して、階調信号に応じた電流値を有する発光駆動電流を供給して、前記階調信号に基づく所定の輝度階調で発光動作させる画素駆動回路において、少なくとも、前記階調信号に基づく電荷を電圧成分として保持する電荷保持手段と、該電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する駆動電流制御手段と、を備え、前記駆動電流制御手段は、半導体層の上方に設けられた第１のゲート電極と、前記半導体層の下方に設けられた第２のゲート電極と、前記半導体層の上面の一部の領域に設けられたブロック絶縁膜と、前記半導体層の両端部に設けられるとともに、前記ブロック絶縁膜の上面の一部に重なる重なり領域を有して、前記半導体層の両端部側に沿った方向で互いに対向して設けられたソース電極及びドレイン電極と、を具備するダブルゲート型の薄膜トランジスタ構造を有し、前記駆動電流制御手段は、前記ソース電極と前記ドレイン電極の一方に第１の電位を有する電圧が印加され、前記ソース電極と前記ドレイン電極の他方は前記発光素子の一端に接続され、前記発光素子の他端に前記第１の電位より低い第２の電位を有する電圧が印加され、前記第１の電位と前記第２の電位との電位差は、前記ソース電極と前記ドレイン電極の前記一方から前記発光素子の他端に電流が流れる値に設定されており、前記重なり領域における、前記ソース電極及び前記ドレイン電極の前記一方と

40

50

前記ブロック絶縁膜との、前記ソース電極と前記ドレイン電極とが対向する方向の重なり寸法が、前記ソース電極及び前記ドレイン電極の前記他方と前記ブロック絶縁膜との、前記ソース電極と前記ドレイン電極とが対向する方向の重なり寸法より長いことを特徴とする。

【 0 0 2 7 】

請求項 2 記載の発明は、請求項 1 記載の画素駆動回路において、前記駆動電流制御手段は、前記第 1 のゲート電極と前記第 2 のゲート電極が電氣的に接続されていることを特徴とする。

請求項 3 記載の発明は、請求項 1 又は 2 記載の画素駆動回路において、前記電荷保持手段は、前記第 1 のゲート電極及び前記第 2 のゲート電極と前記ソース電極とが対向することにより形成される容量成分であることを特徴とする。

10

【 0 0 2 8 】

請求項 4 記載の発明は、請求項 1 乃至 3 のいずれかに記載の画素駆動回路において、前記駆動電流制御手段は、前記半導体層がアモルファスシリコンからなることを特徴とする。

【 0 0 3 1 】

請求項 5 記載の発明は、請求項 1 乃至 4 のいずれかに記載の画素駆動回路において、前記駆動電流制御手段は、前記第 1 のゲート電極が前記ソース電極と前記ドレイン電極との間の領域に設けられていることを特徴とする。

20

請求項 6 記載の発明は、請求項 1 乃至 5 のいずれかに記載の画素駆動回路において、前記階調信号は、前記輝度階調に応じた電流値を有する信号電流であることを特徴とする。

【 0 0 3 2 】

請求項 7 記載の発明は、請求項 1 乃至 5 のいずれかに記載の画素駆動回路において、前記階調信号は、前記輝度階調に応じた電圧値を有する信号電圧であることを特徴とする。

請求項 8 記載の発明は、請求項 1 乃至 7 のいずれかに記載の画素駆動回路において、前記画素駆動回路は、前記階調信号を前記電荷保持手段に供給するタイミングを制御する階調信号制御手段を備えていることを特徴とする。

30

【 0 0 3 3 】

請求項 9 記載の発明は、請求項 8 記載の画素駆動回路において、前記階調信号制御手段は、単一のゲート電極を備える電界効果型トランジスタにより構成されていることを特徴とする。

請求項 10 記載の発明は、請求項 8 記載の画素駆動回路において、前記階調信号制御手段は、ダブルゲート型の薄膜トランジスタ構造を有していることを特徴とする。

【 0 0 3 4 】

請求項 11 記載の発明は、表示パネルに互いに直行するように配設された複数の走査ライン及び複数の信号ラインの各交点近傍に配置された複数の表示画素に対して、前記各信号ラインを介して、表示データに応じた階調信号を供給することにより、前記表示パネルに所望の画像情報を表示する画像表示装置において、前記各表示画素は、電流制御型の発光素子と、前記発光素子の発光動作を制御する画素駆動回路と、を備え、前記画素駆動回路は、少なくとも、前記階調信号に基づく電荷を電圧成分として保持する電荷保持手段と、該電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する駆動電流制御手段と、前記階調信号を前記電荷保持手段に供給するタイミングを制御する階調信号制御手段と、を備え、前記駆動電流制御手段は、半導体層の上方に設けられた第 1 のゲート電極と、前記半導体層の下方に設けられた第 2 のゲート電

40

50



極と、前記半導体層の上面の一部の領域に設けられたブロック絶縁膜と、前記半導体層の両端部に設けられるとともに、前記ブロック絶縁膜の上面の一部に重なる重なり領域を有して、前記半導体層の両端部側に沿った方向で互に対向して設けられたソース電極及びドレイン電極と、を具備するダブルゲート型の薄膜トランジスタ構造を有し、前記駆動電流制御手段は、前記ソース電極と前記ドレイン電極の一方に第1の電位を有する電圧が印加され、前記ソース電極と前記ドレイン電極の他方は前記発光素子の一端に接続され、前記発光素子の他端に前記第1の電位より低い第2の電位を有する電圧が印加され、前記第1の電位と前記第2の電位との電位差は、前記ソース電極と前記ドレイン電極の前記一方から前記発光素子の他端に電流が流れる値に設定されており、前記駆動電流制御手段において、前記ソース電極及び前記ドレイン電極の前記一方と前記ブロック絶縁膜との前記重なり領域における、前記ソース電極と前記ドレイン電極とが対向する方向の重なり寸法が、前記ソース電極及び前記ドレイン電極の前記他方と前記ブロック絶縁膜との、前記ソース電極と前記ドレイン電極とが対向する方向の重なり寸法より長いことを特徴とする。

10

#### 【0035】

請求項12記載の発明は、請求項11記載の画像表示装置において、前記画像表示装置は、少なくとも、前記走査ラインに選択信号を印加して、前記走査ラインに接続された前記表示画素に設けられた前記階調信号制御手段により、前記階調信号の当該表示画素への書き込みを可能とする選択状態に設定する走査駆動手段と、前記選択状態に設定された前記表示画素に対応した前記表示データに基づく前記階調信号を生成して、前記信号ラインに供給する信号駆動手段と、を備えることを特徴とする。

20

#### 【0036】

請求項13記載の発明は、請求項11又は12記載の画像表示装置において、前記信号駆動手段から供給される前記階調信号は、前記表示データに応じた電流値を有する信号電流であることを特徴とする。

請求項14記載の発明は、請求項11又は12記載の画像表示装置において、前記信号駆動手段から供給される前記階調信号は、前記表示データに応じた電圧値を有する信号電圧であることを特徴とする。

#### 【0037】

請求項15記載の発明は、請求項11乃至14のいずれかに記載の画像表示装置において、前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第1のゲート電極と前記第2のゲート電極が電氣的に接続されていることを特徴とする。

30

#### 【0040】

請求項16記載の発明は、請求項11乃至15のいずれかに記載の画像表示装置において、前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第1のゲート電極が前記ソース電極と前記ドレイン電極との間の領域に設けられていることを特徴とする。

請求項17記載の発明は、請求項11記載の画像表示装置において、前記画素駆動回路に設けられる前記階調信号制御手段は、単一のゲート電極を備える電界効果型トランジスタにより構成されていることを特徴とする。

40

#### 【0041】

請求項18記載の発明は、請求項11記載の画像表示装置において、前記画素駆動回路に設けられる前記階調信号制御手段は、ダブルゲート型の薄膜トランジスタ構造を有していることを特徴とする。

請求項19記載の発明は、請求項11乃至18のいずれかに記載の画像表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

#### 【発明の効果】

50

## 【 0 0 4 2 】

すなわち、本発明に係る画素駆動回路は、有機 E L 素子や発光ダイオード等のように、供給される電流値に応じて所定の輝度で自己発光する電流制御型の発光素子に対して、所望の輝度階調で発光動作させるための発光駆動電流を供給する画素駆動回路において、少なくとも、階調信号（階調信号電圧、階調信号電流）に対応した電流値を有する発光駆動電流を上記発光素子に流す駆動電流制御手段を構成するスイッチング素子が、ダブルゲート型トランジスタにより構成されている。

## 【 0 0 4 3 】

ここで、画素駆動回路に供給された階調信号は、容量成分からなる電荷保持手段に電圧成分として保持され、該電圧成分が上記ダブルゲート型トランジスタのゲート端子（トップゲート端子及びボトムゲート端子）に印加されて、上記発光駆動電流の電流値が制御される。

10

## 【 0 0 4 4 】

このような構成を有する画素駆動回路によれば、駆動電流制御手段を構成するダブルゲート型トランジスタが、電子移動度が比較的低いアモルファスシリコン半導体層を用いたトランジスタ構造を有している場合であっても、単一のゲート電極を備えた周知の電界効果型トランジスタ（薄膜トランジスタ）に比較して、電圧 - 電流特性（ゲート電圧に対するドレイン電流）が改善するので、同一のゲート電圧で、より大きなドレイン電流（発光駆動電流）を発光素子に流すことができる。

## 【 0 0 4 5 】

20

また、これは換言すると、同一のドレイン電流（発光駆動電流）を流すためには、駆動電流制御手段を構成するスイッチング素子の素子サイズ（ダブルゲート型トランジスタのゲート幅）を小さくすることができることを意味するので、表示画素の形成領域の面積が一定の場合には、相対的に発光素子（有機 E L 素子等）の形成面積を増やすことができ、発光輝度を向上させることができる。

## 【 0 0 4 6 】

また、この場合、発光素子を同一の輝度で発光させる場合、発光駆動電流の電流密度を小さくすることができることにもなるので、有機 E L 素子の素子特性の劣化や消費電力を抑制することもできる。

さらに、同一のドレイン電流を流すために、ゲート電圧を低く設定することができるので、ゲート電極に高電圧が継続的に印加されることによるトランジスタ特性の劣化を抑制して、動作特性に優れた画素駆動回路を実現することができる。

30

## 【 0 0 4 7 】

また、本発明に係る画素駆動回路においては、駆動電流制御手段を構成するダブルゲート型トランジスタのゲート端子に、階調信号に応じたゲート電圧を印加する電荷保持手段として、ダブルゲート型トランジスタを構成するトップゲート電極（第 1 のゲート電極）とソース電極、及び、ボトムゲート電極（第 2 のゲート電極）とソース電極とを所定の絶縁膜を介して対向して（積層して）形成することにより、所望の容量値を有する容量成分を、比較的狭い領域（面積）で形成することができる。

## 【 0 0 4 8 】

40

また、本発明に係る画素駆動回路において、階調電流として所望の電流値を有する階調信号電流を供給して、発光駆動電流の電流値を制御する場合（電流印加方式）にあっては、駆動電流制御手段としてダブルゲート型トランジスタを適用することにより、書込電流（階調信号電流）に対する発光駆動電流の関係（電流特性）が良好な線形性を示し、また、書込電流（階調信号電流）に対する書込率（書込特性）も、単一のゲート電極を備えた周知の電界効果型トランジスタに比較して顕著に改善するので、発光素子を階調信号に応じた適切な輝度階調で発光動作させることができる。

## 【 0 0 4 9 】

さらに、本発明に係る画素駆動回路においては、駆動電流制御手段を構成するダブルゲート型トランジスタのソース、ドレイン電極の一部が、半導体層の上面の一部の領域に設

50

けられたブロック絶縁膜の上面の一部に重なる重なり領域を有し、ソース電極とドレイン電極の、発光駆動電流を発光素子に供給する際に相対的に高い電位に設定される側の重なり領域におけるソース電極とドレイン電極とが対向する方向に沿った方向の重なり寸法が、ソース電極及びドレイン電極の相対的に低い電位となる側の重なり寸法に対して長くなるように設定された構成を有するものであってもよい。

#### 【 0 0 5 0 】

これにより、ダブルゲート型トランジスタの電圧 - 電流特性（ゲート電圧に対するドレイン電流）が、顕著に改善するので、発光素子を同一の輝度で発光させる場合（すなわち、同一の発光駆動電流を流す場合）、ダブルゲート型トランジスタのトランジスタサイズをより小さくできるとともに、ゲート電圧を低電圧化してトランジスタ特性の劣化を一層抑制することができる。

10

#### 【 0 0 5 1 】

そして、本発明に係る画像表示装置は、上述したような回路構成を有する画素駆動回路と電流制御型の発光素子とを備えた表示画素を、相互に直交する複数の走査ラインと複数の信号ライン（データライン）の各交点近傍に、配列した表示パネルを備えることにより、走査駆動手段（走査ドライバ）により各走査ラインに接続された表示画素を選択状態に設定し、信号駆動手段（データドライバ）により表示データに基づく電圧値又は電流値を有する階調信号（階調信号電圧、階調信号電流）を、当該表示画素に供給することにより、階調信号（表示データ）に応じた輝度階調で各表示画素（発光素子）を発光動作させる。

20

#### 【 0 0 5 2 】

これにより、各表示画素に設けられる画素駆動回路が、電圧印加方式及び電流印加方式のいずれの駆動制御方法に対応した画素駆動回路であっても、発光素子に発光駆動電流を供給する駆動電流制御手段がダブルゲート型トランジスタにより構成されていることにより、電圧 - 電流特性が改善するので、所定の発光輝度で発光素子が発光動作させる場合（所定の電流値を有する発光駆動電流を発光素子に流す場合）、トランジスタサイズを周知の電界効果型トランジスタと比較して縮小することができ、相対的に発光素子の形成面積を増加させて、表示パネルの開口率を向上させることができる。

#### 【 0 0 5 3 】

30

また、所定の発光輝度で発光素子が発光動作させる場合、ダブルゲート型トランジスタに印加するゲート電圧を低電圧化することができるので、当該トランジスタの素子特性の劣化を抑制して、表示特性に優れた表示パネルを実現するとともに、画像表示動作に伴う消費電力を抑制することができる。その場合、発光素子に流す発光駆動電流の電流密度を小さくすることができるので、発光素子の素子特性の劣化を抑制して表示パネルの製品寿命を長くすることができる。

#### 【発明を実施するための最良の形態】

#### 【 0 0 5 4 】

以下に、本発明に係る画素駆動回路及び該画素駆動回路を表示パネルに備えた画像表示装置の実施の形態について、詳しく説明する。

40

#### < 画像表示装置の全体構成 >

まず、本発明に係る画像表示装置の全体構成について、図面を参照して説明する。

図 1 は、本発明に係る表示装置の全体構成の一例を示すブロック図である。

#### 【 0 0 5 5 】

図 1 に示すように、本発明に係る表示装置 1 0 0 は、概略、行方向及び列方向に各々配設された複数の走査ライン S L と複数のデータライン（信号ライン）D L との各交点近傍に、電流制御型の発光素子を備えた複数の表示画素 E M が配列された表示パネル 1 1 0 と、該表示パネル 1 1 0 の各走査ライン S L に接続され、各走査ライン S L に所定のタイミングで順次走査信号 Vsel を印加することにより、行ごとの表示画素 E M を選択状態に設定（走査）する走査ドライバ（走査駆動手段）1 2 0 と、表示パネル 1 1 0 の各データラ

50

インＤＬに接続され、表示データに基づく階調信号Dpxを生成して、各データラインＤＬに供給するデータドライバ（信号駆動手段）１３０と、少なくとも、走査ドライバ１２０及びデータドライバ１３０の動作状態を制御するための走査制御信号及びデータ制御信号を生成して出力するシステムコントローラ１４０と、表示装置１００の外部から供給される映像信号に基づいて、デジタル信号からなる表示データ（表示信号）を生成して、上記データドライバ１３０に供給するとともに、該表示データに基づいて表示パネル１１０に所定の画像情報を表示するためのタイミング信号（システムクロック等）を抽出、又は、生成してシステムコントローラ１４０に供給する表示信号生成回路１５０と、を備えて構成されている。

【００５６】

10

（表示パネル）

表示パネル１１０にマトリクス状に配列された表示画素ＥＭは、走査ドライバ１２０から走査ラインＳＬに印加される走査信号Vsel、及び、信号ドライバ１３０からデータラインＤＬに供給される階調信号Dpx（具体的には、階調信号電圧Vpix又は階調信号電流Ipix）に基づいて、表示画素ＥＭへの当該階調信号Dpxの書込動作、及び、階調信号Dpxに基づく輝度階調での発光素子の発光動作を制御する画素駆動回路と、該画素駆動回路から供給される発光駆動電流の電流値に応じた輝度階調で発光動作する有機ＥＬ素子ＯＥＬや発光ダイオード等の電流制御型の発光素子と、を有して構成されている。

【００５７】

ここで、画素駆動回路は、走査信号Vselに基づいて選択状態又は非選択状態に設定され、選択状態において表示データに応じた階調信号Dpxを取り込んで電圧レベルとして保持し、非選択状態において保持した電圧レベルに応じた発光駆動電流を発光素子に流して、所定の輝度階調で継続的に発光させる機能を有している。なお、本発明に適用可能な表示画素（画素駆動回路）の具体例については後述する。

20

【００５８】

（走査ドライバ１２０）

走査ドライバ１２０は、システムコントローラ１４０から供給される走査制御信号に基づいて、各走査ラインＳＬに選択レベル（例えば、ハイレベル）の走査信号Vselを順次印加することにより、各行ごとの表示画素ＥＭを選択状態に設定し、データドライバ１３０により各データラインＤＬを介して供給される、表示データに基づく階調信号Dpxを、各表示画素ＥＭ（画素駆動回路）に書き込むように制御する。

30

【００５９】

ここで、走査ドライバ１２０は、例えば、シフトレジスタとバッファからなるシフトブロックが、各走査ラインＳＬに対応して複数段設けられ、後述するシステムコントローラ１４０から供給される走査制御信号（走査スタート信号、走査クロック信号等）に基づいて、シフトレジスタによりシフト信号を順次シフトしつつ、生成されたシフト信号を、バッファを介して所定の電圧レベル（ハイレベル）に変換して走査信号Vselとして各走査ラインＳＬに順次出力する、周知の構成を適用することができる。

【００６０】

（データドライバ１３０）

40

データドライバ１３０は、システムコントローラ１４０から供給されるデータ制御信号（出力イネーブル信号、データラッチ信号、サンプリングスタート信号、シフトクロック信号等）に基づいて、表示信号生成回路１５０から供給される表示データを所定のタイミングで取り込んで保持し、該表示データに対応するアナログ信号電圧又はアナログ信号電流を生成して、階調信号Dpx（階調信号電圧Vdata又は階調信号電流Ipix）として各データラインＤＬに供給するように制御する。

【００６１】

（システムコントローラ１４０）

システムコントローラ１４０は、後述する表示信号生成回路１５０から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ１２０及びデータドライバ１３０に対

50

して、走査制御信号及びデータ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、走査信号 Vsel 及び階調信号 Dpx を生成させ、各走査ライン SL 及びデータライン DL に印加して各表示画素（画素駆動回路及び発光素子）EM における発光動作を連続的に実行させて、所定の映像信号に基づく画像情報を表示パネル 110 に表示させる制御を行う。

#### 【0062】

（表示信号生成回路 150）

表示信号生成回路 150 は、例えば、表示装置 100 の外部から供給される映像信号から輝度階調信号成分を抽出して、表示パネル 110 の 1 行分ごとに、該輝度階調信号成分をデジタル信号からなる表示データとしてデータドライバ 130 に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路 150 は、図 1 に示すように、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ 140 に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ 140 は、表示信号生成回路 150 から供給されるタイミング信号に基づいて、走査ドライバ 120 やデータドライバに対して個別に供給する走査制御信号及びデータ制御信号を生成する。

#### 【0063】

なお、表示装置 100 の外部から供給される映像信号がデジタル信号により形成され、また、タイミング信号が映像信号とは別に供給されている場合には、当該映像信号（デジタル信号）をそのまま表示データとして、データドライバ 130 に供給するとともに、当該タイミング信号を直接システムコントローラ 140 に供給するようにして、表示信号生成回路 150 を省略するようにしてもよい。

#### 【0064】

< 表示画素 >

次に、上述した本実施形態に係る表示装置に適用される表示パネルに配列される表示画素（画素駆動回路）について、図面を参照して詳しく説明する。

ここで、本発明に係る画像表示装置に適用される表示画素は、上述した従来技術に示したような、電圧印加方式の駆動制御方法に対応した画素駆動回路を備えるものであってもよいし、電流印加方式に対応した画素駆動回路を備えるものであってもよい。また、以下に示す構成例においては、各駆動制御方法に対応した画素駆動回路を備えた表示画素について、各々一例を示すが、本発明はこれに限定されるものではなく、表示データに基づく階調信号電圧又は階調信号電流に応じた電圧成分を保持し、当該電圧成分に基づく発光駆動電流を生成して、電流制御型の発光素子に供給する構成を有するものであれば、他の回路構成を有するものであってもよい。

#### 【0065】

（第 1 の実施形態）

図 2 は、本発明に係る画素駆動回路を備えた表示画素の第 1 の実施形態を示す回路構成図である。

図 2 に示すように、本実施形態に係る表示画素 EMA は、上述した表示パネル 110 に相互に直交するように配設された走査ライン SL とデータライン DL との各交点近傍に、例えば、ゲート端子が走査ライン SL に、ソース端子及びドレイン端子がデータライン DL 及び接点 N11 に各々接続された薄膜トランジスタ（TFET；階調信号制御手段）Tr11 と、トップゲート端子 TG 及びボトムゲート端子 BG が接点 N11 に、ソース端子 S が電源ライン VL（高電位電源 Vdd）に各々接続されたダブルゲート型の薄膜トランジスタ（ダブルゲート型トランジスタ；駆動電流制御手段）Tr12 と、接点 N11 と所定の低電位電源 Vss（例えば、接地電位）との間に接続されたコンデンサ（電荷保持手段）C11 とを備えた画素駆動回路 DCA、及び、該画素駆動回路 DCA のダブルゲート型トランジスタ Tr12 のドレイン端子 D にアノード端子が接続され、カソード端子が接地電位に接続された有機 EL 素子（発光素子）OEL を有して構成されている。

## 【 0 0 6 6 】

また、本実施形態に係る画素駆動回路 D C A においては、薄膜トランジスタ T r 1 1 及びダブルゲート型トランジスタ T r 1 2 は、例えば、いずれも n チャネル型の半導体層をチャネル領域として備えた素子構造を有し、特に、ダブルゲート型トランジスタ T r 1 2 は、当該半導体層がアモルファスシリコンにより形成されている。

## 【 0 0 6 7 】

すなわち、本実施形態に係る画素駆動回路においては、少なくとも、発光素子である有機 E L 素子 O E L に発光駆動電流を供給する発光駆動用のスイッチング素子として、一般的な電界効果型トランジスタ（薄膜トランジスタ）ではなく、後述するようなダブルゲート型の薄膜トランジスタ（ダブルゲート型トランジスタ）を適用した構成を有している。なお、ダブルゲート型トランジスタの素子構造及びその素子特性については、詳しく後述する。

## 【 0 0 6 8 】

このような構成を有する画素駆動回路 D C A の駆動制御動作は、まず、走査ドライバ 1 2 0 から走査ライン S L に対してハイレベルの走査信号 V s e l を印加することにより、トランジスタ T r 1 1 がオン動作して当該画素駆動回路 D C A が選択状態に設定される。この選択状態に同期して、データドライバ 1 3 0 からデータライン D L を介して表示データに基づく電圧値を有する階調信号電圧 V p i x を印加することにより、当該階調信号電圧 V p i x が薄膜トランジスタ T r 1 1 を介して、ダブルゲート型トランジスタ T r 1 2 のトップゲート端子 T G 及びボトムゲート端子 B G に印加される。これにより、ダブルゲート型トランジスタ T r 1 2 が階調信号電圧 V p i x に応じた導通状態でオン動作して、電源ライン V L からダブルゲート型トランジスタ T r 1 2 を介して所定の発光駆動電流が流れ、有機 E L 素子 O E L が表示データに応じた輝度階調で発光する。

## 【 0 0 6 9 】

次いで、選択ライン S L にローレベルの走査信号 V s e l を印加することにより、トランジスタ T r 1 1 がオフ動作して当該画素駆動回路 D C A が非選択状態に設定される。これにより、データライン D L と画素駆動回路 D C A とが電氣的に遮断されて、ダブルゲート型トランジスタ T r 1 2 のトップゲート端子 T G 及びボトムゲート端子 B G に印加された電圧がコンデンサ C 1 1 に保持されて、ダブルゲート型トランジスタ T r 1 2 は、オン状態を維持することになり、電源ライン V L からダブルゲート型トランジスタ T r 1 2 を介して有機 E L 素子 O E L に所定の発光駆動電流が流れて、発光動作が継続される。この発光動作は、次の表示データに応じた階調信号電圧 V p i x が当該表示画素 E M A （画素駆動回路 D C A ）に書き込まれるまで、例えば、1 フレーム期間継続されるように制御される。

## 【 0 0 7 0 】

（第 2 の実施形態）

図 3 は、本発明に係る画素駆動回路を備えた表示画素の第 2 の実施形態を示す回路構成図である。

図 3 に示すように、本実施形態に係る表示画素 E M B は、上述した表示パネル 1 1 0 に相互に直交するように配設された走査ライン S L とデータライン D L との各交点近傍に、例えば、ゲート端子が走査ライン S L に、ソース端子及びドレイン端子が電源ライン V L （電源電圧 V s c ）及び接点 N 2 1 に各々接続された薄膜トランジスタ T r 2 1 と、ゲート端子が走査ライン S L に、ソース端子及びドレイン端子がデータライン D L 及び接点 N 2 2 に各々接続された薄膜トランジスタ（階調信号制御手段）T r 2 2 と、トップゲート端子 T G 及びボトムゲート端子 B G が接点 N 2 1 に、ソース端子 S 及びドレイン端子 D が電源ライン V L 及び接点 N 2 2 に各々接続されたダブルゲート型の薄膜トランジスタ（ダブルゲート型トランジスタ；駆動電流制御手段）T r 2 3 と、接点 N 2 1 と接点 N 2 2 の間に接続されたコンデンサ（電荷保持手段）C 2 1 と、を備えた画素駆動回路 D C B、及び、該画素駆動回路 D C B の接点 N 2 2 にアノード端子が接続され、カソード端子が接地電位に接続された有機 E L 素子（発光素子）O E L を有して構成されている。ここで、コン

デンサC21は、ダブルゲート型トランジスタTr23のトップゲート電極及びボトムゲート電極とソース電極間に形成される容量成分であってもよい。

【0071】

また、本実施形態に係る画素駆動回路DCBにおいては、薄膜トランジスタTr21、Tr22及びダブルゲート型トランジスタTr23は、例えば、いずれもnチャネル型の半導体層をチャネル領域として備えた素子構造を有し、特に、ダブルゲート型トランジスタTr23は、当該半導体層がアモルファスシリコンにより形成されている。

【0072】

すなわち、本実施形態に係る画素駆動回路においても、少なくとも、発光駆動用のスイッチング素子として、一般的な電界効果型トランジスタ（薄膜トランジスタ）ではなく、後述するようなダブルゲート型の薄膜トランジスタ（ダブルゲート型トランジスタ）を適用した構成を有している。

10

【0073】

次いで、本実施形態に係る表示画素（画素駆動回路）の駆動制御方法について、詳しく説明する。なお、ここでは、上述した回路構成を有する画素駆動回路を備えた表示画素が、複数2次元配列された上記表示パネル110における画像情報の表示動作と関連付けながら説明する。

図4は、本実施形態に係る表示画素（画素駆動回路）の動作状態を示す概念図であり、図5は、本実施形態に係る画素駆動回路を適用した表示画素の基本動作を示すタイミングチャートである。

20

【0074】

上述したような構成を有する画素駆動回路DCBにおける発光素子（有機EL素子OEL）の駆動制御方法（発光駆動制御）は、例えば、図5に示すように、一走査期間Tscを1サイクルとして、該一走査期間Tsc内に、走査ラインSLに接続された表示画素EMBを選択して表示データに応じた階調信号電流Ipixを書き込み、電圧成分として保持する書込動作期間（選択期間）Tseと、該書込動作期間Tseに書き込み、保持された電圧成分に基づいて、上記表示データに応じた発光駆動電流を生成して有機EL素子OELに供給し、所定の輝度階調で発光動作させる発光動作期間（非選択期間）Tnseと、を包むように設定することにより実行される（Tsc = Tse + Tnse）。ここで、各行の走査ラインSLごとに設定される書込動作期間Tseは、相互に時間的な重なりが生じないように設定される。

30

【0075】

（書込動作期間）

まず、表示画素EMBの書込動作期間Tseにおいては、図5に示すように、まず、走査ドライバ120から走査ライン（例えば、i行目の走査ライン；iは、走査ラインSLを特定するための任意の自然数）SLに対して、ハイレベルの走査信号Vselが印加されて当該行の表示画素EMBが選択状態に設定されるとともに、当該行の表示画素EMBの電源ラインVLに対して、ローレベルの電源電圧Vscが印加される。また、このタイミングに同期して、データドライバ130から当該行の表示データに対応する電流値を有する負極性の階調信号電流（-Ipix）がデータラインDLに供給される。

40

【0076】

これにより、画素駆動回路DCBを構成する薄膜トランジスタTr21及びTr22がオン動作して、ローレベルの電源電圧Vscが接点N21（すなわち、ダブルゲート型トランジスタTr23のトップゲート端子TG及びボトムゲート端子BG、並びに、コンデンサC21の一端側）に印加されるとともに、データドライバ130によりデータラインDLを介して負極性の階調信号電流（-Ipix）を引き込む動作が行われることにより、ローレベルの電源電圧Vscよりも低電位の電圧レベルが接点N22（すなわち、ダブルゲート型トランジスタTr23のソース端子S、及び、コンデンサC21の他端側）に印加される。

【0077】

50

このように、接点N 2 1及びN 2 2間（ダブルゲート型トランジスタT r 2 3のゲート - ソース間）に電位差が生じることにより、ダブルゲート型トランジスタT r 2 3がオン動作して、図4（a）に示すように、電源ラインV Lからダブルゲート型トランジスタT r 2 3、接点N 2 2、薄膜トランジスタT r 2 2、データラインD Lを介して、データドライバ1 3 0に、階調信号電流I pixの電流値に対応した書込電流I aが流れる。

【0078】

このとき、コンデンサC 2 1には、接点N 2 1及びN 2 2間（ダブルゲート型トランジスタT r 2 3のゲート - ソース間）に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、電源ラインV Lには、接地電位V gnd以下の電圧レベルを有する電源電圧V scが印加され、さらに、書込電流I aがデータラインD L方向に流れるように制御されることから、有機E L素子O E Lのアノード端子（接点N 2 2）に印加される電位はカソード端子の電位（接地電位V gnd）よりも低くなり、有機E L素子O E Lに逆バイアス電圧が印加されることになるため、有機E L素子O E Lには発光駆動電流が流れず、発光動作は行われない。

【0079】

（発光動作期間）

次いで、書込動作期間T se終了後の発光動作期間T nseにおいては、図5に示すように、走査ドライバ1 2 0から当該走査ラインS Lに対して、ローレベルの走査信号V selが印加されて表示画素E M Bが非選択状態に設定されるとともに、当該行の表示画素E M Bの電源ラインV Lに対して、ハイレベルの電源電圧V scが印加される。また、このタイミングに同期して、データドライバ1 3 0による階調信号電流I pixの引き込み動作（階調信号電流I pixの供給動作）が停止される。

【0080】

これにより、画素駆動回路D C Bを構成する薄膜トランジスタT r 2 1及びT r 2 2がオフ動作して、接点N 2 1（すなわち、ダブルゲート型トランジスタT r 2 3のトップゲート端子T G及びボトムゲート端子B G、並びに、コンデンサC 2 1の一端側）への電源電圧V scの印加が遮断されるとともに、接点N 2 2（すなわち、ダブルゲート型トランジスタT r 2 3のソース端子S、及び、コンデンサC 2 1の他端側）へのデータドライバ1 3 0による階調信号電流I pixの引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサC 2 1は、上述した書込動作期間T seにおいて蓄積された電荷を保持する。

【0081】

このように、コンデンサC 2 1が書込動作時の充電電圧を保持することにより、接点N 2 1及びN 2 2間（ダブルゲート型トランジスタT r 2 3のゲート - ソース間）の電位差が保持されることになり、ダブルゲート型トランジスタT r 2 3はオン状態を維持する。また、電源ラインV Lには、接地電位V gndよりも高い電圧レベルを有する電源電圧V scが印加されるので、有機E L素子O E Lのアノード端子（接点N 2 2）に印加される電位はカソード端子の電位（接地電位）よりも高くなる。

【0082】

したがって、図4（b）に示すように、電源ラインV Lからダブルゲート型トランジスタT r 2 3、接点N 2 2を介して、有機E L素子O E Lに順バイアス方向に所定の発光駆動電流I bが流れ、有機E L素子O E Lが発光する。ここで、コンデンサC 2 1により蓄積された電荷に基づく電位差（充電電圧）は、ダブルゲート型トランジスタT r 2 3において階調信号電流I pixに対応した書込電流I aを流す場合の電位差に相当するので、有機E L素子O E Lに供給される発光駆動電流I bは、上記書込電流I aと同等の電流値を有することになる。これにより、書込動作期間T se後の発光動作期間T nseにおいては、書込動作期間T seに書き込まれた表示データ（階調信号電流I pix）に対応する電圧成分に基づいて、ダブルゲート型トランジスタT r 2 3を介して、発光駆動電流I bが継続的に供給されることになり、有機E L素子O E Lは表示データに対応する輝度階調で発光する動作を継続する。



## 【0083】

そして、上述した一連の動作を、表示パネル110を構成する全ての走査ラインSLについて順次繰り返し実行することにより、表示パネル1画面分の表示データが書き込まれて、所定の輝度階調で発光し、所望の画像情報が表示される。

ここで、本実施例に係る画素駆動回路DCBにおいては、少なくとも、ダブルゲート型トランジスタTr23を構成する半導体層（チャネル層）がnチャネル型のアモルファスシリコンにより形成された構成を有しているが、薄膜トランジスタTr21、Tr22についても、同じチャネル極性（nチャネル型）を有することから、半導体層（チャネル層）をnチャネル型のアモルファスシリコンにより形成することにより、すでに確立されたアモルファスシリコン製造技術を適用して、動作特性の安定した画素駆動回路を比較的安価に製造することができる。

10

## 【0084】

また、本実施形態に係る画素駆動回路DCBにおいては、上述したように（図5参照）、電源ラインVLに所定の電圧値を有する電源電圧Vscを印加する必要があるが、そのための構成としては、例えば、図1に示した表示装置100の構成に加え、表示パネル110の各走査ラインSLに並行に配設された複数の電源ラインVLに接続された電源ドライバを備え、上述したシステムコントローラ140から供給される電源制御信号に基づいて、走査ドライバ120から出力される走査信号Vselに同期するタイミング（図5参照）で、当該電源ドライバから所定の電圧値を有する電源電圧Vscを、走査ドライバ120により走査信号Vselが印加される行（選択状態に設定される表示画素EMB）の電源ラインVLに対して印加するようにした構成を適用するものであってもよいし、走査ドライバ120から出力される走査信号Vselに同期するタイミングで電源ラインVLに印加されることから、走査ドライバ120において、走査信号Vsel（又は、走査信号を生成するためのシフト出力信号）を反転処理し、所定の信号レベルに増幅して、電源ラインVLに対して印加するようにした構成を適用するものであってもよい。

20

## 【0085】

<ダブルゲート型トランジスタの素子構造及び素子特性>

次に、上述した各実施形態に示した画素駆動回路の発光駆動用トランジスタとして適用されるダブルゲート型トランジスタの素子構造及び素子特性について、図面を参照して詳しく説明する。

30

## 【0086】

<第1の構成例>

図6は、本発明に係る画素駆動回路の発光駆動用トランジスタに適用されるダブルゲート型トランジスタの素子構造の第1の構成例を示す断面構成図及び回路図である。また、図7は、本構成例に係るダブルゲート型トランジスタを、上述した各実施形態に係る表示画素（画素駆動回路）に適用した場合の素子構造の一例を示す概略構成図である。なお、図7においては、図示の都合上、図7(a)に示した平面構成図のトップゲート電極を2点鎖線で表し、図7(b)、(c)に示した断面構成図のハッチングを一部省略した。

## 【0087】

図6に示すように、本実施形態に係る発光駆動トランジスタに適用されるダブルゲート型トランジスタDGTは、概略、アモルファスシリコン等の半導体層（チャネル領域）31と、半導体層31の両端に、各々n<sup>+</sup>シリコンからなる不純物層（オーミックコンタクト層）37、38を介して形成されたソース電極32（ソース端子S）及びドレイン電極33（ドレイン端子D）と、半導体層31の上方（図面上方）にブロック絶縁膜（エッチングストップ膜）34及びトップゲート絶縁膜35を介して形成されたトップゲート電極ELt（第1のゲート電極；トップゲート端子TG）と、半導体層31の下方（図面下方）にボトムゲート絶縁膜36を介して形成されたボトムゲート電極ELb（第2のゲート電極；ボトムゲート端子BG）と、を有して構成されている。

40

## 【0088】

また、このような構成を有するダブルゲート型トランジスタDGTは、図6(a)に示

50

すように、ガラス基板等の絶縁性基板SUB上に形成されている。また、該ダブルゲート型トランジスタDGTを含む絶縁性基板SUBの一面側全域には保護絶縁膜39が被覆形成されている。なお、図6(a)に示した素子構造において、半導体層31上に設けられたブロック絶縁膜34は、半導体層31上に設けられるソース電極32及びドレイン電極33をパターニング形成する際のエッチング工程における、エッチングストップとしての機能を有するとともに、当該エッチングによる半導体層31へのダメージを防止するための機能を有するものである。

【0089】

ここで、ダブルゲート型トランジスタDGTを構成するトップゲート電極ELt、ボトムゲート電極ELbは、例えば、アルミニウムとチタンの合金（アルミチタン）等の導電性材料により形成され、ソース電極32及びドレイン電極33は、クロム又はクロム合金等の導電性材料により形成されている。また、ブロック絶縁膜34、トップゲート絶縁膜35、ボトムゲート絶縁膜36及び保護絶縁膜39は、例えば、シリコン窒化膜（SiN）等の絶縁性材料により形成されている。

なお、図6(a)に示した構成を有するダブルゲート型トランジスタは、一般に、図6(b)に示すような等価回路により表される。

【0090】

そして、このような構成を有するダブルゲート型トランジスタDGTを、上述したような表示画素EMA、EMBの画素駆動回路DCA（図2参照）、DCB（図3参照）に適用する場合にあっては、例えば、トップゲート電極ELt（トップゲート端子TG）とボトムゲート電極ELb（ボトムゲート端子BG）とが電氣的に接続（短絡）された構成を有している。この場合、図6に示したダブルゲート型トランジスタDGTの素子構造において、例えば、図7(a)、(c)に示すように、ダブルゲート型トランジスタDGTの形成領域近傍に設けられたコンタクト領域Rcntにおいて、延在して形成されたトップゲート電極ELtがトップゲート絶縁膜35及びボトムゲート絶縁膜36を貫通して形成された開口部（コンタクトホール）を介して、延在して形成されたボトムゲート電極ELbに電氣的に接続されるように構成されている。

【0091】

また、画素駆動回路DCA（図2参照）、DCB（図3参照）において、ゲート-ソース間にコンデンサC11、C12が接続された構成を有していることから、例えば、図7(a)、(b)に示すように、ダブルゲート型トランジスタDGTの形成領域近傍に設けられた容量領域RGcにおいて、各々延在して形成されたトップゲート電極ELt及びソース電極32がトップゲート絶縁膜35を介して対向（積層）して設けられることにより容量成分Caが形成され、また、各々延在して形成されたボトムゲート電極ELb及びソース電極32がボトムゲート絶縁膜36を介して対向（積層）して設けられることにより、容量成分Cbが形成されている。

【0092】

したがって、画素駆動回路DCA、DCBに設けられたコンデンサC11、C12の容量値は、各々、同一の容量領域RGcに形成された上記容量成分Ca及びCbの総和に相当するので、このような素子構造を有する容量領域RGcを適用することにより、所望の容量値をより狭い領域（面積）で実現することができる。

【0093】

次いで、上述したような素子構造及び接続構造を有するダブルゲート型トランジスタの素子特性について説明する。

図8は、本構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に独立した状態における電圧-電流特性を示す図（シミュレーション結果）であり、図9は、本構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に接続（短絡）した状態における電圧-電流特性を示す図（シミュレーション結果）である。

【0094】

10

20

30

40

50

まず、上述したダブルゲート型トランジスタDGTにおいて、トップゲート端子とボトムゲート端子とを電氣的に独立した状態（すなわち、図6に示したダブルゲート型トランジスタの基本構成）における、ボトムゲート電圧 $V_{gb}$ に対するドレイン電流（オン電流） $I_d$ の変化傾向（電圧 - 電流特性）について検証する。

【0095】

トップゲート端子（トップゲート電極）とボトムゲート端子（ボトムゲート電極）とを電氣的に独立した状態のダブルゲート型トランジスタDGTにおいては、図8（a）、（b）に示すように、ソース - ドレイン端子間の電位差（すなわち、バイアス電圧） $V_{ds}$ が比較的大きい場合には（ $V_{ds} = 20V$ ）、ボトムゲート電圧 $V_{gb}$ に対するドレイン電流 $I_d$ の変化傾向は、トップゲート電圧 $V_{gt}$ に正の電圧（ $10V$   $20V$   $30V$ ）を印加することにより、ドレイン電流 $I_d$ が顕著に増加し、また、トップゲート電圧 $V_{gt}$ に負の電圧（ $-10V$   $-20V$ ）を印加することにより、ドレイン電流 $I_d$ が顕著に減少することが観測された。

10

【0096】

これに対して、ソース - ドレイン端子間のバイアス電圧 $V_{ds}$ が比較的小さい場合には（ $V_{ds} = 0.1V$ ）、ボトムゲート電圧 $V_{gb}$ に対するドレイン電流 $I_d$ の変化傾向は、トップゲート電圧 $V_{gt}$ に負の電圧（ $-10V$   $-20V$ ）を印加することにより、ドレイン電流 $I_d$ が顕著に減少するものの、トップゲート電圧 $V_{gt}$ に正の電圧（ $10V$   $20V$   $30V$ ）を印加した場合には、ドレイン電流 $I_d$ の大幅な増加は観測されなかった。

【0097】

20

これは、図6に示したダブルゲート型トランジスタDGTの素子構造において、半導体層31上のブロック絶縁膜34上に延在して形成されたソース電極32、ドレイン電極33が、半導体層に形成されるチャネル領域に対して、擬似的なトップゲート電極としての役割を果たし、当該ソース電極32及びドレイン電極33の上方に設けられた本来のトップゲート電極 $E_{lt}$ によるチャネル領域への寄与は、ソース電極32及びドレイン電極33が形成されていないチャネル領域中央部に限定されることに起因すると考えられる。

【0098】

また、他の原因として、チャネル領域内の抵抗分布に起因するものと考えられる。すなわち、ソース - ドレイン端子間のバイアス電圧 $V_{ds}$ が比較的小さい場合（線形動作領域）には、チャネル領域の抵抗分布は、ソース側からドレイン側にわたり、ほぼ様に低抵抗状態を示す。したがって、この状態においては、トップゲート電圧を印加することによりチャネル領域の中央部における抵抗値が減少したとしても、ドレイン電流（オン電流） $I_d$ の大幅な増加は生じないため、図8（a）に示したような電圧 - 電流特性が得られたものと考えられる。

30

【0099】

一方、ソース - ドレイン端子間のバイアス電圧 $V_{ds}$ が充分大きい場合（飽和動作領域）には、チャネル領域の抵抗分布は、中央部やドレイン側近傍において高抵抗状態を示す。したがって、この状態においては、トップゲート電圧を印加することによりチャネル領域の中央部における抵抗値を減少させることにより、ドレイン電流（オン電流） $I_d$ の大幅な増加が生じるため、図8（b）に示したような電圧 - 電流特性が得られたものと考えられる。

40

【0100】

特に、上述した第2の実施形態に示したような表示画素EMB（画素駆動回路DCB）においては、薄膜トランジスタ $Tr_{21}$ がオン動作することにより、ダブルゲート型トランジスタ $Tr_{23}$ のゲート電極（ゲート端子）とドレイン電極（ドライバ端子）が短絡した状態となり、飽和状態で動作することになるため、図8（b）に示したように、トップゲート電圧 $V_{gt}$ を制御することにより、ドレイン電流 $I_d$ を顕著に増大させることができるので、これを言い換えれば、所望の電流値のドレイン電流（オン電流）を得るために必要なトランジスタの形成領域の面積を大幅に削減することができることになる。

【0101】

50

なお、図 8 ( a )、( b )において、ダブルゲート型トランジスタ D G T のトップゲート電圧  $V_{gt}$  を 0 V に設定した場合の電圧 - 電流特性は、トップゲート電圧がチャネル領域に全く寄与していないと考えることができることから、単一のゲート電極を備えた、一般 ( 周知 ) の電界効果型トランジスタにおける電圧 - 電流特性と同等であると考えることができる。

#### 【 0 1 0 2 】

また、ダブルゲート型トランジスタ D G T のトップゲート電圧  $V_{gt}$  とボトムゲート電圧  $V_{gb}$  とを同一の電圧値に設定した場合のボトムゲート電圧に対するドレイン電流は、トップゲート電極とボトムゲート電極とを電氣的に接続 ( 短絡 ) した状態の電圧 - 電流特性と同等であると考えることができる。

10

#### 【 0 1 0 3 】

したがって、単一のゲート電極を備えた薄膜トランジスタとダブルゲート型トランジスタ D G T における電圧 - 電流特性を比較すると、図 8 に示した場合と同様に、ソース - ドレイン端子間のバイアス電圧  $V_{ds}$  が比較的大きい場合には (  $V_{ds} = 20 \text{ V}$  )、ゲート電圧 ( ボトムゲート電圧 )  $V_{gb}$  に対するドレイン電流  $I_d$  の変化傾向は、図 9 ( b ) に示すように、ダブルゲート型トランジスタ D G T におけるドレイン電流  $I_d$  の方が顕著に増加し、また、バイアス電圧  $V_{ds}$  が比較的小さい場合においても (  $V_{ds} = 0.1 \text{ V}$  )、図 9 ( a ) に示すように、ダブルゲート型トランジスタ D G T におけるドレイン電流  $I_d$  の方が僅かながら増加することが観測された。なお、図 9 ( a )、( b )において、 $S_{tft}$  は、単一のゲート電極を備えた電界効果型トランジスタにおける電圧 - 電流特性を示す特性線であり、 $S_{dgt}$  は、本構成例に係るトップゲート電極とボトムゲート電極とを短絡したダブルゲート型トランジスタにおける電圧 - 電流特性を示す特性線である。

20

#### 【 0 1 0 4 】

このことから、図 2、図 3 に示したような第 1 及び第 2 の実施形態に係る表示画素 E M A、E M B において、画素駆動回路 D C A、D C B の発光駆動用トランジスタとして、図 7 に示したようなトップゲート電極  $E_{lt}$  とボトムゲート電極  $E_{lb}$  とを短絡した素子構造を有するダブルゲート型トランジスタ D G T を適用することにより、電子移動度が比較的低いアモルファスシリコン半導体層を用いたトランジスタ構造においても、同一のゲート電圧で、より大きなドレイン電流 ( 発光駆動電流 ) を有機 E L 素子 O E L に流すことができる。

30

#### 【 0 1 0 5 】

これは換言すると、電圧印加方式及び電流印加方式のいずれの駆動制御方法に対応した画素駆動回路においても、同一のドレイン電流 ( 発光駆動電流 ) を流すために、ダブルゲート型トランジスタのトランジスタサイズ ( 特に、ゲート幅 ) を小さくすることができることになるので、各表示画素の形成領域の面積が一定の場合には、相対的に有機 E L 素子の形成面積 ( 発光領域 ) を増やすことができ、表示パネルの開口率を向上させることができる。

#### 【 0 1 0 6 】

また、同一のドレイン電流を流すために、ダブルゲート型トランジスタのゲート電圧を低く設定することができるので、ゲート電極に高電圧が継続的に印加されることによるトランジスタ特性 ( 電圧 - 電流特性 ) の劣化を抑制して、動作特性に優れた画素駆動回路 ( すなわち、表示特性に優れた表示パネル ) を実現するとともに、画像表示動作に伴う消費電力を抑制することができる。その場合、有機 E L 素子に流す発光駆動電流の電流密度を小さくすることができるので、有機 E L 素子の素子特性の劣化を抑制して寿命を長くすることができる。

40

#### 【 0 1 0 7 】

次に、本構成例に係るダブルゲート型トランジスタを、上述した第 2 の実施形態に係る画素駆動回路 ( すなわち、電流印加方式に対応した画素駆動回路 ; 図 3 参照 ) に適用した場合に特有の効果について説明する。

図 10 は、第 2 の実施形態に示した画素駆動回路におけるダブルゲート型トランジスタ

50

の書込動作を検証するためのシミュレーションモデル（簡略化した等価回路）を示す回路図である。また、図 11 は、本構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における階調信号電流（入力電流）と発光駆動電流（出力電流）の関係（電流特性）を示す特性図（シミュレーション結果）であり、図 12 は、本構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における階調信号電流（入力電流）と当該画素駆動回路への書込率との関係を示す特性図（シミュレーション結果）である。

#### 【0108】

上述した第 2 の実施形態に示した表示画素 EMB（画素駆動回路 DCB）において、書込動作における、各スイッチング素子（薄膜トランジスタ Tr21、Tr22 及びダブルゲート型トランジスタ Tr23）の導通状態は、図 4（a）に示したように、薄膜トランジスタ Tr22 及びダブルゲート型トランジスタ Tr23 がオン動作するので、階調信号電流 I<sub>pix</sub> が供給される（引き抜かれる）データライン DL から、薄膜トランジスタ Tr22、接点 22、ダブルゲート型トランジスタ Tr23 及び電源ライン VL に至る経路が一本につながって、書込電流 I<sub>a</sub> が電源ライン VL から画素駆動回路 DCB を介してデータライン DL 方向に流れる。

#### 【0109】

一方、この状態においては、薄膜トランジスタ Tr21 がオン動作するので、ダブルゲート型トランジスタ Tr23 のゲート端子（トップゲート端子及びボトムゲート端子）とドレイン端子が接続された状態と等価となる。

したがって、書込動作状態における表示画素 EMB の回路構成を簡略化すると、概略、図 10（a）に示すように、書込電流 I<sub>a</sub>（階調信号電流 I<sub>pix</sub> に相当する）の電流供給源 SCi と接地電位との間に電流路が形成され、トップゲート端子及びボトムゲート端子とドレイン端子が短絡されたダブルゲート型トランジスタ Tr23 と、該ダブルゲート型トランジスタ Tr23 のゲート・ソース間に接続されたコンデンサ C21 と、からなる等価回路で表すことができる。

#### 【0110】

また、表示画素 EMB（画素駆動回路 DCB）において、発光動作における、各スイッチング素子（薄膜トランジスタ Tr21、Tr22 及びダブルゲート型トランジスタ Tr23）の導通状態は、図 4（b）に示したように、薄膜トランジスタ Tr21 及び Tr22 がオフ動作し、ダブルゲート型トランジスタ Tr23 がオン動作を継続するので、電源ライン VL から、ダブルゲート型トランジスタ Tr23、接点 22、有機 EL 素子 OEL 及び接地電位 V<sub>gnd</sub> に至る経路が一本につながって、発光駆動電流（出力電流）I<sub>b</sub> が電源ライン VL から画素駆動回路 DCB 及び有機 EL 素子 OEL を介して接地電位 V<sub>gnd</sub> 方向に流れる。

#### 【0111】

一方、この状態においては、コンデンサ C21 に保持された電荷によりダブルゲート型トランジスタ Tr23 のトップゲート端子及びボトムゲート端子には、ハイレベルのゲート電圧が印加されるとともに、ハイレベルの電源電圧 V<sub>sc</sub> に設定された電源ライン VL から当該ダブルゲート型トランジスタ Tr23 を介して、発光駆動電流 I<sub>b</sub> が流れることにより、接点 21 の電位（ダブルゲート型トランジスタ Tr23 のゲート電圧）はさらに上昇して、実質的に電源ライン VL のハイレベルと同等になり、ダブルゲート型トランジスタ Tr23 のゲート端子（トップゲート端子及びボトムゲート端子；接点 N21）とドレイン端子（電源ライン VL）が接続された状態と等価となる。

#### 【0112】

したがって、発光動作状態における表示画素 EMB の回路構成を簡略化すると、概略、図 10（b）に示すように、電源電圧 V<sub>sc</sub> の電圧供給源 SCv と接地電位との間に電流路が形成され、トップゲート端子及びボトムゲート端子とドレイン端子が短絡されたダブルゲート型トランジスタ Tr23 と、該ダブルゲート型トランジスタ Tr23 のソース端子と接地電位間に接続された有機 EL 素子 OEL と、からなる等価回路で表すことができる

。

## 【0113】

このような等価回路（シミュレーションモデル）において、ダブルゲート型トランジスタ  $T_{r23}$  のしきい値電圧  $V_{th} = 0\text{ V}$ 、チャネル長  $L = 7\text{ }\mu\text{m}$ 、コンデンサ  $C_{21}$  容量 =  $20\text{ pF}$ 、書込電流  $I_a = 50\text{ }\mu\text{A}$ 、書込時間 =  $80\text{ }\mu\text{sec}$  に設定して解析を行った結果、図11に示すように、表示画素  $EMB$ （画素駆動回路  $DCB$ ）への書込電流  $I_a$ （階調電流  $I_{pix}$ ）に対する、有機  $EL$  素子  $OEL$  に供給される発光駆動電流（出力電流） $I_b$  の電流値の関係（電流特性）は、ダブルゲート型トランジスタ  $T_{r23}$  のトップゲート端子及びボトムゲート端子に印加するゲート電圧  $V_g$  を増加させるほど（ $0\text{ V}$ 、 $10\text{ V}$ 、 $20\text{ V}$ 、 $30\text{ V}$ ）、書込電流  $I_a$  に対して同等の電流値を有する（線形性を有する）出力電流  $I_b$  が有機  $EL$  素子  $OEL$  に供給される、理想的な書込状態を示す電流特性線  $S_{ri}$  に近似するとともに、非線形性が改善されて略線形性を示すシミュレーション結果が得られた。

10

## 【0114】

また、この場合、図12に示すように、書込電流  $I_a$  に対する書込率の関係（書込特性）も、ダブルゲート型トランジスタ  $T_{r23}$  に印加するゲート電圧  $V_g$  を増加させるほど（ $0\text{ V}$ 、 $10\text{ V}$ 、 $20\text{ V}$ 、 $30\text{ V}$ ）、書込率が顕著に上昇する傾向を示すシミュレーション結果が得られた。

## 【0115】

このことは、上述した電圧 - 電流特性においても説明したように、ダブルゲート型トランジスタにおいては、単一のゲート電極のみを備えた一般の薄膜トランジスタに比較して、同一の書込電流を流すために必要なゲート電圧を低減することができるので、ダブルゲート型トランジスタのゲート - ソース間に接続されるコンデンサ  $C_{21}$  に充電すべき書込電圧を低減することができ、それに伴って、当該書込動作に要する時間を短く設定することができることに基づくものである。

20

## 【0116】

このように、本構成例に係るダブルゲート型トランジスタを、第2の実施形態に示したような表示画素  $EMB$ （電流印加方式に対応した画素駆動回路  $DCB$ ）に適用することにより、上述したような電圧 - 電流特性の改善に伴って、ダブルゲート型トランジスタのゲート幅を小さくして開口率を向上することができ、また、ゲート電圧を低電圧化してトランジスタ特性の劣化や消費電力を抑制することができるとともに、電流特性及び書込特性の改善に伴って、書込電流に対する出力電流の線形性、及び、書込電流に対する書込率を向上させることができるので、画像情報を適切な輝度階調で表示することができ、表示画質に優れた画像表示装置を実現することができる。

30

## 【0117】

なお、本構成例に係るダブルゲート型トランジスタが適用される、上述した第1及び第2の実施形態においては、画素駆動回路  $DCA$ 、 $DCB$  において、発光素子である有機  $EL$  素子  $OEL$  に発光駆動電流を供給する発光駆動用トランジスタ（スイッチング素子）に対してのみ、ダブルゲート型トランジスタを適用した構成について説明したが、本発明はこれに限定されるものでなく、例えば、画素駆動回路を構成する全てのスイッチング素子をダブルゲート型トランジスタで構成するものであってもよい。

40

## 【0118】

この場合、発光駆動用トランジスタにおいては、回路構成上、飽和動作領域でオン動作するので、上述したような電圧 - 電流特性に基づいて、ゲート電圧に対する発光駆動電流（ドレイン電流）を増大させることができるが、画素駆動回路における発光駆動用トランジスタ以外の薄膜トランジスタについては、線形動作領域でオン動作するので、上記電圧 - 電流特性に基づく発光駆動電流の顕著な増大効果は得られないものの、トップゲートが設けられていない単一のゲート電極のみを有する、一般の薄膜トランジスタ（電界効果型トランジスタ）に比較して、半導体層（チャネル領域）上に不透明なトップゲート電極が設けられたダブルゲート型トランジスタの方が、チャネル領域に入射する外光に起因する

50

光誘起リーク電流を低減する効果や、外部電界の影響を遮断する効果を得ることができ、画素駆動回路（表示画素）を安定的に動作させて良好な表示画質を実現することができる。

【0119】

図13は、本構成例に係るダブルゲート型トランジスタの素子構造の他の構成例を示す断面構成図である。ここで、上述した構成例（図6参照）と同等の構成については同一の符号を付してその説明を簡略化する。

上述した第1の構成例においては、ダブルゲート型トランジスタDGTの素子構造として、図6に示したように、半導体層31の上方に、ソース電極32及びドレイン電極33が延在して形成され、当該半導体層31、ソース電極32及びドレイン電極33の上方に、トップゲート絶縁膜35を介して半導体層31の平面的な広がりに対応する形状を有するトップゲート電極ELtを設けた構成を示したが、上述したように、半導体層31上のブロック絶縁膜34上に延在して形成されたソース電極32及びドレイン電極33が、半導体層31に形成されるチャンネル領域に対して、擬似的なトップゲート電極としての役割を果たし、トップゲート電極ELtによるチャンネル領域への実質的な寄与は、ソース電極32及びドレイン電極33が形成されていない領域（チャンネル領域中央部）に限定されることから、図13に示すように、半導体層31上のブロック絶縁膜34上であって、ソース電極32及びドレイン電極33間の領域（すなわち、チャンネル領域中央部上方に、トップゲート電極ELtaを設けた構成を有するものであってもよい。

【0120】

このような構成を有するダブルゲート型トランジスタDGTaによれば、トップゲート電極ELtaが、トップゲート絶縁膜35を介さずに半導体層31上のブロック絶縁膜34上に直接設けられているため、上述した構成例の場合と同じトップゲート電圧Vgtで、より高い効果が得られるとともに、画素駆動回路DCBを構成する積層構造における積層数を少なくすることができるので、製造プロセスを簡素化してプロセス数を削減し、製造歩留まりの向上や製造コストの削減を図ることができる。

【0121】

<第2の構成例>

次いで、本発明に係る画素駆動回路に適用されるダブルゲート型トランジスタの素子構造の第2の構成例について図面を参照して説明する。

図14は、本発明に係る画素駆動回路の発光駆動用トランジスタに適用されるダブルゲート型トランジスタの素子構造の第2の構成例を示す断面構成図及び回路図である。

【0122】

上述した第1の構成例に係るダブルゲート型トランジスタDGTにおいては、半導体層31上のブロック絶縁膜34上に延在して形成されるソース電極32及びドレイン電極33と、ブロック絶縁膜34との重なり寸法が、略均等（すなわち、図6及び図13に示した構成においては、左右対称）になるように形成した素子構造を示したが、本構成例に係るダブルゲート型トランジスタDGTbにおいては、図14（a）、（b）に示すように、ソース電極32及びドレイン電極33と、ブロック絶縁膜34との重なり寸法が異なる（すなわち、左右非対称）ように形成した素子構造を有している。

【0123】

具体的には、例えば、図14（a）、（b）に示すように、ダブルゲート型トランジスタDGTbにおいて、ソース電極32とブロック絶縁膜34との重なり寸法OLsが、ドレイン電極33とブロック絶縁膜34との重なり寸法OLDに比較して短くなる（ $OLs < OLD$ ）とともに、ソース電極32とドレイン電極33との離間距離Lspが上述した第1の構成例に示した構成（図6及び図13）におけるソース電極32及びドレイン電極33の離間距離と同一になるように形成されている。すなわち、表示画素EMB（画素駆動回路DCB）において、発光駆動電流（出力電流）Ibが発光素子（有機EL素子OEL）に流れ出す側の電極とブロック絶縁膜34との重なり寸法を、相対的に短くなるように形成する。

## 【 0 1 2 4 】

次いで、上述したような素子構造を有するダブルゲート型トランジスタの素子特性について説明する。

図 1 5 は、本構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に独立した状態における電圧 - 電流特性を示す図（シミュレーション結果）であり、図 1 6 は、本構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における電圧 - 電流特性を説明するためのである。

## 【 0 1 2 5 】

また、図 1 7 は、本構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における階調信号電流（入力電流）と発光駆動電流（出力電流）の関係（電流特性）を示す特性図（シミュレーション結果）であり、図 1 8 は、本構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における階調信号電流（入力電流）と当該画素駆動回路への書込率との関係を示す特性図（シミュレーション結果）である。

## 【 0 1 2 6 】

まず、本実施形態に係るダブルゲート型トランジスタ D G T b において、トップゲート端子 T G とボトムゲート端子 B G とを電氣的に独立した状態における、ボトムゲート電圧 V g b に対するドレイン電流（オン電流） I d の変化傾向（電圧 - 電流特性）について検証する。

## 【 0 1 2 7 】

ここでは、検証の対象となるダブルゲート型トランジスタの素子構造として、半導体層 3 1 上のブロック絶縁膜 3 4 のソース - ドレイン方向（図 1 4 の左右方向）の長さを、例えば 7  $\mu$  m、ソース電極 3 2 及びドレイン電極 3 3 とブロック絶縁膜 3 4 との各重なり寸法を、例えば 1  $\mu$  m 及び 3  $\mu$  m に設定した場合について観測した。なお、比較対象として、ソース電極 3 2 及びドレイン電極 3 3 とブロック絶縁膜 3 4 との各重なり寸法を、例えば 2  $\mu$  m に設定した場合についても観測した。

## 【 0 1 2 8 】

本構成例に係るダブルゲート型トランジスタ D G T b において、トップゲート端子（トップゲート電極）とボトムゲート端子（ボトムゲート電極）とを電氣的に独立した状態で電圧 - 電流特性を観測すると、図 1 5 に示すように、ソース電極 3 2 及びドレイン電極 3 3 とブロック絶縁膜 3 4 との重なり寸法が同一になるように形成した素子構造（すなわち、第 1 の構成例に示したダブルゲート型トランジスタ D G T ）に対して、ソース電極 3 2 及びドレイン電極 3 3 とブロック絶縁膜 3 4 との重なり寸法が異なるように形成した素子構造の場合の方が、ボトムゲート電圧 V g b に対するドレイン電流 I d の変化傾向が顕著に改善することが判明した。

## 【 0 1 2 9 】

なお、図 1 5 において、S s m a は、ソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が同一になるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加していない状態（V g t = 0 V）における電圧 - 電流特性を示す特性線であり、S s m b は、ソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が同一になるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加した状態（V g t = 3 0 V）における電圧 - 電流特性を示す特性線であり、S d f は、本構成例に係るソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が異なるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加した状態（V g t = 3 0 V）における電圧 - 電流特性を示す特性線である。

## 【 0 1 3 0 】

これは、例えば、図 1 6（a）に示すような薄膜トランジスタ構造（すなわち、ダブルゲート型トランジスタ D G T のトップゲート電極 E L t をなくした素子構造、もしくは、

10

20

30

40

50



ダブルゲート型トランジスタDGTにおいて、トップゲート端子TGにゲート電圧Vgtを印加していない状態)において、上述した場合と同様に、ソース電極32及びドレイン電極33が半導体層31上のブロック絶縁膜34上に延在することにより、擬似的なトップゲート電極としての役割を果たすことに起因するものと説明することができる。

#### 【0131】

すなわち、図16(a)に示した素子構造を有するトランジスタにおいては、半導体層31上にブロック絶縁膜34を介してソース電極32及びドレイン電極33が重なり合っている領域では、これら電極に印加された電圧により半導体層にチャネル領域が形成され、ソース電極32及びドレイン電極33が形成されていない領域に形成される本来のチャネル領域(すなわち、トップゲート電圧Vgtにより半導体層31の略中央部に形成されるチャネル領域)に加え、ソース電極32及びドレイン電極33に対応する領域にもチャネル領域が形成されて、ブロック絶縁膜34が形成された、ソース電極32からドレイン電極33に至る領域の半導体層31にチャネル領域Rchが形成される。このとき、チャネル領域には、ソース-ドレイン端子間に印加されるバイアス電圧(ソース電圧及びドレイン電圧)に応じた電位変化が生じる。

#### 【0132】

ここで、図16(b)に示すように、ソース-ドレイン端子間に所定のバイアス電圧が印加され、ソース電極32に低電位電圧Vslが、また、ドレイン電極33に高電位電圧Vdhが印加されると、低電位電圧Vslが印加されるソース電極32側ではチャネル電位を下げる方向、すなわち電圧Vslに収束(近似)する方向に作用するため、オン電流(ドレイン電流)が抑制され、一方、高電位電圧Vdhが印加されるドレイン電極33側ではチャネル電位を上げる方向、すなわち電圧Vdhに収束(近似)する方向に作用するため、オン電流が増加する。なお、図16(b)において、破線は、チャネル領域における電位変化の理想値を示す。

#### 【0133】

第1の構成例に示したダブルゲート型トランジスタDGTにおいては、ソース電極32及びドレイン電極33とチャネル領域(ブロック絶縁膜34)との重なりが同一の寸法になるように均等に形成されていることにより、図16(b)に示したようなチャネル電位を下降又は上昇させる作用は、同等になって均衡しているが、本構成例に係るダブルゲート型トランジスタDGTbにおいては、ソース電極32及びドレイン電極33とチャネル領域(ブロック絶縁膜34)との重なりが異なり、ソース電極32側に比較してドレイン電極33側の重なり寸法が大きくなると、チャネル領域における電位変化が高電位側に偏ることになり、ドレイン電流Idが増加する方向に作用することになる。

#### 【0134】

このことから、図2、図3に示したような第1及び第2の実施形態に係る表示画素EMA、EMBにおいて、画素駆動回路DCA、DCBの発光駆動用トランジスタとして、図14に示したように、チャネル領域(ブロック絶縁膜34)とソース電極及びドレイン電極との重なり寸法を非対称に形成した素子構造を有するダブルゲート型トランジスタを適用することにより、電圧-電流特性を向上させることができ、電子移動度が比較的低いアモルファスシリコン半導体層を用いたトランジスタ構造においても、同一のゲート電圧で、より大きなドレイン電流(発光駆動電流)を有機EL素子OELに流すことができる。

#### 【0135】

すなわち、同一のドレイン電流を流すために印加すべきゲート電圧を低く設定することができるので、ダブルゲート型トランジスタのトランジスタサイズ(特に、ゲート幅)を小さくすることができ、各表示画素の形成領域における有機EL素子の形成面積(発光領域)を相対的に増加させて、表示パネルの開口率を向上させることができるとともに、ゲート電極に高電圧が印加されることによるトランジスタ特性(電圧-電流特性)の劣化を抑制して、動作特性に優れた画素駆動回路(すなわち、表示特性に優れた表示パネル)を実現することができる。

#### 【0136】

また、本構成例に係るダブルゲート型トランジスタDGTbのトップゲート端子及びボトムゲート端子を電氣的に接続（短絡）して、第2の実施形態に係る表示画素EMB（画素駆動回路DCB）の発光駆動用トランジスタTr23に適用した場合、図10（a）、（b）に示したシミュレーションモデル（各種設定条件は、上述した第1の構成例における場合と同等）を用いて、上述した書込動作及び発光動作における電流特性を検証すると、図17に示すように、表示画素EMB（画素駆動回路DCB）への書込電流Ia（階調電流I<sub>pix</sub>）に対する、有機EL素子OELに供給される発光駆動電流（出力電流）Ibの電流値の関係は、ダブルゲート型トランジスタTr23に適用される素子構造（図14）のソース電極32及びドレイン電極33とブロック絶縁膜34との重なり寸法を非対称に設定した場合の方が、重なり寸法を同一に設定した場合（図6（a）に示した素子構造）に比較して、書込電流Iaに対する出力電流Ibの電流値が線形性を示す理想的な電流特性（特性線S<sub>ri</sub>）により近似するとともに、非線形性がさらに改善されるシミュレーション結果が得られた。

10

## 【0137】

なお、図17において、P<sub>sma</sub>は、ソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が同一になるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加していない状態（V<sub>gt</sub> = 0 V）における電流特性を示す特性線であり、P<sub>smb</sub>は、ソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が同一になるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加した状態（V<sub>gt</sub> = 30 V）における電流特性を示す特性線であり、P<sub>df</sub>は、本構成例に係るソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が異なるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加した状態（V<sub>gt</sub> = 30 V）における電流特性を示す特性線である。

20

## 【0138】

また、この場合、図18に示すように、書込電流Iaに対する書込率の関係（書込特性）も、ソース電極32及びドレイン電極33とブロック絶縁膜34との重なり寸法を非対称に設定した場合の方が、書込率が顕著に上昇する傾向を示すシミュレーション結果が得られた。

## 【0139】

なお、図18において、Q<sub>sma</sub>は、ソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が同一になるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加していない状態（V<sub>gt</sub> = 0 V）における書込特性を示す特性線であり、Q<sub>smb</sub>は、ソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が同一になるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加した状態（V<sub>gt</sub> = 30 V）における書込特性を示す特性線であり、Q<sub>df</sub>は、本構成例に係るソース電極及びドレイン電極とブロック絶縁膜との重なり寸法が異なるように形成した素子構造を有するダブルゲート型トランジスタにおいて、トップゲート電圧を印加した状態（V<sub>gt</sub> = 30 V）における書込特性を示す特性線である。

30

## 【0140】

このように、本構成例に係るダブルゲート型トランジスタを、第2の実施形態に示したような表示画素EMB（電流印加方式に対応した画素駆動回路DCB）に適用することにより、上述したような電圧 - 電流特性の改善に伴って、ダブルゲート型トランジスタのゲート幅を小さくして表示パネルの開口率を向上することができ、また、ゲート電圧を低電圧化してトランジスタ特性の劣化や消費電力を抑制することができるとともに、電流特性及び書込特性の顕著な改善に伴って、書込電流に対する出力電流の線形性、及び、書込電流に対する書込率を顕著に向上させることができるので、画像情報を適切な輝度階調で表示することができ、表示画質がさらに優れた画像表示装置を実現することができる。

40

## 【0141】

図19は、本構成例に係るダブルゲート型トランジスタの素子構造の他の構成例と、当該ダブルゲート型トランジスタを、電流印加方式に対応した画素駆動回路（表示画素）に

50

適用した場合の他の回路構成例を示す図である。ここで、上述したダブルゲート型トランジスタの素子構造（図１４）及び表示画素（画素駆動回路；図３）と同等の構成については同一の符号を付してその説明を簡略化する。

#### 【０１４２】

上述した第２の構成例に係るダブルゲート型トランジスタＤＧＴｂにおいては、図１４に示したように、ソース電極３２とブロック絶縁膜３４との重なり寸法 $OL_s$ に対して、ドレイン電極３３とブロック絶縁膜３４との重なり寸法 $OL_d$ を大きく設定し、かつ、ドレイン電極３３（ドレイン端子Ｄ）に高電位電圧が、また、ソース電極３２（ソース端子Ｓ）に低電位電圧が印加されたバイアス状態に設定することにより、ソース電極３２を介して有機ＥＬ素子（発光素子）ＯＥＬに流れる発光駆動電流 $I_b$ （ドレイン電流 $I_d$ ）を増加させることができる（電圧－電流特性を向上させることができる）ことについて説明したが、ドレイン電極３３（ドレイン端子Ｄ）及びソース電極３２（ソース端子Ｓ）が印加されるバイアス電圧の関係が逆極性に設定されている場合には、図１９（ａ）に示すように、ドレイン電極側の重なり寸法 $OL_d$ をソース電極側の重なり寸法 $OL_s$ よりも小さく設定した素子構造を有するダブルゲート型トランジスタＤＧＴｃを適用することができる。

10

#### 【０１４３】

なお、このように、ソース電極３２（ソース端子Ｓ）に高電位電圧が、また、ドレイン電極３３（ドレイン端子Ｄ）に低電位電圧が印加されたバイアス状態で、有機ＥＬ素子（発光素子）ＯＥＬに負の発光駆動電流（ドレイン電流）を供給する（引き抜く）素子構造を有するダブルゲート型トランジスタＤＧＴｃは、例えば、図１９（ｂ）に示すように、ゲート端子が走査ラインＳＬに、ソース端子及びドレイン端子がデータラインＤＬ及び接点Ｎ４１に各々接続された薄膜トランジスタＴｒ４２と、ゲート端子が走査ラインＳＬに、ソース端子及びドレイン端子が接点Ｎ４１及び接点Ｎ４２に各々接続された薄膜トランジスタＴｒ４１と、ゲート端子が接点Ｎ４２に、ドレイン端子が電源ラインＶＬに接続されるとともに、ソース端子が接点Ｎ４１に各々接続されたダブルゲート型トランジスタＴｒ４３（本構成例に係るダブルゲート型トランジスタＤＧＴｃに相当する）と、接点Ｎ４２及び電源ラインＶＬ間に接続されたコンデンサＣ４１と、を備えた画素駆動回路ＤＣＣ、及び、該画素駆動回路ＤＣＣの接点Ｎ４２にカソード端子が接続され、アノード端子が接地電位に接続された有機ＥＬ素子（発光素子）ＯＥＬを有して構成される表示画素ＥＭＣに良好に適用することができる。ここで、ダブルゲート型トランジスタＴｒ４３は、トップゲート端子ＴＧ及びボトムゲート端子ＢＧが電氣的に短絡するように接続されている。

20

30

#### 【０１４４】

このような表示画素ＥＭＣ（画素駆動回路ＤＣＣ）においては、上述したデータトランジスタ１３０からの階調信号電流 $I_{pix}$ の書込動作時には、図４（ａ）に示した動作状態とは逆に、データラインＤＬ側から画素駆動回路ＤＣＣ（薄膜トランジスタＴｒ４２、接点Ｎ４１、ダブルゲート型トランジスタＴｒ４３）を介して電源ラインＶＬ方向に、書込電流 $I_a$ が流れる。一方、表示画素ＥＭＣにおける発光動作時には、図４（ｂ）に示した動作状態とは逆に、有機ＥＬ素子ＯＥＬ側から画素駆動回路ＤＣＣ（接点Ｎ４１、ダブルゲート型トランジスタＴｒ４３）を介して電源ラインＶＬ方向に、発光駆動電流 $I_b$ が流れる。

40

#### 【０１４５】

この場合においても、図１９（ａ）に示したような、ソース電極及びドレイン電極とブロック絶縁膜（チャネル領域）との重なり寸法が異なる素子構造を有するダブルゲート型トランジスタを、発光駆動用トランジスタとして適用することにより、上述した場合と同様に、電圧－電流特性を改善して、当該ダブルゲート型トランジスタのトランジスタサイズ（ゲート幅）を小さくすることができるので、表示パネル１１０の開口率を向上させることができ、また、ゲート電圧を低電圧化してトランジスタ特性の劣化や消費電力を抑制することができるとともに、電流特性及び書込特性を顕著に改善して、表示画質に優れた

50

画像表示装置を実現することができる。

【 0 1 4 6 】

このように、本構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示したような表示画素 E M B ( 電流印加方式に対応した画素駆動回路 D C B ) に適用することにより、上述したような電圧 - 電流特性の改善に伴って、ダブルゲート型トランジスタのゲート幅を小さくして開口率を向上することができ、また、ゲート電圧を低電圧化してトランジスタ特性の劣化や消費電力を抑制することができるとともに、電流特性及び書込特性の改善に伴って、書込電流に対する出力電流の線形性、及び、書込電流に対する書込率を向上させることができるので、画像情報を適切な輝度階調で表示することができ、表示画質に優れた画像表示装置を実現することができる。

10

【 0 1 4 7 】

< 第 3 の構成例 >

次いで、本発明に係る画素駆動回路に適用されるダブルゲート型トランジスタの素子構造の第 3 の構成例について図面を参照して説明する。

図 2 0 は、本発明に係る画素駆動回路の発光駆動用トランジスタに適用されるダブルゲート型トランジスタの素子構造の第 3 の構成例を示す断面構成図である。また、図 2 1 は、本構成例に係るダブルゲート型トランジスタを、上述した各実施形態に係る表示画素 ( 画素駆動回路 ) に適用した場合の素子構造の一例を示す概略構成図である。なお、図 2 1 においては、図示の都合上、図 7 ( a ) に示した平面構成図のトップゲート電極を 2 点鎖線で表し、図 2 1 ( b )、( c ) に示した断面構成図のハッチングを一部省略した。また、上述した各実施形態と同等の構成については、同一の符号を付してその説明を簡略化する。

20

【 0 1 4 8 】

上述した第 1 及び第 2 の構成例に係るダブルゲート型トランジスタ D G T、D G T a ~ D G T c においては、半導体層 3 1 上にブロック絶縁膜 3 4 を介して、当該ブロック絶縁膜 3 4 上にソース電極 3 2 及びドレイン電極 3 3 が延在して形成された素子構造を示したが、本構成例に係るダブルゲート型トランジスタ D G T d においては、図 2 0 ( a ) に示すように、半導体層 ( チャネル領域 ) 3 1 の両端領域に、該半導体層 3 1 上に直接形成された n <sup>+</sup> シリコンからなる不純物層 ( オーミックコンタクト層 ) 3 7、3 8 を介して、ソース電極 3 2 ( ソース端子 S ) 及びドレイン電極 3 3 ( ドレイン端子 D ) が形成された素子構造を有している。すなわち、図 6 ( a ) に示した第 1 の構成例に係るダブルゲート型トランジスタの素子構造において、半導体層 3 1 上に形成されたブロック絶縁膜 3 4 を除いた構成を有している。

30

【 0 1 4 9 】

そして、このような構成を有するダブルゲート型トランジスタ D G T d を、上述したような表示画素 E M A、E M B の画素駆動回路 D C A ( 図 2 参照 )、D C B ( 図 3 参照 ) に適用する場合にあっては、トップゲート電極 E L t ( トップゲート端子 T G ) とボトムゲート電極 E L b ( ボトムゲート端子 B G ) とが電氣的に接続 ( 短絡 ) された構成を有していることから、上述した第 1 の構成例に係るダブルゲート型トランジスタ D G T と同様に、例えば、図 2 1 ( a )、( c ) に示すように、ダブルゲート型トランジスタ D G T d の形成領域近傍に設けられたコンタクト領域 R cnt において、延在して形成されたトップゲート電極 E L t がトップゲート絶縁膜 3 5 及びボトムゲート絶縁膜 3 6 を貫通して形成された開口部 ( コンタクトホール ) を介して、延在して形成されたボトムゲート電極 E L b に電氣的に接続されるように構成されている。

40

【 0 1 5 0 】

また、画素駆動回路 D C A ( 図 2 参照 )、D C B ( 図 3 参照 ) において、ゲート - ソース間に接続されるコンデンサ C 1 1、C 1 2 は、例えば、図 2 1 ( a )、( b ) に示すように、ダブルゲート型トランジスタ D G T d の形成領域近傍に設けられた容量領域 R G c において、各々延在して形成されたトップゲート電極 E L t 及びソース電極 3 2 がトップゲート絶縁膜 3 5 を介して対向することにより容量成分 C a が形成され、また、各々延在

50

して形成されたボトムゲート電極 E L b 及びソース電極 3 2 がボトムゲート絶縁膜 3 6 を介して対向することにより、容量成分 C b が形成される。そして、これらの容量成分 C a、C b の総和が各コンデンサ C 1 1、C 1 2 の容量値となる。

#### 【0151】

次いで、上述したような素子構造及び接続構造を有するダブルゲート型トランジスタの素子特性について説明する。

図 2 2 は、本構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に独立した状態における電圧 - 電流特性を示す図（シミュレーション結果）であり、図 2 3 は、本構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に接続（短絡）した状態における電圧 - 電流特性を示す図（シミュレーション結果）である。

10

#### 【0152】

まず、上述したダブルゲート型トランジスタ D G T において、トップゲート端子とボトムゲート端子とを電氣的に独立した状態における、ボトムゲート電圧 V g b に対するドレイン電流（オン電流）I d の変化傾向（電圧 - 電流特性）について検証すると、図 2 2（a）、（b）に示すように、ボトムゲート電圧 V g b に対するドレイン電流 I d の変化傾向は、ソース - ドレイン端子間の電位差（すなわち、バイアス電圧）V d s が比較的大きい場合（V d s = 2 0 V）であっても、また、比較的小さい場合（V d s = 0 . 1 V）であっても、上述した第 1 の構成例に係るダブルゲート型トランジスタの素子特性（図 8（a）、（b）参照）に比較して、トップゲート電圧 V g t に正の電圧（1 0 V、2 0 V、3 0 V）を印加した場合には、ドレイン電流 I d が増加する傾向を示し、また、トップゲート電圧 V g t に負の電圧（- 1 0 V、- 2 0 V）を印加した場合には、ドレイン電流 I d が顕著に減少する傾向を示すことが観測された。特に、トップゲート電圧 V g t に正の電圧を印加した場合には、ドレイン電流 I d が顕著に増加することが判明した。

20

#### 【0153】

これは、本構成例に係るダブルゲート型トランジスタ D G T d においては、図 6 に示したダブルゲート型トランジスタ D G T の素子構造のように、半導体層 3 1 とソース電極 3 2 及びドレイン電極 3 3 との間にブロック絶縁膜 3 4 上が介在しないため、上述した擬似的なトップゲート電極としての機能が働かず、図 2 0（b）に示すように、ソース電極 3 2 及びドレイン電極 3 3 が延在して形成されていない領域の半導体層 3 1 においてのみ、チャネル領域 R c h が形成されて、トップゲート電極 E L t に印加されたゲート電圧 V g t による当該チャネル領域 R c h への電界の影響が遮られることがないことによるものと考えられる。

30

#### 【0154】

また、図 2 2（a）、（b）において、ダブルゲート型トランジスタ D G T d のトップゲート電圧 V g t を 0 V に設定した場合の電圧 - 電流特性は、トップゲート電極を備えず、単一のゲート電極のみからなる一般の電界効果型トランジスタ（薄膜トランジスタ）における電圧 - 電流特性と同等と考えることができるので、当該薄膜トランジスタと、本構成例に係るダブルゲート型トランジスタ D G T d においてトップゲート端子とボトムゲート端子とを電氣的に接続した素子構造（図 2 1）と、における電圧 - 電流特性を比較すると、図 2 2 に示した場合と同様に、ソース - ドレイン端子間のバイアス電圧 V d s の大小に関わらず、ゲート電圧（ボトムゲート電圧）V g b に対するドレイン電流 I d の変化傾向は、図 2 3（a）、（b）に示すように、ダブルゲート型トランジスタ D G T におけるドレイン電流 I d の方が顕著に増加することが観測された。なお、図 2 3（a）、（b）において、Y t f t は、単一のゲート電極を備えた電界効果型トランジスタにおける電圧 - 電流特性を示す特性線であり、Y d g t は、本構成例に係るトップゲート電極とボトムゲート電極とを短絡したダブルゲート型トランジスタにおける電圧 - 電流特性を示す特性線である。

40

#### 【0155】

このことから、図 2、図 3 に示したような第 1 及び第 2 の実施形態に係る表示画素 E M A、E M B において、画素駆動回路 D C A、D C B の発光駆動用トランジスタとして、図

50

21に示したようなトップゲート電極 $E_{Lt}$ とボトムゲート電極 $E_{Lb}$ とを短絡した素子構造を有するダブルゲート型トランジスタ $DGTd$ を適用することにより、電子移動度が比較的低いアモルファスシリコン半導体層を用いたトランジスタ構造においても、同一のゲート電圧で、より大きなドレイン電流（発光駆動電流）を有機 $EL$ 素子 $OEL$ に流すことができる。

【0156】

したがって、電圧印加方式及び電流印加方式のいずれの駆動制御方法に対応した画素駆動回路においても、同一のドレイン電流（発光駆動電流）を流すために、ダブルゲート型トランジスタのトランジスタサイズ（特に、ゲート幅）を小さくすることができるので、各表示画素における有機 $EL$ 素子の形成面積（発光領域）を相対的に増やすことができ、表示パネルの開口率を向上させることができる。

10

【0157】

また、同一のドレイン電流を流すために、ダブルゲート型トランジスタのゲート電圧を低く設定することができるので、トランジスタ特性（電圧 - 電流特性）の劣化を抑制して、動作特性に優れた画素駆動回路（すなわち、表示特性に優れた表示パネル）を実現することができるとともに、画像表示動作に伴う消費電力を抑制することができる。

【0158】

さらに、本構成例に係るダブルゲート型トランジスタにおいては、ソース - ドレイン端子間の電位差（バイアス電圧） $V_{ds}$ が比較的小さい場合であっても、ドレイン電流 $I_d$ が顕著に増加する傾向を示すことから、画素駆動回路 $DCA$ や $DCB$ において、発光駆動用トランジスタのような、バイアス電圧が大きい飽和動作領域で動作する場合のみならず、バイアス電圧が比較的小さい線形動作領域で動作する場合においても、ドレイン電流 $I_d$ を増加させることができるので、例えば、画素駆動回路 $DCA$ や $DCB$ を構成する薄膜トランジスタ $Tr11$ や、薄膜トランジスタ $Tr21$ 、 $Tr22$ 等の、発光駆動用トランジスタ以外の薄膜トランジスタにも良好に適用することができ、これらの薄膜トランジスタのトランジスタサイズ（ゲート幅）を縮小して、表示パネルの開口率を一層向上させることができる。

20

【0159】

なお、上述した各実施形態においては、画素駆動回路における発光素子に発光駆動電流を流すダブルゲート型トランジスタの、トップゲート端子とボトムゲート端子とが短絡される構成としたが、これに限るものではなく、例えば、トップゲート端子にボトムゲート端子とは異なる電圧を印加するようにしてもよい。この場合、例えばトップゲート端子にボトムゲート端子より高い電圧を印加することにより、トップゲート端子とボトムゲート端子とを短絡した場合に比較して、電圧 - 電流特性（ゲート電圧に対するドレイン電流）を更に改善して、同一のゲート電圧で、より大きな発光駆動電流を流すことができ、また、同一の発光駆動電流を流すためのスイッチング素子の素子サイズを更に小さくすることができる。

30

【図面の簡単な説明】

【0160】

【図1】本発明に係る表示装置の全体構成の一例を示すブロック図である。

40

【図2】本発明に係る画素駆動回路を備えた表示画素の第1の実施形態を示す回路構成図である。

【図3】本発明に係る画素駆動回路を備えた表示画素の第2の実施形態を示す回路構成図である。

【図4】第2の実施形態に係る表示画素（画素駆動回路）の動作状態を示す概念図である。

【図5】第2の実施形態に係る画素駆動回路を適用した表示画素の基本動作を示すタイミングチャートである。

【図6】本発明に係る画素駆動回路の発光駆動用トランジスタに適用されるダブルゲート型トランジスタの素子構造の第1の構成例を示す断面構成図及び回路図である。

50

【図 7】第 1 の構成例に係るダブルゲート型トランジスタを、上述した各実施形態に係る表示画素（画素駆動回路）に適用した場合の素子構造の一例を示す概略構成図である。

【図 8】第 1 の構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に独立した状態における電圧 - 電流特性を示す図（シミュレーション結果）である。

【図 9】第 1 の構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に接続（短絡）した状態における電圧 - 電流特性を示す図（シミュレーション結果）である。

【図 10】第 2 の実施形態に示した画素駆動回路におけるダブルゲート型トランジスタの書込動作を検証するためのシミュレーションモデル（簡略化した等価回路）を示す回路図である。

10

【図 11】第 1 の構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における階調信号電流（入力電流）と発光駆動電流（出力電流）の関係（電流特性）を示す特性図（シミュレーション結果）である。

【図 12】第 1 の構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における階調信号電流（入力電流）と当該画素駆動回路への書込率との関係を示す特性図（シミュレーション結果）である。

【図 13】第 1 の構成例に係るダブルゲート型トランジスタの素子構造の他の構成例を示す断面構成図である。

【図 14】本発明に係る画素駆動回路の発光駆動用トランジスタに適用されるダブルゲート型トランジスタの素子構造の第 2 の構成例を示す断面構成図及び回路図である。

20

【図 15】第 2 の構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に独立した状態における電圧 - 電流特性を示す図（シミュレーション結果）である。

【図 16】第 2 の構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における電圧 - 電流特性を説明するためのである。

【図 17】第 2 の構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における階調信号電流（入力電流）と発光駆動電流（出力電流）の関係（電流特性）を示す特性図（シミュレーション結果）である。

【図 18】第 2 の構成例に係るダブルゲート型トランジスタを、第 2 の実施形態に示した画素駆動回路に適用した場合における階調信号電流（入力電流）と当該画素駆動回路への書込率との関係を示す特性図（シミュレーション結果）である。

30

【図 19】第 2 の構成例に係るダブルゲート型トランジスタの素子構造の他の構成例と、当該ダブルゲート型トランジスタを、電流印加方式に対応した画素駆動回路（表示画素）に適用した場合の他の回路構成例を示す図である。

【図 20】本発明に係る画素駆動回路の発光駆動用トランジスタに適用されるダブルゲート型トランジスタの素子構造の第 3 の構成例を示す断面構成図及び回路図である。

【図 21】第 3 の構成例に係るダブルゲート型トランジスタを、上述した各実施形態に係る表示画素（画素駆動回路）に適用した場合の素子構造の一例を示す概略構成図である。

【図 22】第 3 の構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に独立した状態における電圧 - 電流特性を示す図（シミュレーション結果）である。

40

【図 23】第 3 の構成例に係るダブルゲート型トランジスタにおいて、トップゲート端子とボトムゲート端子とを電氣的に接続（短絡）した状態における電圧 - 電流特性を示す図（シミュレーション結果）である。

【図 24】従来技術における発光素子型ディスプレイの要部を示す概略構成図である。

【図 25】従来技術における発光素子型ディスプレイに適用可能な各表示画素（画素駆動回路及び発光素子）の要部構成例を示す等価回路図である。

【符号の説明】

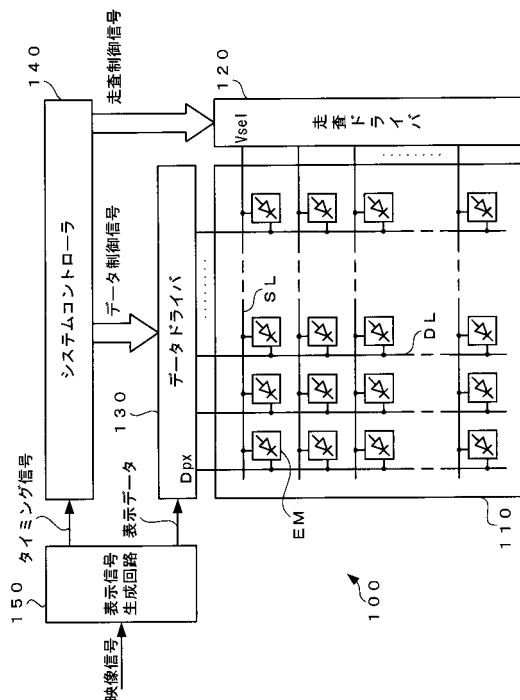
【0161】

50

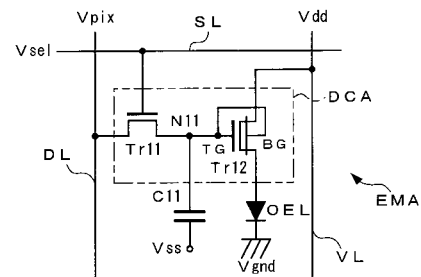
100	表示装置
110	表示パネル
120	走査ドライバ
130	データドライバ
SL	走査ライン
DL	データライン
EM、EMA～EMC	表示画素
DCA～DCC	画素駆動回路
DGT、DGTa～DGTd	ダブルゲート型トランジスタ
OEL	有機EL素子

10

【図1】



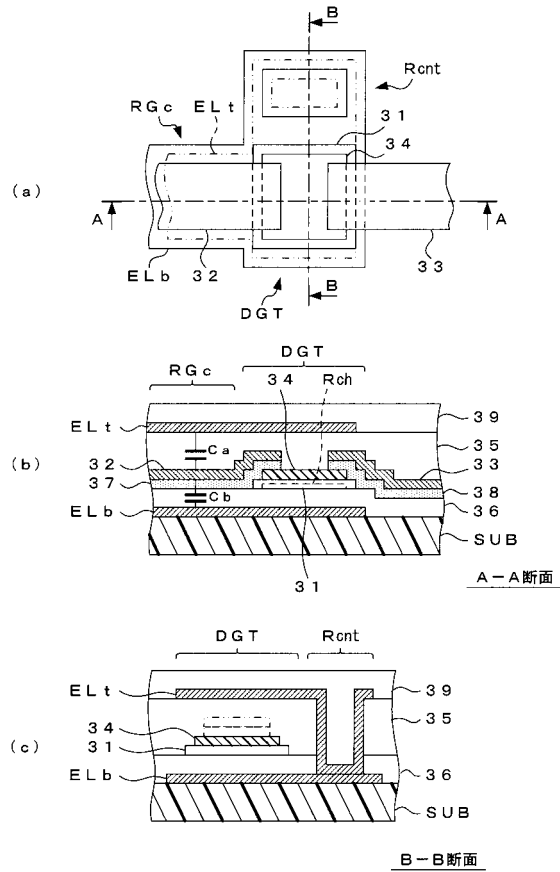
【図2】



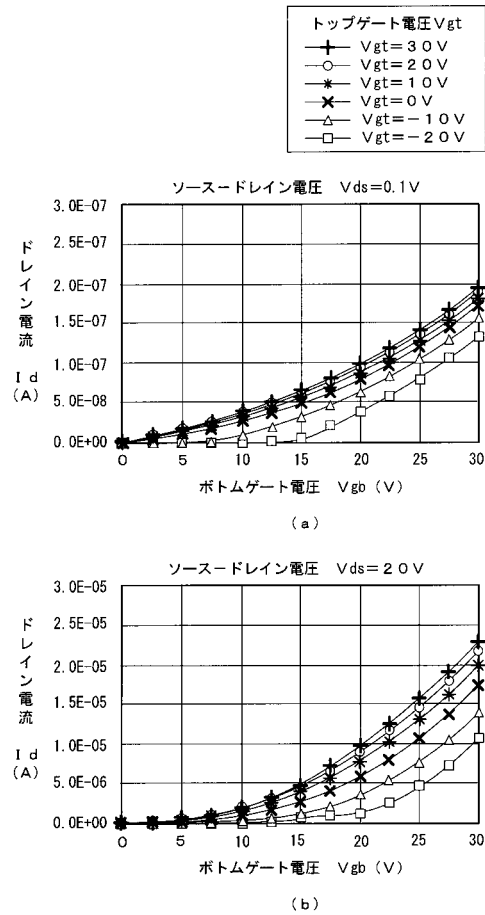




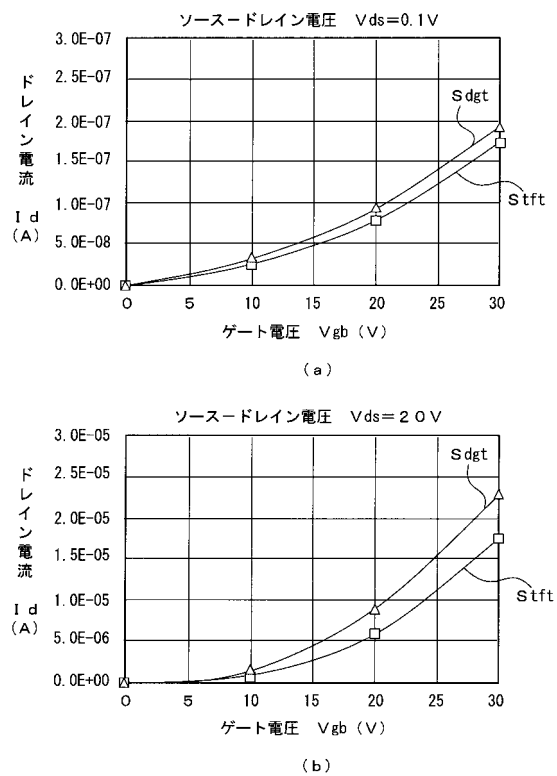
【図 7】



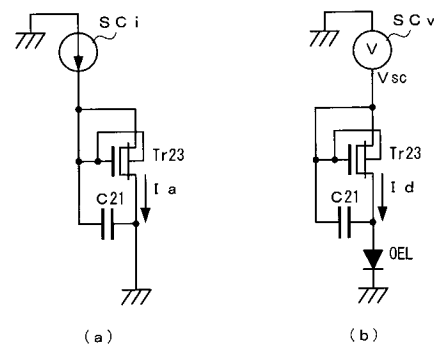
【図 8】



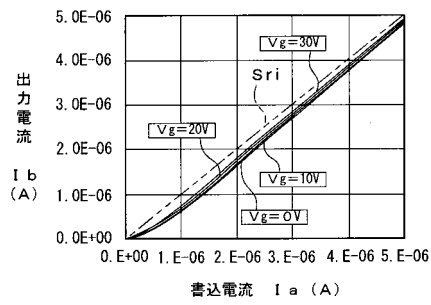
【図 9】



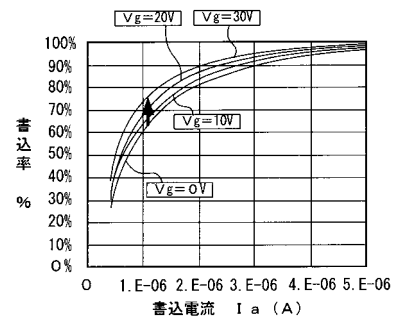
【図 10】



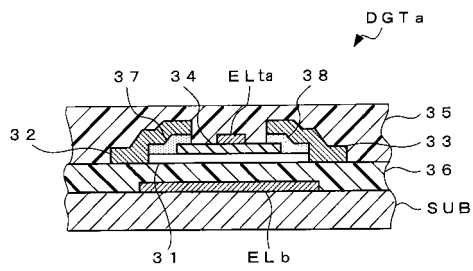
【図 1 1】



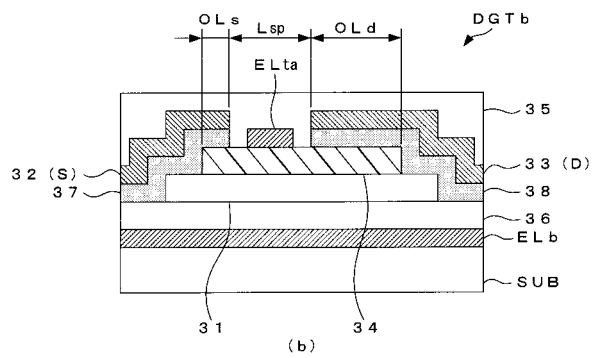
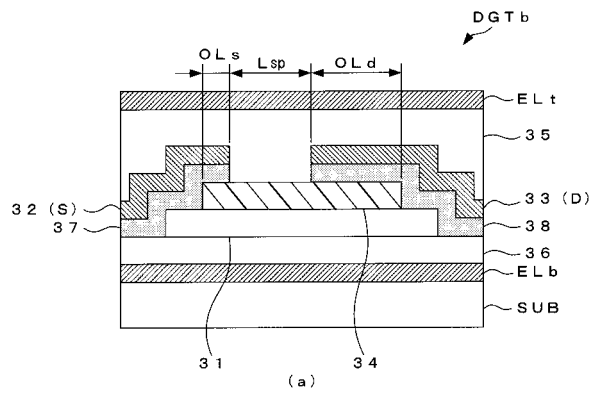
【図 1 2】



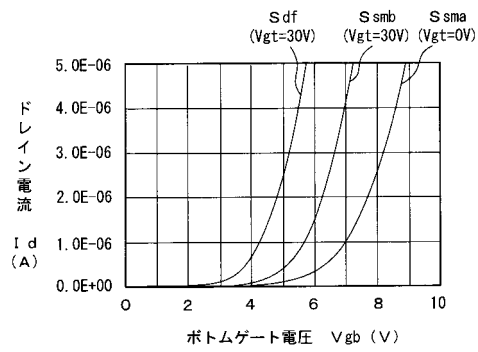
【図 1 3】



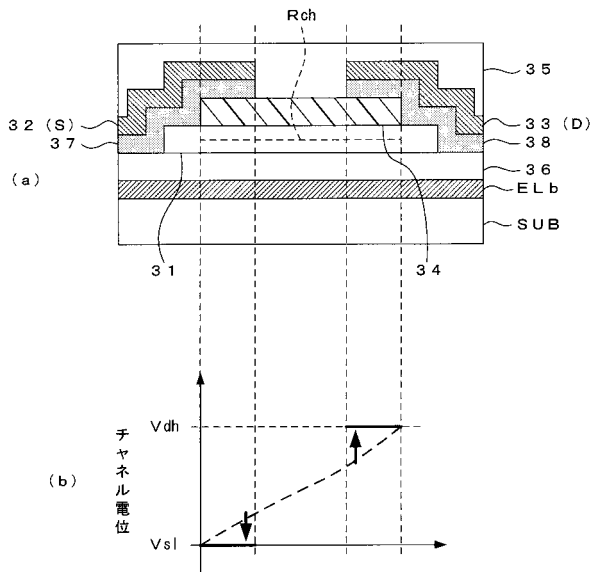
【図 1 4】



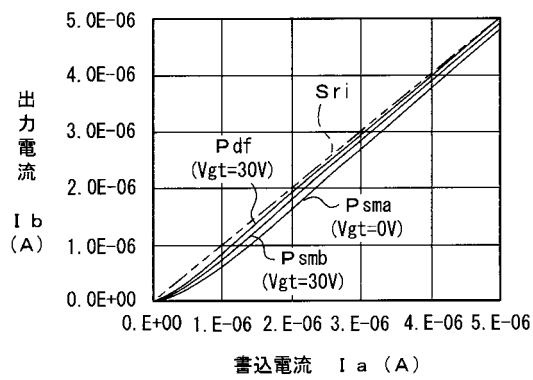
【図 15】



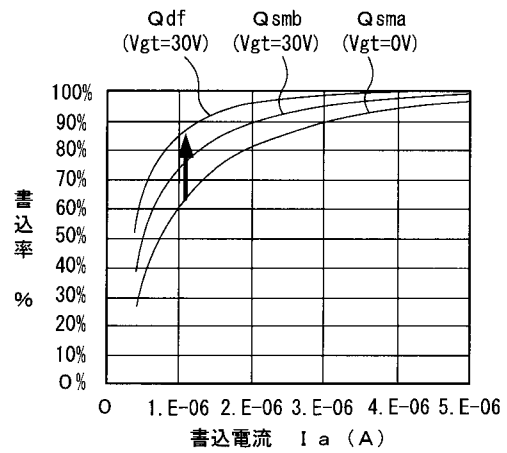
【図 16】



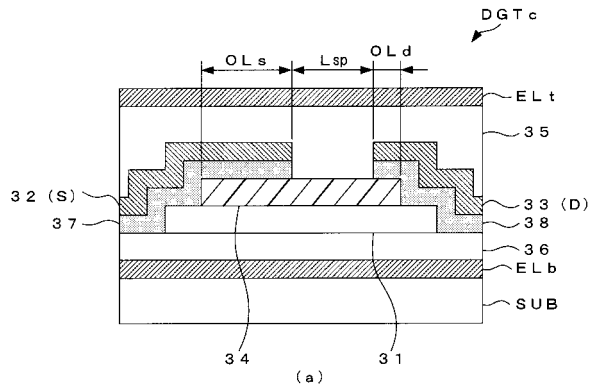
【図 17】



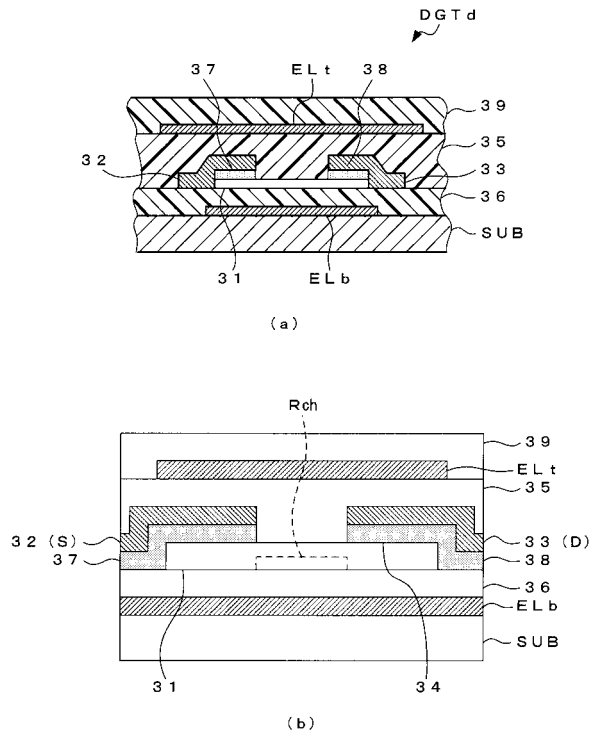
【図 18】



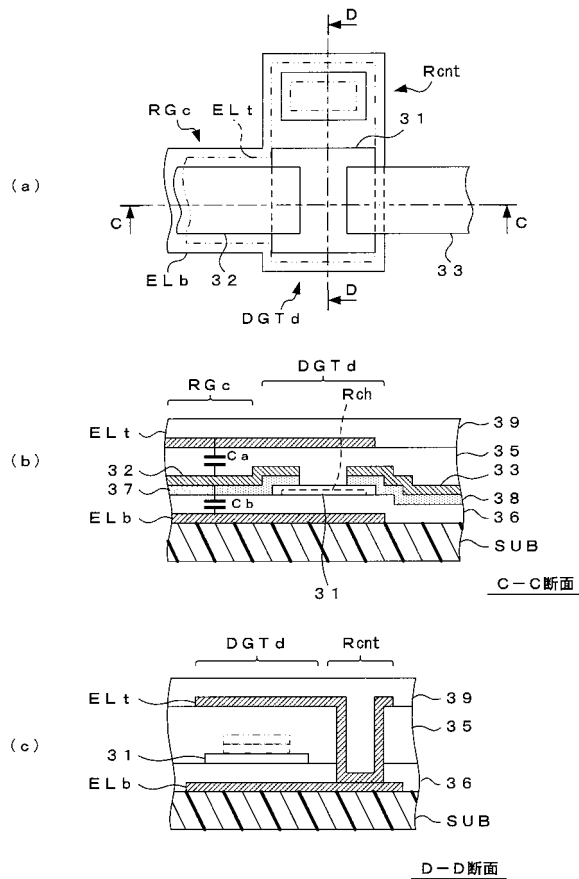
【図 19】



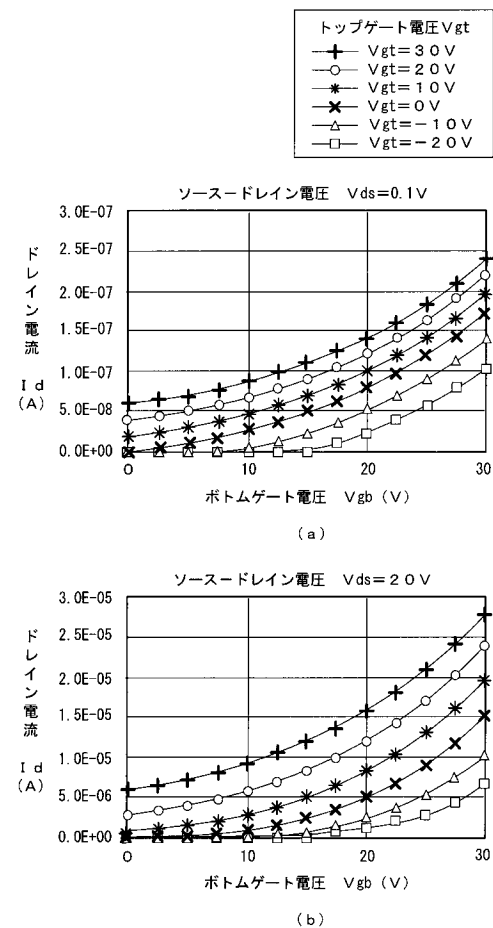
【図 20】



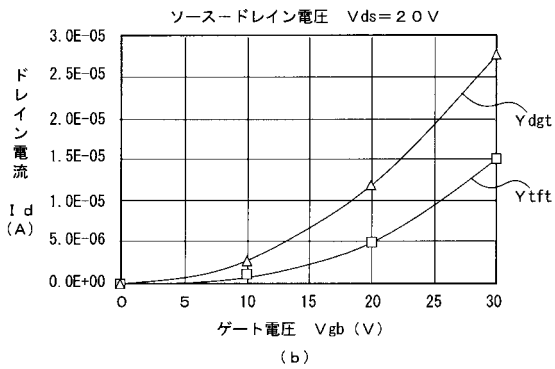
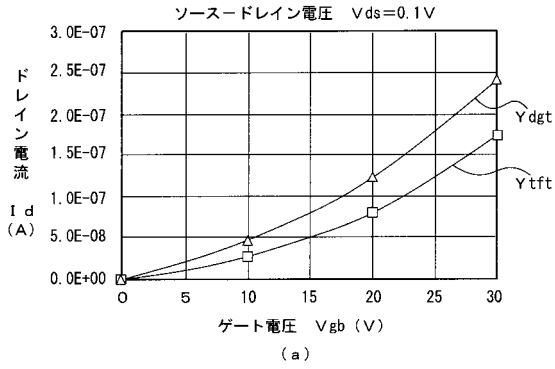
【図 21】



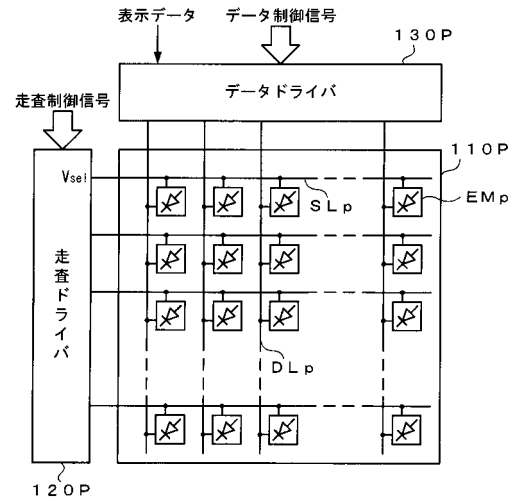
【図 22】



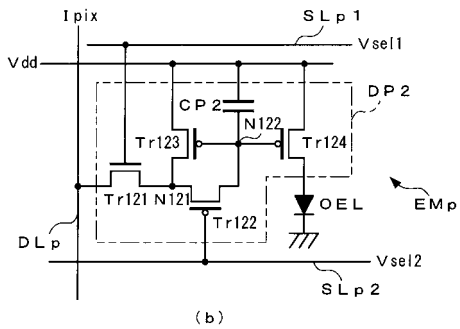
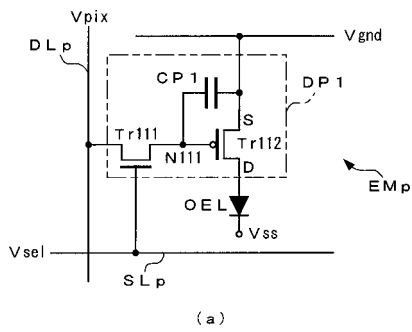
【図 23】



【図 24】



【図 25】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 5 B 33/14 A

(72)発明者 武居 学  
東京都八王子市石川町2 9 5 1 番地の5 カシオ計算機株式会社 八王子技  
術センター内

審査官 武田 悟

(56)参考文献 特開2 0 0 3 - 2 3 1 6 1 ( J P , A )  
特開2 0 0 3 - 1 9 5 8 1 0 ( J P , A )  
特開2 0 0 4 - 9 6 1 0 0 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
H 0 1 L 5 1 / 5 0

专利名称(译)	像素驱动电路和图像显示装置		
公开(公告)号	<a href="#">JP5152448B2</a>	公开(公告)日	2013-02-27
申请号	JP2004273206	申请日	2004-09-21
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	白寄友之 山口郁博 武居学		
发明人	白寄 友之 山口 郁博 武居 学		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0842 G09G2300/0861 G09G2330/021		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.C G09G3/20.641.D G09G3/20.680.H H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB12 3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/CC36 3K107/CC45 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD28 5C080/EE29 5C080/FF01 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AC07 5C380/AC08 5C380/BA01 5C380/BA05 5C380/BA11 5C380/BA29 5C380/BB22 5C380/BD05 5C380/BD09 5C380/BD10 5C380/BD16 5C380/CA04 5C380/CA12 5C380/CA13 5C380/CA32 5C380/CA34 5C380/CB01 5C380/CB14 5C380/CB16 5C380/CB33 5C380/CC02 5C380/CC13 5C380/CC14 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC72 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CE17 5C380/CE19 5C380/CE21 5C380/CF07 5C380/CF09 5C380/CF20 5C380/CF22 5C380/CF24 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA35		
审查员(译)	武田 悟		
其他公开文献	JP2006091089A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：通过简化制造工艺并提高产量，孔径比和可靠性，提供具有优异显示质量的像素驱动电路和图像显示装置。

ŽSOLUTION：在显示像素EMA中，像素驱动电路DCA包括；薄膜晶体管Tr11，其中栅极端子连接到扫描线SL，源极端子和漏极端子分别连接到数据线DL和连接点N11；双栅极型晶体管Tr12，其中顶栅极端子TG和底栅极端子BG连接到连接点N11，源极端子S连接到电源线VL；连接点N11和预定低压电源Vss之间连接的电容器C11，以及其中阳极端子连接到像素驱动电路DCA的双栅极型晶体管Tr12的漏极端子的有机光电元件OEL和阴极端子连接到地电位，设置在扫描线SL和数据线DL的各个交叉点附近。 Ž



