

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4191146号  
(P4191146)

(45) 発行日 平成20年12月3日(2008.12.3)

(24) 登録日 平成20年9月26日(2008.9.26)

(51) Int.Cl.	F 1
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/30 H
H01L 29/786 (2006.01)	G09G 3/20 6 1 1 A
H01L 51/50 (2006.01)	G09G 3/20 6 1 1 H
	G09G 3/20 6 2 4 B

請求項の数 12 (全 18 頁) 最終頁に続く

(21) 出願番号	特願2005-17601 (P2005-17601)	(73) 特許権者	590002817 三星エスディアイ株式会社 大韓民国京畿道水原市靈通区▲しん▼洞5 75番地
(22) 出願日	平成17年1月26日(2005.1.26)	(74) 代理人	100083806 弁理士 三好 秀和
(65) 公開番号	特開2005-258415 (P2005-258415A)	(74) 代理人	100095500 弁理士 伊藤 正和
(43) 公開日	平成17年9月22日(2005.9.22)	(72) 発明者	金 陽 完 大韓民国京畿道水原市靈通区▲辛▼洞5 7 5番地
審査請求日	平成17年1月26日(2005.1.26)	(72) 発明者	郭 源 奎 大韓民国京畿道水原市靈通区▲辛▼洞5 7 5番地
(31) 優先権主張番号	2004-015858		
(32) 優先日	平成16年3月9日(2004.3.9)		
(33) 優先権主張国	韓国(KR)		

最終頁に続く

(54) 【発明の名称】発光表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

選択信号を伝達する第1走査線及び第2走査線を含む複数の走査線と、前記走査線に絶縁して交差し、データ信号を伝達する複数のデータ線と、前記走査線及び前記データ線に各々連結される複数の画素回路とを含む発光表示装置において、

前記画素回路は、

前記データ線に直列に連結される第1及び第2スイッチング素子と、

前記第1及び第2スイッチング素子を通じて前記データ線から伝達されるデータ信号に対応する電圧を充電する保存素子と、

前記保存素子に充電された電圧に対応する電流を出力する第1トランジスタと、

前記第1トランジスタから出力される電流に対応する光を発光する発光素子と、

前記発光素子と前記第1トランジスタとの間に連結されて、前記第1トランジスタから出力される電流を遮断する第3スイッチング素子とを含み、

前記第1走査線に連結された画素回路の前記第3スイッチング素子は、前記第1走査線に連結された画素回路の動作を制御する第1制御信号に応答して作動し、前記第1走査線に連結された画素回路の前記第1及び第2スイッチング素子のうちのいずれか一つは、前記第1走査線からの選択信号に応答してターンオンされ、残りの一つは、前記第2走査線に連結された画素回路の動作を制御する第2制御信号に応答してターンオンされる、ことを特徴とする発光表示装置。

## 【請求項 2】

10

20

前記第1制御信号は、前記第1走査線から選択信号が印加される間に前記第3スイッチング素子を遮断する、ことを特徴とする請求項1に記載の発光表示装置。

【請求項3】

前記第3スイッチング素子は、前記第1及び第2スイッチング素子のうちで前記第2制御信号に応答してターンオンされるスイッチング素子と互いに異なるタイプのチャンネルを有する、ことを特徴とする請求項1に記載の発光表示装置。

【請求項4】

前記保存素子は、前記第1トランジスタのしきい値電圧に対応する電圧を充電する第1キャパシタと、

前記第1キャパシタと直列に連結される第2キャパシタと、

を含む、ことを特徴とする請求項1に記載の発光表示装置。

10

【請求項5】

前記第1及び第2キャパシタは、前記第1トランジスタのゲートとソースとの間に電気的に連結(接続)され、

前記画素回路は、

第3制御信号に応答して前記第1トランジスタをダイオード連結させる第4スイッチング素子と、

前記第2キャパシタと並列に連結されて、前記第3制御信号に応答してターンオンされる第5スイッチング素子と、

をさらに含む、ことを特徴とする請求項4に記載の発光表示装置。

20

【請求項6】

前記第3制御信号は、前記第1走査線に隣接した第3走査線からの選択信号である、ことを特徴とする請求項5に記載の発光表示装置。

【請求項7】

前記第1制御信号は、前記第1走査線及び前記第3走査線から選択信号が印加される間に前記第3スイッチング素子を遮断する、ことを特徴とする請求項6に記載の発光表示装置。

【請求項8】

選択信号を伝達する複数の走査線と、データ信号を伝達する複数のデータ線と、前記走査線及び前記データ線に連結される複数の画素回路とを含む発光表示装置において、

30

前記画素回路は、

印加される電流に対応して発光する発光素子と、

第1電極、前記第1電極に電気的に連結(接続)される第2電極、及び第3電極を備え、前記第1電極と前記第2電極との間に印加される電圧に対応する電流を前記第3電極に出力する第1トランジスタと、

前記第3電極に電気的に連結(接続)され、第1制御信号に応答して前記第1トランジスタをダイオード連結させる第1スイッチング素子と、

一電極が前記第1トランジスタの第2電極に接続される第1キャパシタと、

前記第1電極と前記第1キャパシタの他電極との間に接続される第2キャパシタと、

前記第1制御信号に応答してターンオンされ、電源と前記第1キャパシタの他電極とを電気的に連結(接続)する第2スイッチング素子と、

40

第2制御信号に応答して、前記データ線に印加されるデータ信号を伝達する第2トランジスタと、

前記走査線の選択信号に応答して、前記第2トランジスタによって伝達されたデータ信号を前記第1キャパシタの他電極に印加する第3トランジスタと、

第3制御信号に応答して前記発光素子に印加される電流を遮断する第3スイッチング素子と、

を含む、ことを特徴とする発光表示装置。

【請求項9】

前記第2制御信号は、前記画素回路に隣接した画素回路の発光制御線の信号である、こ

50

とを特徴とする請求項 8 に記載の発光表示装置。

【請求項 10】

前記第3制御信号は、前記走査線及び前記画素回路に隣接した画素回路の走査線から選択信号が印加される間に前記第3スイッチング素子を遮断する、ことを特徴とする請求項8に記載の発光表示装置。

【請求項 11】

前記第3スイッチング素子は、前記第2トランジスタと互いに異なるタイプのチャンネルを有する、ことを特徴とする請求項8に記載の発光表示装置。

【請求項 12】

前記第2制御信号は、前記画素回路に隣接した他の画素回路の第3制御信号である、ことを特徴とする請求項8乃至11のうちのいずれか一つに記載の発光表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光表示装置に係り、特に、有機物質の電界発光（以下、“有機EL”とする）を利用した有機EL表示装置に関するものである。

【背景技術】

【0002】

一般に、有機EL表示装置は、蛍光性有機化合物を電気的に励起させて発光する表示装置であって、行列形態に配列された  $N \times M$  個の有機発光セルを電圧駆動あるいは電流駆動して画像を表現するようになっている。

20

【0003】

このような有機発光セルは、ダイオード特性を有するために有機発光ダイオード（OLED）とも呼ばれ、図9に示したように、アノード（ITO）、有機薄膜、カソード電極層（金属）の構造を有している。有機薄膜は、電子及び正孔の均衡を合わせて発光効率を向上させるために、発光層（EML）、電子輸送層（ETL）、及び正孔輸送層（HTL）を含む多層構造からなり、また、別途の電子注入層（EIL）及び正孔注入層（HIL）を含む。このような有機発光素子が  $N \times M$  個のマトリックス形態に配列されて有機EL表示パネルを形成する。

【0004】

30

このような有機EL表示パネルを駆動する方式には、単純マトリックス（passive matrix）方式と薄膜トランジスタ（以下、TFTとする）を利用した能動駆動（active matrix）方式とがある。単純マトリックス方式は、正極及び負極を直交するように形成し、制御線を選択して駆動するのに対して、能動駆動方式は、薄膜トランジスタを各ITO（indium tin oxide）画素電極に連結し、薄膜トランジスタのゲートに連結されたキャパシタ容量により維持された電圧によって駆動する方式である。

【0005】

図10は、TFTを利用した能動駆動方式を用いる一般的な有機EL表示装置を概略的に示す図である。

【0006】

40

図10に示されているように、有機EL表示装置は、有機EL表示パネル100、走査駆動部200、及びデータ駆動部300を含む。

【0007】

有機EL表示パネル100は、列方向に延びている複数のデータ線（D1 - Dm）、行方向に延びている複数の走査線（S1 - Sn）、及び複数の画素回路110を含む。データ線（D1 - Dm）は、画像を示すデータ信号を画素回路110に伝達し、走査線（S1 - Sn）は、選択信号を画素回路110に伝達する。画素回路110は、隣接した二つのデータ線（D1 - Dm）及び隣接した二つの走査線（S1 - Sn）によって定義される画素領域に形成されている。

【0008】

50

走査駆動部 200 は、走査線 (S1 - Sn) に各々選択信号を順に印加し、データ駆動部 300 は、画像信号に対応するデータ電圧をデータ線 (D1 - Dm) に印加する。

【0009】

走査駆動部 200 及び/またはデータ駆動部 300 は、表示パネル 100 に電気的に連結 (接続) されることもでき、または表示パネル 100 に接着されて電気的に連結 (接続) されているテープキャリアパッケージ (TCP) にチップなどの形態で装着されることもできる。または、表示パネル 100 に接着されて電気的に連結 (接続) されている可撓性印刷回路 (FPC) もしくはフィルムなどにチップなどの形態で装着されることもできる。これとは異なり、走査駆動部 200 及び/またはデータ駆動部 300 は、表示パネルのガラス基板上に直接装着されることもでき、またはガラス基板上に走査線、データ線、及び薄膜トランジスタと同一層に形成されている駆動回路に代替されることも、直接装着されることもできる。

10

【0010】

図 11 は、図 10 の表示パネル 100 の  $N \times M$  個の画素回路のうちの一つを代表的に示す図である。図 11 に示したように、画素回路は、有機 EL 素子 (OLED)、二つのトランジスタ (SM, DM)、及びキャパシタ (Cst) を含む。トランジスタ (SM, DM) は、PMOS 型トランジスタに形成される。

【0011】

駆動トランジスタ (DM) は、電源電圧 (VDD) にソースが連結 (接続) され、ゲートとソースとの間にキャパシタ (Cst) が連結されている。キャパシタ (Cst) は、トランジスタ (M1) のゲート - ソース電圧 (VGS) を一定の期間維持する。スイッチングトランジスタ (SM) は、現在の走査線 (Sn) からの選択信号に応答して、データ線 (Dm) からのデータ電圧をトランジスタ (DM) に伝達する。

20

【0012】

有機 EL 素子 (OLED) は、カソードが基準電圧 (Vss) に連結 (接続) されて、駆動トランジスタ (DM) を通じて印加される電流に対応する光を発光する。ここで、有機 EL 素子 (OLED) のカソードに連結される電源 VSS は、電源 Vdd より低いレベルの電圧であって、グラウンド電圧などを用いることができる。

【発明の開示】

【発明が解決しようとする課題】

30

【0013】

このような能動駆動方式の画素回路は、走査線からの選択信号に応答してデータ線からのデータ信号を伝達するスイッチングトランジスタ (SM) が必ず必要であり、このスイッチングトランジスタ (SM) を通じて漏れた電流 (leakage current) が流れて画素回路が誤動作するおそれがあるという問題点がある。したがって、スイッチングトランジスタ (SM) は、データ信号を電流漏れなく伝達することができる画素回路が切実に要求される。

【0014】

本発明の技術的課題は、二つ以上の制御信号に応答するスイッチング素子を利用してデータ信号を伝達する画素回路を含む、発光表示装置及びその駆動方法を提供することにある。

40

【課題を解決するための手段】

【0015】

前記技術的課題を達成するために、本発明の一つの特徴による発光表示装置は、選択信号を伝達する第 1 走査線及び第 2 走査線を含む複数の走査線；前記走査線に絶縁して交差し、データ信号を伝達する複数のデータ線；前記走査線及び前記データ線に各々連結される複数の画素回路；を含む発光表示装置であって、前記画素回路は、前記データ線に直列に連結される第 1 及び第 2 スイッチング素子；前記第 1 及び第 2 スイッチング素子を通じて前記データ線から伝達されるデータ信号に対応する電圧を充電する保存素子；前記保存素子に充電された電圧に対応する電流を出力する第 1 トランジスタ；及び前記第 1 トラン

50

ジスタから出力される電流に対応する光を発光する発光素子；を含み、前記第1走査線に連結された画素回路の前記第1及び第2スイッチング素子のうちのいずれか一つは、前記第1走査線からの選択信号に応答してターンオンされ、残りの一つは、第2走査線に連結された画素回路の動作を制御する第1制御信号に応答してターンオンされる。

【0016】

また、前記画素回路は、前記発光素子と前記第1トランジスタとの間に連結されて、前記第1トランジスタから出力される電流を遮断する第3スイッチング素子をさらに含み、前記第3スイッチング素子は、前記第1制御信号に応答して作動することができる。また、前記第1制御信号は、第1走査線から選択信号が印加される間に前記第3スイッチング素子を遮断することができる。前記第3スイッチング素子は、前記第1及び第2スイッチング素子のうちで前記第1制御信号に応答してターンオンされるスイッチング素子と互いに異なるタイプのチャンネルを有することができる。前記保存素子は、前記第1トランジスタの敷居電圧に対応する電圧を充電する第1キャパシタ；及び前記第1キャパシタと直列に連結される第2キャパシタ；を含むことができる。前記第1及び第2キャパシタは、前記第1トランジスタのゲートとソースとの間に電気的に連結され、前記画素回路は、第2制御信号に応答して前記第1トランジスタをダイオード連結させる第4スイッチング素子；及び前記第1キャパシタと並列に連結されて、前記第2制御信号に応答してターンオンされる第5スイッチング素子；をさらに含むことができる。前記第2制御信号は、前記第1走査線に隣接した第3走査線からの選択信号であることができる。前記第1制御信号は、前記第1走査線及び第3走査線から選択信号が印加される間に前記第3スイッチング素子を遮断することができる。

10

【0017】

本発明の他の特徴による発光表示装置は、発光素子を各々含む複数の画素領域が形成されている発光表示装置であって、前記一つの画素領域は、第1方向に延びて選択信号を伝達する第1電極；前記第1電極と実質的に同一な方向に延びて制御信号を伝達する第2電極；第2方向に延びて前記第1及び第2電極と絶縁して交差し、画像を示すデータ信号を伝達するデータ電極；及び前記第1電極及び前記画素領域と隣接した画素領域の前記第2電極に絶縁して交差し、一端が前記データ電極と接触孔を通じて連結される第1半導体層；を含み、前記データ電極と接触孔を通じて連結される第1半導体層の一端がドレーンまたはソース電極として動作し、前記第1電極及び第2電極がゲート電極として動作する第1トランジスタが少なくとも一つ存在する。

20

【0018】

また、前記第2電極に絶縁して形成され、一端が前記発光素子の一電極と接触孔を通じて連結される第2半導体層を含み、前記発光素子の一電極と接触孔を通じて連結される第2半導体層の一端がドレーン電極として動作し、前記第2電極がゲート電極として動作する第2トランジスタが存在することができる。前記画素領域と隣接した画素領域の前記第1電極及び前記第2電極は、互いに隣接して配置されることができる。前記第1半導体層及び前記第2半導体層は、互いに異なるタイプのトランジスタを形成する半導体層であることができる。前記第1トランジスタは、前記第1電極及び前記第2電極がゲート電極として動作することができる。

30

【0019】

本発明の他の特徴による発光表示装置は、選択信号を伝達する複数の走査線；データ信号を伝達する複数のデータ線；前記走査線及び前記データ線に連結される複数の画素回路；を含む発光表示装置であって、前記画素回路は、印加される電流に対応して発光する発光素子；第1電極、前記第1電極に電気的に連結される第2電極、及び前記第1スイッチング素子に電気的に連結される第3電極を備え、前記第1電極と第2電極との間に印加される電圧に対応する電流を前記第3電極に出力する第1トランジスタ；第1制御信号に応答して前記トランジスタをダイオード連結させる第1スイッチング素子；一電極が前記トランジスタの第2電極に接続される第1キャパシタ；前記第1電極と前記第1キャパシタの他電極との間に接続される第2キャパシタ；前記第1制御信号に応答してターンオンさ

40

50

れ、電源と前記第1キャパシタの他電極とを電気的に連結する第2スイッチング素子；前記走査線の選択信号に応答して、前記データ線に印加されるデータ信号を伝達する第2トランジスタ；及び前記第2制御信号に応答して、前記第2トランジスタによって伝達されたデータ信号を前記第1キャパシタの他電極に印加する第3トランジスタ；を含む。

【0020】

また、前記第2制御信号は、前記画素回路に隣接した画素回路の走査線であることができる。また、第3制御信号に応答して前記発光素子に印加される電流を遮断する第3スイッチング素子をさらに含むことができる。前記第3制御信号は、前記走査線及び前記画素回路に隣接した画素回路の走査線から選択信号が印加される間に前記第3スイッチング素子を遮断することができる。前記第3スイッチング素子は、前記第2トランジスタと互いに異なるタイプのチャンネルを有することができる。前記第2制御信号は、前記画素回路に隣接した他の画素回路の第3制御信号であることができる。10

【発明の効果】

【0021】

本発明によれば、二つのスイッチングトランジスタ（M5、M6）を直列に連結し、ゲート電極を次の発光制御線（EMIn+1）及び現在の走査線（Sn）に各々連結することにより、走査線が占める空間が減少するので、開口率が増加する。さらに、本発明によれば、現在の走査線及び次の発光制御線に各々応答するトランジスタ（M5、M6）を用いることによって、スイッチングトランジスタを通じて流れる可能性のある漏れた電流を効果的に遮断することができる。また、各画素に位置するトランジスタ（M1）の敷居電圧（Vth）が互いに異なっても、この敷居電圧（Vth）の偏差がキャパシタ（Cvt）によって補償されるので、有機EL素子（OLED）に供給される電流は一定になる。したがって、画素の位置による輝度の不均衡の問題を解決することができる。また、区間T1及び区間T2の間にトランジスタ（M2）が遮断され、データが充電される間に漏れた電流が流れるのを遮断するので、消費電力を減少することができ、ブラック階調を正確に表現することができる。20

【発明を実施するための最良の形態】

【0022】

以下では、添付した図面を参照して、本発明の実施例について本発明の属する技術分野における通常の知識を有する者が容易に実施することができるよう詳細に説明する。しかし、本発明は多様な相違した形態で実現することができ、ここで説明する実施例に限定されない。30

【0023】

図面においては、本発明を明確に説明するために、説明と関係のない部分は省略した。明細書全体を通じて類似した部分については同一な図面符号を付けた。ある部分が他の部分に連結されているとする時、それは直接的に連結されている場合だけでなく、その中間に他の素子を隔てて連結されている場合も含む。また、層、膜、領域、板などの部分が他の部分上にあるとする時、それは他の部分の“真上にある”場合だけでなく、その中間に他の部分がある場合も含む。

【0024】

一方、走査線に関する用語を定義すれば、現在の選択信号を伝達しようとする走査線を“現在の走査線”とし、現在の選択信号が伝達される前に選択信号を伝達した走査線を“直前の走査線”、現在の選択信号が伝達された後に選択信号を伝達した走査線を“次の走査線”とする。40

【0025】

また、現在の走査線の選択信号に応じて発光するセルを“現在のセル”とし、直前の走査線の選択信号に応じて発光するセルを“直前のセル”、次の走査線の選択信号に応じて発光するセルを“次のセル”とする。

【0026】

そして、現在のセルの発光制御線を“現在の発光制御線”、直前のセルの発光制御線を50

“直前の発光制御線”、次のセルの発光制御線を“次の発光制御線”とする。

【0027】

図1は、データ信号を電流漏れなく伝達するための二重スイッチングトランジスタを含む画素回路の一例を示す等価回路図である。

【0028】

図1では、説明の便宜上、m番目のデータ線(Dm)、現在の走査線(Sn)、及び直前の走査線(Sn-1)に連結(接続)された画素回路のみを示した。

【0029】

図1に示されているように、画素回路は、トランジスタ(M1-M6)、キャパシタ(Cst、Cvth)、及び有機EL素子(OLED)を含む。

10

【0030】

トランジスタ(M1)は、有機EL素子(OLED)を駆動するための駆動トランジスタであって、電源(Vdd)と有機EL素子(OLED)との間に接続され、ゲートに印加される電圧によってトランジスタ(M2)を通じて有機EL素子(OLED)に流れる電流を制御する。

【0031】

トランジスタ(M1)のゲートにはキャパシタ(Cvth)のノード(A)が接続され、キャパシタ(Cvth)のノード(B)と電源(Vdd)との間にキャパシタ(Cst)及びトランジスタ(M4)が並列に接続される。

【0032】

トランジスタ(M5、M6)は、現在の走査線(Sn)からの選択信号に応答して、データ線(Dm)から印加されたデータ電圧をキャパシタ(Cvth)のノード(B)に伝達する。

20

【0033】

トランジスタ(M4)は、直前の走査線(Sn-1)からの選択信号に応答して、キャパシタ(Cvth)のノード(B)を電源(Vdd)に直接連結(接続)する。

【0034】

トランジスタ(M3)は、直前の走査線(Sn-1)からの選択信号に応答して、トランジスタ(M1)をダイオード連結させる。

【0035】

トランジスタ(M2)は、トランジスタ(M1)のドレーンと有機EL素子(OLED)のアノードとの間に接続され、発光制御線(EMIn)からの選択信号に応答して、トランジスタ(M1)のドレーンと有機EL素子(OLED)との間を遮断する。

30

【0036】

有機EL素子(OLED)は、トランジスタ(M2)を通じて入力される電流に対応して光を放とする。

【0037】

次に、図2を参照して、図1の画素回路の動作について説明する。図2は、図1の画素回路に印加される信号線の波形を示す図である。

【0038】

まず、区間T1において、直前の走査線(Sn-1)にローレベルの走査電圧が印加されると、トランジスタ(M3)がターンオンされてトランジスタ(M1)がダイオード連結状態になる。したがって、トランジスタ(M1)のゲートとソースとの間の電圧がトランジスタ(M1)の敷居電圧(Vth)になるまで変化する。この時、トランジスタ(M1)のソースが電源(Vdd)に連結されているので、トランジスタ(M1)のゲート、つまりキャパシタ(Cvth)のノード(A)に印加される電圧は、電源電圧(Vdd)と敷居電圧(Vth)との合計になる。また、トランジスタ(M4)がターンオンされてキャパシタ(Cvth)のノード(B)には電源(Vdd)が印加され、キャパシタ(Cvth)に数1で示される電圧(VCvth)が充電される。

40

【0039】

50

## 【数1】

$$V_{cvth} = V_{cvthA} - V_{cvthB} = (VDD + Vth) - VDD = Vth$$

ここで、 $V_{cvth}$ はキャパシタ( $C_{vth}$ )に充電される電圧を意味し、 $V_{cvth}$ <sub>A</sub>はキャパシタ( $C_{vth}$ )のノード( $A$ )に印加される電圧、 $V_{cvth}$ <sub>B</sub>はキャパシタ( $C_{vth}$ )のノード( $B$ )に印加される電圧を意味する。

## 【0040】

また、区間T1でNタイプのチャンネルを有するトランジスタ( $M_2$ )は、発光制御線( $EMIn$ )のローレベルの信号に応答して遮断され、トランジスタ( $M_1$ )に流れる電流が有機EL素子( $OLED$ )に流れるのを防止し、現在の走査線( $Sn$ )にはハイレベルの信号が印加されるので、トランジスタ( $M_5$ 、 $M_6$ )は遮断される。

10

## 【0041】

次に、区間T2において、現在の走査線( $Sn$ )にローレベルの走査電圧が印加されると、トランジスタ( $M_5$ 、 $M_6$ )がターンオンされてデータ電圧( $Vdata$ )がノード( $B$ )に印加される。また、キャパシタ( $C_{vth}$ )にはトランジスタ( $M_1$ )の敷居電圧( $Vth$ )に該当する電圧が充電されているので、トランジスタ( $M_1$ )のゲートにはデータ電圧( $Vdata$ )とトランジスタ( $M_1$ )の敷居電圧( $Vth$ )との合計に対応する電圧が印加される。つまり、トランジスタ( $M_1$ )のゲート-ソース間電圧( $Vgs$ )は次の数2の通りである。この時、発光制御線( $EMIn$ )にはローレベルの信号が印加されて、トランジスタ( $M_2$ )は遮断される。

20

## 【0042】

## 【数2】

$$Vgs = (Vdata + Vth) - VDD$$

その次に、区間T3において、発光制御線( $EMIn$ )のハイレベルの信号に応答してトランジスタ( $M_2$ )がターンオンされ、トランジスタ( $M_1$ )のゲート-ソース電圧( $VGS$ )に対応する電流( $IOLED$ )が有機EL素子( $OLED$ )に供給されて、有機EL素子( $OLED$ )は発光する。電流( $IOLED$ )は数3の通りである。

30

## 【0043】

## 【数3】

$$I_{OLED} = \frac{\beta}{2} (Vgs - Vth)^2 = \frac{\beta}{2} ( (Vdata + Vth - VDD) - Vth )^2 = \frac{\beta}{2} (VDD - Vdata)^2$$

40

ここで、 $IOLED$ は有機EL素子( $OLED$ )に流れる電流、 $Vgs$ はトランジスタ( $M_1$ )のソースとゲートとの間の電圧、 $Vth$ はトランジスタ( $M_1$ )の敷居電圧、 $Vdata$ はデータ電圧、 $\beta$ は定数値を示す。

## 【0044】

このように、図1に示された画素回路は、走査線からの選択信号に応答して、データ線からのデータ信号を伝達するスイッチング素子として二重トランジスタ、つまりトランジスタ( $M_5$ 、 $M_6$ )を用いることによって、スイッチングトランジスタを通じて流れる可能性のある漏れた電流を効果的に遮断することができる。

## 【0045】

さらに、本発明の画素回路は、各画素に位置するトランジスタ( $M_1$ )の敷居電圧( $V$ )

50

$t_h$  ) が互いに異なっても、この敷居電圧 (  $V_{t_h}$  ) の偏差がキャパシタ (  $C_{v_{t_h}}$  ) によって補償されるので、有機EL素子 ( OLED ) に供給される電流は一定になる。これにより、画素の位置による輝度の不均衡の問題を解決することができる。

【 0 0 4 6 】

また、区間 T 1 及び区間 T 2 の間にトランジスタ ( M 2 ) が遮断され、データ電圧が充電される間に漏れた電流が流れるのを遮断するので、消費電力を減少させることができ、ブラック階調を正確に表現することができる。

【 0 0 4 7 】

図 3 は、図 1 にされた画素回路の配置構造の一例を示す平面図であり、図 4 は図 3 の I - I' 部分の断面図である。図 3 及び図 4 のように、絶縁基板 1 上に酸化ケイ素などからなる遮断層 10 が形成され、遮断層 10 上に多結晶シリコン層 21 、 22 、 23 、 24 、 25 、 26 が形成される。

【 0 0 4 8 】

多結晶シリコン層 21 は、縦方向に延びて、現在のセルのトランジスタ ( M 2 ) のチャネル領域を形成する。多結晶シリコン層 22 は、縦方向に二つの枝が形成される “ [ ( 逆コの字 ) ” 形状で、現在のセルのトランジスタ ( M 3 ) のチャネル領域を形成する。多結晶シリコン層 23 は、“ ” 形状で横方向から縦方向に曲がっており、現在のセルの駆動トランジスタ ( M 1 ) のチャネル領域及び直前のセルのキャパシタ ( Cst ) の一電極を形成する。多結晶シリコン層 24 は、“ ( L 形 ) ” 形状で縦方向から横方向に曲がっており、直前のセルのスイッチングトランジスタ ( M 5 、 M 6 ) のチャネル領域を形成する。多結晶シリコン層 25 は、“ ” 形状で横方向から縦方向に曲がっており、キャパシタ (  $C_{v_{t_h}}$  ) の一電極を形成する。多結晶シリコン層 26 は、縦方向に延びて、現在のセルのトランジスタ ( M 4 ) のチャネル領域を形成する。

【 0 0 4 9 】

このように形成された多結晶シリコン層 21 、 22 、 23 、 24 、 25 、 26 上にゲート絶縁膜 30 が形成される。

【 0 0 5 0 】

ゲート絶縁膜 30 上にゲート電極線が形成される。具体的に、直前の走査線 ( Sn - 1 ) に対応するゲート電極 42 、発光制御線 ( EMIn ) に対応するゲート電極 41 、駆動トランジスタ ( M 1 ) のゲート電極 43 、及びキャパシタ ( Cst 、  $C_{v_{t_h}}$  ) の一電極を形成する電極 44 がゲート絶縁膜 30 上に形成される。

【 0 0 5 1 】

ゲート電極 42 は、横方向に二つの枝が形成される “ [ ( 逆コの字 ) ” 形状で、トランジスタ ( M 3 ) 及びトランジスタ ( M 4 ) のゲート電極を形成し、トランジスタ ( M 5 、 M 6 ) のゲート電極を形成する。ゲート電極 41 は、横方向に延びて、トランジスタ ( M 2 ) のゲート電極を形成する。電極 44 の一端は、ゲート絶縁膜 30 を貫通して形成された接触孔 31 を通じて多結晶シリコン層 24 に連結され、直前のセルのトランジスタ ( M 5 、 M 6 ) のドレーン電極に連結され、他端は、直前のセルのキャパシタ ( Cst 、  $C_{v_{t_h}}$  ) の一電極 ( B ) を形成する。

【 0 0 5 2 】

ゲート電極 41 、 42 、 43 、 44 上に層間絶縁膜 50 が形成される。層間絶縁膜 50 上には、電極 61 、電極線 62 、 63 、 66 、電源線 64 、及びデータ線 65 が形成される。

【 0 0 5 3 】

電極 61 は、層間絶縁膜 50 及びゲート絶縁膜 30 を貫通する接触孔 51 を通じて多結晶シリコン層 21 に連結されて、トランジスタ ( M 2 ) のドレーン電極を形成する。

【 0 0 5 4 】

電極線 62 は、図 3 中縦方向に延びて、下側端は、層間絶縁膜 50 及びゲート絶縁膜 30 を貫通する接触孔 52 を通じて多結晶シリコン層 21 に連結されて、トランジスタ ( M 2 ) のソース電極を形成し、層間絶縁膜 50 及びゲート絶縁膜 30 を貫通する接触孔 53

10

20

30

40

50

を通じて多結晶シリコン層 2 2 に連結されて、トランジスタ (M 3) のソース電極を形成する。電極線 6 2 の上側端は、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔 5 4 を通じて多結晶シリコン層 2 3 に連結されて、トランジスタ (M 1) のドレーン電極を形成する。

【0055】

電極線 6 3 は、図 3 中縦方向に延びて、上側端は、ゲート絶縁膜 3 0 を貫通する接触孔 5 7 を通じて多結晶シリコン層 2 3 に連結されて、トランジスタ (M 1) のゲート電極を形成し、接触孔 5 9 を通じて多結晶シリコン層 2 2 に連結されて、トランジスタ (M 3) のドレーン電極を形成する。また、電極線 6 3 の下側端は、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔を通じて多結晶シリコン層 2 5 に連結されて、現在のセルのキャパシタ (C v t h) の一電極 (A) を電気的に連結 (接続) する。10

【0056】

電源線 6 4 は、直前のセル、現在のセル、次のセル領域を貫通して連結されるように縦方向に長く延びて、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔 5 5 を通じて多結晶シリコン層 2 3 に連結されて、トランジスタ (M 1) のソース電極を形成し、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔を通じて多結晶シリコン層 2 6 に連結されて、トランジスタ (M 4) のドレーン電極を形成する。

【0057】

データ線 6 5 は、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔 5 6 を通じて多結晶シリコン層 2 4 に連結されて、トランジスタ (M 5、M 6) のソース電極を形成する。20

【0058】

電極線 6 6 は、層間絶縁膜 5 0 を貫通する接触孔と層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔とを通じて多結晶シリコン層 2 6 のソース領域及びゲート電極 4 4 を電気的に連結 (接続) して、現在のセルのキャパシタ (C s t、C v t h) の一電極 (B) を形成する。

【0059】

図 3 及び図 4 を参照して説明したように、図 1 の画素回路は、二つのスイッチングトランジスタ (M 5、M 6) が直列に連結される。したがって、現在のセルのスイッチングトランジスタ (M 5、M 6) のゲート電極を現在の走査線 (S n) に連結 (接続) するためには、走査線 (S n) を “[ (逆コの字) ]” 形状に形成する。したがって、走査線 (S n) のための追加空間 (A) がさらに必要となり、開口率が減少するという短所がある。30

【0060】

本発明は、このような短所を補完するためのものであって、開口率を減少させずにスイッチングトランジスタの電流漏れを遮断することができる、二重スイッチングトランジスタを含む画素回路を提供する。

【0061】

図 5 は、本発明の実施例による画素回路を示す等価回路図である。図 5 の画素回路は、スイッチングトランジスタ (M 6) は現在の走査線 (S n) に基づいて動作し、スイッチングトランジスタ (M 5) は次の発光制御線 (E M I n + 1) に基づいて動作する点が図 1 の画素回路と異なる。以下で、より具体的に説明する。40

【0062】

図 5 に示されているように、画素回路は、トランジスタ (M 1 - M 6)、キャパシタ (C s t、C v t h)、及び有機 E L 素子 (O L E D) を含む。

【0063】

トランジスタ (M 1) は、有機 E L 素子 (O L E D) を駆動するための駆動トランジスタであって、電源 (V d d) と有機 E L 素子 (O L E D) との間に接続され、ゲートに印加される電圧によってトランジスタ (M 6) を通じて有機 E L 素子 (O L E D) に流れる電流を制御する。

【0064】

トランジスタ (M1) のゲートにはキャパシタ (Cvt h) の一電極 (A) が接続され、キャパシタ (Cvt h) の他電極 (B) と電源 (Vdd) との間にキャパシタ (Cst) 及びトランジスタ (M4) が並列に接続される。

【0065】

トランジスタ (M5) は、次の発光制御線 (EMIn+1) からの選択信号に応答して動作し、トランジスタ (M6) は、現在の走査線 (Sn) からの選択信号に応答して動作する。つまり、トランジスタ (M5) 及びトランジスタ (M6) が同時にターンオンされて、データ線 (Dm) から印加されたデータ電圧をキャパシタ (Cvt h) の他電極 (B) に伝達する。

【0066】

トランジスタ (M4) は、直前の走査線 (Sn-1) からの選択信号に応答して、キャパシタ (Cvt h) の電極 (B) に電源 (Vdd) を供給する。

【0067】

トランジスタ (M3) は、直前の走査線 (Sn-1) からの選択信号に応答して、トランジスタ (M1) をダイオード連結させる。

【0068】

トランジスタ (M2) は、トランジスタ (M1) のドレーンと有機EL素子 (OLED) のアノードとの間に接続され、発光制御線 (EMIn) からの選択信号に応答して、トランジスタ (M1) のドレーンと有機EL素子 (OLED) との間を遮断する。

【0069】

有機EL素子 (OLED) は、トランジスタ (M2) を通じて入力される電流に対応して光を放出する。

【0070】

図5のように構成された画素回路の動作について、図6を参照してより詳細に説明する。図6は、本実施例による画素回路に印加される信号線の波形を示す図である。

【0071】

まず、区間T1において、直前の走査線 (Sn-1) にローレベルの走査電圧が印加されると、現在のセルのトランジスタ (M3) がターンオンされてトランジスタ (M1) がダイオード連結状態になる。したがって、トランジスタ (M1) のゲート及びソース間の電圧がトランジスタ (M1) の敷居電圧 (Vth) になるまで変化する。この時、トランジスタ (M1) のソースが電源 (Vdd) に連結されているので、トランジスタ (M1) のゲート、つまりキャパシタ (Cvt h) の一電極 (A) に印加される電圧は、電源電圧 (Vdd) と敷居電圧 (Vth) の合計になる。また、トランジスタ (M4) がターンオンされてキャパシタ (Cvt h) の他電極 (B) には電源 (Vdd) が印加され、キャパシタ (Cvt h) に電圧 (Vcvth) が充電される(数1参照)。

【0072】

また、区間T1でNタイプのチャンネルを有するトランジスタ (M2) は、発光制御線 (EMIn) のローレベルの信号に応答して遮断されて、トランジスタ (M1) に流れる電流が有機EL素子 (OLED) に流れるのが防止される。

【0073】

次に、区間T2において、現在の走査線 (Sn) がローレベルの信号を印加すると、現在のセルのスイッチングトランジスタ (M6) がターンオンされ、同時に次のセルのトランジスタ (M3、M4) がターンオンされる。この時、次のセルで漏れた電流によって有機EL素子 (OLED) が発光するのを防止するために、発光制御線 (EMIn+1) にローレベルの信号を印加し、次のセルのNタイプのトランジスタ (M2) をターンオフする。したがって、次の発光制御線 (EMIn+1) の選択信号に応答して動作するトランジスタ (M5) はターンオンされる。

【0074】

これにより、スイッチングトランジスタ (M5) 及びスイッチングトランジスタ (M6) が同時にターンオンされてデータ電圧 (Vdata) がノード (B) に印加される。ま

10

20

30

40

50

た、キャパシタ (C<sub>vth</sub>) にはトランジスタ (M1) の敷居電圧 (V<sub>th</sub>) に該当する電圧が充電されているので、トランジスタ (M1) のゲートにはデータ電圧 (V<sub>data</sub>) とトランジスタ (M1) の敷居電圧 (V<sub>th</sub>) との合計に対応する電圧が印加される。この時、発光制御線 (EMIn) にはローレベルの信号が印加されて、トランジスタ (M2) は遮断される。

#### 【0075】

その次に、区間T3において、EMInのハイレベルの信号に応答してトランジスタ (M2) がターンオンされ、トランジスタ (M1) のゲート-ソース電圧 (VGS) に対応する電流 (ILED) が有機EL素子 (OLED) に供給されて、有機EL素子 (OLED) は発光する。

10

#### 【0076】

本実施例で、トランジスタ (M2) はNタイプ、トランジスタ (M5) はPタイプであるが、トランジスタ (M2) がPタイプ、トランジスタ (M5) がNタイプであることもできる。

#### 【0077】

したがって、図4に示された画素回路は、現在の走査線及び次の発光制御線に各々応答するトランジスタ (M5, M6) を用いることにより、スイッチングトランジスタを通じて流れる可能性のある漏れた電流を効果的に遮断することができる。

#### 【0078】

さらに、各画素に位置するトランジスタ (M1) の敷居電圧 (V<sub>th</sub>) が互いに異なっても、この敷居電圧 (V<sub>th</sub>) の偏差がキャパシタ (C<sub>vth</sub>) によって補償されるので、有機EL素子 (OLED) に供給される電流は一定になる。したがって、画素の位置による輝度の不均衡の問題を解決することができる。

20

#### 【0079】

また、区間T1及び区間T2の間にトランジスタ (M2) が遮断され、データ電圧に対応する電圧がキャパシタ (Cst) に充電される間に漏れた電流が流れるのを遮断するので、消費電力を減少させることができ、ブラック階調を正確に表現することができる。

#### 【0080】

図7は、図5に示された画素回路の配置構造の一例を示す平面図であり、図8は、図7のII-II'部分の断面図である。図7及び図8のよう、絶縁基板1上に酸化ケイ素などからなる遮断層10が形成され、遮断層10上に多結晶シリコン層21、22、23、24、25、26が形成される。

30

#### 【0081】

多結晶シリコン層21は、縦方向に延びて、現在のセルのトランジスタ (M2) のチャネル領域を形成し、多結晶シリコン層21に連結される多結晶シリコン層22は、縦方向に二つの枝が形成される“[（逆コの字）”形状で、現在のセルのトランジスタ (M3) のチャネル領域を形成する。多結晶シリコン層23は、“（L形）”形状で横方向から縦方向に曲がっており、現在のセルの駆動トランジスタ (M1) のチャネル領域及び直前のセルのキャパシタ (Cst) の一電極を形成する。多結晶シリコン層24は、“

”形状で縦方向から横方向に曲がっており、直前のセルのスイッチングトランジスタ (M5, M6) のチャネル領域を形成する。多結晶シリコン層25は、“（逆L形）”形状で横方向から縦方向に曲がっており、キャパシタ (C<sub>vth</sub>) の一電極を形成する。多結晶シリコン層26は、縦方向に延びて、現在のセルのトランジスタ (M4) のチャネル領域を形成する。

40

#### 【0082】

このように形成された多結晶シリコン層21、22、23、24、25、26上にゲート絶縁膜30が形成される。

#### 【0083】

ゲート絶縁膜30上にゲート電極線が形成される。具体的に、直前の走査線 (Sn-1) に対応するゲート電極42、発光制御線 (EMIn) に対応するゲート電極41、駆動

50

トランジスタ (M 1) のゲート電極 4 3、及びキャパシタ (C s t、C v t h) の一電極を形成する電極 4 4 がゲート絶縁膜 3 0 上に形成される。

【0084】

ゲート電極 4 2 は、横方向に延びて、トランジスタ (M 3) 及びトランジスタ (M 4) のゲート電極を形成し、トランジスタ (M 6) のゲート電極を形成する。ゲート電極 4 1 は、図 7 中横方向に “ ” 形状で、トランジスタ (M 2) のゲート電極及びトランジスタ (M 5) のゲート電極を形成する。

【0085】

電極 4 4 の一端は、ゲート絶縁膜 3 0 を貫通して形成された接触孔 3 1 を通じて多結晶シリコン層 2 4 に連結され、直前のセルのトランジスタ (M 6) のドレーン電極に連結されて、他端は、直前のセルのキャパシタ (C s t、C v t h) の一電極 (B) を形成する。

10

【0086】

ゲート電極 4 1、4 2、4 3、4 4 上に層間絶縁膜 5 0 が形成される。層間絶縁膜 5 0 上には、電極 6 1、電極線 6 2、6 3、6 6、電源線 6 4、及びデータ線 6 5 が形成される。

【0087】

電極 6 1 は、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔 5 1 を通じて多結晶シリコン層 2 1 に連結されて、トランジスタ (M 2) のドレーン電極を形成する。

20

【0088】

電極線 6 2 は、図 7 中縦方向に延びて、下側端は、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔 5 8 を通じて多結晶シリコン層 2 1、2 2 に連結されて、トランジスタ (M 2) のソース電極及びトランジスタ (M 3) のソース電極を共通に形成する。電極線 6 2 の上側端は、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔 5 4 を通じて多結晶シリコン層 2 3 に連結されて、トランジスタ (M 1) のドレーン電極を形成する。

【0089】

電極線 6 3 は、図 7 中縦方向に延びて、上側端は、ゲート絶縁膜 3 0 を貫通する接触孔 5 7 を通じて多結晶シリコン層 2 3 に連結されて、トランジスタ (M 1) のゲート電極を形成し、接触孔 5 9 を通じて多結晶シリコン層 2 2 に連結されて、トランジスタ (M 3) のドレーン電極を形成する。また、電極線 6 3 の下側端は、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔を通じて多結晶シリコン層 2 5 に連結されて、現在のセルのキャパシタ (C v t h) の一電極 (A) を電気的に連結 (接続) する。

30

【0090】

電源線 6 4 は、直前のセル、現在のセル、次のセル領域を貫通して連結されるように縦方向に長く延びており、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔 5 5 を通じて多結晶シリコン層 2 3 に連結されて、トランジスタ (M 1) のソース電極を形成し、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔を通じて多結晶シリコン層 2 6 に連結されて、トランジスタ (M 4) のドレーン電極を形成する。

【0091】

データ線 6 5 は、層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔 5 6 を通じて多結晶シリコン層 2 4 に連結されて、トランジスタ (M 5) のソース電極を形成する。

40

【0092】

電極線 6 6 は、層間絶縁膜 5 0 を貫通する接触孔と層間絶縁膜 5 0 及びゲート絶縁膜 3 0 を貫通する接触孔とを通じて多結晶シリコン層 2 6 のソース領域及びゲート電極 4 4 を電気的に連結 (接続) して、現在のセルのキャパシタ (C s t、C v t h) の一電極 (B) を形成する。

【0093】

このように、二つのスイッチングトランジスタ (M 5、M 6) を直列に連結し、ゲート電極を現在の走査線 (S n) 及び次の発光制御線 (E M I n + 1) に連結することにより、図 3 で要求されていた追加空間 (A) が不要となり、開口率を増加させることができる

50

。

## 【0094】

以上で、本発明の実施例について詳細に説明したが、本発明の権利範囲は実施例の構造に限定されず、二重スイッチングトランジスタの動作が隣接した画素の他の制御線に基づいて動作する構造も含む。また、請求の範囲で定義している本発明の基本概念を利用した当業者のいろいろな変形及び改良形態も本発明の権利範囲に属する。

## 【図面の簡単な説明】

## 【0095】

【図1】データ信号を電流漏れなく伝達するための二重スイッチングトランジスタを含む画素回路の一例を示した等価回路図である。

10

【図2】図1の画素回路に印加される信号線の波形を示す図である。

【図3】図1に示された画素回路の配置構造の一例を示す図である。

【図4】図3のI-I'部分の断面図である。

【図5】本発明の実施例による画素回路の等価回路図である。

【図6】本実施例による画素回路に印加される信号線の波形を示す図である。

【図7】図4に示された画素回路の配置構造の一例を示す図である。

【図8】図7のII-II'部分の断面図である。

【図9】有機電界発光素子の概念図である。

【図10】TFTを利用した能動駆動方式を用いる一般的な有機電界発光表示装置を概略的に示す図である。

20

【図11】図10の表示パネルのN×M個の画素回路のうちの一つを代表的に示す図である。

## 【符号の説明】

## 【0096】

1 絶縁基板

10 遮断層

21、22、23、24、25、26 多結晶ケイ素層

30 ゲート絶縁膜

31、51、52、53、54、55、56、57、59 接触孔

41、42、43、44 ゲート電極

30

50 層間絶縁膜

61 電極

62、63、66 電極線

64 電源線

65 データ線

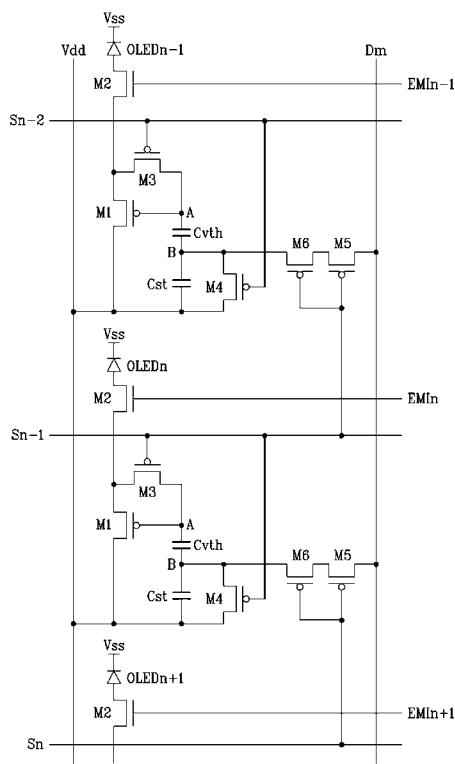
100 表示パネル

110 画素回路

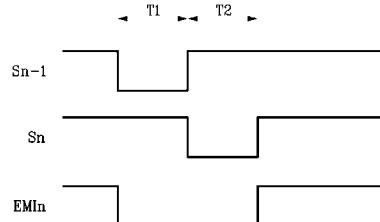
200 走査駆動部

300 データ駆動部

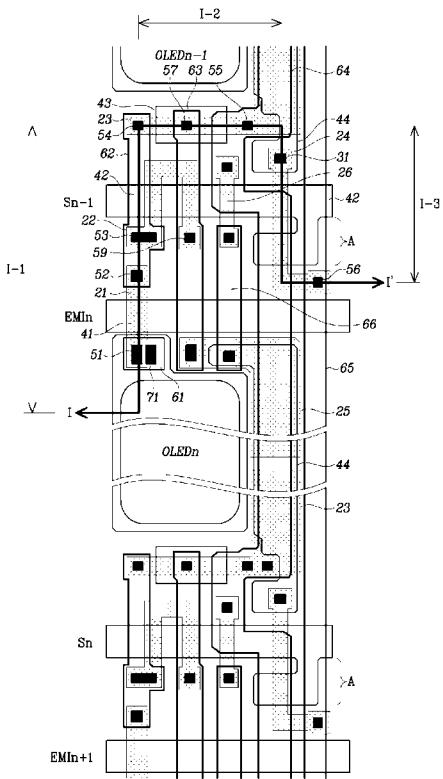
【 四 1 】



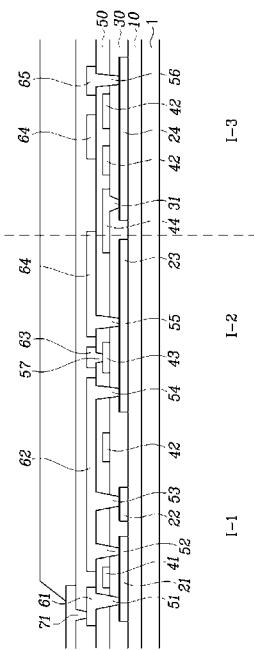
## 【 図 2 】



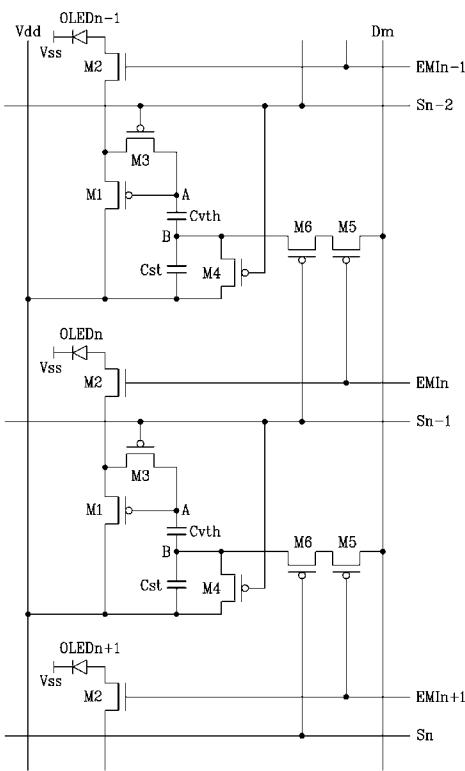
【 四 3 】



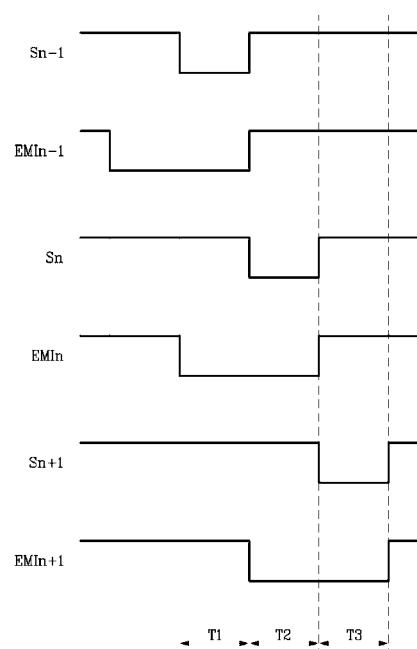
【 図 4 】



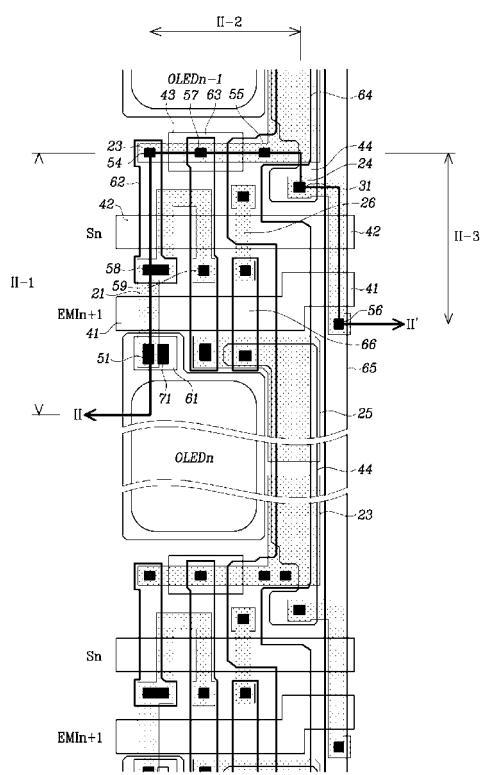
【 四 5 】



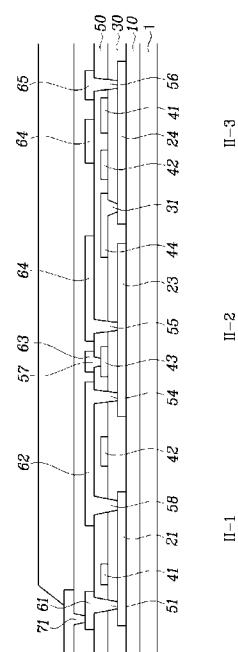
【 図 6 】



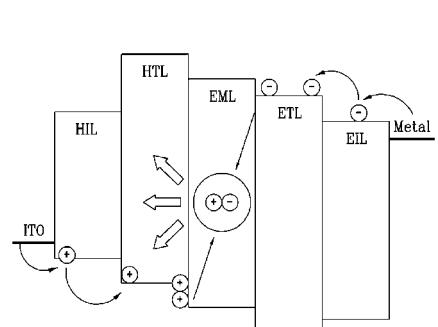
【図7】



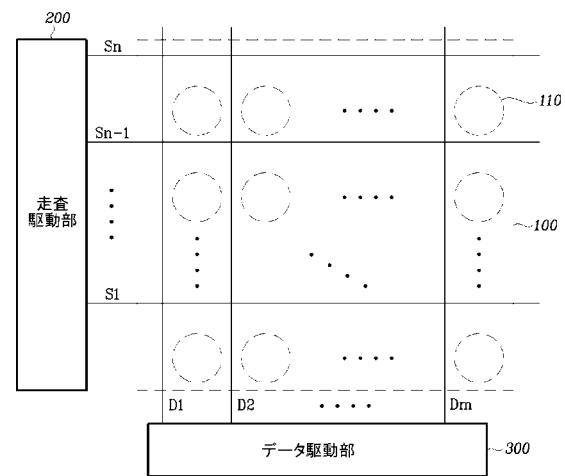
【図8】



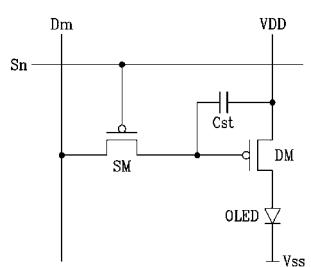
【図9】



【図10】



【図11】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 8 0 G
H 0 1 L	29/78	6 1 4
H 0 5 B	33/14	A

審査官 濱本 祯広

(56)参考文献 特開2002-082651 (JP, A)

特開2004-226960 (JP, A)

特開2003-224461 (JP, A)

特開2004-133240 (JP, A)

特開2003-108067 (JP, A)

特開2003-173165 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0 , 3 / 2 0

专利名称(译)	发光显示装置		
公开(公告)号	<a href="#">JP4191146B2</a>	公开(公告)日	2008-12-03
申请号	JP2005017601	申请日	2005-01-26
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星工スディアイ株式会社		
当前申请(专利权)人(译)	三星工スディアイ株式会社		
[标]发明人	金陽完 郭源奎		
发明人	金 陽 完 郭 源 奎		
IPC分类号	G09G3/30 G09G3/20 H01L29/786 H01L51/50 G09G5/00 H05B33/00 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/0214 G09G2320/043 H01L27/3262		
FI分类号	G09G3/30.J G09G3/30.H G09G3/20.611.A G09G3/20.611.H G09G3/20.624.B G09G3/20.642.A G09G3 /20.680.G H01L29/78.614 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107 /EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380 /AB23 5C380/BA01 5C380/BA10 5C380/BA11 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB23 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CC02 5C380/CC05 5C380/CC26 5C380/CC33 5C380 /CC39 5C380/CC52 5C380/CC55 5C380/CC62 5C380/CC64 5C380/CC65 5C380/CC77 5C380/CD012 5C380/CD026 5C380/DA02 5C380/DA06 5F110/AA06 5F110/BB01 5F110/BB04 5F110/CC01 5F110 /DD13 5F110/GG02 5F110/GG13 5F110/NN71 5F110/NN73		
代理人(译)	三好秀 伊藤雅一		
优先权	1020040015858 2004-03-09 KR		
其他公开文献	JP2005258415A		
外部链接	<a href="#">Espacenet</a>		

**摘要(译)**

本发明提供一种发光显示器，包括响应于施加的两个或更多个控制信号使用开关元件发送数据信号的像素电路。根据本发明的发光显示器的像素电路包括与数据线Dm串联连接的两个第一和第二开关元件。电荷存储在与第一和第二开关元件从数据线Dm传输的数据信号对应的存储元件Cst和Cvth中，并且驱动晶体管存储存储在存储元件Cst和Cvth中的电荷量。输出对应的电流发光元件OLED发出与该电流对应的光。这里，第一和第二开关元件中的一个响应于来自第一扫描线的选择信号而导通，而剩余的一个是连接到第二扫描线的像素电路。打开以响应控制操作的控制信号 [选中图]图5

