

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-168897

(P2009-168897A)

(43) 公開日 平成21年7月30日(2009.7.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 623D	
	G09G 3/20 622D	
	G09G 3/20 623C	
審査請求 未請求 請求項の数 10 O L (全 35 頁) 最終頁に続く		

(21) 出願番号	特願2008-4148 (P2008-4148)	(71) 出願人	000002185
(22) 出願日	平成20年1月11日 (2008.1.11)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(72) 発明者	飯田 幸人
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	三並 徹雄
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	谷亀 貴央
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

(54) 【発明の名称】 自発光型表示装置およびそのデータ書き込み方法

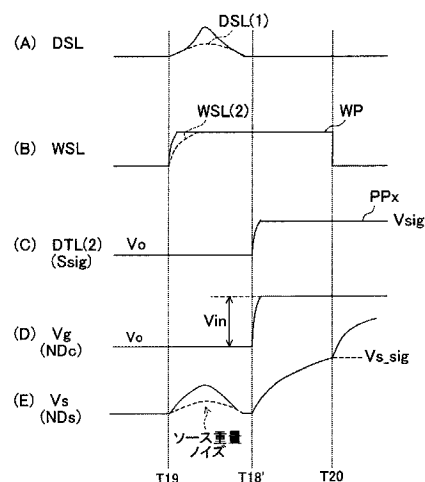
(57) 【要約】

【課題】データ書込時に発光素子の一方電極の電位変動により生じる影響（横クロストーク）を防止または抑制する。

【解決手段】書込走査線WSLおよび映像信号線DTLを介して駆動回路によって制御される画素回路が、一方電極（ソースノードNDs）の電位（Vs）によって印加電圧値が変化する発光素子（有機発光ダイオード）と、制御ノードNDcを有する駆動トランジスタと、サンプリングトランジスタと、保持キャパシタと、を含む。駆動回路は、データ電位Vsigの書込期間において、書込走査線WSLを活性化して映像信号線DTLの一定電位（例えば、データ基準電位Vo）をサンプリングし（時間T19）、所定時間の経過後の（時間T18'に）データ電位Vsigの出現によりこれがサンプリングされた後に、書込走査線WSLを非活性にする（時間T20）。

【選択図】図14

<実施例:Voサンプリング>



【特許請求の範囲】**【請求項 1】**

行列状に配置される複数の画素回路と、
書込走査線と映像信号線を含み、行または列の一方向で画素回路を接続する複数の画素接続線と、

前記複数の画素接続線の電位を制御する駆動回路と、を有し、

前記画素回路は、

一方電極の電位によって印加電圧値が変化する発光素子と、

電源供給線と前記一方電極との間に接続される駆動トランジスタと、

前記映像信号線と前記駆動トランジスタの制御ノードとの間に接続されるサンプリ
ングトランジスタと、

前記制御ノードに結合する保持キャパシタと、

を含み、

前記駆動回路は、前記駆動トランジスタに対しデータ電位の書き込みを制御する期間において、前記映像信号線に前記データ電位が出現する時より所定時間だけ前に、前記書込走査線を活性化して前記映像信号線に出現する一定電位をサンプリングし、前記データ電位の出現により当該データ電位がサンプリングされて前記制御ノードに書き込まれた後に、前記書込走査線を非活性にする

自発光型表示装置。

【請求項 2】

前記映像信号線に出現する一定のデータ基準電位をサンプリングし、前記駆動トランジスタの閾値電圧補正を行い、当該閾値電圧補正後の、前記駆動トランジスタに対しデータ電位の書き込みを制御する期間において、前記一定電位の前記サンプリングを行う

請求項 1 に記載の自発光型表示装置。

【請求項 3】

前記駆動回路は、前記一定電位の前記サンプリング時に前記書込走査線を活性化することに起因して発生する、前記一方電極の一時的な電位変動の収束を待って、前記データ電位をサンプリングする

請求項 1 に記載の自発光型表示装置。

【請求項 4】

前記一定電位は、前記データ電位との電位差が発光階調に対応するデータ基準電位である

請求項 1 に記載の自発光型表示装置。

【請求項 5】

前記一定電位は、前記データ電位との電位差が発光階調に対応するデータ基準電位と、前記データ電位の最大値（即ち、白発光時のデータ電位）との間の電位である

請求項 1 に記載の自発光型表示装置。

【請求項 6】

前記複数の画素接続線に、隣の画素回路の前記書込走査線と近接して配置され、前記駆動トランジスタの電源供給を制御する電源走査線を含み、

前記画素回路は、当該画素回路の前記一方電極と、隣接する他の画素回路を制御する前記電源走査線との間に接続される補助キャパシタを有する

請求項 1 に記載の自発光型表示装置。

【請求項 7】

発光素子の一方電極と電源走査線との間に駆動トランジスタが接続され、当該駆動トランジスタの制御ノードと映像信号線との間にサンプリングトランジスタが接続される画素回路を有する自発光型表示装置のデータ書き込み方法であって、

前記データ電位の書き込みを制御する期間内の処理が、

前記映像信号線にデータ電位が出現する時より所定時間だけ前に、前記書込走査線を活性化して前記サンプリングトランジスタをオンし、前記映像信号線の一定電位をサン

10

20

30

40

50

プリングするステップと、

前記サンプリングトランジスタをオンしたまま、前記映像信号線にデータ電位を出現させることにより、当該データ電位を前記サンプリングトランジスタによってサンプリングし、サンプリング後の前記データ電位を前記制御ノードに書き込むステップと、

前記データ電位の書き込み後に、前記書込走査線を非活性にするステップと、を含む自発光型表示装置のデータ書き込み方法。

【請求項 8】

前記一定電位は、前記データ電位との電位差が発光階調に対応するデータ基準電位である

請求項 7 に記載の自発光型表示装置のデータ書き込み方法。

10

【請求項 9】

前記一定電位は、前記データ電位との電位差が発光階調に対応するデータ基準電位と、前記データ電位の最大値（即ち、白発光時のデータ電位）との間の電位である

請求項 7 に記載の自発光型表示装置のデータ書き込み方法。

【請求項 10】

前記自発光型表示装置において、画素回路の前記一方電極が補助キャパシタを介して、隣接する他の画素回路の前記電源走査線に接続されている

自発光型表示装置のデータ書き込み方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、複数の画素回路と駆動回路を有し、映像信号線と電源走査線と書込走査線が複数の画素回路に対し配線され、各画素回路が、発光素子、駆動トランジスタ、サンプリングトランジスタおよび保持キャパシタを含む自発光型表示装置と、そのデータ書き込み方法に関する。

【背景技術】

【0002】

発光素子として有機 EL デバイスを用いた自発光型表示装置の開発が近年盛んになっている。有機 EL デバイスは有機薄膜を有し、有機薄膜に電界をかけると発光する現象を利用したデバイスである。

30

有機 EL デバイスは印加電圧が 10[V] 以下で駆動するため低消費電力である。有機 EL デバイスは自ら光を発する自発光素子であるため、これを有する表示装置は、照明部を必要とせず軽量化及び薄型化が容易である。有機 EL デバイスの応答速度は数[μs]程度と非常に高速なので、有機 EL デバイスを用いた表示装置は動画表示時の残像が発生しない。

【0003】

有機 EL デバイスを自発光素子として用いる自発光型表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。

【0004】

40

自発光素子を有するアクティブマトリクス型の表示装置であって、データ電位に応じた駆動電流が流入する側の自発光素子の一方電極（アノード電極）に対し、補助キャパシタ（追加容量）を接続させた表示装置が知られている（例えば特許文献 1 参照）。

【0005】

図 16 に、画素回路の基本構成の等価回路図（特許文献 1 の図 8）を、参照符号を一部変更して転記する。

発光素子は、本例では有機発光ダイオード OLED であり、図 16 では、有機発光ダイオード OLED を、その等価容量 C_{oled} により示している。また、特許文献 1 の図 8 に示す、電源電圧 V_{dd} の供給線と駆動トランジスタの間に接続され（符号 Tr_4 により示す）トランジスタは、画素回路の構成によっては不要であるため、ここでの図示を省略し

50

ている。

【0006】

有機発光ダイオードOLEDの他方電極（カソード）の電位がカソード電位 V_{cath} で固定されているため、一方電極（アノード）の電位（アノード電位） V_a によって有機発光ダイオードOLEDに印加される電圧が制御される。有機発光ダイオードOLEDのアノードに対し、駆動トランジスタMdを介して電源電圧 V_{dd} の供給線が接続可能となっている。駆動トランジスタMdは、そのゲート（制御ノード）に入力されるデータ電位 V_{sig} に応じてドレイン電流 I_{ds} の大きさが制御され、これによりソース電位、即ち有機発光ダイオードOLEDのアノード電位 V_a が決まる。

【0007】

駆動トランジスタMdのゲートとソース間に、データ電位 V_{sig} を保持する目的で保持キャパシタCsが接続されている。駆動トランジスタMdのゲートと映像信号線DTLの間に、映像信号のデータ電位 V_{sig} をサンプリングするサンプリングトランジスタMsが接続されている。

サンプリングトランジスタは、そのゲートに接続される書込走査線（不図示）の電位に応じて制御され、書込走査線が活性化されたときにオンして、ドレインに接続されている映像信号線の電位をサンプリングし、サンプリング後の電位を、ソースに接続されている駆動トランジスタの制御ノードに伝達する。

ここで映像信号は一定の基準電位（以下、データ基準電位 V_o という）の印加と、データ基準電位 V_o から任意の電位を持つデータパルスDPの印加とが繰り返された波形を有する。データパルスDPの電位がデータ電位 V_{sig} であり、表示階調を決めるデータ電圧 V_{in} は、データ電位 V_{sig} からデータ基準電位 V_o を差し引いた上記データパルスDPの波高値に該当する。

駆動トランジスタMdのゲートとソース間に保持キャパシタCsが接続されている。

【0008】

このような構成の画素回路では、駆動トランジスタMdのゲートソース間電圧 V_{gs} が、そのまま保持キャパシタCsの保持電圧となる。言い換えると、駆動トランジスタのソース電位（有機発光ダイオードOLEDのアノード電位 V_a ）を基準として、駆動トランジスタのゲートに与えられる電位“ $V_{sig} - V_a$ ”の大きさを、保持キャパシタCsの保持電圧値が決められる。

駆動トランジスタMdは、そのゲートソース間電圧 V_{gs} に応じたドレイン電流 I_{ds} を流すことから、データ電圧 V_{in} （データパルスDPの波高値）を保持キャパシタCsに正確に inputs し、保持させる必要がある。

【0009】

そのためには、データ電圧 V_{in} の入力に先立って、駆動トランジスタMdのソース（発光素子の一方電極、本例ではアノード）の電位（アノード電位 V_a ）を、映像信号のデータ基準電位 V_o により初期化する。そして、サンプリングトランジスタMsによるデータ電位 V_{sig} のサンプリングによって、駆動トランジスタMdの制御ノードにデータ電位 V_{sig} を入力する。

【0010】

データ電位 V_{sig} の入力によって駆動トランジスタMdの制御ノード（ゲート）の電位が上昇すると、駆動トランジスタMdのソース電位（アノード電位 V_a ）もデータ基準電位 V_o から上昇する。データ電圧 V_{in} を保持キャパシタCsに100[%]保持させるには、データ電位 V_{sig} を入力する時の駆動トランジスタMdのソース電位（アノード電位 V_a ）の変動量をほぼゼロとする必要がある。

しかしながら、データ電位 V_{sig} の入力によって駆動トランジスタMdが流す電流値が増大し、この電流値の増大によって、駆動トランジスタMdのソース電位（アノード電位 V_a ）が容易に上昇しようとする。

【0011】

そこで、特許文献1に記載されている画素回路では、駆動トランジスタのソースに接続

10

20

30

40

50

されている容量値を大きくする目的で、有機発光ダイオードO L E Dと並列に補助キャパシタC subが接続されている。

ドレイン電流I d sは、有機発光ダイオードO L E Dの容量C oled.と、補助キャパシタC subと、駆動トランジスタM d等の寄生容量との合成容量を充電する。ドレイン電流I d sがデータ電位V sigの入力によって増加し、このとき補助キャパシタC subがある程度大きいと、ドレイン電流I d sの増加分は上記合成容量を充電するのに費やされ、アノード電位V aが殆ど上昇しないようにすることができる。この場合、実際に保持キャパシタC sに保持される電圧と、所望のデータ電圧V inとの比率で定義される“書き込みゲイン”が“1”に近いものとなる。

【0012】

10

このように、補助キャパシタC subはデータ電圧V inを画素回路に書き込む際に、データ書き込みの効率（書き込みゲイン）を上げる作用効果がある。

【特許文献1】特開2007-102046号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

特許文献1に記載された画素回路に限らないことであるが、データの書き込み時にデータ基準電位V oを維持すべき駆動トランジスタM dのソース電位（アノード電位V a）が、データの書き込み時に発生するノイズの影響で変動することがある。その原因は、画素回路のサイズが小さくなると、サンプリングトランジスタM sのオンするための書込走査線（不図示）の電位上昇が、書込走査線に回路としては直接、接続されていなくても、書込走査線と近接するために電氣的に容量結合した回路部分を介して駆動トランジスタM dのソース電位に影響することが考えられる。

20

【0014】

本発明者は、上記特許文献1に記載の補助キャパシタC subを、当該補助キャパシタC subと同じ画素内の一定電位線ではなく、隣接する他の画素回路が有する電源電圧の供給制御線（電源走査線）に接続させた画素回路構成を提案している（特願平2006-209327号）。

【0015】

この先に出願された画素回路構成で、サンプリングトランジスタM sのゲートに接続された書込走査線と、隣接画素の電源走査線とが寄生容量で結合していると、書込走査線の電位上昇によって、隣接画素の電源走査線の電位が上昇し、この電位上昇が、さらに補助キャパシタC subを介して駆動トランジスタM dのソース電位を上昇させることが考えられる。

30

このようなソース電位の上昇はノイズに因るもので一時的なため、一般には、画質への影響は考え難い。

【0016】

しかしながら、実際には、ノイズによるソース電位の変動が、いわゆる“横クロストーク”と称される画質の低下の原因となる場合がある。

より詳細には、ノイズによる駆動トランジスタのソース電位変動の影響が、データ電圧を書き込もうとする画素ラインの、ある表示階調パターンで顕在化して画質に影響し、本来は白表示とすべき画素の輝度が低下する現象が観察される。特に表示画素ライン内に、黒表示の画素が比較的多く存在すると、その横に存在する白表示領域で画素の輝度が低下するため、この現象を“横クロストーク”と呼ぶ。

40

【0017】

このデータ書き込み時の動作に起因した表示輝度の低下（横クロストーク）は、本発明者の解析によって始めて明らかとなった新たな現象である。補助キャパシタを隣接する画素の電源走査線に接続した画素回路において、横クロストークが、より顕在化しやすい。ただし、補助キャパシタを設けない場合でも、画素回路の面積が縮小されることなどによって、サンプリングトランジスタの活性化が駆動トランジスタのソース電位にノイズを与

50

える場合がある。この場合もノイズによって横クロストークの画質低下が発生する可能性がある。

【 0 0 1 8 】

本発明は、データ書き込み時に発光素子の一方電極の電位変動により生じる影響を防止または抑制する画素回路の駆動手段を有する自発光型表示装置と、その駆動方法を提案するものである。

【課題を解決するための手段】

【 0 0 1 9 】

本発明の一形態（第1形態）に関わる自発光型表示装置は、行列状に配置される複数の画素回路と、書込走査線と映像信号線を含み、行または列の一方向で画素回路を接続する複数の画素接続線と、前記複数の画素接続線の電位を制御する駆動回路と、を有する。

10

前記画素回路は、一方電極の電位によって印加電圧値が変化する発光素子と、電源供給線と前記一方電極との間に接続される駆動トランジスタと、前記映像信号線と前記駆動トランジスタの制御ノードとの間に接続されるサンプリングトランジスタと、前記制御ノードに結合する保持キャパシタと、を含む。

前記駆動回路は、前記駆動トランジスタに対しデータ電位の書き込みを制御する期間において、前記映像信号線に前記データ電位が出現する時より所定時間だけ前に、前記書込走査線を活性化して前記映像信号線に出現する一定電位をサンプリングし、前記データ電位の出現により当該データ電位がサンプリングされて前記制御ノードに書き込まれた後に、前記書込走査線を非活性にする。

20

【 0 0 2 0 】

本発明の他の形態（第2形態）に関わる自発光型表示装置は、上記第1形態において、前記映像信号線に出現する一定のデータ基準電位をサンプリングし、前記駆動トランジスタの閾値電圧補正を行い、当該閾値電圧補正後の、前記駆動トランジスタに対しデータ電位の書き込みを制御する期間において、前記一定電位の前記サンプリングを行う。

【 0 0 2 1 】

本発明の他の形態（第3形態）に関わる自発光型表示装置は、上記第1形態において、前記駆動回路は、前記一定電位の前記サンプリング時に前記書込走査線を活性化することに起因して発生する、前記一方電極の一時的な電位変動の収束を待って、前記データ電位をサンプリングする。

30

【 0 0 2 2 】

本発明の他の形態（第4形態）に関わる自発光型表示装置は、上記第1形態において、前記一定電位は、前記データ電位との電位差が発光階調に対応するデータ基準電位である。

本発明の他の形態（第5形態）に関わる自発光型表示装置は、上記第1形態において、前記一定電位は、前記データ電位との電位差が発光階調に対応するデータ基準電位と、前記データ電位の最大値（即ち、白発光時のデータ電位）との間の電位である。

【 0 0 2 3 】

本発明の他の形態（第6形態）に関わる自発光型表示装置は、上記第1形態において、前記複数の画素接続線に、隣の画素回路の前記書込走査線と近接して配置され、前記駆動トランジスタの電源供給を制御する電源走査線を含み、前記画素回路は、当該画素回路の前記一方電極と、隣接する他の画素回路を制御する前記電源走査線との間に接続される補助キャパシタを有する。

40

【 0 0 2 4 】

本発明の他の形態（第7形態）に関わる自発光型表示装置のデータ書き込み方法は、発光素子の一方電極と電源走査線との間に駆動トランジスタが接続され、当該駆動トランジスタの制御ノードと映像信号線との間にサンプリングトランジスタが接続される画素回路を有する自発光型表示装置のデータ書き込み方法である。このデータ書き込み方法において、前記データ電位の書き込みを制御する期間内の処理が、以下の諸ステップを含む。

(1) 前記映像信号線にデータ電位が出現する時より所定時間だけ前に、前記書込走査線を

50

活性化して前記サンプリングトランジスタをオンし、前記映像信号線の一定電位をサンプリングするステップ

(2) 前記サンプリングトランジスタをオンしたまま、前記映像信号線にデータ電位を出現させることにより、当該データ電位を前記サンプリングトランジスタによってサンプリングし、サンプリング後の前記データ電位を前記制御ノードに書き込むステップ

(3) 前記データ電位の書き込み後に、前記書込走査線を非活性にするステップ

【0025】

本発明の他の形態(第8～10形態)は、自発光型表示装置に関わる上記第4～6形態の特徴を、データ書き込み方法に適用したものである。

【0026】

10

以上のように構成される第1～第10形態によれば、以下のような作用がある。

駆動トランジスタに対しデータ電位の書き込みを制御する期間において、映像信号線に一定電位が出現する期間と、その一定電位より高い(低くても可)電位のデータ電位が出現する期間が存在する。最初に、映像信号線にデータ電位が出現する時より所定時間だけ前の一定電位の出現中に、書込走査線が駆動回路によって活性化される。書込走査線はサンプリングトランジスタのゲートに接続されているため、書込走査線の活性化によってサンプリングトランジスタがオンする。すると、このとき映像信号線に出現している一定電位がサンプリングされて、駆動トランジスタの制御ノードに出力される。

【0027】

書込走査線の活性化時の電位変化が、寄生容量等を介して駆動トランジスタのソース等の電位を変動させる場合がある。たとえば、駆動トランジスタのソースが発光素子の一方電極に接続されていると、この一方電極の電位が変動する。

20

電位変動は活性化時の電位変化に起因し、寄生容量等を介して伝達されるノイズである場合、所定の時間が立つと収束して消滅する(第3形態参照)。

【0028】

第1～第10形態では、一定電位のサンプリングから所定時間経過してから、データ電位のサンプリングが行われる。よって、所定時間の長さにもよるが、発光素子の一方電極の電位変動が消滅してから、あるいは、ある程度、変動が収まってからデータ電位のサンプリングのタイミングを決めることができる。

【0029】

30

データ電位のサンプリングは、書込走査線を活性化した状態で、映像信号線にデータ電位のパルスが出現することで開始される。つまり、サンプリングトランジスタがオンの状態で、そのソース電位が一定電位から、これとは異なるデータ電位に変化すると、その変化分であるデータ電圧(一定電位がデータ基準電位の場合は、画素表示の階調値を決める電圧)が、オン状態のサンプリングトランジスタを介して駆動トランジスタの制御ノードに入力され、書き込まれる。このとき、既に発光素子の一方電極の電位変動が消滅しているか、あるいは、ある程度収束して小さくなっているとすると、データの書き込み時のサンプリングに、一方電極の電位変動が実質的に影響しない。よって、画素の表示階調値(発光する場合は発光量)が所望のものとなる。

【0030】

40

ところで、発光素子の一方電極の電位を一定電位とする目的で、映像信号線の一定電位(この場合、一定電位はデータ基準電位)は閾値電圧補正の前に初期化時にサンプリングされることがある。第2形態は、第1形態で言う「一定電位のサンプリング」が、この閾値電圧補正前の一定電位のサンプリングとは異なることを示すものである。

【0031】

第4および第8形態は、サンプリングされる一定電位が発光階調を決めるデータ電圧(データ基準電位とデータ電位との差)の当該データ基準電位であることを規定する。

第5および第9形態は、サンプリングされる一定電位が、データ基準電位とデータ電位の最大値(即ち、白発光時のデータ電位)との間の電位であってもよいことを規定する。

【0032】

50

以上の、データ書き込み期間における2度のサンプリングを、時間をずらして行うことで、「発光素子の一方電極の電位変動が、画素の表示階調値に影響しない」という作用は、画素回路が補助キャパシタを有している場合（第6形態参照）に、特に有効である。

第6形態では、補助キャパシタが、発光素子の一方電極と、隣の画素の電源走査線との間に形成されている場合を規定する。この場合に、書込走査線と、隣の画素の電源走査線は共に一方向に配線され、近接して設けられることが多い。仮にそうだとすると、書込走査線の活性化の電位変動が、寄生容量により電氣的に結合することになる電源走査線において電位変動を発生させる。発生した電位変動は、電源走査線内を殆ど減衰することなく隣の画素内の補助キャパシタにまで伝送され、さらに、補助キャパシタを介して発光素子の一方電極まで容易に伝わる。このため、本発明を適用しないと、一方電極の大きな電位変動で画素表示にも大きな影響がでる。よって、一方電極に大きな電位変動が生じる第6形態のような場合に、上述した時間をずらした2度のサンプリングの作用も、より大きいものとなる。

【発明の効果】

【0033】

本発明によれば、データ書き込み時に発光素子の一方電極の電位変動により生じる影響を防止または抑制する画素回路の駆動手段を有する自発光型表示装置と、その駆動方法を提供できる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の実施形態を、2T・1C型の画素回路を有する有機ELディスプレイを主な例として、図面を参照して説明する。

【0035】

<全体構成>

図1に、本発明の実施形態に関わる有機ELディスプレイの主要構成を示す。

図解する有機ELディスプレイ1は、複数の画素回路(PXC)3(i,j)がマトリクス状に配置されている画素アレイ2と、画素アレイ2を駆動する垂直駆動回路(Vスキャナ)4および水平駆動回路(Hセクタ:HSEL)5とを含む。

Vスキャナ4は、画素回路3の構成により複数設けられている。ここではVスキャナ4が、水平画素ライン駆動回路(DSCN)41と、書き込み信号走査回路(WSCN)42とを含んで構成されている。Vスキャナ4およびHセクタ5は「駆動回路」の一部であり、「駆動回路」は、Vスキャナ4とHセクタ5の他に、これらにクロック信号を与える回路や制御回路(CPU等)など、不図示の回路も含む。

【0036】

図1に示す画素回路の符号「3(i,j)」は、当該画素回路が垂直方向(縦方向)のアドレスi(i=1,2)と、水平方向(横方向)のアドレスj(j=1,2,3)を持つことを意味する。これらのアドレスiとjは最大値をそれぞれ「n」と「m」とする1以上の整数をとる。ここでは図の簡略化のためn=2、m=3の場合を示す。

このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

【0037】

画素回路3(1,1)、3(2,1)が垂直方向の映像信号線DTL(1)に接続されている。同様に、画素回路3(1,2)、3(2,2)が垂直方向の映像信号線DTL(2)に接続され、画素回路3(1,3)、3(2,3)が垂直方向の映像信号線DTL(3)に接続されている。映像信号線DTL(1)~DTL(3)は、Hセクタ5によって駆動される。

第1行の画素回路3(1,1)、3(1,2)および3(1,3)が書込走査線WSL(1)に接続されている。同様に、第2行の画素回路3(2,1)、3(2,2)および3(2,3)が書込走査線WSL(2)に接続されている。書込走査線WSL(1),WSL(2)は、水平画素ライン駆動回路41によって駆動される。

また、第1行の画素回路3(1,1)、3(1,2)および3(1,3)が電源走査線DSL(1)に接

10

20

30

40

50

続されている。同様に、第 2 行の画素回路 3 (2,1)、3 (2,2) および 3 (2,3) が電源走査線 D S L (2) に接続されている。電源走査線 D S L (1), D S L (2) は、書き込み信号走査回路 4 2 によって駆動される。

【0038】

映像信号線 D T L (1) ~ D T L (3) を含む m 本の映像信号線の何れか 1 本を、以下、符号「D T L (j) または D T L」により表記する。同様に、書込走査線 W S L (1), W S L (2) を含む n 本の書込走査線の何れか 1 本を符号「W S L (i) または W S L」により表記し、電源走査線 D S L (1), D S L (2) を含む n 本の電源走査線の何れか 1 本を符号「D S L (i) または D S L」により表記する。

映像信号線 D T L (j) に対し、表示画素行 (表示ラインともいう) を単位として一斉に映像信号が排出される線順次駆動、あるいは、同一行の映像信号線 D T L (j) に順次、映像信号が排出される点順次駆動があるが、本実施形態では、そのどの駆動法でもよい。

【0039】

< 画素回路 >

図 2 に、画素回路 3 (i, j) の一構成例を示す。

図解する画素回路 3 (i, j) は、有機発光ダイオード O L E D を制御する回路である。画素回路は、有機発光ダイオード O L E D の他に、N M O S タイプの T F T からなる駆動トランジスタ M d およびサンプリングトランジスタ M s と、保持キャパシタ C s とを有する。

【0040】

有機発光ダイオード O L E D は、特に図示しないが、例えば上面発光型の場合、透明ガラス等からなる基板に形成された T F T 構造の上にアノード電極を最初に形成し、その上に、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機多層膜を構成する積層体を形成し、積層体の上に透明電極材料からなるカソード電極を形成した構造を有する。アノード電極が正側の電源に接続され、カソード電極が負側の電源に接続される。

【0041】

有機発光ダイオード O L E D のアノードとカソードの電極間に所定の電界が得られるバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に有機多層膜が自発光する。有機発光ダイオード O L E D は、有機多層膜を構成する有機材料を適宜選択することで赤 (R), 緑 (G), 青 (B) の各色での発光が可能であることから、この有機材料を、例えば各行の画素に R, G, B の発光が可能に配列することで、カラー表示が可能となる。あるいは、白色発光の有機材料を用いて、フィルタの色で R, G, B の区別を行ってもよい。R, G, B の他に W (ホワイト) を加えた 4 色構成でもよい。

【0042】

駆動トランジスタ M d は、有機発光ダイオード O L E D に流す電流量を制御して表示階調を規定する電流制御手段として機能する。

駆動トランジスタ M d のドレインが、電源電圧 V D D の供給を制御する電源走査線 D S L (i) に接続され、ソースが有機発光ダイオード O L E D のアノードに接続されている。有機発光ダイオード O L E D のアノード電極が「一方電極」に該当する。

【0043】

サンプリングトランジスタ M s は、画素階調を決めるデータ電位 V s i g の供給線 (映像信号線 D T L (j)) と駆動トランジスタ M d のゲート (制御ノード N D c) との間に接続されている。サンプリングトランジスタ M s のソースとドレインの一方が駆動トランジスタ M d のゲート (制御ノード N D c) に接続され、もう片方が映像信号線 D T L (j) に接続されている。映像信号線 D T L (j) に、H セレクタ 5 (図 1 参照) からデータ電位 V s i g を持つデータパルスが所定の間隔で供給される。サンプリングトランジスタ M s は、データ電位の供給期間 (データパルスの持続時間 (duration time)) の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、サンプリングすべき所望のデータ電位 V s i g を持つデータパルスの前部または後部における、レベルが

10

20

30

40

50

不安定な遷移期間の表示映像に与える影響を排除するためである。

【0044】

駆動トランジスタM_dのゲート(制御ノード)とソース(有機発光ダイオードOLE_Dのアノードをなす一方電極)との間に、保持キャパシタC_sが接続されている。保持キャパシタC_sの役割については、後述の動作説明で明らかにする。

【0045】

図2では、水平画素ライン駆動回路41により、低電位V_{cc}__Lを基準とした高電位V_{cc}__Hの波高値が電源電圧V_{DD}となる電源駆動パルスD_S(i)が駆動トランジスタM_dのドレインに供給され、駆動トランジスタM_dの補正時や有機発光ダイオードOLE_Dが実際に発光する時の電源供給が行われる。

10

また、書き込み信号走査回路42により、比較的短い持続時間の書込駆動パルスW_S(i)がサンプリングトランジスタM_sのゲートに供給され、サンプリング制御が行われる。

なお、電源供給の制御は、駆動トランジスタM_dのドレインと電源電圧V_{DD}の供給線との間にトランジスタをもう1つ挿入し、そのゲートを水平画素ライン駆動回路41により制御する構成であってもよい(後述の変形例参照)。

【0046】

図2では有機発光ダイオードOLE_Dの一方電極(アノード)が駆動トランジスタM_dを介して正側の電源から電源電圧V_{DD}の供給を受ける。有機発光ダイオードOLE_Dのカソードが、カソード電位V_{cath}を供給する所定の電圧線(例えば、負側の電源線)に接続されている。

20

【0047】

通常、画素回路内の全てのトランジスタはTFTで形成されている。TFTのチャネルが形成される薄膜半導体層は、多結晶シリコン(ポリシリコン)または非晶質シリコン(アモルファスシリコン)等の半導体材料からなる。ポリシリコンTFTは移動度を高くとれるが特性ばらつきが大きいので、表示装置の大画面化に適さない。よって、大画面を有する表示装置では、一般に、アモルファスシリコンTFTが用いられる。ただし、アモルファスシリコンTFTではPチャネル型TFTが形成し難いため、上述した画素回路3(i, j)のように、すべてのTFTをNチャネル型とすることが望ましい。

【0048】

30

ここで、以上の画素回路3(i, j)は、本実施形態で適用可能な画素回路の一例、即ち2トランジスタ(2T)・1キャパシタ(1C)型の基本構成例である。よって、本実施形態で用いることができる画素回路は、上記画素回路3(i, j)を基本構成として、さらにトランジスタやキャパシタを付加した画素回路であってもよい(後述の変形例参照)。また、基本構成において、保持キャパシタC_sを電源電圧V_{DD}の供給線と駆動トランジスタM_dのゲートとの間に接続するものもある。

具体的に、本実施形態で採用可能な2T・1C型以外の画素回路として、後述する変形例で幾つかを簡単に述べるが、例えば、4T・1C型、4T・2C型、5T・1C型、3T・1C型などであってもよい。

【0049】

40

図2の構成を基本とする画素回路では、閾値電圧補正時や移動度補正時に有機発光ダイオードOLE_Dを逆バイアスすると、詳細は後述するが、有機発光ダイオードOLE_Dの逆バイアス時の等価容量値が保持キャパシタC_sの値より十分大きくできるため、有機発光ダイオードOLE_Dのアノードが電位的に動き難くなるため、補正精度が向上する。このため、逆バイアス状態で補正を行うことが望ましい。

カソード電位V_{cath}を接地せずに、カソードを所定の電圧線に接続しているのは、逆バイアスを行うためである。有機発光ダイオードOLE_Dを逆バイアスするには、例えば、電源駆動パルスD_S(i)の基準電位(低電位V_{cc}__L)より、カソード電位V_{cath}を小さくする。

【0050】

50

データの書き込み時に、有機発光ダイオードOLEDのアノード電位を更に動き難くして電位的に固定するには、有機発光ダイオードOLEDのアノードからみた容量値を大きくするとよい。この目的で、有機発光ダイオードOLEDのアノードに補助キャパシタが接続される。この補助キャパシタの有無によって、動作タイミング制御自体が変更されないで、先に動作（表示制御）を説明する。

【0051】

<表示制御>

図2の回路におけるデータ書き込み時の動作を、閾値電圧と移動度の補正動作と併せて説明する。これらの一連の動作を「表示制御」という。

最初に、補正対象となる駆動トランジスタと有機発光ダイオードOLEDの特性について説明する。

10

【0052】

図2に示す駆動トランジスタMdの制御ノードNDcには、保持キャパシタCsが結合されている。映像信号線DTL(j)を伝送するデータパルスの有効電位であるデータ電位VsigがサンプリングトランジスタMsでサンプリングされ、これにより得られた電位が制御ノードNDcに印加され、保持キャパシタCsで保持される。駆動トランジスタMdのゲートに所定の電位が印加された時、そのドレイン電流Idsは、印加電位に応じた値を持つゲートソース間電圧Vgsに応じて決まる。

ここで駆動トランジスタMdのソース電位Vsを、上記データパルスの基準電位（データ基準電位Vo）に初期化してから、サンプリングを行うとする。サンプリング後のデータ電位Vsig、より正確には、データ基準電位Voとデータ電位Vsigとの電位差で規定されるデータ電圧Vinの大きさに応じたドレイン電流Idsが駆動トランジスタMdに流れ、これがほぼ、有機発光ダイオードOLEDの駆動電流Idとなる。

20

よって、駆動トランジスタMdのソース電位Vsがデータ基準電位Voで初期化されている場合、有機発光ダイオードOLEDがデータ電位Vsigに応じた輝度で発光する。

【0053】

図3に、有機発光ダイオードOLEDのI-V特性のグラフと、駆動トランジスタMdのドレイン電流Ids（OLEDの駆動電流Idにほぼ相当）の一般式を示す。

有機発光ダイオードOLEDは、よく知られているように、経時変化によりI-V特性が図3のように変化する。このとき、図2の画素回路では、駆動トランジスタMdが一定のドレイン電流Idsを流そうとしても、図3に示すグラフから分かるように有機発光ダイオードOLEDの印加電圧が大きくなるため、有機発光ダイオードOLEDのソース電位Vsが上昇する。このとき駆動トランジスタMdのゲートはフローティング状態であるため、ほぼ一定のゲートソース間電圧Vgsが維持されるように、ソース電位と共にゲート電位も上昇し、ドレイン電流Idsはほぼ一定に保たれ、このことが有機発光ダイオードOLEDの発光輝度を変化させないように作用する。

30

【0054】

しかしながら、画素回路ごとに駆動トランジスタMdの閾値電圧Vth、移動度μが異なっているため、図3の式に応じて、ドレイン電流Idsにバラツキが生じ、表示画面内で与えられているデータ電位Vsigが同じ2つの画素であっても、当該2つの画素間で発光輝度が異なる。

40

【0055】

なお、図3の式において、符号“Ids”は、飽和領域で動作する駆動トランジスタMdのドレインとソース間に流れる電流を表す。また、当該駆動トランジスタMdにおいて、“Vth”が閾値電圧を、“μ”が移動度を、“W”が実効チャネル幅（実効ゲート幅）を、“L”が実効チャネル長（実効ゲート長）を、それぞれ表す。また、“Cox”が当該駆動トランジスタMdの単位ゲート容量、即ち単位面積当たりのゲート酸化膜容量と、ソースやドレインとゲート間のフリンジング容量との総和を表す。

【0056】

Nチャネル型の駆動トランジスタMdを有する画素回路は、駆動能力が高く製造プロセ

50

スを簡略化できる利点があるが、閾値電圧 V_{th} や移動度 μ のばらつきを抑えるため、それらの補正動作を、発光可能なバイアス設定に先立って行う必要がある。

【 0 0 5 7 】

つぎに、図 4 を用いて具体的な制御の説明に移るが、この図 4 は、本発明が適用される前の制御を示している。

以下、図 4 における期間を定義し、制御の全体を図 4 の時間軸に沿って詳しく説明した上で、図 4 の制御での不具合（横クロストークの発生）、図 4 の制御に対する本発明の適用（本実施形態の特徴）とその効果の順で説明する。

【 0 0 5 8 】

図 4 (A) ~ 図 4 (F) は、表示制御における各種信号や電圧の波形を示すタイミングチャートである。ここでの表示制御では行単位でデータ書き込みを順次行うものとし、第 1 行の画素回路 3 (1 , j) が書き込み対象の行（表示行）であり、第 2 行の画素回路 3 (2 , j) と第 3 行の画素回路 3 (3 , j) は、図 4 の時点では書き込み対象でない（非表示行である）。表示行に対し、図 4 に示し、これから説明する表示制御によってデータが書かれた後は、表示行が第 2 行に移り同様な表示制御が行われ、同様な表示制御が第 3 行、第 4 行、... と繰り返されることによって 1 画面が表示される。1 画面の表示後は、同様にして他の画面表示のための表示制御が、必要な回数繰り返される。

【 0 0 5 9 】

図 4 (A) は、映像信号 S_{sig} の波形図である。

図 4 (B 1) と図 4 (B 2) は、書込対象の第 1 行に供給される書込駆動パルス $W S (1)$ と電源駆動パルス $D S (1)$ の波形図である。同様にして、図 4 (C 1) と図 4 (C 2) は、非書込対象の第 2 行に供給される書込駆動パルス $W S (2)$ と電源駆動パルス $D S (2)$ の波形図、図 4 (D 1) と図 4 (D 2) は、非書込対象の第 3 行に供給される書込駆動パルス $W S (3)$ と電源駆動パルス $D S (3)$ の波形図である。

図 4 (E) は、書込対象の第 1 行の画素回路 3 (1 , j) における駆動トランジスタ $M d$ のゲート電位（制御ノード $N D c$ の電位）の波形図である。

図 4 (F) は、書込対象の第 1 行の画素回路 3 (1 , j) における駆動トランジスタ $M d$ のソース電位（有機発光ダイオード $O L E D$ のアノード電位）の波形図である。

【 0 0 6 0 】

[期間の定義]

図 4 (F) の下部に記載している通り、図 4 は、 $N T S C$ 映像信号規格の 1 水平期間（ $1 H$ ）に対し、その約 4 倍強のスパンで波形図を表示している。そして、その最後の 1 水平期間（ $1 H$ ）で、最終的な 3 回目の第 3 閾値補正（ $V T C 3$ ）と、移動度の補正および実際のデータ書き込み（ $W \& \mu$ ）とを連続して実行する（本動作）。その最後の 1 水平期間（ $1 H$ ）に行われる本動作より前の 3 水平期間（ $(1 H) \times 3$ ）は、専ら、初期化のためと、最終的な閾値補正では時間が短くて補正しきれない場合を考慮して、ある程度まで閾値補正を予め 2 度行うために費やされる（予備動作）。

図 4 のような表示制御は、表示画像の高解像度化が進展し、表示パネルの駆動周波数が非常に高くなっている現状では、短い 1 水平期間（ $1 H$ ）で閾値電圧補正からデータ書き込みまで一挙に行うことができず、とくに閾値補正の時間が不足することに鑑み、閾値補正を数回に分けて行うものである。ただし、駆動周波数が余り高くない小型から中型の表示パネル等で、本動作の時間が 1 水平期間（ $1 H$ ）で十分なら、初期化のために 1 水平期間（ $1 H$ ）もあれば予備動作としては十分な場合もある。もちろん、予備動作が 2 水平期間（ $2 H$ ）であってもよいし、4 水平期間（ $4 H$ ）以上であってもよい。

ある行に対して本動作を行っているときは、次の行（および、その次以降の行、...）について予備動作を並列に実行できるため、予備動作時間の長短は全体の表示期間にほとんど影響しない。むしろ、閾値電圧補正を確実に行う意味で、予備動作を十分に行ったほうが望ましい。

【 0 0 6 1 】

以上は 1 水平期間（ $1 H$ ）という一定尺度で見た期間の区分であるが、図 4 (F) に記

載した大よそ 4 水平期間を機能的に把握することも可能である。

具体的に図 4 (A) の上部に記載しているように、(1 フィールドまたは 1 フレーム) 前画面の発光期間 (LM0) の後に時系列の順で、放電期間 (D - CHG)、初期化期間 (INT)、第 1 閾値補正期間 (VTC1)、第 1 待機期間 (WAT1)、第 2 閾値補正期間 (VTC2)、第 2 待機期間 (WAT2) を経て「予備動作」が実行される。また、続いて、第 3 閾値補正 (VTC3)、第 3 待機期間 (WAT3)、書き込み & 移動度補正期間 (W & μ) を経て、当該第 1 行の画素回路 3 (1, j) の発光期間 (LM1) に推移することによって「本動作」が実行される。

【0062】

[駆動パルスの概略]

また、図 4 では、波形図の適当な箇所に時間表示を符号 “T0” ~ “T21” により示している。つぎに、この時間表示を参照して映像信号や駆動パルスの概略を説明する。

第 1 行に供給される書き込み駆動パルス WS (1) では、図 4 (B1) に示すように、“L” レベルで非アクティブ、“H” レベルでアクティブの 4 つのサンプリングパルス (SP0 ~ SP3) が周期的に出現する。このとき 4 つのサンプリングパルス (SP0 ~ SP3) の周期は、予備動作 (時間 T0 ~ 時間 T15) および本動作 (時間 T15 以後) を通じて一定である。ただし、本動作における書き込み駆動パルス WS (1) は、4 つ目のサンプリングパルス (SP3) の後に書き込みパルス (WP) が重畳された波形となる。

【0063】

これに対し、m 本 (数百 ~ 千数百本) の映像信号線 DTL (j) (図 1 および図 2 参照) に供給される映像信号 Ssig は、線順次表示では m 本の映像信号線 DTL (j) に同時に供給される。そして、映像信号 Ssig をサンプリング後に得られるデータ電圧を反映した信号振幅 (Vin) は、図 4 (A) に示すように、1 水平期間 (1H) の前半部分で繰り返し出現するデータ基準電位 Vo を基準とした、1 水平期間 (1H) の後半部分に繰り返し出現する映像信号パルス (PP) の波高値に相当する。以下、信号振幅 (Vin) をデータ電圧 Vin と呼ぶ。

図 4 (A) に示す幾つかの映像信号パルス (PP) のうち、第 1 行にとって重要な映像信号パルスは、書き込みパルス (WP) と時間的に重なる本動作時の映像信号パルス (PPx) である。本動作時の映像信号パルス (PPx) のデータ基準電位 Vo からの波高値が、図 4 で表示させたい (書き込みたい) 階調値、即ちデータ電圧 Vin の大きさに該当する。この階調値 (= Vin) は、第 1 行の各画素で同じ場合 (単色表示の場合) もあるが、通常、表示画素行の階調値に応じて変化している。図 4 は、主として、第 1 行内における 1 つの画素についての動作を説明するためのものであるが、同一行の他の画素では、この表示階調値が異なることがある以外、制御自体は、図示の画素駆動制御と並列に実行される。

【0064】

駆動トランジスタ Md のドレイン (図 2 参照) に供給される電源駆動パルス DS (1) は、図 4 (B2) に示すように、時間 T0 から最初の第 1 閾値補正期間 (VTC1) の開始 (時間 T6) 直前まで非アクティブの低電位 Vcc_L で保持され、第 1 閾値補正期間 (VTC1) の開始とほぼ同時に (時間 T6)、アクティブの高電位 Vcc_H に推移する。高電位 Vcc_H の保持は、発光期間 (LM1) が終了するまで続く。

【0065】

第 2 行 (の画素回路 3 (2, j))、第 3 行 (の画素回路 3 (3, j)) については、それぞれ、図 4 (C1) と図 4 (C2)、図 4 (D1) と図 4 (D2) に示すように、1 水平期間 (1H) ずつ各パルスが遅れて印加される。

具体的には、第 1 行の第 1 閾値補正期間 (VTC1) に対応する 2 つ目のサンプリングパルス (SP1) が印加される時間 T5 ~ T7 の期間に、第 2 行では、初期化期間 (INT) に対応する 1 つ目のサンプリングパルス (SP0) が印加される。

このパルス印加の途中、即ち時間 T6 で第 1 行の電源駆動パルス DS (1) がハイレベル (電源電位 Vcc_H) に立ち上がりアクティブとなる。

10

20

30

40

50

【 0 0 6 6 】

その後、第 1 行の第 2 閾値補正期間 (V T C 2) に対応する 3 つ目のサンプリングパルス (S P 2) が印加される時間 T 1 0 ~ T 1 2 の期間に、第 2 行では、第 1 行から 1 水平期間 (1 H) 遅れて上記 2 つ目のサンプリングパルス (S P 1) が印加され、第 3 行では、第 1 行から 2 水平周期 ((1 H) × 2) 遅れて上記 1 つ目のサンプリングパルス (S P 0) が印加される。

このパルス印加の途中、即ち時間 T 1 1 で第 2 行の電源駆動パルス D S (2) が高電位 V c c _ H に立ち上がりアクティブとなる。

【 0 0 6 7 】

その後、第 1 行の第 3 閾値補正期間 (V T C 3) に対応する 4 つ目のサンプリングパルス (S P 3) が印加される時間 T 1 5 ~ T 1 7 の期間に、第 2 行では、第 1 行から 1 水平期間 (1 H) 遅れて上記 3 つ目のサンプリングパルス (S P 2) が印加され、第 3 行では、第 1 行から 2 水平周期 ((1 H) × 2) 遅れて上記 2 つ目のサンプリングパルス (S P 1) が印加される。

このパルス印加の途中、即ち時間 T 1 6 で第 3 行の電源駆動パルス D S (3) が高電位 V c c _ H に立ち上がりアクティブとなる。

【 0 0 6 8 】

以上のようにしてパルス印加のタイミング設計を行うと、ある行の本動作を行っている期間に、その 1 ~ 数水平期間後に本動作を行う他の数行分の予備動作を並列に実行することから、本動作に限ってみると行単位でシームレスに、その実行がなされる。よって、最初の数水平期間以外は無駄な期間は発生しない。

表示画面は通常、数百 ~ 千数百の行を有するため、1 画面表示中における 1 ~ 数水平期間という時間は無視できるほど短い。したがって、閾値電圧補正を数回に分けても時間的な損失は実質的に生じない。

【 0 0 6 9 】

つぎに、以上のパルス制御の下における、図 4 (E) および図 4 (F) に示す駆動トランジスタ M d のソースやゲートの電位変化と、それに伴う動作を、図 4 (A) に示す期間ごとに説明する。

なお、ここでは図 5 (A) ~ 図 7 (B) に示す第 1 行の画素回路 3 (1 , j) の予備動作説明図、図 8 に示すソース電位 V s の時間推移のグラフ、図 9 (A) ~ 図 9 (C) に示す第 1 行の画素回路 3 (1 , j) の本動作説明図、ならびに、図 2 等を適宜参照する。

【 0 0 7 0 】

[前画面の発光期間 (L M 0)]

第 1 行の画素回路 3 (1 , j) について、時間 T 0 以前の 1 フィールドまたは 1 フレームだけ前の画面 (以下、前画面という) についての発光期間 (L M 0) では、図 4 (B 1) に示すように書込駆動パルス W S (1) が “ L ” レベルであるため、サンプリングトランジスタ M s がオフしている。また、図 4 (B 2) に示すように、電源駆動パルス D S (1) が高電位 V c c _ H の印加状態にある。

【 0 0 7 1 】

このとき、図 5 (A) に示すように、前画面のデータ書き込み動作によって駆動トランジスタ M d のゲートに入力され保持されているデータ電圧 V i n 0 に応じて、有機発光ダイオード O L E D が発光状態にあるとする。駆動トランジスタ M d は飽和領域で動作するように設定されているため、有機発光ダイオード O L E D に流れる駆動電流 I d (= I d s) は、保持キャパシタ C s に保持されている駆動トランジスタ M d のゲートソース間電圧 V g s に応じて、前述した図 3 に示す式から算出される値をとる。

【 0 0 7 2 】

[放電期間 (D - C H G)]

図 4 において時間 T 0 から、線順次走査の新しい画面表示に関する処理が開始される。

時間 T 0 になると、水平画素ライン駆動回路 4 1 (図 2 参照) が、図 4 (B 2) に示すように、電源駆動パルス D S (1) を高電位 V c c _ H から低電位 V c c _ L に切り替える

10

20

30

40

50

。駆動トランジスタM dは、今までドレインとして機能していたノードの電位が低電位 V_{cc_L} にまで急激に落とされ、ソースとドレインの電位が逆転するため、今までドレインであったノードをソースとし、今までソースであったノードをドレインとして、当該ドレインの電位（ただし、図の表記ではソース電位 V_s のままとする）を引き抜くディスチャージ動作が行われる。

したがって、図5（B）に示すように、今までとは逆向きのドレイン電流 I_{ds} が駆動トランジスタM dに流れる。この駆動トランジスタM dに逆向きの電流が流れる期間を、図4や図5（B）では「放電期間（D - CHG）」と表記している。

【0073】

放電期間（D - CHG）が開始されると、図4（F）に示すように、時間 T_0 を境に駆動トランジスタM dのソース電位 V_s （現実の動作上はドレイン電位）が急激に放電され、ほぼ低電位 V_{cc_L} の近くまで低下する。

このとき、低電位 V_{cc_L} が有機発光ダイオードOLE Dの発光閾値電圧 V_{th_oled} とカソード電位 V_{cath} の和よりも小さいとき、つまり“ $V_{cc_L} < V_{th_oled} + V_{cath}$ ”であれば有機発光ダイオードOLE Dは消光する。

なお、放電期間（D - CHG）の終了（時間 T_1 ）の前までには、図4（A）に示すように、映像信号 S_{sig} の電位が、データ電位 V_{sig} からデータ基準電位 V_o にまで下げられている。

【0074】

時間 T_0 において、図5（B）に示すように、サンプリングトランジスタM sがオフし、制御ノードND cがフローティング状態にある。このため、図4（E）に示すように、時間 T_0 を境に駆動トランジスタM dのゲート電圧 V_g が低下する。

【0075】

[初期化期間（INT）]

次に、書き込み信号走査回路42（図2参照）が、図4（B1）に示すように、時間 T_1 にて書込駆動パルス $WS(1)$ を“L”レベルから“H”レベルに遷移させて1つ目のサンプリングパルス（SP0）を、サンプリングトランジスタM sのゲートに与える。

この時間 T_1 にて放電期間（D - CHG）が終了し、ここから初期化期間（INT）が開始する。

【0076】

時間 T_1 での、サンプリングパルス（SP0）の印加に応答して、図5（C）に示すように、サンプリングトランジスタM sがオンする。前述したように時間 T_1 までには、映像信号 S_{sig} の電位がデータ基準電位 V_o に切り替えられている。したがって、サンプリングトランジスタM sは、映像信号 S_{sig} のデータ基準電位 V_o をサンプリングして、サンプリング後のデータ基準電位 V_o を駆動トランジスタM dのゲートに伝達する。

このサンプリング動作によって、図4（E）に示すように、時間 T_0 を境に低下した駆動トランジスタM dのゲート電圧 V_g が、データ基準電位 V_o に収束する。

【0077】

図4（B1）に示すサンプリングパルス（SP0）は、時間 T_1 から、この電位収束に十分な時間が経過した時間 T_2 にて終了し、サンプリングトランジスタM sがオフする。よって、次にサンプリングトランジスタM sがオンする時間 T_5 までは、駆動トランジスタM dのゲートが電氣的なフローティング状態となる。

この時間 T_5 でサンプリングトランジスタM sを再度オンさせるタイミングは、最初の1水平期間（1H）の終了とほぼ同じに制御され、かつ、時間 $T_2 \sim T_5$ の期間内に、当該1水平期間（1H）における映像信号パルス（PP）が収まるようにタイミング設計されている（図4（A）と図4（B1）参照）。

【0078】

このことをサンプリングパルス（SP0）から見ると、書込駆動パルス $WS(1)$ を“H”レベルにするサンプリングパルス（SP0）の持続時間（時間 $T_1 \sim T_2$ ）は、1水平期間（1H）の前半部分である、映像信号 S_{sig} がデータ基準電位 V_o をとる期間（時間

10

20

30

40

50

T 0 ~ T 3) 内となっている。

そして、時間 T 2 でサンプリングトランジスタ M s をオフさせた状態で、映像信号パルス (P P) による映像信号線 D T L (j) の電位変動が終了する時間 T 4 の経過を待ち、その後の時間 T 5 で、データ基準電位 V o を再度サンプリングするための 2 つ目のサンプリングパルス (S P 1) を立ち上げる。

この制御の結果、2 つ目のサンプリングパルス (S P 1) を立ち上げた時間 T 5 で、映像信号 S s i g のデータ電位 V s i g を誤ってサンプリングすることは回避される。

なお、時間 T 5 における 2 度目のサンプリング開始時には、図 4 (E) に示すように、既にゲート電圧 V g がデータ基準電位 V o を保持している。したがって、2 度目のサンプリングによってリーク電流等による微小な損失を補うことがあるにせよ、一般には、ゲート電圧 V g は殆ど変動しない。

10

【 0 0 7 9 】

時間軸上での説明を若干前に戻すと、時間 T 1 で 1 つ目のサンプリングパルス (S P 0) が印加されることによってサンプリングトランジスタ M s がオンし、図 4 (E) に示すように、駆動トランジスタ M d のゲート電圧 V g がデータ基準電位 V o に収束すると、これに連動して保持キャパシタ C s の保持電圧が低下し、“ V o - V c c _ L ” となる (図 4 (F))。これは、図 5 (B) のディスチャージによってソース電位 V s が低電位 V c c _ L になり、低電位 V c c _ L を基準にしたゲート電圧 V g で保持キャパシタ C s の保持電圧が規定されるためである。つまり、図 5 (C) において、ゲート電圧 V g がデータ基準電位 V o に下がると、これに連動して保持キャパシタ C s の保持電圧が下がり、当該保持電圧が “ V o - V c c _ L ” に収束する。なお、この保持電圧 “ V o - V c c _ L ” はゲートソース間電圧 V g s そのものであり、ゲートソース間電圧 V g s が駆動トランジスタ M d の閾値電圧 V t h よりも大きくないと、その後に閾値補正動作を行なうことができないために、“ V o - V c c _ L > V t h ” とするように電位関係が決められている。

20

このようにして、駆動トランジスタ M d のゲート電圧 V g およびソース電位 V s を初期化することで、閾値補正動作の準備が完了する。

【 0 0 8 0 】

[第 1 閾値補正期間 (V T C 1)]

時間 T 5 でサンプリングトランジスタ M s が 2 度目の V o サンプリングを開始した後、図 4 (B 2) に示すように、時間 T 6 で電源駆動パルス D S (1) が低電位 V c c _ L から高電位 V c c _ H に立ち上がると、当該初期化期間 (I N T) が終了し、第 1 閾値補正期間 (V T C 1) が開始する。

30

【 0 0 8 1 】

第 1 閾値補正期間 (V T C 1) の開始時 (時間 T 6) の直前において、オン状態のサンプリングトランジスタ M s がデータ基準電位 V o をサンプリング中であるため、駆動トランジスタ M d のゲート電圧 V g は、一定のデータ基準電位 V o で電氣的に固定された状態にある。

この状態で時間 T 6 にて、水平画素ライン駆動回路 4 1 (図 2 参照) が、図 4 (B 2) に示すように、電源駆動パルス D S (1) を低電位 V c c _ L から高電位 V c c _ H に立ち上げる。水平画素ライン駆動回路 4 1 は、時間 T 6 以降は、次のフレーム (あるいはフィールド) の処理開始まで、駆動トランジスタ M d への電源供給線の電位を高電位 V c c _ H に保持しておく。

40

【 0 0 8 2 】

電源駆動パルス D S (1) の立ち上げによって駆動トランジスタ M d のソースとドレイン間に “ V c c _ H - V c c _ L ” の電源電圧 V D D が印加される。そのため、駆動トランジスタ M d に電源からドレイン電流 I d s が流れるようになる。

ドレイン電流 I d s によって駆動トランジスタ M d のソースが充電され、図 4 (F) に示すようにソース電位 V s が上昇するため、それまで “ V o - V c c _ L ” という値をとっていた駆動トランジスタ M d のゲートソース間電圧 V g s (保持キャパシタ C s の保持電圧) は、徐々に小さくなっていく (図 4 (E) および図 4 (F))。

50

【 0 0 8 3 】

このときのドレイン電流 I_{ds} による駆動トランジスタ M_d のソース充電速度は余り大きくない。その理由を、図 6 (A) を参照しつつ述べる。

図 6 (A) に示すように、駆動トランジスタ M_d のゲート電圧 V_g に印加されているゲートバイアス電圧がデータ基準電位 V_o で規定され、当該バイアス電圧が余り大きくないため、駆動トランジスタ M_d は浅いオン状態、すなわち駆動能力が余り大きくない状態でオンする (第 1 の理由) 。

また、ドレイン電流 I_{ds} は保持キャパシタ C_s に流れ込むが、有機発光ダイオード $OLED$ の容量 C_{oled} の充電にもドレイン電流 I_{ds} が消費されるため、ソース電位 V_s が上がりにくい (第 2 の理由) 。

10

さらに、サンプリングパルス ($SP1$) を、次に映像信号 S_{sig} がデータ電位 V_{sig} に遷移する時間 T_8 より前の時間 T_7 で終了させる必要があるため (図 4 (B 1) 参照) 、ソース電位 V_s の充電時間が不十分である (第 3 の理由) 。

【 0 0 8 4 】

仮に、図 4 (B 1) に示す 2 つ目のサンプリングパルス ($SP1$) が時間 T_7 を越えて十分長くまで持続可能であるとすると、駆動トランジスタ M_d のソース電位 V_s (有機発光ダイオード $OLED$ のアノード電位) は、図 8 に示すように、時間 T_6 を起点として時間とともに上昇し、 “ $V_o - V_{th}$ ” で収束する (図 8 の破線により示す曲線 CV) 。つまり、ゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) が丁度、駆動トランジスタ M_d の閾値電圧 V_{th} となったところでソース電位 V_s の上昇がほぼ終了するはずである。

20

【 0 0 8 5 】

[第 1 待機期間 ($WAT1$)]

しかしながら、現実には、その収束点に達する前に時間 T_7 が来るため、サンプリングパルス ($SP1$) の持続時間が終了し、これによって、第 1 閾値補正期間 ($VT C 1$) が終了し、第 1 待機期間 ($WAT1$) が開始する。

具体的には、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} が V_{x1} ($> V_{th}$) になったとき、つまり、図 8 に示すように、駆動トランジスタ M_d のソース電位 V_s が低電位 V_{cc_L} から “ $V_o - V_{x1}$ ” に上昇した時点 (時間 T_7) で、第 1 閾値補正期間 ($VT C 1$) が終了する。このとき (時間 T_7) では、電圧値 V_{x1} が保持キャパシタ C_s に保持される。

30

【 0 0 8 6 】

第 1 閾値補正期間 ($VT C 1$) が終了すると、サンプリングトランジスタ M_s がオフするため、駆動トランジスタ M_d のゲートがデータ基準電位 V_o で電氣的に固定された状態から、電氣的なフローティング状態に推移する。

したがって、時間 T_7 以後は、ソース電位 V_s が上昇すると、それに伴って、ソースに容量結合したフローティング状態のゲートの電位 (V_g) も上昇する (図 4 (E) と図 4 (F)) 。その結果、本例では、第 1 待機期間 ($WAT1$) の終了時点 (時間 T_{10}) において、ソース電位 V_s が収束目標の “ $V_o - V_{th}$ ” よりも大きくなる (図 8 参照) 一方で、図 4 (E) および (F) に示すようにゲートソース間電圧 V_{gs} は縮まらない。

40

【 0 0 8 7 】

第 1 待機期間 ($WAT1$) は、先に説明した初期化期間 (INT) と同様、映像信号パルス (PP) の通過を待つ必要があり、その意味で “ 待機期間 ” と称している。しかし、時間 $T_7 \sim T_{10}$ といった比較的長い待機期間は、ゲート電圧 V_g の上昇を許してしまい、また、上記のようにゲートソース間電圧 V_{gs} の閾値電圧 V_{th} への収束が進まない。

図 4 (E) では、第 1 待機期間 ($WAT1$) 中におけるゲート電圧 V_g の上昇分を “ V_{a1} ” で表している。なお、結合容量 (保持キャパシタ C_s) を介した、このゲート電圧 V_g の上昇をブートストラップ動作により引き起こす原因となるソース電位 V_s の上昇分も “ V_{a1} ” で同じとすると、ソース電位 V_s は第 1 待機期間 ($WAT1$) の終了時点 (時間 T_{10}) で “ $V_o - V_{x1} + V_{a1}$ ” となる (図 6 (B) 参照) 。

50

このため、ゲート電位を、初期化レベルであるデータ基準電位 V_o に戻すとともに閾値電圧補正を再度行う必要がある。

【0088】

[第2閾値補正期間 ($VTC2$)]

そこで本実施形態の動作例では、次の1水平期間 ($1H$) (時間 $T_{10} \sim T_{15}$) において、前の1水平期間 ($1H$) (時間 $T_5 \sim T_{10}$) で行った第1閾値補正期間 ($VTC1$) と第1待機期間 ($WAT1$) と同様な処理、即ち、第2閾値補正期間 ($VTC2$) と第2待機期間 ($WAT2$) を実行する。

ただし、第1閾値補正期間 ($VTC1$) が開始された時間 T_5 においてはゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) が " $V_o - V_{cc_L}$ " と比較的大きい値であったのに対し、第2閾値補正期間 ($VTC2$) が開始される時間 T_{10} において当該保持電圧が、より小さい " V_{x1} " に縮まっている。

【0089】

図4 (B1) に示すように時間 T_{10} でサンプリングパルス ($SP2$) が立ち上がり、サンプリングトランジスタ M_s がオンすると、駆動トランジスタ M_d のゲート電圧 V_g ($= V_o + V_{a1}$) がより低い電位 (データ基準電位 V_o) の映像信号線 $DTL(j)$ に接続される。このため、その差分 (V_{a1}) に相当する電流が駆動トランジスタ M_d のゲートから映像信号線 $DTL(j)$ に流れ、図6 (C) に示すようにゲート電圧 V_g がデータ基準電位 V_o にまで強制的に下げられる。

この駆動トランジスタ M_d のゲートにおける電位 (V_{a1}) の変動は、保持キャパシタ C_s 、および、駆動トランジスタ M_d のゲートソース間寄生容量 C_{gs} を介して駆動トランジスタ M_d のソースに入力され、ソース電位 V_s がプルダウンされる。

このときのソース電位 V_s のプルダウン量は、容量結合比 g を用いて " $g * V_{a1}$ " と表される。ここで容量結合比 g は、上記ゲートソース間寄生容量 C_{gs} 、保持キャパシタ C_s と同一符号のその容量値 (C_s)、有機発光ダイオード $OLED$ の容量 C_{oled} を用いて、 $g = (C_{gs} + C_s) / (C_{gs} + C_s + C_{oled})$ と表される。よって、ソース電位 V_s は、直前の " $V_o - V_{x1} + V_{a1}$ " から " $g * V_{a1}$ " だけ低下し、" $V_o - V_{x1} + (1 - g) V_{a1}$ " となる。

容量結合比 g は定義式から明らかなように1より小さい値をとるため、ソース電位 V_s の変化量 " $g * V_{a1}$ " は、ゲート電圧 V_g の変化量 (V_{a1}) より小さい。

【0090】

ここで、駆動トランジスタのゲートソース間電圧 V_{gs} ($= V_{x1} - (1 - g) V_{a1}$) が駆動トランジスタ M_d の閾値電圧 V_{th} よりも大きければ、図6 (C) のように、ドレイン電流 I_{ds} が流れる。ドレイン電流 I_{ds} は、駆動トランジスタ M_d のソース電位 V_s が " $V_o - V_{th}$ " となって駆動トランジスタ M_d がカットオフするまで流れようとする。しかし、本実施形態の動作例では、図4 (E) および図4 (F) に示すように、ゲートソース間電圧 V_{gs} が " V_{x2} " (但し V_{x2} は、 $V_{x1} > V_{x2} > V_{th}$ を満たす大きさを有する) となった時間 T_{12} でサンプリングパルス ($SP2$) が終了するため、サンプリングトランジスタ M_s がオフする。時間 T_{12} における、保持キャパシタ C_s の保持電圧は " V_{x2} " である。

【0091】

[第2待機期間 ($WAT2$)]

時間 T_{12} から第2待機期間 ($WAT2$) が開始する。

第2待機期間 ($WAT2$) では、前回の第1待機期間 ($WAT1$) と同様に、サンプリングトランジスタ M_s がオフしてゲート電圧 V_g が電氣的にフローティング状態となるため、ソース電位 V_s の上昇に応じてゲート電圧 V_g も上昇する (図7 (A) 参照)。

しかし、ゲート電圧 V_g の電位上昇効果 (ブートストラップ効果) は、その開始時点のゲートソース間電圧 V_{gs} が制御目標 " V_{th} " に近い余り大きくなく、図4 (E) および図4 (F) の時間 $T_{12} \sim T_{15}$ に見られるように、ソース電位 V_s およびゲート電圧 V_g の電位上昇幅は僅かである。

【 0 0 9 2 】

より詳細には、図 7 (A) の第 2 待機期間 (W A T 2) において、ドレイン電流 I_{ds} が流れることによるソース電位 V_s の上昇分を “ V_{a2} ” とすると、待機期間終了時 (図 4 の時間 T_{15}) におけるソース電位 V_s は “ $V_o - V_{x2} + V_{a2}$ ” となる。このソース電位が “ V_{a2} ” だけ上昇することは、ゲートソース間寄生容量 C_{gs} および保持キャパシタ C_s を介して、フローティング状態のゲートに伝達され、その結果、ゲート電圧 V_g もほぼ同じ電位 “ V_{a2} ” だけ上昇する。ただし、ゲート電圧 V_g の電位上昇分 “ V_{a2} ” は、図 4 (E) に示すように、第 1 待機期間 (W A T 1) における電位上昇分 “ V_{a1} ” より遥かに小さいものである。

【 0 0 9 3 】

10

[第 3 閾値補正 (V T C 3)]

時間 T_{15} から「本動作」に入り、第 3 閾値補正 (V T C 3) が開始する。

第 3 閾値補正 (V T C 3) (時間 $T_{15} \sim T_{17}$) では、第 2 閾値補正期間 (V T C 2) と同様な処理を実行する。

ただし、第 2 閾値補正期間 (V T C 2) が開始された時間 T_{10} においてはゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) が “ V_{x1} ” と比較的大きい値であったのに対し、第 3 閾値補正期間 (V T C 3) が開始される時間 T_{15} においては、さらに小さい “ V_{x2} ” に縮まっている。

動作の基本は [第 2 閾値補正期間 (V T C 2)] の繰り返しになるので割愛する。[第 2 閾値補正期間 (V T C 2)] の説明は、“ V_{a1} ” を “ V_{a2} ” に、“ V_{x1} ” を “ V_{x2} ” に置き換えることによって、当該第 3 閾値補正 (V T C 3) に適用できる。このことは図 6 (C) と図 7 (B) との対比でも明らかである。

20

【 0 0 9 4 】

ただし、第 2 閾値補正期間 (V T C 2) と異なるのは、第 3 閾値補正 (V T C 3) が終了する時間 T_{17} までには、図 4 (E) および図 4 (F) に示すように、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) が、閾値電圧 V_{th} と等しくなることである。このため、駆動トランジスタ M_d は、ゲートソース間電圧 V_{gs} が閾値電圧 V_{th} と等しくなったところでカットオフし、それ以後、ドレイン電流 I_{ds} が流れなくなる。このときの駆動トランジスタ M_d のソース電位 V_s は “ $V_o - V_{th}$ ” である。

30

【 0 0 9 5 】

以上のように待機期間を間に挟んだ複数回 (本例では 3 回) に亘る閾値電圧補正によって、保持キャパシタ C_s の保持電圧は、これが一定となる待機期間を間に挟んでステップ状に収束し、最終的には閾値電圧 V_{th} となる。

ここで仮に、駆動トランジスタのゲートソース間電圧が “ V_{in} ” だけ大きくなったとすると、ゲートソース間電圧は “ $V_{in} + V_{th}$ ” となる。また、閾値電圧 V_{th} が大きい駆動トランジスタと、これが小さい駆動トランジスタを考える。

前者の閾値電圧 V_{th} が大きい駆動トランジスタは、閾値電圧 V_{th} が大きい分だけゲートソース間電圧が大きく、逆に閾値電圧 V_{th} が小さい駆動トランジスタは、閾値電圧 V_{th} が小さいためゲートソース間電圧が小さくなる。よって、閾値電圧 V_{th} に関していえば、閾値電圧補正動作により、そのバラツキをキャンセルして、同じデータ電圧 V_{in} なら同じドレイン電流 I_{ds} を駆動トランジスタに流すことができる。

40

【 0 0 9 6 】

なお、3 回に亘る閾値補正期間、すなわち、第 1 閾値補正期間 (V T C 1) 、第 2 閾値補正期間 (V T C 2) および第 3 閾値補正 (V T C 3) においては、ドレイン電流 I_{ds} が専ら保持キャパシタ C_s の一方電極側、有機発光ダイオード O L E D の容量 C_{oled} の一方電極側に流入することのみ消費され、有機発光ダイオード O L E D がオンしないようにする必要がある。有機発光ダイオード O L E D のアノード電圧を “ V_{oled} ” 、その閾値電圧を “ V_{th_oled} ” 、そのカソード電位を “ V_{cath} ” と表記すると、有機発光ダイオード O L E D をオフ状態に維持する条件は、“ $V_{oled} - V_{cath} + V_{th_oled}$ ” が常に

50

成り立つことである。

ここで有機発光ダイオード O L E D のカソード電位 V_{cath} を基準電圧 V_{SS} (例えば接地電圧 GND) で一定とした場合、発光閾値電圧 V_{th_oled} が非常に大きいときは、この式を常に成立させることも可能である。しかし、発光閾値電圧 V_{th_oled} は有機発光ダイオード O L E D の作製条件で決まり、また、低電圧で効率的な発光のためには発光閾値電圧 V_{th_oled} を余り大きくできない。よって、望ましくは、3度の閾値補正期間、および、次に述べる移動度補正期間が終了するまでは、カソード電位 V_{cath} を低電位 V_{cc_L} より小さく設定することによって、有機発光ダイオード O L E D を逆バイアスさせておくといよい。

【0097】

10

[第3待機期間 (W A T 3)]

以上は閾値電圧補正についての説明であるが、本動作例では、続いて“書き込み&移動度補正”のための待機期間(第3待機期間 (W A T 3))が開始する。第3待機期間 (W A T 3) は、今までの閾値電圧補正のための第1待機期間 (W A T 1) および第2待機期間 (W A T 2) とは異なり、単に、その後に行う“書き込み&移動度補正”時に、映像信号 S_{sig} の電位変化の不安定な箇所を誤ってサンプリングしないように待機する短い待機期間である。

【0098】

図4 (B1) に示すように、時間 T_{17} でサンプリングパルス ($SP3$) が“H”レベルから“L”レベルに遷移すると、ここから第3待機期間 (W A T 3) が開始する。

20

第3待機期間 (W A T 3) では、その途中の時間 T_{18} で、図4 (A) に示すように、当該画素回路3 (1, j) で表示すべきデータ電位 V_{sig} をもつ映像信号パルス (PPx) が、映像信号 S_{sig} として映像信号線 $D T L(j)$ に供給される(図9 (A) 参照)。映像信号 S_{sig} において、データ電位 V_{sig} とデータ基準電位 V_o の差分が、当該画素回路で表示すべき階調値に対応するデータ電圧 V_{in} に相当する。つまり、データ電位 V_{sig} は“ $V_o + V_{in}$ ”に等しい。

時間 T_{18} で行われた電位変化から時間が経って、映像信号 S_{sig} がデータ電位 V_{sig} で安定した時間 T_{19} で、当該第3待機期間 (W A T 3) が終了する。

【0099】

30

[書き込み&移動度補正期間 (W & μ)]

時間 T_{19} から、書き込み&移動度補正期間 (W & μ) が開始する。

図4 (B1) に示すように、本動作時の映像信号パルス (PPx) を印加中の時間 T_{19} で、書き込みパルス (WP) がサンプリングトランジスタ M_s のゲートに供給される。すると、図9 (B) に示すように、サンプリングトランジスタ M_s がオンし、映像信号線 $D T L(j)$ のデータ電位 $V_{sig} (= V_o + V_{in})$ のうち、ゲート電圧 $V_g (= V_o)$ との差分、すなわち、データ電圧 V_{in} が、駆動トランジスタ M_d のゲートに入力される。この結果、ゲート電圧 V_g が“ $V_o + V_{in}$ ”となる。

ゲート電圧 V_g がデータ電圧 V_{in} だけ上昇すると、これに連動してソース電位 V_s も上昇する。このとき、データ電圧 V_{in} がそのままソース電位 V_s に伝達される訳ではなく、前述した容量結合比 g に応じた比率の変化分、すなわち、“ $g * V_{in}$ ”だけソース電位 V_s が上昇する。よって、変化後のソース電位 V_s は、“ $V_o - V_{th} + g * V_{in}$ ”となる。その結果、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} は、“ $(1 - g) V_{in} + V_{th}$ ”となる。

40

【0100】

ここで、移動度 μ によるバラツキについて説明する。

今までの3度の閾値電圧補正で、実は、ドレイン電流 I_{ds} を流すたびに移動度 μ による誤差が含まれていたものの、閾値電圧 V_{th} のバラツキが大きいため移動度 μ による誤差成分を厳密に議論しなかった。このとき容量結合比 g を用いずに、単に結果だけを示す電圧を新たに“ V_{a1} ”や“ V_{a2} ”により表記して説明したのは、移動度のバラツキを説明することによる煩雑さを回避するためである。

50

一方、既に説明したことであるが、厳密に閾値電圧補正が行われた後は、そのとき保持キャパシタ C_s に閾値電圧 V_{th} が保持されているため、その後、駆動トランジスタ M_d をオンさせると、閾値電圧 V_{th} の大小によってドレイン電流 I_{ds} が変動しない。そのため、この閾値電圧補正後の駆動トランジスタ M_d の導通で、仮に、当該導通時の駆動電流 I_d によって保持キャパシタ C_s の保持電圧（ゲートソース間電圧 V_{gs} ）の値に変動が生じたとすると、その変動量 ΔV （正または負の極性をとることが可能）は、駆動トランジスタ M_d の移動度 μ のバラツキ、より厳密には、半導体材料の物性パラメータである純粋な意味での移動度のほかに、トランジスタの構造上あるいは製造プロセス上で電流駆動力に影響を与える要因の総合的なバラツキを反映したものとなる。

【0101】

以上のことを踏まえた上で説明を戻すと、図9（B）において、サンプリングトランジスタ M_s がオンしてゲート電圧 V_g にデータ電圧 V_{in} が加わったときに、駆動トランジスタ M_d は、そのデータ電圧 V_{in} （階調値）に応じた大きさのドレイン電流 I_{ds} をソースドレイン間に流そうとする。このときドレイン電流 I_{ds} が移動度 μ に応じてばらつき、その結果、ソース電位 V_s は、“ $V_o - V_{th} + g * V_{in}$ ” に上記移動度 μ による変動量 ΔV を加えた “ $V_o - V_{th} + g * V_{in} + \Delta V$ ” となる。

【0102】

このとき有機発光ダイオード $OLED$ を発光させないためには、“ $V_s (= V_o - V_{th} + g * V_{in} + \Delta V) < V_{th_oled} + V_{cath}$ ” が満たされるように、データ電圧 V_{in} や容量結合比 g 等に応じたカソード電位 V_{cath} を予め設定するとよい。

この設定を予め行っていると、有機発光ダイオード $OLED$ は逆バイアスされ、ハイインピーダンス状態にあるため発光することはない、また、ダイオード特性ではなく単純な容量特性を示すようになる。

このとき上記条件式が満たされている限り、ソース電位 V_s が、有機発光ダイオード $OLED$ の発光閾値電圧 V_{th_oled} とカソード電位 V_{cath} との和を越えないため、ドレイン電流 I_{ds} （駆動電流 I_d ）は保持キャパシタ C_s の容量値 C_s と、有機発光ダイオード $OLED$ の逆バイアス時等価容量値 C_{oled} と、駆動トランジスタ M_d のゲートソース間に存在する寄生容量（ C_{gs} と表記）とを加算した容量 “ $C = C_s + C_{oled} + C_{gs}$ ” を充電するために用いられる。これにより、駆動トランジスタ M_d のソース電位 V_s は上昇していく。このとき、駆動トランジスタ M_d の閾値補正動作は完了しているため、駆動トランジスタ M_d が流すドレイン電流 I_{ds} は移動度 μ を反映したものとなる。

【0103】

図4（E）および図4（F）で “ $(1 - g) V_{in} + V_{th} - \Delta V$ ” の式により示しているように、保持キャパシタ C_s に保持されるゲートソース間電圧 V_{gs} においては、ソース電位 V_s に加わる変動量 ΔV が閾値補正後のゲートソース間電圧 $V_{gs} (= (1 - g) V_{in} + V_{th})$ から差し引かれることになるため、負帰還がかかるように当該変動量 ΔV が保持キャパシタ C_s に保持される。よって、以下、変動量 ΔV を「負帰還量」ともいう。

この負帰還量 ΔV は、有機発光ダイオード $OLED$ に逆バイアスをかけた状態では、“ $C_{oled} \gg C_s + C_{gs}$ ” が成り立つので、 $\Delta V = t * I_{ds} / (C_{oled} + C_s + C_{gs})$ という概算式で表すことができる。この概算式から、変動量 ΔV は、ドレイン電流 I_{ds} の変動に比例して変化するパラメータであることが分かる。

上記負帰還量 ΔV の概算式から、ソース電位 V_s に付加される負帰還量 ΔV は、ドレイン電流 I_{ds} の大きさ（この大きさは、データ電圧 V_{in} の大きさ、即ち階調値と正の相関関係にある）と、ドレイン電流 I_{ds} が流れる時間、すなわち、図4（B1）に示す、移動度補正に要する時間 T_{19} から時間 T_{20} までの時間（ t ）に依存している。つまり、階調値が大きいほど、また、時間（ t ）を長く取るほど、負帰還量 ΔV が大きくなる。

したがって、移動度補正の時間（ t ）は必ずしも一定である必要はなく、逆にドレイン電流 I_{ds} （階調値）に応じて調整することが好ましい場合がある。たとえば、白表示に近くドレイン電流 I_{ds} が大きい場合、移動度補正の時間（ t ）は短めにし、逆に、黒表示に近くなりドレイン電流 I_{ds} が小さくなると、移動度補正の時間（ t ）を長めに設定

10

20

30

40

50

するとよい。この階調値に応じた移動度補正時間の自動調整は、その機能を図 2 に示す書き込み信号走査回路 4 2 等に予め設けることにより実現可能である。

【 0 1 0 4 】

[発光期間 (L M 1)]

時間 T 2 0 で書き込み & 移動度補正期間 (W & μ) が終了すると、発光期間 (L M 1) が開始する。

時間 T 2 0 で書き込みパルス (W P) が終了するためサンプリングトランジスタ M s がオフし、駆動トランジスタ M d のゲートが電氣的にフローティング状態となる。

【 0 1 0 5 】

ところで、発光期間 (L M 1) より前の書き込み & 移動度補正期間 (W & μ) においては、駆動トランジスタ M d はデータ電圧 V_{in} に応じたドレイン電流 I_{ds} を流そうとするが、実際に流せるとは限らない。その理由は、有機発光ダイオード O L E D に流れる電流値 (I_d) が駆動トランジスタ M d に流れる電流値 (I_{ds}) に比べて非常に小さいなら、サンプリングトランジスタ M s がオンしているため、駆動トランジスタ M d のゲート電圧 V_g が “ $V_o + V_{in}$ ” に固定され、そこから閾値電圧 V_{th} 分下がった電位 (“ $V_o + V_{in} - V_{th}$ ”) にソース電位 V_s が収束しようとするからである。よって、移動度補正の時間 (t) を幾ら長くしてもソース電位 V_s は上記収束点を超える電位にはなれない。移動度補正は、その収束までの速さの違いで移動度 μ の違いをモニタし、補正するものである。このため、最大輝度の白表示のデータ電圧 V_{in} が入力された場合でも、上記収束になる前に移動度補正の時間 (t) の終点が決められる。

【 0 1 0 6 】

発光期間 (L M 1) が開始して駆動トランジスタ M d のゲートがフローティングとなると、そのソース電位 V_s は、さらに上昇可能となる。よって、駆動トランジスタ M d は、入力されたデータ電圧 V_{in} に応じた駆動電流 I_d を流すように動作する。

その結果、ソース電位 V_s (有機発光ダイオード O L E D のアノード電位) が上昇し、やがて、有機発光ダイオード O L E D の逆バイアス状態が解消され、図 9 (C) に示すように、ドレイン電流 I_{ds} が駆動電流 I_d として有機発光ダイオード O L E D に流れ始めるため、有機発光ダイオード O L E D が実際に発光を開始する。発光が開始して暫くすると、駆動トランジスタ M d は、入力されたデータ電圧 V_{in} に応じたドレイン電流 I_{ds} で飽和し、ドレイン電流 I_{ds} (= I_d) が一定となると、有機発光ダイオード O L E D がデータ電圧 V_{in} に応じた輝度の発光状態となる。

【 0 1 0 7 】

発光期間 (L M 1) の開始から輝度が一定となるまでの間に生じる有機発光ダイオード O L E D のアノード電位の上昇は、駆動トランジスタ M d のソース電位 V_s の上昇に他ならず、これを、有機発光ダイオード O L E D のアノード電圧 V_{oled} の上昇量という意味で “ ΔV_{oled} ” とする。駆動トランジスタ M d のソース電位 V_s は、 “ $V_o - V_{th} + g * V_{in} + \Delta V + \Delta V_{oled}$ ” となる (図 4 (F) 参照) 。

一方、ゲート電圧 V_g は、図 4 (E) に示すように、フローティング状態であるためソース電位 V_s に連動して、その上昇量 ΔV_{oled} と同じだけ上昇し、ドレイン電流 I_{ds} の飽和に伴ってソース電位 V_s が飽和すると、ゲート電圧 V_g も飽和する。

その結果、ゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) について、移動度補正時の値 (“ $(1 - g) V_{in} + V_{th} - \Delta V$ ”) が、発光期間 (L M 1) 中も維持される。

【 0 1 0 8 】

発光期間 (L M 1) においては、駆動トランジスタ M d が定電流源として動作することから、有機発光ダイオード O L E D の I - V 特性が経時変化し、これに伴って駆動トランジスタ M d のソース電位 V_s が変化することがある。

しかしながら、有機発光ダイオード O L E D の I - V 特性が経時変化の有無に関係なく、保持キャパシタ C_s の保持電圧が “ $(1 - g) V_{in} + V_{th} - \Delta V$ ” に保たれる。そして、保持キャパシタ C_s の保持電圧は、駆動トランジスタ M d の閾値電圧 V_{th} を補正する成分

($+V_{th}$)と、移動度 μ による変動を補正する成分($-\Delta V$)とを含むことから、閾値電圧 V_{th} や移動度 μ が、異なる画素間でばらついても駆動トランジスタ M_d のドレイン電流 I_{ds} 、つまり、有機発光ダイオード $OLED$ の駆動電流 I_d が一定に保たれる。

【0109】

具体的には、駆動トランジスタ M_d は、閾値電圧 V_{th} が大きいほど、上記保持電圧の閾値電圧補正成分($+V_{th}$)によってソース電位 V_s を下げて、ドレイン電流 I_{ds} (駆動電流 I_d)をより流すようにソースドレイン間電圧を大きくする。このため閾値電圧 V_{th} の変動があってもドレイン電流 I_{ds} は一定となる。

また、駆動トランジスタ M_d は、移動度 μ が小さくて上記変動量 ΔV が小さい場合は、保持キャパシタ C_s の保持電圧の移動度補正成分($-\Delta V$)によって当該保持電圧の低下量も小さくなるため、相対的に、大きなソースドレイン間電圧が確保され、その結果、ドレイン電流 I_{ds} (駆動電流 I_d)をより流すように動作する。このため移動度 μ の変動があってもドレイン電流 I_{ds} は一定となる。

10

【0110】

以上より、画素間で駆動トランジスタ M_d の閾値電圧 V_{th} や移動度 μ がばらついても、さらに、駆動トランジスタ M_d の特性が経時変化しても、データ電圧 V_{in} が同じである限り、有機発光ダイオード $OLED$ の発光輝度も一定に保たれる。

【0111】

<補助キャパシタ>

以上の発光制御の書き込み&移動度補正期間($W \& \mu$)において、図4(E)および図4(F)に示すように、駆動トランジスタ M_d のゲート電圧 V_g に書き込まれたデータ電圧 V_{in} がそのまま保持キャパシタ C_s の保持電圧に追加されるのではなく、データ電圧 V_{in} から($g \cdot V_{in}$)だけ下がったデータ電圧“(1 - g) V_{in} ”が保持キャパシタ C_s の保持電圧に追加される。このため容量結合比 g に相当する書き込みゲインのロスが発生し、これが表示画面で所望の明るさが得られない原因となる。

20

容量結合比 g は“ $g = (C_{gs} + C_s) / (C_{gs} + C_s + C_{oled})$ ”と表されるが、その分母が大きいほうが書き込みゲインのロスも小さくなり好ましい。そこで、特開2007-102046号公報(特許文献1)では、有機発光ダイオード $OLED$ と並列に補助キャパシタ C_{sub} を接続した画素回路構成を提案している。十分大きな補助キャパシタ C_{sub} を付加すると容量結合比 g は、“ $g = (C_{gs} + C_s) / (C_{gs} + C_s + C_{oled} + C_{sub})$ ”となって

30

【0112】

ところで、移動度補正で駆動トランジスタ M_d のソースにおける容量を大きくすると、ソース電位 V_s の充電がゆっくりとなる。駆動トランジスタ M_d の駆動能力は高く設定されているため、所定の時間(t)内にソース電位 V_s の充電が早すぎる場合がある。この充電が早すぎると時間(t)内にソース電位 V_s の上昇カーブが飽和してしまい、移動度補正の精度が低下する。この所定時間内の飽和を防止して移動度補正精度を高くする意味でも、補助キャパシタ C_{sub} の追加は望ましい。

【0113】

特許文献1では、補助キャパシタ C_{sub} を、駆動トランジスタ M_d のソースとカソード電位 V_{cath} の供給線との間に接続している。通常、カソード電位 V_{cath} は有機発光ダイオード $OLED$ を逆バイアスする程度に低い負電位に設定されるが、補助キャパシタ C_{sub} の一方電極をカソード電位 V_{cath} で固定するよりも、電源走査線 $DSL(i)$ の高電位 V_{cc_H} で固定する方が、補助キャパシタ C_{sub} の実使用時の容量値(電荷蓄積能力)を高くできるため好ましい。しかし、同じ画素回路内の電源走査線 $DSL(i)$ に補助キャパシタ C_{sub} を接続すると、閾値電圧補正に支障をきたすため、本願発明者は、特願平2006-209327号の画素回路構成(以下、単に先願という)を提案している。

40

【0114】

図10に、先願の画素回路を、列方向に隣接する2つの画素において示す。

図10に図解する画素回路3(2,j)は、図2に示す画素回路3(i,j)と比較すると、補助

50

キャパシタ C_{sub} が追加されていることが異なる。補助キャパシタ C_{sub} は、画素回路 3 (2, j) における駆動トランジスタ M_d のソース（以下、ソースノード N_{Ds} とも言う）と、隣接する 1 行前の画素回路 3 (1, j) の電源走査線 $D_{SL}(1)$ との間に接続されている。このことは 1 行前の画素回路 3 (1, j) においても同様である。なお、有機発光ダイオード $OLED$ の容量 C_{oled} は逆バイアス時のダイオード等価容量であるため回路素子でないが、便器上、当該回路に記載している。

【0115】

図 11 (A) に、2 つの画素回路における配線の配置図を示す。図 11 (B) は、図 10 から 2 つの画素回路を転記した対応図である。

画素回路 3 (2, j) において、書込走査線 $W_{SL}(2)$ が、画素回路 3 (1, j) 寄り位置を行方向に配置されている。書込走査線 $W_{SL}(2)$ は、TFT のゲートメタル (GM)、例えばモリブデン Mo 等の高融点金属と同じ材料から形成されている。ゲートメタル (GM) の上層には TFT 層などが配置された後に層間絶縁膜によって平坦化され、層間絶縁膜の上にアルミニウム (AL) から配線が形成される。

アルミニウム (AL) によって電源走査線 $D_{SL}(2)$ が形成されている。電源走査線 $D_{SL}(2)$ は、書込走査線 $W_{SL}(2)$ と反対側の画素辺に沿って形成されている。

【0116】

以上の構成は、画素回路 3 (1, j) でも同様であり、従って、画素回路 3 (1, j) の書込走査線 $W_{SL}(1)$ と、画素回路 3 (2, j) の電源走査線 $D_{SL}(1)$ とが、画素境界を挟んで近接して設けられている。

画素回路 3 (2, j) 内の補助キャパシタ C_{sub} が、書込走査線 $W_{SL}(2)$ と交差して画素回路 3 (1, j) 内の電源走査線 $D_{SL}(1)$ に接続されている。画素回路 3 (1, j) 内の補助キャパシタ C_{sub} は、同様にして、不図示の更に 1 行前の画素回路の電源走査線に接続される。

【0117】

画素回路 3 (1, j) と 3 (2, j) に共通な列方向の映像信号線 $D_{TL}(j)$ は、主としてアルミニウム (AL) で、一部がゲートメタル (GM) により形成されている。より詳細には、電源走査線 $D_{SL}(1)$ や $D_{SL}(2)$ と交差する部分の映像信号線がゲートメタル (GM) から形成され、その部分が下方ブリッジ構造となっている。

【0118】

< 横クロストーク >

以上の画素回路構成を例として、横クロストークと呼ばれる画質低下現象を説明する。

図 12 は、横クロストークの発生原因を説明するための図である。図 12 において、(A1) ~ (A4) に走査線やノードの電位の波形図、(B) に図 11 (B) と同様な対応回路図、(C) に横クロストークの模式図を、それぞれ示す。

【0119】

図 12 (C) において、画素アレイ 2 に表示パターンを重ねて示している。

例えば図 12 (C) に示すように、全ての画素が白表示を行う表示ライン L_1 と、その次の行であり、白表示を行う画素に、ある程度の割合で黒表示を行う画素が混ざった表示ライン L_2 とを想定する。図 12 (C) に示す例では、表示ライン L_2 の両側、それぞれ 1 / 3 程度を占める部分の画素が白表示、その間の部分が黒表示となっている。

ここで図 12 (B) に示す画素回路 3 (1, j) が表示ライン L_1 に属し、画素回路 3 (2, j) が表示ライン L_2 に属すると仮定する。

【0120】

図 12 (A1) ~ 図 12 (A4) は、時間符号 “T19, T20” が図 4 と対応し、書込み & 移動度補正期間 ($W \& \mu$) の発光制御を示している。

表示ライン L_1 の表示制御では、時間 T19 にて書込走査線 $W_{SL}(1)$ の電位が “L” レベルから “H” レベルに遷移すると (図 12 (A2))、画素回路 3 (1, j) のサンプリングトランジスタ M_s がオンし、データ電圧 V_{in} が制御ノード N_{Dc} に入力され (図 12 (A3))、駆動トランジスタ M_d が、データ電圧 V_{in} に応じたドレイン電流 I_{ds} を流す。このため、図 12 (A4) に示すように、画素回路 3 (1, j) のソースノード N_{Ds} の

10

20

30

40

50

電位が上昇する。

【 0 1 2 1 】

図 1 1 (A) に示すように、書込走査線 $W S L (2)$ と電源走査線 $D S L (1)$ が近接配置され、その間に寄生容量 $C p$ が存在する。このことは、図 1 2 (B) に示すように、書込走査線 $W S L (1)$ と電源走査線 $D S L (0)$ においても同様である。

よって、図 1 2 (A 2) のように書込走査線 $W S L (1)$ の電位が “ H ” レベルに遷移すると、寄生容量 $C p$ を介して ($P a s s 1$ を通って)、図 1 2 (A 1) に示すように比較的大きな電位変動が電源走査線 $D S L (0)$ に発生する。この電位変動は暫くすると収束して消滅する。

【 0 1 2 2 】

ところが、電源走査線 $D S L (0)$ は補助キャパシタ C_{sub} を介して、隣接する画素回路 3 (1, j) のソースノード $N D s$ と結合しているため、上記電位変動が $P a s s 2$ を通ってソースノード $N D s$ に伝達される。

従って、図 1 2 (A 4) に示すように、画素回路 3 (1, j) のソース電位 $V s$ は、オーバーシュートを持った立ち上がり波形となる。

その後、図 4 と同様に表示ライン $L 1$ が実際に発光して、白ラインが画面に表示される。

【 0 1 2 3 】

つぎに、表示ライン $L 1$ の発光途中 (時間 $T 1 9$ から 1 水平期間 ($1 H$) 後) に、同様な書込み & 移動度補正が次の表示ライン $L 2$ に対して行われる。

電源走査線に電位変化が寄生容量 $C p$ を介して生じ、これが補助キャパシタ C_{sub} を介してソースノード $N D s$ に伝達されることは、上述した画素回路 3 (1, j) でも、表示ライン $L 2$ に属する画素回路 3 (2, j) でも変わらない。そして、同様な制御によってデータの書き込みと移動度補正が行われ、発光可能な状態となる。

【 0 1 2 4 】

先に説明した全画素が白表示の表示ライン $L 1$ に属する画素回路 3 (1, j) の場合、図 1 2 (A 1) に示す電位変動 (ノイズ) が発生すると同時に、図 1 2 (A 3) に示すようにゲート電圧 $V g$ の電位が、白に対応した高い電位のデータ電位 V_{sig} に遷移し、このことは表示ライン $L 1$ 内の全ての画素で同様である。

よって、表示ライン $L 1$ 内の全ての画素において、サンプリングトランジスタ $M s$ のドレインとゲート間の電位差が比較的小さく、サンプリングトランジスタ $M s$ のドレインとゲート間の容量 (寄生容量) が相対的に小さい。また、表示ライン $L 1$ 内の全ての画素において、サンプリングトランジスタ $M s$ のソース電位が急激に上昇するため、ソースとゲート間の容量 (寄生容量) も相対的に小さい。ゲートから見たドレイン側とソース側の容量が小さいことは、チャンネル容量の増加に比べて、ゲート容量の低減に大きく寄与し、その結果、ノイズが発生している時間帯の書込走査線 $W S L (1)$ の負荷容量は、その寄生容量が低下する分だけ小さくなり、図 1 2 (A 2) に示すように、書込走査線 $W S L (1)$ の立ち上がりは比較的スムーズである。

【 0 1 2 5 】

これに対し、一部の画素が黒表示する表示ライン $L 2$ の場合、事情が異なってくる。

より詳細には、黒表示の画素では時間 $T 1 9$ を過ぎてもデータ基準電位 $V o$ に近い電位までにしか映像信号線 $D T L (j)$ の電位が変化しない。そのため、表示ライン $L 2$ では、サンプリングトランジスタ $M s$ のゲートとドレイン間の平均的な電位差が表示ライン $L 1$ の場合より大きくなり、その結果、ゲートとドレイン間の平均的な寄生容量も相対的に大きい。また、表示ライン $L 2$ 内の黒表示の画素では、ゲート電圧 $V g$ が、図 1 2 (A 3) に示すデータ電位 V_{sig} (白) にまで上がらないで、それより低い黒表示レベルに落ち着く。このため、表示ライン $L 2$ 内の平均的なゲートとソース間の電位差が、表示ライン $L 1$ に比べると大きく、その結果、ゲートとソース間の平均的な寄生容量も相対的に大きい。表示ライン $L 2$ の平均的なチャンネル容量は表示ライン $L 1$ の場合より若干小さいが、ドレイン側とソース側の寄生容量が大きい結果、表示ライン $L 2$ を制御する書込走査線 $W S$

10

20

30

40

50

L (2) は、図 1 2 (A 2) に破線によって示すように、その電位の立ち上がりが遅くなる。

【 0 1 2 6 】

書込走査線における電位の立ち上がりの違いは、図 1 2 (A 1) に示すノイズの高さの違いとなって現れ、電源走査線 D S L (1) のノイズ (電位変動) は、電源走査線 D S L (0) のノイズより小さい。

この高さが小さいノイズが、電源走査線 D S L (1) から画素回路 3 (2, j) 内の補助キャパシタ C sub を介してソースノード N D s に伝達される。このため、画素回路 3 (2, j) においては、図 1 2 (A 4) に破線で示すように、ソース電位 V s の電位が、オーバーシュートが発生しないまま上昇する。

10

【 0 1 2 7 】

以上の理由から、ラインの表示パターンが白一色の場合と、白に黒が混じる場合で、ソース電位 V s の電位が立ち上がる速度に違いが生じる。

このことは、同じ階調表示を行う画素が、その画素が属するラインの平均的な表示画素階調の違いにより影響を受け、移動度補正の補正量 ΔV が異なる場合があることを意味する。従って、補正にバラツキが発生し、所望の階調表示ができないという不都合が生じる。

具体的には、同じ白表示を行う画素でも、図 1 2 (C) に示す表示ライン L 1 と L 2 では、表示ライン L 2 の白表示画素が、実際には白表示できずに、白よりレベル的に低い灰色の表示となってしまう、横クロストークが発生する。

20

【 0 1 2 8 】

< 横クロストーク改善のための表示制御手法 >

本実施形態における表示制御は、「駆動トランジスタ M d に対しデータ電位 V sig の書き込みを制御する期間において、映像信号線にデータ電位 V sig が出現する時より所定時間だけ前に、書込走査線を活性化して映像信号線に出現する一定電位をサンプリングし、データ電位 V sig の出現によりデータ電位 V sig がサンプリングされて制御ノード N D c に書き込まれた後に、書込走査線を非活性にする」制御を含む。

以下、この制御を図 4 に適用して変更した図 1 3 を用いて、本実施形態の表示制御の一例を説明する。

【 0 1 2 9 】

30

図 1 3 は、書込み & 移動度補正期間 (W & μ) における、書き込みパルス W P の立ち上がり (時間 T 1 9) より後に映像信号パルス P P x の立ち上がり (時間 1 8 ') を位置させている点で、図 4 と異なる。

よって、時間 1 8 ' からデータ書き込みと移動度補正が開始されるため、1水平期間 (1 H) における書き込みパルス P P , P P x の幅が図 4 より狭い。しかし、駆動トランジスタ M d の駆動能力が高いため、データ書き込みと移動度補正の時間は十分確保されている。

書き込みパルス P P が 1 水平期間 (1 H) の後方端側を短い時間だけ通過するため、初期化期間 (I N T) に 1 水平期間 (1 H) を確保する必要がない。図 1 3 では、最初の 1 水平期間 (1 H) 内に初期化と第 1 閾値補正を連続して行っている点が、図 4 の場合と異なる。

40

【 0 1 3 0 】

その他の基本的な制御は図 1 3 と図 4 で共通し、同じ符号を付して表示する。なお、符号 “ T 1 ' ” は、時間 T 1 より若干前であることを意味する。また、符号 “ T 1 8 ' ” は、図 4 で時間 T 1 9 より前の時間 T 1 8 を、図 1 3 では時間 T 1 9 より後にずらしたことを意味する。

【 0 1 3 1 】

図 1 3 に示す表示制御では、書込み & 移動度補正期間 (W & μ) が時間 T 1 9 で開始されると、図 1 3 (B 2) に示すように、書き込みパルス W P が立ち上がる。このときは、図 1 3 (A) に示すように、映像信号パルス P P x が立ち上がる時間 T 1 8 ' より前であ

50

るため、映像信号 S_{sig} はデータ基準電位 V_o を維持している。

時間 T_{19} で書き込みパルス W_P が立ち上がり、図 12 (B) に示すサンプリングトランジスタ M_s がオンすると、データ基準電位 V_o がサンプリングされて制御ノード N_{Dc} に書き込まれる。

【0132】

時間 T_{19} から所定時間が経過した時間 $T_{18'}$ にて、図 13 (A) に示すように、映像信号パルス P_Px が立ち上がる。このとき書き込みパルス W_P は“H”レベルを維持しているためサンプリングトランジスタ M_s がオン状態である。よって、サンプリングトランジスタ M_s のドレイン電位変動 ($V_o \rightarrow V_{sig}$) がほぼそのまま、ソースに伝達され、これによりデータ電位 V_{sig} のサンプリングが行われる。

10

【0133】

この2度のサンプリングでは、最初に「一定電位」としてのデータ基準電位 V_o がサンプリングされ、所定時間の経過後にデータ電位 V_{sig} のサンプリングが行われる。

このため2度のサンプリングの間に、図 12 に示す、隣の電源走査線 D_{SL} に寄生容量 C_p を介して重畳される電位変動 (ノイズ) の影響を排除または低減することが可能である。

【0134】

1度目のサンプリングで書込走査線 W_{SL} をハイレベルに立ち上げることに起因して生じる上記ノイズが補助キャパシタ C_{sub} を介してソースノード N_{Ds} に伝達され、そこで収束 (消滅) する長さに、上記所定期間を設定することが最も望ましい。ただし、ノイズのピークより後で、ある程度ノイズレベルが低下した段階で2度目のサンプリングを始めてもよい。所定時間に課せられる最低の要件は、ソースノード N_{Ds} におけるノイズピークより後に所定時間が終了し、2度目のサンプリングが開始することである。

20

【0135】

図 14 (A) ~ 図 14 (E) は、図 12 (C) に示す表示ライン L_2 を表示制御しているときの走査線、信号線あるいはノードの電位の波形図である。

表示ライン L_2 のように白表示画素と黒表示画素が混在している場合、書込走査線 W_{SL} (2) の負荷容量が大きいいため、図 14 (B) に示すように、書込駆動パルス W_S の立ち上がりの遅延が生じて時定数が大きくなっている。このとき図 14 (A) に示す電位変動 (ノイズ) の波高値は比較的小さいが、これが補助キャパシタ C_{sub} (図 12 (B)) を介して伝達されると、図 14 (E) に示すように、駆動トランジスタ M_d のソース電位 V_s を揺らすため、ソース重畳ノイズが発生している。

30

【0136】

本実施形態では書込駆動パルス W_S を立ち上げた時間 T_{19} より所定時間だけ経った時間 $T_{18'}$ で、図 14 (C) に示すように映像信号線 D_{TL} (2) に、所望のデータ電位 V_{sig} をもつ映像信号パルス P_Px が立ち上がる。よって時間 $T_{18'}$ からデータ電位 V_{sig} のサンプリングが始まるが、このときソース電位 V_s のソース重畳ノイズは収束しているため (図 14 (E))、データサンプリング後のソース電位 V_s は、ノイズの影響を受けることなく上昇し、書込み & 移動度補正期間 ($W \& \mu$) が終了する所望のデータ電位 V_{sig} に応じ、移動度補正の精度が低下することなく、正しい電位 V_{s_sig} が得られる。

40

時間 T_{20} で書き込みパルス W_P が終了すると、ソース電位 V_s は電位 V_{s_sig} から更に上昇し、有機発光ダイオード $OLED$ が発光可能となる。このため横クロストークが防止または抑制される。

【0137】

本実施形態における変形例を述べる。

【0138】

< 変形例 1 >

本実施形態で1度目のサンプリングは、映像信号線 D_{TL} の一定電位をサンプリングすればよく、この一定電位はデータ基準電位 V_o に限定されない。例えば、映像信号 S_{sig} の書き込みパルス W_Px を、データ基準電位 V_o より高く、データ電位 V_{sig} の最高値 (

50

白レベル)より低い中間電位を有するパルスから形成し、中間レベルを1度目のサンプリングでサンプリングしてもよい。

【0139】

図15(A)~図15(E)は、図14(A)~図14(E)に対応する変形例1の波形図である。

図15が図14と異なるのは、図14(C)に示す映像信号線DTL(2)を送られる映像信号パルスPPxが、中間電位Vmからデータ電位Vsigに変化していることである。図示の期間より前の映像信号線DTL(2)の電位は、初期化期間(INT)においてサンプリングされるデータ基準電位Voから中間電位Vmに変化しており、映像信号パルスPPxは3値レベルを有する波形となっている。

10

時間T19にて1度目のサンプリングが行われると、図15(E)に示すようにソース電位Vsが変化し、このときにソース重畳ノイズが発生するが、所定時間経過後の時間T18'までにはノイズの影響がなくなっている。ソース電位Vsは中間電位Vmに対応し、画素階調に依存しない一定の中間レベルから2度目のサンプリングにより、画素ごとに決められた所望の電位Vs_sigに変化する。

【0140】

変形例1では、図14と同様な横クロストークの防止または抑制という効果に加え、ソース電位Vsが中間レベルからの電位上昇であるためデータ書き込みがスムーズに短時間で行えるという、データプリチャージの効果もある。

中間電位Vmは、書込走査線WSLの電源走査線DSLに対するカップリングが小さい黒レベルが望ましい。

20

【0141】

<変形例2>

画素回路は図2や図10に示すものに限定されない。

図2の画素回路ではデータ基準電位Voは映像信号Ssigのサンプリングにより与えられるが、データ基準電位Voを、別のトランジスタを介して駆動トランジスタMdのソースやゲートに与えることもできる。

図2の画素回路ではキャパシタは保持キャパシタCsのみであるが、他の保持キャパシタを、例えば駆動トランジスタMdのゲートと一定電圧線との間にもう1つ設けてもよい。発光素子は有機発光ダイオードOLEDに限定されず、他の自発光素子でもよい。

30

【0142】

<変形例3>

画素回路が有機発光ダイオードOLEDの発光と非発光を制御する駆動方法には、画素回路内のトランジスタを走査線により制御する方法と、電源電圧の供給線を駆動回路によりAC駆動する方法(電源AC駆動方法)とがある。

図2や図10の画素回路は、後者の電源AC駆動方法の一例であるが、この方法において有機発光ダイオードOLEDのカソード側をAC駆動して駆動電流を流す、流さないを制御してもよい。

一方、前者の発光制御を走査線により制御する方法では、駆動トランジスタMdのドレイン側、または、ソースと有機発光ダイオードOLEDとの間に、他のトランジスタを挿入し、そのゲートを電源駆動制御の走査線で駆動する。

40

【0143】

<変形例4>

図4および図13に示す表示制御は、閾値補正期間(VTC)を3回の補正で行っていたが、1回の補正、または、3回以外の複数回の連続した(初期化を間に挟まないとの意味)処理によって閾値補正を行ってもよい。さらに、移動度補正を行ってからデータの書き込みを行う表示制御でもよい。その場合、データの書き込みに本発明を適用する、移動度補正に本発明を適用する、その両方に本発明を適用する、の何れも可能である。

【0144】

<変形例5>

50

なお、書込走査線 W S L の立ち上げに起因したノイズが横クロストークという画質の低下の発生原因となっていることは、図 10 に示すような画素回路構成が考案されるまで顕在化しなかった。ところが、この顕在化を契機に、横クロストークの発生原因を本発明者が解析し、その結果、発生原因の性質からして、補助キャパシタ C sub を隣接画素内の電源走査線 D S L に接続する図 10 の画素回路構成に限らず、他の画素回路構成、さらには、旧来の画素構成でも画素サイズの縮小等がされた場合でも、書込走査線 W S L の電位を立ち上げたことに起因して発光素子（例えば、有機発光ダイオード O L E D ）の一方電極に、ある程度の電位変動が生じさえすれば、横クロストークが発生し易いことが明らかとなった。

よって、補助キャパシタ C sub を設けること、さらに、補助キャパシタ C sub を、データ書き込み時においては電位制御されない隣接画素の所定の電圧線に接続する画素構成を採用することは、本発明の適用において必須でない。

よって、例えば、ソースノードを構成する内部配線やコンタクトが書込走査線 W S L に距離的に近く、その間の寄生容量を介して直接ノイズがソースノードに重畳するような画素構成において、本発明の適用の効果がある。図 10 の画素回路構成は横クロストークが発生しやすいため、本発明の適用による効果が、特に大きいという効果の相違に過ぎない。

【 0 1 4 5 】

本発明の実施形態およびその変形例によれば、自発光素子を含む表示装置において、映像信号のデータ電位を常に一定の電位からサンプリングすることにより、書込走査線の電位が高電位側に遷移することに起因して駆動トランジスタのソースに発生する電位変動（ノイズ）の影響を排除または低減しつつデータの書き込みを行うことができる。その結果、表示画面において横クロストークを防止または抑制することが可能となる。

【図面の簡単な説明】

【 0 1 4 6 】

【図 1】本発明の実施形態に関わる有機 E L ディスプレイの主要構成を示す図である。

【図 2】本発明の実施形態に関わる画素回路の基本構成の一例と、その画素回路を制御する駆動回路部分を示す図である。

【図 3】有機発光ダイオードの特性を表すグラフと式を示す図である。

【図 4】本発明の実施形態に関わり、本発明を適用前の表示制御における各種信号や電圧の波形を示すタイミングチャートである。

【図 5】図 4 の制御における V o サンプリングまでの動作説明図である。

【図 6】図 4 の制御における第 2 閾値補正までの動作説明図である。

【図 7】図 4 の制御における第 3 閾値補正までの動作説明図である。

【図 8】本発明の実施形態に関わるソース電位の時間推移のグラフである。

【図 9】図 4 の制御における発光期間までの動作説明図である。

【図 10】本発明の実施形態に関わる画素回路の構成と、その画素回路を制御する駆動回路部分を示す図である。

【図 11】図 10 に示す隣接する 2 つの画素回路の配線配置と、それに対応した等価回路を示す図である。

【図 12】本発明の実施形態において横クロストークの発生を説明するために用いた、走査線やノードの波形図、等価回路図、横クロストーク模式図である。

【図 13】本発明の実施形態に関わり、本発明を図 4 の制御に適用したときの各種信号や電圧の波形を示すタイミングチャートである。

【図 14】本発明の実施形態に関わり、本発明適用の効果を説明するために用いた、走査線、信号線およびノードの電位の波形図である。

【図 15】本発明の実施形態の変形例 1 に関わる、図 14 に対応した波形図である。

【図 16】背景技術（特許文献 1）に記載された画素回路の等価回路図を、参照符号を一部変更して転記した図である。

【符号の説明】

10

20

30

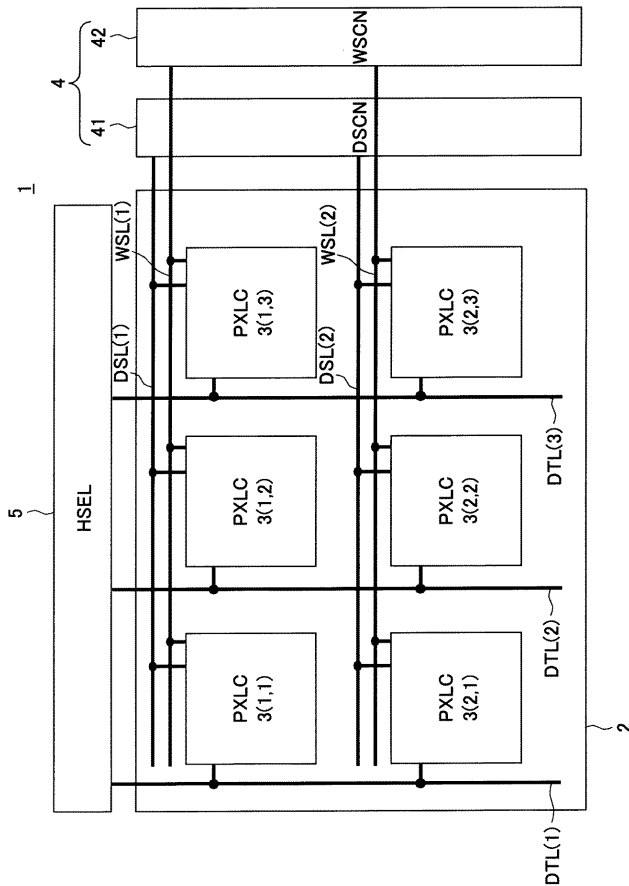
40

50

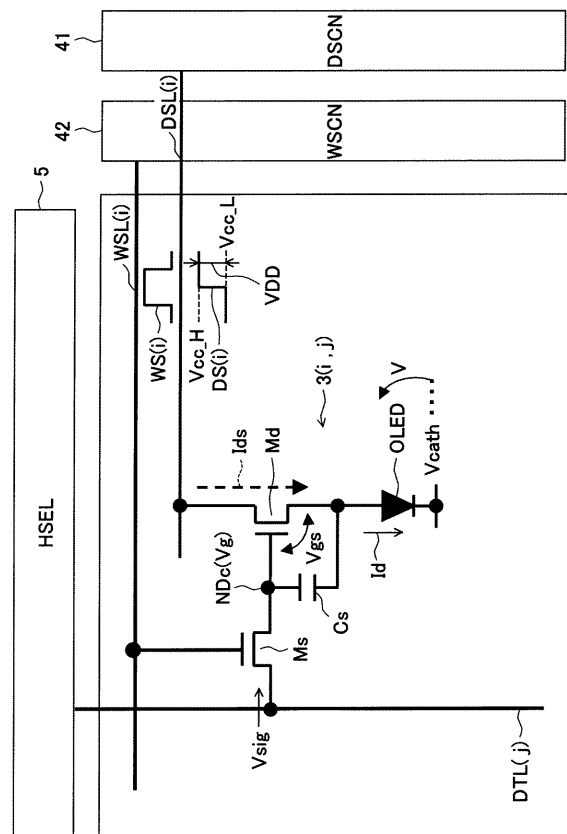
【 0 1 4 7 】

1 ... 有機 E L ディスプレイ、2 ... 画素アレイ、3 ... 画素回路、4 ... V スキャナ、5 ... H スキャナ、4 1 ... 水平画素ライン駆動回路、4 2 ... 書き込み信号走査回路、O L E D ... 有機発光ダイオード、M 1 ... 駆動トランジスタ、M s ... サンプリングトランジスタ、C s ... 保持キャパシタ、C s u b ... 補助キャパシタ、N D c ... 制御ノード、N D s ... ソースノード、W S L ... 書込走査線、D S L ... 電源走査線、D T L ... 映像信号線、V s i g ... データ電位、V o ... データ基準電位、V m ... 中間電位

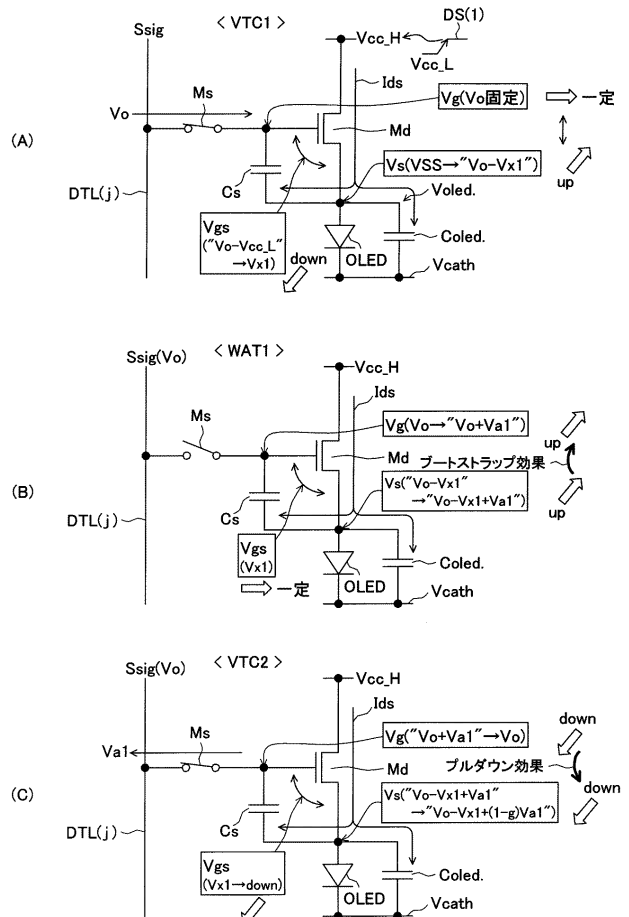
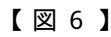
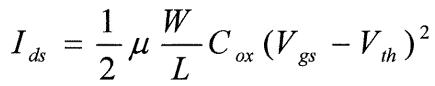
【 図 1 】



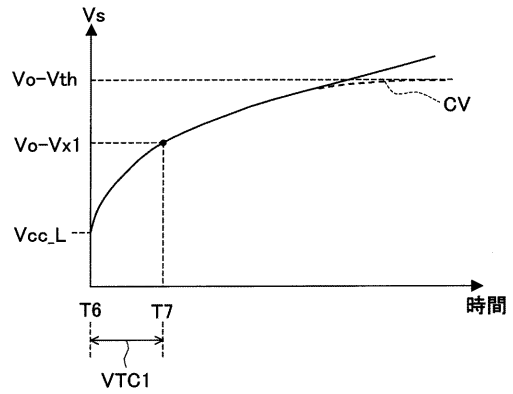
【 図 2 】



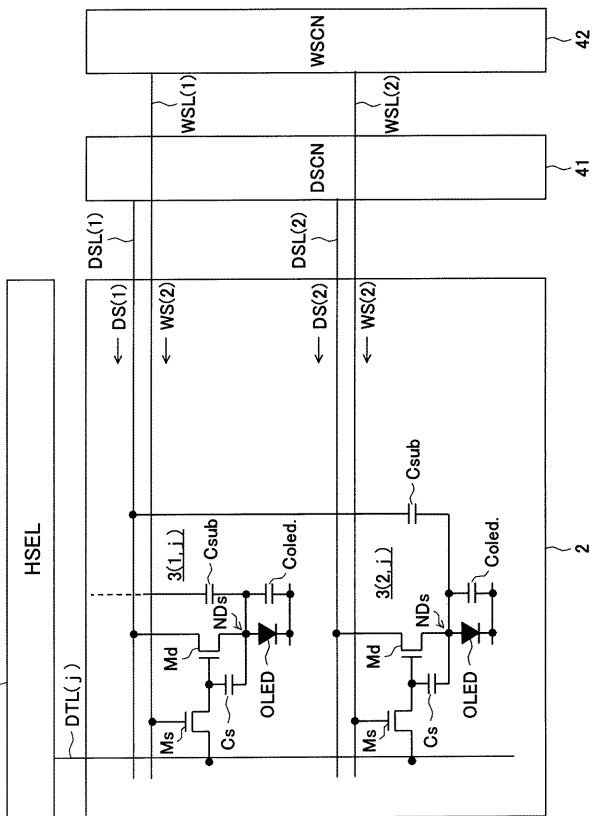
【 図 4 】



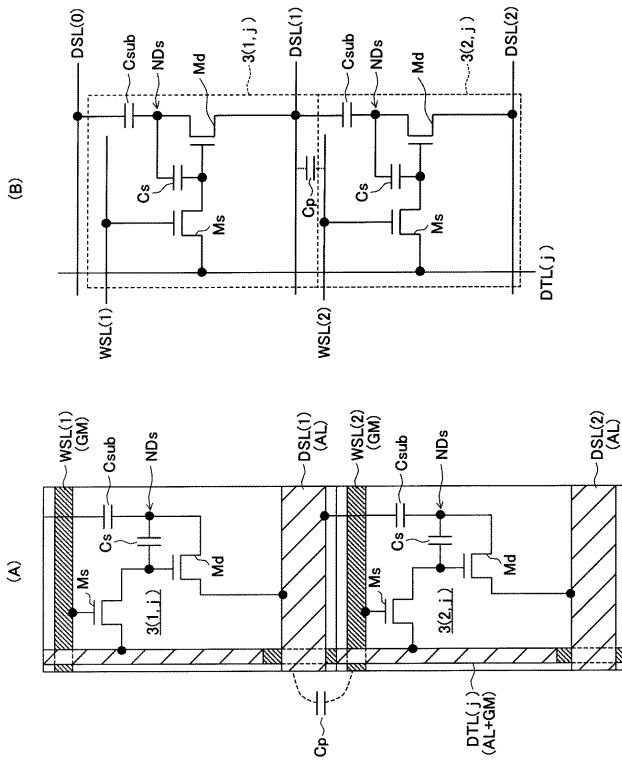
【 図 8 】



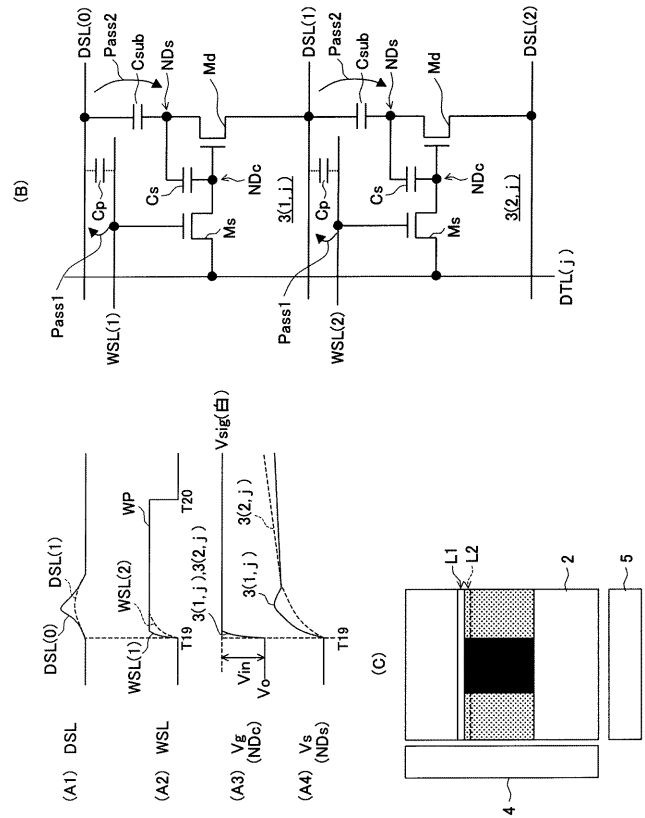
【 ㊦ 1 0 】



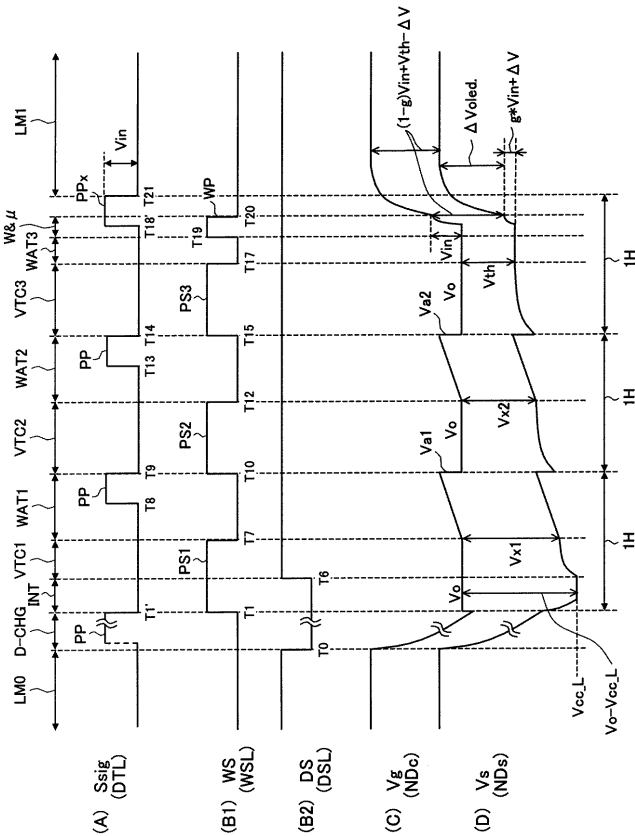
【図 1 1】



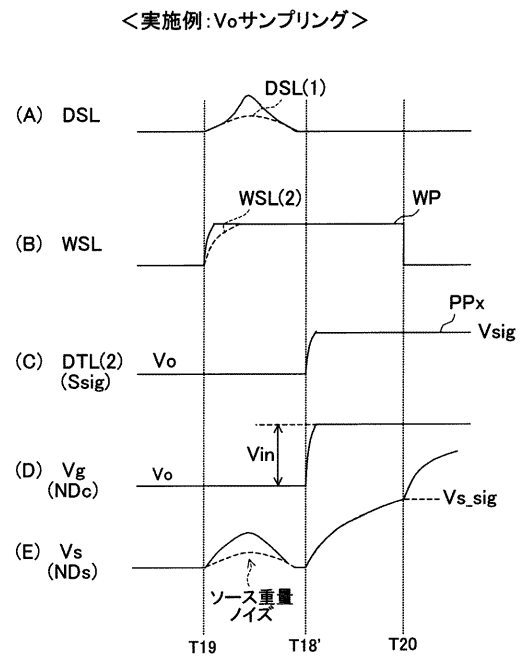
【図 1 2】



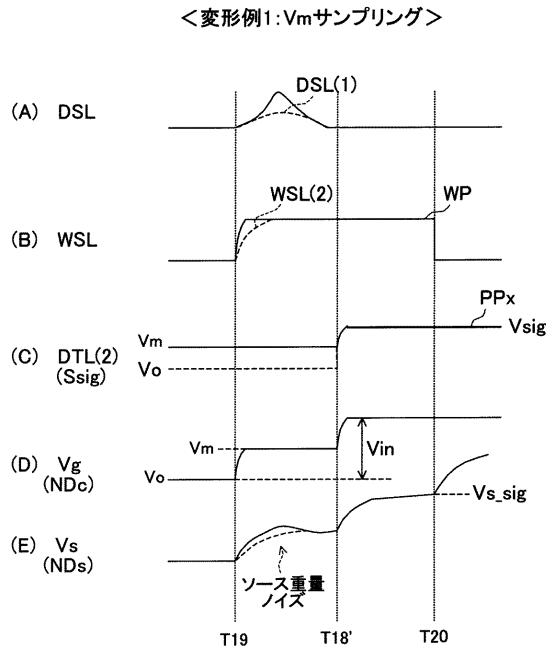
【図 1 3】



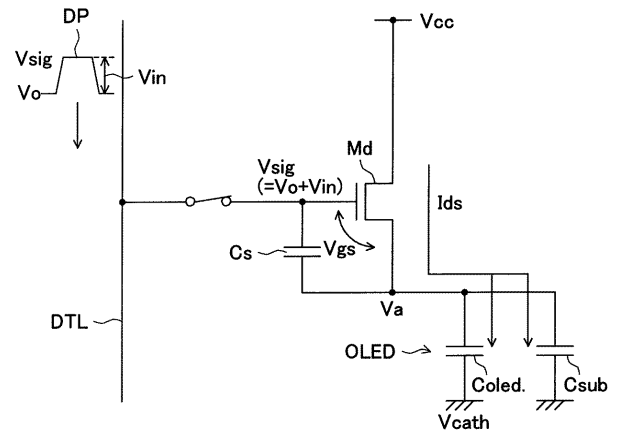
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 1 1 J
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 1 2 E
	G 0 9 G 3/20	6 2 3 Y
	G 0 9 G 3/20	6 1 1 D
	H 0 5 B 33/14	A

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC31 CC33 EE03 HH04 HH05

5C080 AA06 BB05 CC03 DD05 DD10 DD12 EE29 FF02 FF03 FF11

HH09 JJ02 JJ03 JJ04 JJ05

专利名称(译)	自发光显示装置及其数据写入方法		
公开(公告)号	JP2009168897A	公开(公告)日	2009-07-30
申请号	JP2008004148	申请日	2008-01-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	飯田幸人 三並徹雄 谷亀貴央 内野勝秀		
发明人	飯田 幸人 三並 徹雄 谷亀 貴央 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.623.D G09G3/20.622.D G09G3/20.623.C G09G3/20.611.H G09G3/20.611.J G09G3/20.641.C G09G3/20.612.E G09G3/20.623.Y G09G3/20.611.D H05B33/14.A G09G3/3233 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD10 5C080/DD12 5C080/EE29 5C080/FF02 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB36 5C380/BA08 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB04 5C380/BB05 5C380/BB08 5C380/BD03 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA52 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC72 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD022 5C380/CD024 5C380/CF43 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA50		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：在数据写入期间防止或抑制发光元件的一个电极的电位变化的影响（横向串扰）。解决方案：由驱动电路通过写扫描线WSL和视频信号线DTL控制的像素电路包括发光元件（有机发光二极管），其施加的电压值随着一个电极的电位（ V_s ）而变化（源节点）ND），具有控制节点NDc的驱动晶体管，采样晶体管和保持电容器。驱动电路在数据电位 V_{sig} 的写入时段中激活写入扫描线WSL以对视频信号线DTL的恒定电位（例如，数据参考电位 V_o ）进行采样（时间T19），并且使写入扫描线无效。数据电位 V_{sig} 在预定时间之后出现（在时间T18'）并且被采样之后的WSL（时间T20）。ž

