

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-86727

(P2007-86727A)

(43) 公開日 平成19年4月5日(2007.4.5)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622A	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 622C	
	G09G 3/20 622D	
	G09G 3/20 622G	
審査請求 有 請求項の数 28 O L (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2006-108759 (P2006-108759)	(71) 出願人	590002817
(22) 出願日	平成18年4月11日 (2006.4.11)		三星エスディアイ株式会社
(31) 優先権主張番号	10-2005-0087425		大韓民国京畿道水原市靈通区▲しん▼洞5
(32) 優先日	平成17年9月20日 (2005.9.20)		75番地
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100095957
			弁理士 亀谷 美明
		(74) 代理人	100096389
			弁理士 金本 哲男
		(72) 発明者	申 東蓉
			大韓民国ソウル市冠岳区奉天1洞969-
			37
		Fターム(参考)	3K107 AA01 BB01 CC04 CC14 CC21
			EE03 HH02 HH05
			5C080 AA06 BB05 DD09 DD26 JJ02
			JJ03 JJ04

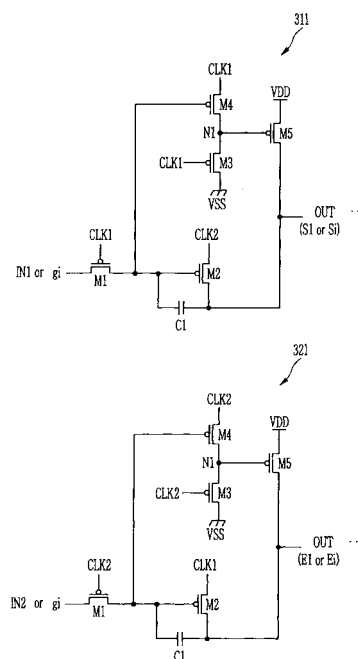
(54) 【発明の名称】 走査駆動回路、および走査駆動回路を利用した有機電界発光表示装置

(57) 【要約】 (修正有)

【課題】 有機電界発光表示装置に利用される走査駆動回路を提供する。

【解決手段】 走査駆動回路の各々ステージは、第1クロック端子にゲート端子が接続され、最初入力信号 (IN1またはIN2) または一つ前のステージからの出力信号 (gi) が入力される第1トランジスタ (M1) と、第1トランジスタの出力端にゲート端子が接続され、第2クロック端子および出力線に接続される第2トランジスタ (M2) と、第1クロック端子にゲート端子が接続され、第2電源 (VSS) と第1ノード (N1) との間に接続される第3トランジスタ (M3) と、第1トランジスタの出力端にゲート端子が接続され、第1クロック端子と第1ノードとの間に接続される第4トランジスタ (M4) と、第1ノードにゲート端子が接続され、第1電源 (VDD) と出力線との間に接続される第5トランジスタ (M5) とを含む。

【選択図】 図8



**【特許請求の範囲】****【請求項 1】**

連続して接続される複数のステージを具備して、各々前記ステージを通じて順次選択信号を出力する第 1 走査駆動部と；

連続して接続される複数のステージを具備して、各々前記ステージを通じて順次発光信号を出力する第 2 走査駆動部と；

を含む走査駆動回路において、

前記第 1 走査駆動部および前記第 2 走査駆動部の各々前記ステージは、

第 1 クロック端子にゲート端子が接続され、最初入力信号または一つ前の前記ステージからの出力信号が入力される第 1 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され、第 2 クロック端子および出力線に接続される第 2 トランジスタと；

前記第 1 クロック端子にゲート端子が接続され、第 2 電源と第 1 ノードとの間に接続される第 3 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され、前記第 1 クロック端子と前記第 1 ノードとの間に接続される第 4 トランジスタと；

前記第 1 ノードにゲート端子が接続され、第 1 電源と前記出力線との間に接続される第 5 トランジスタと；

を含んで構成されることを特徴とする、走査駆動回路。

**【請求項 2】**

前記第 1 トランジスタの出力端と前記出力線との間に接続される第 1 キャパシタがさらに含まれて構成されることを特徴とする、請求項 1 に記載の走査駆動回路。

**【請求項 3】**

前記第 1 走査駆動部の前記ステージが奇数番目の場合には、前記第 1 クロック端子に第 1 クロック信号が供給され、前記第 2 クロック端子に第 2 クロック信号が供給され、

前記第 1 走査駆動部の前記ステージが偶数番目の場合には、前記第 1 クロック端子に第 2 クロック信号が供給され、前記第 2 クロック端子に第 1 クロック信号が供給されることを特徴とする、請求項 1 または 2 に記載の走査駆動回路。

**【請求項 4】**

前記第 2 走査駆動部の前記ステージが奇数番目の場合には、前記第 1 クロック端子に第 2 クロック信号が供給され、前記第 2 クロック端子に第 1 クロック信号が供給され、

前記第 2 走査駆動部の前記ステージが偶数番目の場合には、前記第 1 クロック端子に第 1 クロック信号が供給され、前記第 2 クロック端子に第 2 クロック信号が供給されることを特徴とする、請求項 1 ~ 3 のいずれかに記載の走査駆動回路。

**【請求項 5】**

前記第 1 クロック信号および前記第 2 クロック信号は、ローレベルおよびハイレベルの信号を繰り返し、互いに相反する位相を備え、各々一つのハイレベルおよびローレベルの信号を出力する期間を 1 周期とすることを特徴とする、請求項 3 または 4 に記載の走査駆動回路。

**【請求項 6】**

前記第 1 走査駆動部の各々の前記ステージにおいて、

前記最初入力信号または前記一つ前のステージからの出力信号が入力されるフリーチャージと；

前記フリーチャージによって入力される前記最初入力信号または前記一つ前のステージからの出力信号のレベルに相当する信号を出力する評価遂行と；  
が行われ、

前記第 1 走査駆動部の前記ステージが奇数番目の場合では、

前記第 1 クロック信号がローレベルで入力され、前記第 2 クロック信号がハイレベルで入力される期間に、前記フリーチャージが遂行され、

前記第 1 クロック信号がハイレベルで入力され、前記第 2 クロック信号がローレベルで

10

20

30

40

50

入力される期間に，前記評価遂行が行われ，

前記第 1 走査駆動部の前記ステージが偶数番目の場合では，

前記第 2 クロック信号がローレベルで入力され，前記第 1 クロック信号がハイレベルで入力される期間に，前記フリーチャージが遂行され，

前記第 2 クロック信号がハイレベルで入力され，前記第 1 クロック信号がローレベルで入力される期間に，前記評価遂行が行われ，

前記第 1 走査駆動部の奇数番目の前記ステージで前記評価遂行される時，前記第 1 走査駆動部の偶数番目の前記ステージは，前記第 1 走査駆動部の奇数番目の前記ステージから出力される信号を入力する前記フリーチャージを行うことを特徴とする，請求項 3 ～ 5 のいずれかに記載の走査駆動回路。

10

【請求項 7】

前記第 2 走査駆動部の各々の前記ステージにおいて，

前記最初入力信号または前記一つ前のステージからの出力信号が入力されるフリーチャージと；

前記フリーチャージによって入力される前記最初入力信号または前記一つ前のステージからの出力信号のレベルに相当する信号を出力する評価遂行と；  
が行われ，

前記第 2 走査駆動部の前記ステージが奇数番目の場合では，

前記第 1 クロック信号がハイレベルで入力され，前記第 2 クロック信号がローレベルで入力される期間に，前記フリーチャージが遂行され，

20

前記第 1 クロック信号がローレベルで入力され，前記第 2 クロック信号がハイレベルで入力される期間に，前記評価遂行が行われ，

前記第 2 走査駆動部の前記ステージが偶数番目の場合では，

前記第 1 クロック信号がローレベルで入力され，前記第 2 クロック信号がハイレベルで入力される期間に，前記フリーチャージが遂行され，

前記第 1 クロック信号がハイレベルで入力され，前記第 2 クロック信号がローレベルで入力される期間に，前記評価遂行が行われ，

前記第 2 走査駆動部の奇数番目の前記ステージで前記評価遂行される時，前記第 2 走査駆動部の偶数番目の前記ステージは，前記第 2 走査駆動部の奇数番目の前記ステージから出力される信号を入力する前記フリーチャージを行うことを特徴とする，請求項 4 ～ 6 のいずれかに記載の走査駆動回路。

30

【請求項 8】

前記第 1 走査駆動部および前記第 2 走査駆動部の各々前記ステージにおいて，

前記フリーチャージされる期間には，前記第 1 電源の電圧に相当するハイレベルの信号が出力され，

前記評価遂行される期間には，前記フリーチャージされる期間に入力される前記最初入力信号または前記一つ前のステージからの出力信号に相当するレベルの信号が出力されて

，

前記最初入力信号または前記一つ前のステージからの出力信号がローレベルで入力される場合，前記評価遂行される期間で，ローレベルの信号を出力し，

40

前記一つ前のステージからローレベルの出力信号が順次入力されることによって，前記一つ前のステージに比べて，前記第 1 クロック信号または前記第 2 クロック信号の前記 1 周期の半分だけシフトされる前記ローレベルの信号が順次出力されることを特徴とする，請求項 6 または 7 に記載の走査駆動回路。

【請求項 9】

前記第 1 走査駆動部の偶数番目の前記ステージの前記第 1 クロック端子，前記第 2 クロック端子に入力される前記第 1 クロック信号，前記第 2 クロック信号は，前記第 2 走査駆動部の奇数番目の前記ステージの前記第 1 クロック端子，前記第 2 クロック端子に入力される前記第 1 クロック信号，前記第 2 クロック信号と同一であることを特徴とする，請求項 4 ～ 8 のいずれかに記載の走査駆動回路。

50

## 【請求項 10】

前記第 1 走査駆動部の奇数番目の前記ステージの前記第 1 クロック端子，前記第 2 クロック端子に入力される前記第 1 クロック信号，前記第 2 クロック信号は，前記第 2 走査駆動部の偶数番目の前記ステージの前記第 1 クロック端子，前記第 2 クロック端子に入力される前記第 1 クロック信号，前記第 2 クロック信号と同一であることを特徴とする，請求項 4 ～ 9 のいずれかに記載の走査駆動回路。

## 【請求項 11】

前記第 2 走査駆動部に入力される前記最初入力信号は，前記第 1 クロック信号または前記第 2 クロック信号の複数の前記周期に相当する所定の期間，ローレベルに提供されることを特徴とする，請求項 5 ～ 10 のいずれかに記載の走査駆動回路。

10

## 【請求項 12】

前記所定の期間は，前記第 1 走査駆動部および前記第 2 走査駆動部に各々の前記最初入力信号が入力され，前記選択信号および前記発光信号が出力される 1 データフレーム内の一定期間であることを特徴とする，請求項 11 に記載の走査駆動回路。

## 【請求項 13】

前記第 2 走査駆動部に入力される前記最初入力信号によって，前記第 2 走査駆動部の各々前記ステージは，前記所定の期間に対応して，少なくとも一度以上，順次ローレベル信号およびハイレベル信号に変換される信号を出力することを特徴とする，請求項 11 または 12 に記載の走査駆動回路。

## 【請求項 14】

選択信号を出力する第 1 走査駆動部と；

発光信号を出力する第 2 走査駆動部と；

を含む走査駆動回路において，

前記第 1 走査駆動部および前記第 2 走査駆動部は，連続して接続される  $n$  個のステージを各々具備し，

前記第 1 走査駆動部および前記第 2 走査駆動部の各々前記ステージは，入力信号線または一つ前の前記ステージの出力線に従属接続され，第 1 クロック信号入力線および第 2 クロック信号入力線に接続され，

前記第 1 走査駆動部および前記第 2 走査駆動部の各々前記ステージにおいて，

入力される第 1 クロック信号および第 2 クロック信号の 1 周期は，各々一つのハイレベルおよびローレベルの信号を出力する期間に相当し，前記 1 周期は，ハイレベルまたはローレベルの信号を出力する期間に相当する第 1 期間および第 2 期間に分けられ，

前記第 1 走査駆動部および前記第 2 走査駆動部の各々前記ステージは，

前記第 1 期間には，ハイレベルの信号を出力するフリーチャージを遂行し，

前記第 2 期間には，前記第 1 期間に入力される信号のレベルに相当する信号を出力する評価遂行を行うことを特徴とする，走査駆動回路。

20

30

## 【請求項 15】

前記第 1 走査駆動部および前記第 2 走査駆動部の各々前記ステージは，

第 1 クロック端子にゲート端子が接続され，一つ前の前記ステージの前記出力線からの出力信号または前記入力信号線からの最初入力信号が入力される第 1 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され，第 2 クロック端子および出力線に接続される第 2 トランジスタと；

前記第 1 クロック端子にゲート端子が接続され，第 2 電源と第 1 ノードとの間に接続される第 3 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され，前記第 1 クロック端子と前記第 1 ノードとの間に接続される第 4 トランジスタと；

前記第 1 ノードにゲート端子が接続され，第 1 電源と前記出力線との間に接続される第 5 トランジスタと；

を含んで構成されることを特徴とする，請求項 14 に記載の走査駆動回路。

40

## 【請求項 16】

50

前記第 1 トランジスタの出力端と前記出力線との間に接続される第 1 キャパシタがさらに含まれることを特徴とする、請求項 15 に記載の走査駆動回路。

【請求項 17】

前記第 1 クロック信号および前記第 2 クロック信号は、ローレベルおよびハイレベルの信号を繰り返し、互いに相反する位相を備えることを特徴とする、請求項 14 ~ 16 のいずれかに記載の走査駆動回路。

【請求項 18】

前記第 1 走査駆動部の前記ステージが奇数番目の場合には、前記第 1 クロック端子に前記第 1 クロック信号が供給され、前記第 2 クロック端子に前記第 2 クロック信号が供給され、

10

前記第 1 走査駆動部の前記ステージが偶数番目の場合には、前記第 1 クロック端子に前記第 2 クロック信号が供給され、前記第 2 クロック端子に前記第 1 クロック信号が供給されることを特徴とする、請求項 15 ~ 17 のいずれかに記載の走査駆動回路。

【請求項 19】

前記第 1 走査駆動部の各々の前記ステージにおいて、

前記最初入力信号または前記一つ前のステージからの出力信号が入力される前記フリーチャージと；

前記フリーチャージによって入力される前記最初入力信号または前記一つ前のステージからの出力信号のレベルに相当する信号を出力する前記評価遂行と；

が行われ、

20

前記第 1 走査駆動部の前記ステージが奇数番目の場合では、

前記第 1 クロック信号がローレベルで入力され、前記第 2 クロック信号がハイレベルで入力される期間に、前記フリーチャージが遂行され、

前記第 1 クロック信号がハイレベルで入力され、前記第 2 クロック信号がローレベルで入力される期間に、前記評価遂行が行われ、

前記第 1 走査駆動部の前記ステージが偶数番目の場合では、

前記第 2 クロック信号がローレベルで入力され、前記第 1 クロック信号がハイレベルで入力される期間に、前記フリーチャージが遂行され、

前記第 2 クロック信号がハイレベルで入力され、前記第 1 クロック信号がローレベルで入力される期間に、前記評価遂行が行われ、

30

前記第 1 走査駆動部の奇数番目の前記ステージで前記評価遂行される時、前記第 1 走査駆動部の偶数番目の前記ステージは、前記第 1 走査駆動部の奇数番目の前記ステージから出力される信号を入力する前記フリーチャージを行うことを特徴とする、請求項 15 ~ 18 のいずれかに記載の走査駆動回路。

【請求項 20】

前記第 2 走査駆動部の前記ステージが奇数番目の場合には、前記第 1 クロック端子に前記第 2 クロック信号が供給され、前記第 2 クロック端子に前記第 1 クロック信号が供給され、

前記第 2 走査駆動部の前記ステージが偶数番目の場合には、前記第 1 クロック端子に前記第 1 クロック信号が供給され、前記第 2 クロック端子に前記第 2 クロック信号が供給されることを特徴とする、請求項 15 ~ 19 のいずれかに記載の走査駆動回路。

40

【請求項 21】

前記第 2 走査駆動部の各々の前記ステージにおいて、

前記最初入力信号または前記一つ前のステージからの出力信号が入力される前記フリーチャージと；

前記フリーチャージによって入力される前記最初入力信号または前記一つ前のステージからの出力信号のレベルに相当する信号を出力する前記評価遂行と；

が行われ、

前記第 2 走査駆動部の前記ステージが奇数番目の場合では、

前記第 1 クロック信号がハイレベルで入力され、前記第 2 クロック信号がローレベルで

50

入力される期間に，前記フリーチャージが遂行され，

前記第 1 クロック信号がローレベルで入力され，前記第 2 クロック信号がハイレベルで入力される期間に，前記評価遂行が行われ，

前記第 2 走査駆動部の前記ステージが偶数番目の場合では，

前記第 1 クロック信号がローレベルで入力され，前記第 2 クロック信号がハイレベルで入力される期間に，前記フリーチャージが遂行され，

前記第 1 クロック信号がハイレベルで入力され，前記第 2 クロック信号がローレベルで入力される期間に，前記評価遂行が行われ，

前記第 2 走査駆動部の奇数番目の前記ステージで前記評価遂行される時，前記第 2 走査駆動部の偶数番目の前記ステージは，前記第 2 走査駆動部の奇数番目の前記ステージから出力される信号を入力する前記フリーチャージを行うことを特徴とする，請求項 15～20 のいずれかに記載の走査駆動回路。 10

【請求項 22】

前記第 1 走査駆動部および前記第 2 走査駆動部の各々前記ステージにおいて，

前記フリーチャージされる期間には，前記第 1 電源の電圧に相当するハイレベルの信号が出力され，

前記評価遂行される期間には，前記フリーチャージされる期間に入力される前記最初入力信号または前記一つ前のステージからの出力信号に相当するレベルの信号が出力されて

，  
前記最初入力信号または前記一つ前のステージからの出力信号がローレベルで入力される場合，前記評価遂行される期間で，ローレベルの信号を出力し， 20

前記一つ前のステージからローレベルの出力信号が順次入力されることによって，前記一つ前のステージに比べて，前記第 1 クロック信号または前記第 2 クロック信号の前記 1 周期の半分だけシフトされる前記ローレベルの信号が順次出力されることを特徴とする，請求項 15～21 のいずれかに記載の走査駆動回路。

【請求項 23】

前記第 1 走査駆動部の偶数番目の前記ステージの前記第 1 クロック端子，前記第 2 クロック端子に入力される前記第 1 クロック信号，前記第 2 クロック信号は，前記第 2 走査駆動部の奇数番目の前記ステージの前記第 1 クロック端子，前記第 2 クロック端子に入力される前記第 1 クロック信号，前記第 2 クロック信号と同一であることを特徴とする，請求項 15～22 のいずれかに記載の走査駆動回路。 30

【請求項 24】

前記第 1 走査駆動部の奇数番目の前記ステージの前記第 1 クロック端子，前記第 2 クロック端子に入力される前記第 1 クロック信号，前記第 2 クロック信号は，前記第 2 走査駆動部の偶数番目の前記ステージの前記第 1 クロック端子，前記第 2 クロック端子に入力される前記第 1 クロック信号，前記第 2 クロック信号と同一であることを特徴とする，請求項 15～23 のいずれかに記載の走査駆動回路。

【請求項 25】

前記第 2 走査駆動部に入力される前記最初入力信号は，前記第 1 クロック信号または前記第 2 クロック信号の複数の前記周期に相当する所定の期間，ローレベルに提供されることを特徴とする，請求項 15～24 のいずれかに記載の走査駆動回路。 40

【請求項 26】

前記所定の期間は，前記第 1 走査駆動部および前記第 2 走査駆動部に各々の前記最初入力信号が入力され，前記選択信号および前記発光信号が出力される 1 データフレーム内の一定の期間であることを特徴とする，請求項 25 に記載の走査駆動回路。

【請求項 27】

前記第 2 走査駆動部に入力される前記最初入力信号によって，前記第 2 走査駆動部の各々前記ステージは，前記所定の期間に対応して，少なくとも一度以上，順次ローレベル信号およびハイレベル信号に変換される信号を出力することを特徴とする，請求項 25 または 26 に記載の走査駆動回路。 50

## 【請求項 28】

選択信号線，データ線および発光信号線に接続されるように配置される複数の画素を含む画素部と；

前記データ線にデータ信号を供給するデータ駆動回路と；

連続して接続される複数のステージを具備し，複数の前記ステージを通じて，順次選択信号を出力する第1走査駆動部および連続して接続される複数のステージを具備し，複数の前記ステージを通じて，順次発光信号を出力する第2走査駆動部で構成される走査駆動回路と；

が含まれ，

前記第1走査駆動部および前記第2走査駆動部の各々前記ステージは，入力信号線または一つ前の前記ステージの出力線に従属接続され，第1クロック信号入力線および第2クロック信号入力線に接続され，

前記第1走査駆動部および前記第2走査駆動部の各々前記ステージにおいて，

入力される第1クロック信号および第2クロック信号の1周期は，各々一つのハイレベルおよびローレベルの信号を出力する期間に相当し，前記1周期は，ハイレベルまたはローレベルの信号を出力する期間に相当する第1期間および第2期間に分けられ，

前記第1走査駆動部および前記第2走査駆動部の各々前記ステージは，

前記第1期間には，ハイレベルまたはローレベルの信号が入力され，ハイレベルの信号を出力するフリーチャージを遂行し，

前記第2期間には，前記第1期間に入力される信号レベルに相当する信号を出力する評価遂行が行われ，

前記第1期間で，ローレベルの信号が入力される場合，前記第2期間で，前記ローレベルの信号を出力し，

前記ステージの前記第1期間において，一つ前の前記ステージの前記第2期間で出力される前記ローレベルの出力信号が入力されることによって，前記第1クロック信号または前記第2クロック信号の前記1周期の半分だけ，前記ローレベルの信号を順次シフトして出力することを特徴とする，有機電界発光表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は，有機電界発光表示装置に関し，特に，有機電界発光表示装置に利用される走査駆動回路に関する。

## 【背景技術】

## 【0002】

一般に，有機電界発光表示装置は，蛍光性有機化合物を電氣的に励起させて発光させる表示装置であり， $M \times N$ 個の有機発光セルを電圧書込み，あるいは，電流書込みして映像を表現する。このような有機発光セルは，アノード(ITO)，有機薄膜，カソードレイヤー(metal)の構造を備える。

## 【0003】

有機薄膜は，電子と正孔との均衡を良くして発光効率を高めるために，発光層(Emission Layer; EML)，電子輸送層(Electron Transport Layer; ETL)および正孔輸送層(Hole Transport Layer; HTL)を含む多層構造から構成される。また別途に，電子注入層(Electron Injection Layer; EIL)と正孔注入層(Hole Injection Layer; HIL)とを含む。

## 【0004】

このように構成される有機発光セルを駆動する方式には，単純マトリックス(passive matrix)方式と，薄膜トランジスタ(Thin Film Transistor; TFT)を利用した能動駆動(active matrix)方式とがある。単純マトリックス方式は，陽極と陰極を直交するように形成し，ラインを選択して駆動す

10

20

30

40

50

る。能動駆動方式は、薄膜トランジスタをITO (Indium Tin Oxide ; インジウムスズ酸化物) 画素電極に接続して、薄膜トランジスタのゲートに接続されたキャパシタの容量によって維持された電圧に応じて駆動する方式である。

【0005】

この時、キャパシタに電圧を設定するために印加される信号の形態によって、能動駆動方式は、電圧書込み (voltage programming) 方式と電流書込み (current programming) 方式に分けられる。

【0006】

このような能動駆動方式の有機電界発光表示装置は、大きく分けて、表示パネル、データ駆動回路、走査駆動回路、タイミング制御部を含んで構成される。走査駆動回路は、タイミング制御部から走査駆動制御信号の供給を受ける。これによって、走査駆動回路は、走査信号を生成し、生成された走査信号を表示パネルの走査線に順次供給する。

【0007】

すなわち、走査駆動回路は、パネル内に具備された複数の画素を駆動するために順次走査信号を生成して、走査信号をパネルに提供する。

【0008】

図1は、従来の一般的な走査駆動回路の構成を示すブロック図である。図1を参照すると、従来の一般的な走査駆動回路は、スタートパルスSP入力ラインに従属的に接続された複数のステージ(ST1~STn)で構成される。複数のステージ(ST1~STn)は、スタートパルス(SP)をクロック信号(C)によって順次シフトさせて、出力信号(SO1~SO n)を発生する。この場合、第2~第nステージ(ST2~STn)の各々は、一つ前のステージからの出力信号をスタートパルスとして入力してもらい、一つ前のステージからの出力信号をシフトさせる。これによって、複数のステージ(ST1~STn)は、スタートパルスが順次シフトされる形態の出力信号(SO1~SO n)を発生して、出力信号(SO1~SO n)をマトリックス画素アレイに提供する。

【0009】

図2は、図1に図示された走査駆動回路において、任意のステージの回路図である。図3は、図2に図示されたステージの入力信号/出力信号波形図である。

【0010】

図2および図3を参照すると、従来の場合、走査駆動回路を構成する各々ステージは、マスタースレーブ(Master-Slave)形態のフリップフロップ(flip/flop)を使用する。このようなフリップフロップは、クロック信号(clk)がローレベルの時、入力を続けて受け、出力は、以前の出力を維持する。

【0011】

一方、クロック信号(clk)がハイレベルの場合には、クロック信号(clk)がローレベルの時受けた入力を維持し、これを出力してこれ以上の入力を受けない。

【0012】

そして、図2の回路において、出力電圧(out)のハイレベルは、供給電圧(VDD)と接地との間を連結する抵抗の比による電圧値(ratioed logic)で決定され、出力電圧(out)のローレベルは、接地よりトランジスタの閾値電圧ほど高くなる。

【0013】

一方、従来の走査駆動回路と、これを利用した有機電界発光表示装置に関する技術を記載した文献としては、下記特許文献1等がある。

【0014】

【特許文献1】特許第2921510号明細書

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかし、従来の走査駆動回路において、フリップフロップ内部にインバータを具備する



場合、ローレベルの入力を受ける時、スタティック電流 (static current) が流れるという問題がある。また、フリップフロップ内部で、ハイレベルの入力を受けたインバータとローレベルの入力を受けるインバータの数が同一であるから、フリップフロップ内部のインバータの中の半分では、スタティック電流が発生されて消費電力が大きくなるという短所がある。さらに、従来の走査駆動回路で用いられるインバータに具備されるトランジスタの特性偏差によって、各々ステージにハイレベルで受け入れる入力電圧レベルが異なるので、このような回路を採用する場合、出力電圧のハイレベルにも偏差が生じて回路が誤動作するという短所がある。また、出力電圧のローレベル偏差は、図2の回路に具備されるインバータの入力トランジスタ (T1) のオン抵抗の偏差として反映されて、出力電圧のハイレベル偏差を加重させることがある。特に、有機電界発光表示装置 10  
パネルでは、特性偏差の大きいトランジスタを使用するので、このような走査駆動回路の誤作動問題がさらに深刻になる。また、インバータは、入力トランジスタ (T1) を通じて電流が流れて出力端を充電し、ロードトランジスタ (T2) を通じて電流が流れて出力端を放電するが、出力端を充電する場合、ロードトランジスタ (T2) のソース・ゲート電圧がますます減ってしまい、放電電流が急激に減少して放電効率が落ちるという問題がある。

#### 【0016】

そこで、本発明は、このような問題に鑑みてなされたもので、その目的とするところは、能動駆動方式の有機電界発光表示装置で、消費電力の低減、走査駆動回路の誤作動、放電効率の減少、および各画素の劣化を防止する走査駆動回路、および走査駆動回路を利用 20  
した有機電界発光表示装置を提供することにある。

#### 【課題を解決するための手段】

#### 【0017】

上記課題を解決するために、本発明の第1の観点によれば、連続して接続される複数のステージを具備して、各々ステージを通じて順次選択信号を出力する第1走査駆動部と、連続して接続される複数のステージを具備して、各々ステージを通じて順次発光信号を出力する第2走査駆動部とを含む走査駆動回路において、第1走査駆動部および第2走査駆動部の各々ステージは、第1クロック端子 (CLKa) にゲート端子が接続され、最初入力信号 (IN1またはIN2) または一つ前のステージからの出力信号 (gi) が入力される第1トランジスタ (M1) と、第1トランジスタ (M1) の出力端にゲート端子が接 30  
続され、第2クロック端子 (CLKb) および出力線 (out) に接続される第2トランジスタ (M2) と、第1クロック端子 (CLKa) にゲート端子が接続され、第2電源 (VSS) と第1ノード (N1) との間に接続される第3トランジスタ (M3) と、第1トランジスタ (M1) の出力端にゲート端子が接続され、第1クロック端子 (CLKa) と第1ノード (N1) との間に接続される第4トランジスタ (M4) と、第1ノード (N1) にゲート端子が接続され、第1電源 (VDD) と出力線 (out) との間に接続される第5トランジスタ (M5) とを含んで構成される走査駆動回路が提供される。

#### 【0018】

本発明によれば、選択信号を供給する第1走査駆動部と、発光信号を供給する第2走査駆動部とで構成される走査駆動回路において、スタティック電流が流れる経路 (従来の走査駆動回路におけるインバータ) を除去することで、消費電力を低減することができる。 40

#### 【0019】

第1トランジスタ (M1) の出力端と出力線 (out) との間に接続される第1キャパシタ (C1) がさらに含まれてもよい。

#### 【0020】

第1走査駆動部のステージが奇数番目の場合には、第1クロック端子 (CLKa) に第1クロック信号 (CLK1) が供給され、第2クロック端子 (CLKb) に第2クロック信号 (CLK2) が供給されてもよく、第1走査駆動部のステージが偶数番目の場合には、第1クロック端子 (CLKa) に第2クロック信号 (CLK2) が供給され、第2クロック端子 (CLKb) に第1クロック信号 (CLK1) が供給されてもよい。 50

## 【 0 0 2 1 】

第 2 走査駆動部のステージが奇数番目の場合には，第 1 クロック端子（C L K a）に第 2 クロック信号（C L K 2）が供給され，第 2 クロック端子（C L K b）に第 1 クロック信号（C L K 1）が供給されてもよく，第 2 走査駆動部のステージが偶数番目の場合には，第 1 クロック端子（C L K a）に第 1 クロック信号（C L K 1）が供給され，第 2 クロック端子（C L K b）に第 2 クロック信号（C L K 2）が供給されてもよい。

## 【 0 0 2 2 】

第 1 クロック信号（C L K 1）および第 2 クロック信号（C L K 2）は，ローレベルおよびハイレベルの信号を繰り返し，互いに相反する位相を備えることができ，各々一つのハイレベルおよびローレベルの信号を出力する期間を 1 周期とすることができる。

10

## 【 0 0 2 3 】

第 1 走査駆動部の各々のステージにおいて，最初入力信号（I N 1）または一つ前のステージからの出力信号（g i）が入力されるフリーチャージと，上記フリーチャージによって入力される最初入力信号（I N 1）または一つ前のステージからの出力信号（g i）のレベルに相当する信号を出力する評価遂行とが行われ，第 1 走査駆動部のステージが奇数番目の場合では，第 1 クロック信号（C L K 1）がローレベルで入力され，第 2 クロック信号（C L K 2）がハイレベルで入力される期間に，上記フリーチャージが遂行され，第 1 クロック信号（C L K 1）がハイレベルで入力され，第 2 クロック信号（C L K 2）がローレベルで入力される期間に，上記評価遂行が行われ，第 1 走査駆動部のステージが偶数番目の場合では，第 2 クロック信号（C L K 2）がローレベルで入力され，第 1 クロック信号（C L K 1）がハイレベルで入力される期間に，上記フリーチャージが遂行され，第 2 クロック信号（C L K 2）がハイレベルで入力され，第 1 クロック信号（C L K 1）がローレベルで入力される期間に，上記評価遂行が行われ，第 1 走査駆動部の奇数番目のステージで上記評価遂行される時，第 1 走査駆動部の偶数番目のステージは，第 1 走査駆動部の奇数番目のステージから出力される信号を入力する上記フリーチャージを行うことができる。

20

## 【 0 0 2 4 】

第 2 走査駆動部の各々のステージにおいて，最初入力信号（I N 2）または一つ前のステージからの出力信号（g i）が入力されるフリーチャージと，上記フリーチャージによって入力される最初入力信号（I N 2）または一つ前のステージからの出力信号（g i）のレベルに相当する信号を出力する評価遂行とが行われ，第 2 走査駆動部のステージが奇数番目の場合では，第 1 クロック信号（C L K 1）がハイレベルで入力され，第 2 クロック信号（C L K 2）がローレベルで入力される期間に，上記フリーチャージが遂行され，第 1 クロック信号（C L K 1）がローレベルで入力され，第 2 クロック信号（C L K 2）がハイレベルで入力される期間に，上記評価遂行が行われ，第 2 走査駆動部のステージが偶数番目の場合では，第 1 クロック信号（C L K 1）がローレベルで入力され，第 2 クロック信号（C L K 2）がハイレベルで入力される期間に，上記フリーチャージが遂行され，第 1 クロック信号（C L K 1）がハイレベルで入力され，第 2 クロック信号（C L K 2）がローレベルで入力される期間に，上記評価遂行が行われ，第 2 走査駆動部の奇数番目のステージで上記評価遂行される時，第 2 走査駆動部の偶数番目のステージは，第 2 走査駆動部の奇数番目のステージから出力される信号を入力する上記フリーチャージを行うことができる。

30

40

## 【 0 0 2 5 】

第 1 走査駆動部および第 2 走査駆動部の各々ステージにおいて，フリーチャージされる期間には，第 1 電源の電圧に相当するハイレベルの信号が出力され，評価遂行される期間には，フリーチャージされる期間に入力される最初入力信号または一つ前のステージからの出力信号に相当するレベルの信号が出力されて，最初入力信号または一つ前のステージからの出力信号がローレベルで入力される場合，評価遂行される期間で，ローレベルの信号を出力し，一つ前のステージからローレベルの出力信号が順次入力されることによって，一つ前のステージに比べて，第 1 クロック信号（C L K 1）または第 2 クロック信号（

50

C L K 2 ) の 1 周期の半分だけシフトされる上記ローレベルの信号が順次出力されてもよい。

【 0 0 2 6 】

本発明によれば、フリーチャージされる期間で、第 5 トランジスタ ( M 5 ) を通じて、第 1 電源 ( V D D ) のハイレベルの信号が出力されるので、従来の走査駆動回路より、ハイレベルで出力される信号がトランジスタの特性偏差の影響を受けないため、走査駆動回路の誤作動を防止できる。フリーチャージされる期間で、ハイレベルの一つ前のステージからの出力信号 ( g i ) または最初入力信号 ( I N 1 または I N 2 ) が入力される場合における評価期間においても、同様である。また、ステージからハイレベルの信号を出力する時、第 5 トランジスタ ( M 5 ) を通じて、第 1 電源 ( V D D ) のハイレベルの信号が出力されるので、従来の走査駆動回路のようにインバータの出力端を充電しないので、漏れる電流 ( l e a k a g e c u r r e n t ) を最小化でき、放電効率を改善して動作速度を向上できる。

10

【 0 0 2 7 】

また、本発明によれば、評価期間において、第 2 トランジスタ ( M 2 ) を通じて、ローレベルの第 2 クロック信号 ( C L K 2 ) ( または、ローレベルの第 1 クロック信号 ( C L K 1 ) ) が出力線から出力されるので、従来の走査駆動回路より、ローレベルで出力される信号がトランジスタの特性偏差の影響を受けないため、走査駆動回路の誤作動を防止できる。さらに、ステージからローレベルの信号を出力する時、第 2 トランジスタ ( M 2 ) を通じて、ローレベルの第 2 クロック信号 ( C L K 2 ) ( または、ローレベルの第 1 クロック信号 ( C L K 1 ) ) が出力線から出力されるので、従来の走査駆動回路のようにインバータの出力端を放電する電流の減少程度を最小化でき、放電効率を改善して動作速度を向上できる。

20

【 0 0 2 8 】

第 1 走査駆動部の偶数番目のステージの第 1 クロック端子、第 2 クロック端子に入力される第 1 クロック信号、第 2 クロック信号は、第 2 走査駆動部の奇数番目のステージの第 1 クロック端子、第 2 クロック端子に入力される第 1 クロック信号、第 2 クロック信号と同一であってよい。また、第 1 走査駆動部の奇数番目のステージの第 1 クロック端子、第 2 クロック端子に入力される第 1 クロック信号、第 2 クロック信号は、第 2 走査駆動部の偶数番目のステージの第 1 クロック端子、第 2 クロック端子に入力される第 1 クロック信号、第 2 クロック信号と同一であってよい。

30

【 0 0 2 9 】

つまり、第 1 走査駆動部の奇数番目のステージで、評価遂行される期間に、第 2 走査駆動部の奇数番目のステージでは、フリーチャージが行われ、第 1 走査駆動部の奇数番目のステージで、評価遂行によって、選択信号が出力された後に、第 2 走査駆動部の奇数番目のステージでは、評価遂行が行われ、発光信号を出力することができる。そして、第 1 走査駆動部の偶数番目のステージで、評価遂行される期間に、第 2 走査駆動部の偶数番目のステージでは、フリーチャージが行われ、第 1 走査駆動部の偶数番目のステージで、評価遂行によって、選択信号が出力された後に、第 2 走査駆動部の偶数番目のステージでは、評価遂行が行われ、発光信号を出力することができる。

40

【 0 0 3 0 】

第 2 走査駆動部に入力される最初入力信号 ( I N 2 ) は、第 1 クロック信号 ( C L K 1 ) または第 2 クロック信号 ( C L K 2 ) の複数の周期に相当する所定の期間、ローレベルに提供されてもよい。

【 0 0 3 1 】

所定の期間は、第 1 走査駆動部および第 2 走査駆動部に各々の最初入力信号が入力され、選択信号および発光信号が出力される 1 データフレーム内の一定期間であってよい。

【 0 0 3 2 】

第 2 走査駆動部に入力される最初入力信号 ( I N 2 ) によって、第 2 走査駆動部の各々ステージは、所定の期間に対応して、少なくとも一度以上、順次ローレベル信号およびハ

50

イレベル信号に変換される信号を出力することができる。

【0033】

本発明によれば、発光信号をデータフレームの1周期中、所定期間の間、少なくとも一度以上ローレベルおよびハイレベルに変換して印加するので、各画素の劣化を防止することができる。

【0034】

上記課題を解決するために、本発明の第2の観点によれば、選択信号を出力する第1走査駆動部と、発光信号を出力する第2走査駆動部とを含む走査駆動回路において、第1走査駆動部および第2走査駆動部は、連続して接続されるn個のステージを各々具備し、第1走査駆動部および第2走査駆動部の各々ステージは、入力信号線（IN1またはIN2）または一つ前のステージの出力線（gi）に従属接続され、第1クロック信号入力線（CLK1）および第2クロック信号入力線（CLK2）に接続され、第1走査駆動部および第2走査駆動部の各々ステージにおいて、入力される第1クロック信号（CLK1）および第2クロック信号（CLK2）の1周期は、各々一つのハイレベルおよびローレベルの信号を出力する期間に相当し、上記1周期は、ハイレベルまたはローレベルの信号を出力する期間に相当する第1期間および第2期間に分けられ、第1走査駆動部および第2走査駆動部の各々ステージは、第1期間には、ハイレベルの信号を出力するフリーチャージを遂行し、第2期間には、第1期間に入力される信号のレベルに相当する信号を出力する評価遂行を行う走査駆動回路が提供される。

10

【0035】

第1走査駆動部および第2走査駆動部の各々ステージは、第1クロック端子（CLKa）にゲート端子が接続され、一つ前のステージの出力線からの出力信号（gi）または入力信号線からの最初入力信号（IN1またはIN2）が入力される第1トランジスタ（M1）と、第1トランジスタ（M1）の出力端にゲート端子が接続され、第2クロック端子（CLKb）および出力線（out）に接続される第2トランジスタ（M2）と、第1クロック端子（CLKa）にゲート端子が接続され、第2電源（VSS）と第1ノード（N1）との間に接続される第3トランジスタと、第1トランジスタ（M1）の出力端にゲート端子が接続され、第1クロック端子（CLKa）と第1ノード（N1）との間に接続される第4トランジスタ（M4）と、第1ノード（N1）にゲート端子が接続され、第1電源（VDD）と出力線（out）との間に接続される第5トランジスタ（M5）とを含んで構成されてもよい。

20

30

【0036】

第1トランジスタ（M1）の出力端と出力線（out）との間に接続される第1キャパシタ（C1）がさらに含まれてもよい。

【0037】

第1クロック信号（CLK1）および第2クロック信号（CLK2）は、ローレベルおよびハイレベルの信号を繰り返し、互いに相反する位相を備えることができる。

【0038】

第1走査駆動部のステージが奇数番目の場合には、第1クロック端子（CLKa）に第1クロック信号（CLK1）が供給され、第2クロック端子（CLKb）に第2クロック信号（CLK2）が供給されてもよく、第1走査駆動部のステージが偶数番目の場合には、第1クロック端子（CLKa）に第2クロック信号（CLK2）が供給され、第2クロック端子（CLKb）に第1クロック信号（CLK1）が供給されてもよい。

40

【0039】

第1走査駆動部の各々のステージにおいて、最初入力信号（IN1）または一つ前のステージからの出力信号（gi）が入力されるフリーチャージと、上記フリーチャージによって入力される最初入力信号（IN1）または一つ前のステージからの出力信号（gi）のレベルに相当する信号を出力する評価遂行とが行われ、第1走査駆動部のステージが奇数番目の場合には、第1クロック信号（CLK1）がローレベルで入力され、第2クロック信号（CLK2）がハイレベルで入力される期間に、上記フリーチャージが遂行され、

50

第1クロック信号(CLK1)がハイレベルで入力され、第2クロック信号(CLK2)がローレベルで入力される期間に、上記評価遂行が行われ、第1走査駆動部のステージが偶数番目の場合では、第2クロック信号(CLK2)がローレベルで入力され、第1クロック信号(CLK1)がハイレベルで入力される期間に、上記フリーチャージが遂行され、第2クロック信号(CLK2)がハイレベルで入力され、第1クロック信号(CLK1)がローレベルで入力される期間に、上記評価遂行が行われ、第1走査駆動部の奇数番目のステージで上記評価遂行される時、第1走査駆動部の偶数番目のステージは、第1走査駆動部の奇数番目のステージから出力される信号を入力する上記フリーチャージを行うことができる。

#### 【0040】

第2走査駆動部のステージが奇数番目の場合には、第1クロック端子(CLK a)に第2クロック信号(CLK2)が供給され、第2クロック端子(CLK b)に第1クロック信号(CLK1)が供給されてもよく、第2走査駆動部のステージが偶数番目の場合には、第1クロック端子(CLK a)に第1クロック信号(CLK1)が供給され、第2クロック端子(CLK b)に第2クロック信号(CLK2)が供給されてもよい。

#### 【0041】

第2走査駆動部の各々のステージにおいて、最初入力信号(IN2)または一つ前のステージからの出力信号(gi)が入力されるフリーチャージと、上記フリーチャージによって入力される最初入力信号(IN2)または一つ前のステージからの出力信号(gi)のレベルに相当する信号を出力する評価遂行とが行われ、第2走査駆動部のステージが奇数番目の場合では、第1クロック信号(CLK1)がハイレベルで入力され、第2クロック信号(CLK2)がローレベルで入力される期間に、上記フリーチャージが遂行され、第1クロック信号(CLK1)がローレベルで入力され、第2クロック信号(CLK2)がハイレベルで入力される期間に、上記評価遂行が行われ、第2走査駆動部のステージが偶数番目の場合では、第1クロック信号(CLK1)がローレベルで入力され、第2クロック信号(CLK2)がハイレベルで入力される期間に、上記フリーチャージが遂行され、第1クロック信号(CLK1)がハイレベルで入力され、第2クロック信号(CLK2)がローレベルで入力される期間に、上記評価遂行が行われ、第2走査駆動部の奇数番目のステージで上記評価遂行される時、第2走査駆動部の偶数番目のステージは、第2走査駆動部の奇数番目のステージから出力される信号を入力する上記フリーチャージを行うことができる。

#### 【0042】

第1走査駆動部および第2走査駆動部の各々ステージにおいて、フリーチャージされる期間には、第1電源の電圧に相当するハイレベルの信号が出力され、評価遂行される期間には、フリーチャージされる期間に入力される最初入力信号または一つ前のステージからの出力信号に相当するレベルの信号が出力されて、最初入力信号または一つ前のステージからの出力信号がローレベルで入力される場合、評価遂行される期間で、ローレベルの信号を出力し、一つ前のステージからローレベルの出力信号が順次入力されることによって、一つ前のステージに比べて、第1クロック信号(CLK1)または第2クロック信号(CLK2)の1周期の半分だけシフトされる上記ローレベルの信号が順次出力されてもよい。

#### 【0043】

第1走査駆動部の偶数番目のステージの第1クロック端子、第2クロック端子に入力される第1クロック信号、第2クロック信号は、第2走査駆動部の奇数番目のステージの第1クロック端子、第2クロック端子に入力される第1クロック信号、第2クロック信号と同一であってよい。また、第1走査駆動部の奇数番目のステージの第1クロック端子、第2クロック端子に入力される第1クロック信号、第2クロック信号は、第2走査駆動部の偶数番目のステージの第1クロック端子、第2クロック端子に入力される第1クロック信号、第2クロック信号と同一であってよい。

#### 【0044】

10

20

30

40

50

つまり、第1走査駆動部の奇数番目のステージで、評価遂行される期間に、第2走査駆動部の奇数番目のステージでは、フリーチャージが行われ、第1走査駆動部の奇数番目のステージで、評価遂行によって、選択信号が出力された後に、第2走査駆動部の奇数番目のステージでは、評価遂行が行われ、発光信号を出力することができる。そして、第1走査駆動部の偶数番目のステージで、評価遂行される期間に、第2走査駆動部の偶数番目のステージでは、フリーチャージが行われ、第1走査駆動部の偶数番目のステージで、評価遂行によって、選択信号が出力された後に、第2走査駆動部の偶数番目のステージでは、評価遂行が行われ、発光信号を出力することができる。

【0045】

第2走査駆動部に入力される最初入力信号(IN2)は、第1クロック信号(CLK1)または第2クロック信号(CLK2)の複数の周期に相当する所定の期間、ローレベルに提供されてもよい。

【0046】

所定の期間は、第1走査駆動部および第2走査駆動部に各々の最初入力信号が入力され、選択信号および発光信号が出力される1データフレーム内の一定の期間であってよい。

【0047】

第2走査駆動部に入力される最初入力信号(IN2)によって、第2走査駆動部の各々ステージは、所定の期間に対応して、少なくとも一度以上、順次ローレベル信号およびハイレベル信号に変換される信号を出力することができる。

【0048】

上記課題を解決するために、本発明の第3の観点によれば、選択信号線、データ線および発光信号線に接続されるように配置される複数の画素を含む画素部と、データ線にデータ信号を供給するデータ駆動回路と、連続して接続される複数のステージを具備し、複数のステージを通じて、順次選択信号を出力する第1走査駆動部および連続して接続される複数のステージを具備し、複数のステージを通じて、順次発光信号を出力する第2走査駆動部で構成される走査駆動回路とが含まれ、第1走査駆動部および第2走査駆動部の各々ステージは、入力信号線(IN1またはIN2)または一つ前のステージの出力線(gi)に従属接続され、第1クロック信号入力線(CLK1)および第2クロック信号入力線(CLK2)に接続され、第1走査駆動部および第2走査駆動部の各々ステージにおいて、入力される第1クロック信号(CLK1)および第2クロック信号(CLK2)の1周期は、各々一つのハイレベルおよびローレベルの信号を出力する期間に相当し、上記1周期は、ハイレベルまたはローレベルの信号を出力する期間に相当する第1期間および第2期間に分けられ、第1走査駆動部および第2走査駆動部の各々ステージは、第1期間には、ハイレベルまたはローレベルの信号が入力され、ハイレベルの信号を出力するフリーチャージを遂行し、第2期間には、第1期間に入力される信号レベルに相当する信号を出力する評価遂行が行われ、第1期間で、ローレベルの信号が入力される場合、第2期間で、ローレベルの信号を出力し、ステージの第1期間において、一つ前のステージの第2期間で出力されるローレベルの出力信号が入力されることによって、第1クロック信号(CLK1)または第2クロック信号(CLK2)の1周期の半分だけ、上記ローレベルの信号を順次シフトして出力する有機電界発光表示装置が提供される。

【発明の効果】

【0049】

以上説明したように本発明によれば、走査駆動回路でスタティック電流が流れる経路を除去することで、消費電力を低減することができる。また、走査駆動回路を通じてハイレベル出力を行う時、出力端を充電しなくなって漏れる電流(leakage current)を最小化し、ローレベル出力を行う時、出力端を放電する電流の減少程度を最小化して、放電効率を向上させて動作速度を速くすることができる。さらに、選択信号を提供する第1走査駆動部と、発光信号を提供する第2走査駆動部とで構成される走査駆動回路において、発光信号をデータフレームの1周期中、所定期間の間、少なくとも一度以上ハイレベルおよびローレベルとするように印加して各画素の劣化を防止することができる。

# 【発明を実施するための最良の形態】

## 【0050】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

## 【0051】

図4は、本発明の実施形態に係る有機電界発光表示装置を概略的に図示したブロック図である。図4に図示されるように、本発明の実施形態に係る有機電界発光表示装置は、有機EL表示パネル（以下、表示パネル）100、データ駆動回路200、走査駆動回路300を含んで構成される。走査駆動回路300は、選択信号を供給する第1走査駆動部310と、発光信号を供給する第2走査駆動部320から構成される。

## 【0052】

表示パネル100は、列方向に延長して形成される複数のデータ線（ $D_1 \sim D_m$ ）、行方向に延長して形成される複数の信号線（ $S_1 \sim S_n$ ）、複数の信号線（ $E_1 \sim E_n$ ）、およびマトリクス形状に形成される複数の画素回路110を含む。ここで、信号線は、画素を選択するための選択信号を伝達する複数の選択信号線（ $S_1 \sim S_n$ ）および有機EL素子の発光期間を制御するための発光信号を伝達する複数の発光信号線（ $E_1 \sim E_n$ ）を含む。そして、データ線（ $D_1 \sim D_m$ ）と選択信号線（ $S_1 \sim S_n$ ）および発光信号線（ $E_1 \sim E_n$ ）によって定義される画素領域に、各々画素回路110が形成される。

## 【0053】

データ駆動回路200は、データ線（ $D_1 \sim D_m$ ）にデータ電流（ $I_{DATA}$ ）を印加する。走査駆動回路300の第1走査駆動部310は、選択信号線（ $S_1 \sim S_n$ ）に画素回路を選択するための選択信号を順次印加する。また、第2走査駆動部320は、画素回路110の輝度を制御するための発光信号を発光信号線（ $E_1 \sim E_n$ ）に順次印加する。

## 【0054】

図5は、図4に図示される有機電界発光表示装置の各画素領域に具備される画素回路の実施形態を示す回路図である。但し、図5では、説明の便宜上、 $j$ 番目のデータ線（ $D_j$ ）と $i$ 番目の選択信号線（ $S_i$ ）、 $i$ 番目の発光信号線（ $E_i$ ）に接続される画素回路のみを図示する。

## 【0055】

図5で図示されるように、本発明の実施形態に係る画素回路110は、有機EL素子（OLED）、トランジスタ（ $m_1 \sim m_4$ ）、およびキャパシタ（ $C_{st}$ ）を含む。ここで、トランジスタ（ $m_1 \sim m_4$ ）では、PMOSトランジスタを用いるが、これに限定されない。

## 【0056】

トランジスタ（ $m_1$ ）は、電源（ $V_{DD}$ ）と有機EL素子（OLED）との間に接続され、有機EL素子（OLED）に流れる電流を制御する。具体的には、トランジスタ（ $m_1$ ）のソースは、電源（ $V_{DD}$ ）に接続され、ドレイン（出力端）は、トランジスタ（ $m_3$ ）を通じて有機EL素子（OLED）のカソードに接続される。また、トランジスタ（ $m_2$ ）は、ゲートが選択信号線（ $S_i$ ）に接続され、ソースがデータ線（ $D_j$ ）に、ドレインがトランジスタ（ $m_1$ ）のゲートに接続されるので、選択信号線（ $S_i$ ）からの選択信号に応答して、データ線（ $D_j$ ）からのデータ信号（データ電流 $I_{DATA}$ ）をトランジスタ（ $m_1$ ）のゲートに伝達する。トランジスタ（ $m_4$ ）は、ゲートが選択信号線（ $S_i$ ）に接続され、ソースがデータ線（ $D_j$ ）に、ドレインがトランジスタ（ $m_1$ ）のドレインに接続されるので、トランジスタ（ $m_4$ ）は、選択信号に応答して、トランジスタ（ $m_1$ ）をダイオード連結させる。

## 【0057】

また、キャパシタ（ $C_{st}$ ）は、トランジスタ（ $m_1$ ）のゲートとソースとの間に接続され、データ線（ $D_j$ ）からのデータ電流（ $I_{DATA}$ ）に相当する電圧を充電する。トランジスタ（ $m_3$ ）は、ゲートが発光信号線（ $E_i$ ）に接続され、ソースがトランジスタ

10

20

30

40

50

( $m1$ ) のドレインに、ドレインが有機 EL 素子 (OLED) のカソードに接続されるので、トランジスタ ( $m3$ ) は、発光信号線 ( $Ei$ ) からの発光信号にตอบสนองして、トランジスタ ( $m1$ ) に流れる電流を有機 EL 素子 (OLED) に伝達する。

【0058】

図 6 は、図 5 の画素回路に入力される選択信号および発光信号に対するタイミング図である。図 6 に図示されるように、選択信号線 ( $Si$ )、選択信号線 ( $Si+1$ )、選択信号線 ( $Si+2$ ) には、トランジスタ ( $m2$ ) をターンオンするための選択信号が順に印加される。このように、選択信号によってトランジスタ ( $m2$ ) がターンオンされると、データ線 ( $D1 \sim Dm$ ) からデータ電流 (IDATA) がトランジスタ ( $m1$ ) のゲートに印加される。この時、選択信号によってトランジスタ ( $m4$ ) がターンオンされ、トランジスタ ( $m1$ ) がダイオード連結される。したがって、キャパシタ ( $Cst$ ) に、トランジスタ ( $m1$ ) を通じて流れるデータ電流 (IDATA) に相当する電圧が充電される。したがって、キャパシタ ( $Cst$ ) にデータ電流 (IDATA) に相当する電圧が保存されて維持され、この電圧に対応する電流によって有機 EL 素子 (OLED) が、反復的に発光することができる。

10

【0059】

以後、充電が完了すれば、トランジスタ ( $m2$ ) およびトランジスタ ( $m4$ ) がターンオフされ、発光信号線 ( $Ei$ )、発光信号線 ( $Ei+1$ )、発光信号線 ( $Ei+2$ ) から印加される発光信号によって、トランジスタ ( $m3$ ) がターンオンされて、トランジスタ ( $m3$ ) を通じてデータ電流 (IDATA) が有機 EL 素子 (OLED) に流れ、これにより、有機 EL 素子 (OLED) が発光する。

20

【0060】

但し、本発明の実施形態の場合、このような有機電界発光表示装置の動作時に、図 6 に示すように発光信号線 ( $Ei$ )、発光信号線 ( $Ei+1$ )、発光信号線 ( $Ei+2$ ) に印加される発光信号のレベルがデータフレームの 1 周期中における所定の期間、少なくとも一度以上順次変わって供給されることを特徴とする。すなわち、発光信号線 ( $Ei$ )、発光信号線 ( $Ei+1$ )、発光信号線 ( $Ei+2$ ) に印加される発光信号は、データフレームの 1 周期中、所定の期間、順次ローレベルおよびハイレベルに変わって供給される。ここで、発光信号線 ( $Ei$ )、発光信号線 ( $Ei+1$ )、発光信号線 ( $Ei+2$ ) に印加される発光信号がローレベルの場合には、トランジスタ ( $m3$ ) がターンオンされて、トランジスタ ( $m1$ ) から印加される電流 (データ電流 IDATA) が有機 EL 素子 (OLED) に供給され、この電流に対応して有機 EL 素子 (OLED) は、発光する。発光信号がハイレベルの場合には、トランジスタ ( $m3$ ) がターンオフされて、トランジスタ ( $m1$ ) から印加される電流が有機 EL 素子 (OLED) に供給されず、有機 EL 素子 (OLED) は、発光しない。本発明の実施形態では、データフレームの 1 周期とは、第 1 走査駆動部 310 から選択信号、第 2 走査駆動部 320 から発光信号が、有機電界発光表示装置の複数の画素のうち、一つの画素に順次印加される周期である。

30

【0061】

より詳しく説明すると、図 6 に図示されるように、ハイレベルの発光信号が印加される非発光期間 (Poff) の間、選択信号線 ( $Si$ ) にトランジスタ ( $m2$ )、トランジスタ ( $m4$ ) をターンオンするための選択信号が印加され、トランジスタ ( $m1$ ) のゲート端子にデータ線 ( $D1 \sim Dm$ ) からのデータ電流 (IDATA) が印加されるので、データ電流 (IDATA) に対応する電圧がキャパシタ ( $Cst$ ) に充電される (記録期間 Pw)。記録期間 Pw が終わって少しのタイミング以後に、発光信号線 ( $Ei$ ) に印加される発光信号がローレベルになって、トランジスタ ( $m3$ ) がターンオンされ、トランジスタ ( $m1$ ) から有機 EL 素子 (OLED) に、キャパシタ ( $Cst$ ) で充電された電圧に相当する電流 (データ電流 IDATA) が印加されるので、有機 EL 素子 (OLED) が発光する 1 次発光期間 (Pon) が始まる。一定の時間の間、発光がなされた後に、発光信号のレベルがハイレベルになって、トランジスタ ( $m3$ ) がターンオフされるので、有機 EL 素子 (OLED) に電流が印加されなくなると、有機 EL 素子 (OLED) が発光

40

50



しない非発光期間 ( P o f f ) になる。これは、図 6 に図示されるように、データフレームの 1 周期中、所定の期間、順次 1 次発光期間 ( P o n ) と非発光期間 ( P o f f ) が繰り返される。ここで、所定の期間がデータフレームの 1 周期の全部になる場合には、有機 E L 素子 ( O L E D ) の発光期間がデータフレームの 1 周期の 5 0 % になる。ここで、記録期間 P w が終わった後の少しのタイミング以後に発光信号がローレベルになるのは、画素回路 1 1 0 にローレベルの選択信号が入力された後の少しのタイミング以後にローレベルの発光信号が入力されるように、入力される各々信号の間に所定の時間間隔を置いて、クロックスキュー ( s k e w ) または遅延 ( d e l a y ) に対するマージンを確保するためである。

#### 【 0 0 6 2 】

10

このような選択信号および発光信号は、図 4 を通じて説明したように、第 1 走査駆動部 3 1 0 および第 2 走査駆動部 3 2 0 を通じて出力されてパネルに提供される。以下では、図 6 に図示される波形を備える選択信号および発光信号を出力する本発明の実施形態に係る走査駆動回路の構成および動作について説明する。

#### 【 0 0 6 3 】

図 7 は、本発明の実施形態に係る走査駆動回路の構成を示すブロック図である。図 7 を参照すると、本発明の実施形態の走査駆動回路 3 0 0 は、上記で説明したように、M x N 画素アレイ ( P i x e l A r r a y ) を駆動するための選択信号を出力する第 1 走査駆動部 3 1 0 と、発光信号を出力する第 2 走査駆動部 3 2 0 とで構成される。第 1 走査駆動部 3 1 0 および第 2 走査駆動部 3 2 0 の各々は、連続して接続される複数の n 個のステージを具備する。第 1 走査駆動部 3 1 0 の n 個のステージは、入力信号線 ( I N 1 ) または一つ前のステージの出力線に従属接続され、第 2 走査駆動部 3 2 0 の n 個のステージは、入力信号線 ( I N 2 ) または一つ前のステージの出力線に従属接続される。より詳しく説明すると、第 1 走査駆動部 3 1 0 の第 1 ステージが、入力信号線 ( I N 1 ) に直接接続され、第 2 ステージは、第 1 ステージの出力線に接続され、第 1 ステージ以降のステージにおいて、一つ前のステージの出力線に接続される。よって、従属接続とは、入力信号線 ( I N 1 ) に直接接続される第 1 ステージを介して、第 2 ~ 第 n ステージが間接的に入力信号線 ( I N 1 ) に接続されることを意味する。第 2 走査駆動部 3 2 0 の n 個のステージにおいても、同様である。また、第 1 走査駆動部 3 1 0 および第 2 走査駆動部 3 2 0 の各々ステージは、第 1 クロック信号入力線 ( C L K 1 ) および第 2 クロック信号入力線 ( C L K 2 ) に接続される。

20

30

#### 【 0 0 6 4 】

第 1 走査駆動部 3 1 0 の n 個のステージの出力線は、画素アレイに含まれる n 個の選択信号線 ( S 1 ~ S n ) に接続され、第 2 走査駆動部 3 2 0 の n 個のステージの出力線は、発光信号線 ( E 1 ~ E n ) に接続されて、画素アレイを構成する各々の画素に、選択信号および発光信号を伝達する。ここで、第 1 走査駆動部 3 1 0 に具備される第 1 ステージには、最初入力信号 ( I N 1 ) が供給され、第 2 走査駆動部 3 2 0 に具備される第 1 ステージには、最初入力信号 ( I N 2 ) が供給されて、第 1 ~ 第 n - 1 ステージの出力信号は、各々の一つ後のステージに入力信号として供給される。

#### 【 0 0 6 5 】

40

また、選択信号を出力する第 1 走査駆動部 3 1 0 の各ステージは、第 1 クロック端子 ( C L K a ) と第 2 クロック端子 ( C L K b ) とを具備する。第 1 走査駆動部 3 1 0 の奇数番目のステージで、第 1 クロック端子 ( C L K a ) は、第 1 クロック信号入力線 ( C L K 1 ) に接続されるので、第 1 クロック信号 ( C L K 1 ) が供給され、第 2 クロック端子 ( C L K b ) は、第 2 クロック信号入力線 ( C L K 2 ) に接続されるので、第 2 クロック信号 ( C L K 2 ) が供給される。これと反対に、第 1 走査駆動部 3 1 0 の偶数番目のステージで、第 1 クロック端子 ( C L K a ) は、第 2 クロック信号入力線 ( C L K 2 ) に接続されるので、第 2 クロック信号 ( C L K 2 ) が供給され、第 2 クロック端子 ( C L K b ) は、第 1 クロック信号入力線 ( C L K 1 ) に接続されるので、第 1 クロック信号 ( C L K 1 ) が供給される。ここで、第 1 クロック信号 ( C L K 1 ) および第 2 クロック信号 ( C L

50

K 2) は、ローレベルおよびハイレベルの信号を繰り返して、互いに相反する位相を備える。

#### 【0066】

すなわち、最初入力信号 (IN 1) または一つ前のステージからの出力信号 (gi) と、第 1 クロック信号 (CLK 1) および第 2 クロック信号 (CLK 2) の供給を受ける第 1 走査駆動部 310 の各々ステージは、最初入力信号 (IN 1) がローレベルの場合、各々ステージの出力線を通じて、順次ローレベルの選択信号を出力する。

#### 【0067】

一方、発光信号を出力する第 2 走査駆動部 320 の各ステージは、第 1 クロック端子 (CLK a) と第 2 クロック端子 (CLK b) を具備する。第 2 走査駆動部 320 の奇数番目のステージで、第 1 クロック端子 (CLK a) は、第 2 クロック信号入力線 (CLK 2) に接続されるので、第 2 クロック信号 (CLK 2) が供給され、第 2 クロック端子 (CLK b) は、第 1 クロック信号入力線 (CLK 1) に接続されるので、第 1 クロック信号 (CLK 1) が供給される。これと反対に、第 2 走査駆動部 320 の偶数番目のステージで、第 1 クロック端子 (CLK a) は、第 1 クロック信号入力線 (CLK 1) に接続されるので、第 1 クロック信号 (CLK 1) が供給され、第 2 クロック端子 (CLK b) は、第 2 クロック信号入力線 (CLK 2) に接続されるので、第 2 クロック信号 (CLK 2) が供給される。

10

#### 【0068】

すなわち、最初入力信号 (IN 2) または一つ前のステージからの出力信号 (gi) と、第 1 クロック信号 (CLK 1) および第 2 クロック信号 (CLK 2) の供給を受ける第 2 走査駆動部 320 の各々ステージは、最初入力信号 (IN 2) がローレベルの場合、各々ステージの出力線を通じて、発光信号のレベルをデータフレームの 1 周期中、所定の期間、少なくとも一度以上順次ローレベルおよびハイレベル信号に変換して出力する。

20

#### 【0069】

図 8 は、本発明の実施形態に係る走査駆動回路内の任意のステージに対する回路図であり、図 7 に図示される第 1 走査駆動部と第 2 走査駆動部の奇数番目のステージに対する具体的な回路構成を示すものである。また、図 9 は、図 8 に図示されるステージの入力信号 / 出力信号のタイミング図である。

#### 【0070】

図 9 を参照すると、第 1 クロック信号 (CLK 1) および第 2 クロック信号 (CLK 2) の 1 周期は、一つのローレベル信号および一つのハイレベル信号を出力する期間である。第 1 クロック信号 (CLK 1) および第 2 クロック信号 (CLK 2) の 1 周期は、第 1 期間および第 2 期間に区分され、第 1 期間および第 2 期間は、第 1 クロック信号 (CLK 1) および第 2 クロック信号 (CLK 2) のローレベル信号またはハイレベル信号を出力する期間に相当する。第 1 走査駆動部 310 および第 2 走査駆動部 320 の各々ステージは、第 1 期間の間には、フリーチャージを遂行して、第 2 期間の間に、評価遂行を行う。ここで、フリーチャージとは、最初入力信号 (IN 1 または IN 2) または一つ前のステージからの出力信号 (gi) の入力を受け付けることである。評価遂行とは、フリーチャージで入力される信号 (最初入力信号 (IN 1 または IN 2) または一つ前のステージからの出力信号 (gi)) のレベルに相当する信号を出力することである。

30

40

#### 【0071】

従って、第 1 走査駆動部 310 の奇数番目のステージ 311 および第 2 走査駆動部 320 の奇数番目のステージ 321 において、フリーチャージされる期間 (第 1 期間) に、ローレベルの最初入力信号 (IN 1 または IN 2) または一つ前のステージからの出力信号 (gi) が入力される場合、評価遂行される期間 (第 2 期間) では、ローレベルの信号 (選択信号および発光信号) を出力し、ローレベルの信号 (選択信号および発光信号) を第 1 走査駆動部 310 の偶数番目のステージおよび第 2 走査駆動部 320 の偶数番目のステージに印加する。よって、第 1 走査駆動部 310 の偶数番目のステージおよび第 2 走査駆動部 320 の偶数番目のステージでは、第 1 走査駆動部 310 の奇数番目のステージおよ

50

び第2走査駆動部320の奇数番目のステージより、第1クロック信号(CLK1)または第2クロック信号(CLK2)の1周期の半分だけシフトして、ローレベルの信号(選択信号および発光信号)を出力する。

#### 【0072】

すなわち、第1走査駆動部310および第2走査駆動部320の各々ステージにおいて、フリーチャージされる期間(第1期間)では、ハイレベルの信号(選択信号および発光信号)を出力する一方で、最初入力信号(IN1またはIN2)または一つ前のステージからの出力信号(gi)がローレベルである時、そのローレベル信号を入力(充電)する。評価される期間(第2期間)には、フリーチャージ期間に入力される信号レベルに相当する信号を出力する。また、第1走査駆動部310および第2走査駆動部320の各々ステージにおいて、奇数番目のステージの評価期間を偶数番目のステージのフリーチャージ期間と同じにすることで、ローレベルの信号が、第1クロック信号(CLK1)または第2クロック信号(CLK2)の1周期の半分だけの時間間隔で、すべてのステージに順次伝達するようにする。

10

#### 【0073】

以下、図8に図示される第1走査駆動部310の奇数番目のステージ311および第2走査駆動部320の奇数番目のステージ321の回路構成を通じて、より具体的にステージの動作を説明する。但し、ステージに具備されるトランジスタは、以下では、PMOS薄膜トランジスタを例として説明しているが、本発明の実施形態は、必ずしもこれに限定されない。

20

#### 【0074】

図8を参照すると、第1走査駆動部310の奇数番目のステージ311および第2走査駆動部320の奇数番目のステージ321は、第1クロック端子(CLKa)にゲート端子が接続され、最初入力信号(IN1またはIN2)または一つ前のステージから出力信号(gi)が入力される第1トランジスタ(M1)と、第1トランジスタ(M1)の出力端にゲート端子が接続され、第2クロック端子(CLKb)および出力線(out)に接続される第2トランジスタ(M2)と、第1クロック端子(CLKa)にゲート端子が接続され、第2電源(VSS)と第1ノード(N1)との間に接続される第3トランジスタ(M3)と、第1トランジスタ(M1)の出力端にゲート端子が接続され、第1クロック端子(CLKa)と第1ノード(N1)との間に接続される第4トランジスタ(M4)と、第1ノード(N1)にゲート端子が接続され、第1電源(VDD)と出力線(out)との間に接続される第5トランジスタ(M5)を含んで構成される。そして、第1走査駆動部310の奇数番目のステージ311の出力線は、一つ後の偶数番目のステージの第1トランジスタ(M1)のソースに接続される。第2走査駆動部320の場合についても、同様である。

30

#### 【0075】

また、第1トランジスタ(M1)の出力端と出力線(out)との間に接続される第1キャパシタ(C1)をさらに含んで構成される。ここで、ステージが第1走査駆動部310の奇数番目のステージ311の場合には、図7で図示されるように、第1クロック端子(CLKa)に第1クロック信号入力線(CLK1)が接続されるので、第1クロック信号(CLK1)が供給され、第2クロック端子(CLKb)に第2クロック信号入力線(CLK2)が接続されるので、第2クロック信号(CLK2)が供給される。これと反対に、ステージが偶数番目の場合には、第1クロック端子(CLKa)には、第2クロック信号入力線(CLK2)が接続されるので、第2クロック信号(CLK2)が供給され、第2クロック端子(CLKb)には、第1クロック信号入力線(CLK1)が接続されるので、第1クロック信号(CLK1)が供給される。以上、第1走査駆動部310の奇数番目のステージ、偶数番目のステージで、第1クロック端子(CLKa)、第2クロック端子(CLKb)に接続される第1クロック信号入力線(CLK1)、第2クロック信号入力線(CLK2)を互いに相反するようにすることで、互いに反対のレベルの信号が第1クロック端子(CLKa)、第2クロック端子(CLKb)に印加される。従って、フ

40

50

リーチャージされる期間にローレベルの信号が入力されると、各々ステージにおいて、一つ前のステージに比べて、第1クロック信号(CLK1)または第2クロック信号(CLK2)の1周期の半分だけシフトされるローレベルの選択信号が順次出力される。

#### 【0076】

一方、ステージが第2走査駆動部320の奇数番目のステージ321の場合には、図7で示されるように、第1クロック端子(CLKa)に第2クロック信号入力線(CLK2)が接続されるので、第2クロック信号(CLK2)が供給され、第2クロック端子(CLKb)に第1クロック信号入力線(CLK1)が接続されるので、第1クロック信号(CLK1)が供給される。これと反対に、ステージが偶数番目の場合には、第1クロック端子(CLKa)には、第1クロック信号入力線(CLK1)が接続されるので、第1クロック信号(CLK1)が供給され、第2クロック端子(CLKb)には、第2クロック信号入力線(CLK2)が接続されるので、第2クロック信号(CLK2)が供給される。また、第2電源(VSS)には、別途の負の電源が印加されるが、図8のように接地されて構成されることも可能である。本発明の実施形態では、第2電源が接地で具現される。

10

#### 【0077】

第1走査駆動部310および第2走査駆動部320の各々ステージは、大きく分けて伝達部、反転部、バッファ部で構成される。伝達部は、第1トランジスタ(M1)、第2トランジスタ(M2)および第1キャパシタ(C1)で構成される。反転部は、第1トランジスタ(M1)、第3トランジスタ(M3)、第4トランジスタ(M4)で構成される。バッファ部は、第5トランジスタ(M5)で構成される。

20

#### 【0078】

ステージが第1走査駆動部310の奇数番目のステージ311と仮定する場合、第1クロック信号(CLK1)がローレベル、すなわち、第2クロック信号(CLK2)がハイレベルである期間がフリーチャージ期間になる。第1クロック信号(CLK1)がハイレベル、すなわち、第2クロック信号(CLK2)がローレベルである期間が評価期間となる。フリーチャージ期間では、ハイレベルの信号(選択信号)を出力し、評価期間には、フリーチャージ期間に入力される信号レベルと同じレベルの信号(選択信号)を出力する。ステージが第1走査駆動部310の偶数番目のステージの場合、第1クロック信号(CLK1)がハイレベル、すなわち、第2クロック信号(CLK2)がローレベルである期間がフリーチャージ期間になる。第1クロック信号(CLK1)がローレベル、すなわち、第2クロック信号(CLK2)がハイレベルである期間が評価期間となる。

30

#### 【0079】

一方、ステージが第2走査駆動部320の奇数番目のステージ321と仮定する場合、第1クロック信号(CLK1)がハイレベル、すなわち、第2クロック信号(CLK2)がローレベルである期間がフリーチャージ期間になる。第1クロック信号(CLK1)がローレベル、すなわち、第2クロック信号(CLK2)がハイレベルである期間が評価期間になる。ステージが第2走査駆動部320の偶数番目のステージと仮定する場合、第1クロック信号(CLK1)がローレベル、すなわち、第2クロック信号(CLK2)がハイレベルである期間がフリーチャージ期間になる。第1クロック信号(CLK1)がハイレベル、すなわち、第2クロック信号(CLK2)がローレベルである期間が評価期間になる。第2走査駆動部320の各々ステージにおいて、フリーチャージ期間では、ハイレベルの信号(発光信号)を出力し、評価期間には、フリーチャージ期間に入力される信号レベルと同じレベルの信号(発光信号)を出力する。

40

#### 【0080】

図8および図9を参照すると、第1走査駆動部310の奇数番目のステージ311に対する回路の動作をよく見れば、まず、フリーチャージ期間、すなわち、第1クロック信号(CLK1)がローレベル、第2クロック信号(CLK2)がハイレベルに入力される間には、第1トランジスタ(M1)、第3トランジスタ(M3)がオンになり、入力信号線(IN1)より第1トランジスタ(M1)に印加される最初入力信号(IN1)または一

50

つ前のステージからの出力信号 (g i) がそれぞれ第 2 トランジスタ (M 2) , 第 4 トランジスタ (M 4) のゲート端子に伝達される。したがって, フリーチャージ期間には, 第 1 キャパシタ (C 1) に, 入力信号としての一つ前のステージからの出力信号 (g i) または最初入力信号 (I N 1) に相当する電圧が保存される。第 1 ノード (N 1) には, 第 1 クロック信号 (C L K 1) または第 2 電源 (V S S) によってローレベルの信号が充電されるので, 第 5 トランジスタ (M 5) がオンされて, ハイレベルの第 1 電源 (V D D) が出力端を通じて出力される。すなわち, フリーチャージ期間で, ステージのバッファ部 (第 5 トランジスタ (M 5)) による出力は, ハイレベルになる。

#### 【0081】

また, 第 1 走査駆動部 310 の奇数番目のステージ 311 の評価期間の間, すなわち, 第 1 クロック信号 (C L K 1) がハイレベル, 第 2 クロック信号 (C L K 2) がローレベルに入力される間には, 第 1 トランジスタ (M 1) がオフされるので, 最初入力信号 (I N 1) または一つ前のステージからの出力信号 (g i) が遮断される。このため第 2 トランジスタ (M 2) , 第 4 トランジスタ (M 4) もオフされる。第 3 トランジスタ (M 3) も第 1 トランジスタ (M 1) とともに, オフされる。この時, フリーチャージ期間の間に入力 (保存) される信号, すなわち, 一つ前のステージからの出力信号 (g i) または最初入力信号 (I N 1) がハイレベルの場合には, フリーチャージ期間で, 第 1 キャパシタ (C 1) にハイレベルの信号が保存されるので, 評価期間において, 第 2 トランジスタ (M 2) , 第 4 トランジスタ (M 4) はオフされる。しかし, フリーチャージ期間で, 第 3 トランジスタ (M 3) は, オンとなるので, 第 1 ノード (N 1) は, 第 2 電源 (V S S) のローレベルの信号が充電されるので, 第 5 トランジスタ (M 5) はオンされ, 第 5 トランジスタ (M 5) (バッファ部) は, 第 1 電源 (V D D) から相変らずハイレベルを出力するようになる。以上, 第 1 走査駆動部 310 の奇数番目のステージの回路動作について説明したが, 第 1 走査駆動部 310 の偶数番目のステージでは, 奇数番目のステージで入力されるクロック信号が反対となり, 回路動作は同じなので, 詳細な説明は, 略する。

#### 【0082】

本発明の実施形態によれば, フリーチャージ期間で, 第 5 トランジスタ (M 5) を通じて, 第 1 電源 (V D D) のハイレベルの信号が出力されるので, 従来の走査駆動回路より, ハイレベルで出力される信号がトランジスタの特性偏差の影響を受けないため, 走査駆動回路の誤作動を防止できる。フリーチャージ期間で, ハイレベルの一つ前のステージからの出力信号 (g i) または最初入力信号 (I N 1) が入力される場合における評価期間においても, 同様である。また, ハイレベルの信号を出力する時, 第 5 トランジスタ (M 5) を通じて, 第 1 電源 (V D D) のハイレベルの信号が出力されるので, 従来の走査駆動回路のようにインバータの出力端を充電しないので, 漏れる電流 (l e a k a g e c u r r e n t) を最小化でき, 放電効率を改善して動作速度を向上できる。

#### 【0083】

一方, 評価期間の間, フリーチャージ期間の間に入力される信号, すなわち, 一つ前のステージからの出力信号 (g i) または最初入力信号 (I N 1) がローレベルの場合には, 第 1 キャパシタ (C 1) によって保存されるローレベルの信号によって, 第 2 トランジスタ (M 2) がオンされ, 第 4 トランジスタ (M 4) がオンになる。第 4 トランジスタ (M 4) がオンされることによって, 第 1 ノード (N 1) に, 第 4 トランジスタ (M 4) を通じて, ハイレベルの第 1 クロック信号 (C L K 1) が充電されるので, 第 5 トランジスタ (M 5) はオフされる。このため, 伝達部では, 第 2 トランジスタ (M 2) がオンになることによって, ローレベル値を備える第 2 クロック信号 (C L K 2) が出力端を通じて出力される。

#### 【0084】

本発明の実施形態によれば, 走査駆動回路にインバータを用いないので, フリーチャージ期間に入力される一つ前のステージからの出力信号 (g i) または最初入力信号 (I N 1) がローレベルの場合には, 走査駆動回路にスタティック電流が流れないため, 従来の走査駆動回路に比べて, 消費電力を低減することができる。また, 評価期間において, 第

10

20

30

40

50

2トランジスタ(M2)を通じて、ローレベルの第2クロック信号(CLK2)が出力線から出力されるので、従来の走査駆動回路より、ローレベルで出力される信号がトランジスタの特性偏差の影響を受けないため、走査駆動回路の誤作動を防止できる。さらに、ローレベルの信号を出力する時、第2トランジスタ(M2)を通じて、ローレベルの第2クロック信号(CLK2)が出力線から出力されるので、従来の走査駆動回路のようにインバータの出力端を放電する電流の減少程度を最小化でき、放電効率を改善して動作速度を向上できる。

#### 【0085】

以上説明したように、第1走査駆動部310の奇数番目のステージ311の評価期間において、ステージは、以前フリーチャージ期間に入力される信号、すなわち、一つ前のステージからの出力信号(gi)または最初入力信号(IN1)がローレベルの場合には、ローレベルの信号(ローレベルの選択信号)を出力し、ハイレベルの場合には、ハイレベルの信号(ハイレベルの選択信号)を出力する。結果的に、最初入力信号(IN1)または一つ前のステージからの出力信号(gi)と、第1クロック信号(CLK1)および第2クロック信号(CLK2)の供給を受ける第1走査駆動部310の各ステージは、第1期間の間には、フリーチャージを遂行し、第2期間の間に評価を遂行して、第1期間にローレベルの信号が印加される場合、一つ前のステージに比べて、ローレベルの信号(選択信号)を第1クロック信号(CLK1)または第2クロック信号(CLK2)の1周期の半分(第1期間または第2期間)だけシフトして、出力する。

10

#### 【0086】

すなわち、フリーチャージ期間では、ハイレベルの出力し、最初入力信号(IN1)または一つ前のステージからの出力信号(gi)の入力を受ける。評価期間には、フリーチャージ期間に入力される信号レベルと同じレベルの信号を出力することで、ローレベルの最初入力信号(IN1)が印加される場合、各ステージの出力線を通じて順次ローレベルの信号を出力することができる。第1走査駆動部310の各々のステージにおいて、順次出力されるローレベルの信号は、画素部の各画素に供給される選択信号となる。

20

#### 【0087】

図8および図9に図示される第2走査駆動部320の奇数番目のステージ321に対する回路の構成は、説明した第1走査駆動部310の奇数番目のステージ311に対する回路の構成と同様なので、回路の動作を含めた詳細な説明は、省略する。

30

#### 【0088】

但し、第2走査駆動部320の奇数番目のステージ321には、第1クロック端子(CLKa)に第2クロック信号(CLK2)が供給され、第2クロック端子(CLKb)に第1クロック信号(CLK1)が供給されるので、結果的には、第1走査駆動部310の奇数番目のステージ311の第1クロック端子(CLKa)および第2クロック端子(CLKb)に入力される信号とは、互いに反転されて入力されることを特徴とする。したがって、第1走査駆動部310と第2走査駆動部320において、フリーチャージ期間および評価期間は、図9に図示されるように、互いに行き違って構成されるのである。つまり、第1走査駆動部310の奇数番目のステージの評価期間は、第2走査駆動部320の奇数番目のステージのフリーチャージ期間に相当し、第1走査駆動部310の奇数番目のステージのフリーチャージ期間は、第2走査駆動部320の奇数番目のステージの評価期間に相当する。

40

#### 【0089】

すなわち、第1走査駆動部310の偶数番目のステージの第1クロック端子(CLKa)、第2クロック端子(CLKb)に入力される第1クロック信号(CLK1)、第2クロック信号(CLK2)は、第2走査駆動部320の奇数番目のステージの第1クロック端子(CLKa)、第2クロック端子(CLKb)に入力される第1クロック信号(CLK1)、第2クロック信号(CLK2)と同じとなる。これと同様に、第1走査駆動部310の奇数番目のステージの第1クロック端子(CLKa)、第2クロック端子(CLKb)に入力される第1クロック信号(CLK1)、第2クロック信号(CLK2)は、第

50

2 走査駆動部 3 2 0 の偶数番目のステージの第 1 クロック端子 ( C L K a ) , 第 2 クロック端子 ( C L K b ) に入力される第 1 クロック信号 ( C L K 1 ) , 第 2 クロック信号 ( C L K 2 ) と同じとなる。

#### 【 0 0 9 0 】

これによって、第 1 走査駆動部 3 1 0 の奇数番目のステージが、ローレベルの出力を出す時、第 2 走査駆動部 3 2 0 の奇数番目のステージは、ハイレベルの出力を出し、第 1 クロック信号 ( C L K 1 ) , 第 2 クロック信号 ( C L K 2 ) の 1 周期の半分後に、ローレベルの出力を出すようになる。言い換えると、第 1 走査駆動部 3 1 0 の奇数番目のステージで、評価遂行される期間に、第 2 走査駆動部 3 2 0 の奇数番目のステージでは、フリーチャージが行われ、第 1 走査駆動部 3 1 0 の奇数番目のステージで、評価遂行によって、選択信号が出力された後に、第 2 走査駆動部 3 2 0 の奇数番目のステージでは、評価遂行が行われ、発光信号を出力する。これは、第 1 走査駆動部 3 1 0 の偶数番目のステージ、第 2 走査駆動部 3 2 0 の偶数番目のステージについても、同様である。従って、図 6 のように、第 1 走査駆動部 3 1 0 からローレベルの選択信号が出力されて、画素回路でデータ線からのデータ電流 ( I D A T A ) が充電される記録期間 ( P w ) の後、第 2 走査駆動部 3 2 0 からローレベルの発光信号が出力されて、画素回路の有機 E L 素子 ( O L E D ) が発光する 1 次発光期間 ( P o n ) が始まる。

10

#### 【 0 0 9 1 】

また、第 2 走査駆動部 3 2 0 に入力される最初入力信号 ( I N 2 ) は、図 9 に図示されるように、第 1 走査駆動部 3 1 0 に入力される最初入力信号 ( I N 1 ) とは異なって、第 1 クロック信号 ( C L K 1 ) , 第 2 クロック信号 ( C L K 2 ) の複数の周期に相当する所定の期間、ローレベルに提供することとを特徴とする。ここで、所定の期間は、データフレームの 1 周期内の一定の期間となる。データフレームの 1 周期とは、第 1 走査駆動部 3 1 0 および第 2 走査駆動部 3 2 0 に各々の最初入力信号 ( I N 1 , I N 2 ) が入力され、選択信号および発光信号が出力される期間である。

20

#### 【 0 0 9 2 】

これによって、最初入力信号 ( I N 2 ) による第 2 走査駆動部 3 2 0 の各ステージの出力信号 ( 発光信号 ) は、所定の期間に対応して、少なくとも一度以上順次ローレベルおよびハイレベル信号に変換されて出力される。これは、画素部の各画素に提供される発光信号となる。従って、本発明の実施形態によれば、データフレームの 1 周期の所定の期間、発光信号が少なくとも一度以上順次ローレベルおよびハイレベル信号に変換されるので、有機電界発光表示装置の各々画素の劣化を防止できる。ここで、所定の期間がデータフレームの 1 周期の全部になる場合、所定の期間に対応して、第 2 走査駆動部 3 2 0 の出力信号、すなわち、発光信号は、データフレームの 1 周期の 5 0 % に相当する期間、ローレベル信号で提供される。結果的に、各画素に具備される有機 E L 素子 ( O L E D ) の発光期間がデータフレームの 1 周期の 5 0 % となる。

30

#### 【 0 0 9 3 】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

40

#### 【 図面の簡単な説明 】

#### 【 0 0 9 4 】

【 図 1 】 従来の一般的な走査駆動回路の構成を示すブロック図である。

【 図 2 】 図 1 に図示される走査駆動回路における任意のステージの回路図である。

【 図 3 】 図 2 に図示されるステージの入力信号 / 出力信号波形図である。

【 図 4 】 本発明の実施形態に係る有機電界発光表示装置を概略的に図示するブロック図である。

【 図 5 】 図 4 に図示される有機電界発光表示装置の各画素領域に具備される画素回路の実施形態を現わす回路図である。

50

【図 6】図 5 の画素回路に入力される選択信号および発光信号に対するタイミング図である。

【図 7】本発明の実施形態に係る走査駆動回路の構成を示すブロック図である。

【図 8】本発明の実施形態に係る走査駆動回路内の任意のステージに対する回路図である。

【図 9】図 8 に図示されるステージの入力信号 / 出力信号のタイミング図である。

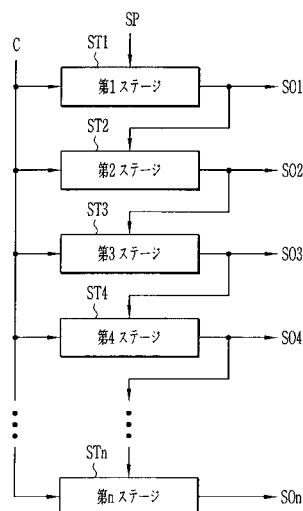
【符号の説明】

【 0 0 9 5 】

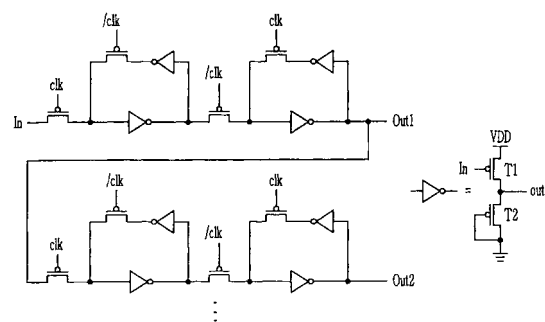
3 0 0	走査駆動回路
3 1 0	第 1 走査駆動部
3 1 1	第 1 走査駆動部の奇数番目のステージ
3 2 0	第 2 走査駆動部
3 2 1	第 2 走査駆動部の奇数番目のステージ

10

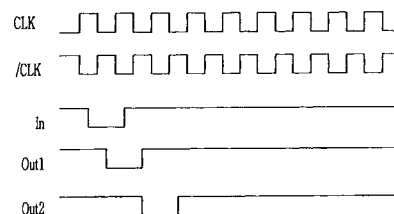
【図 1】



【図 2】

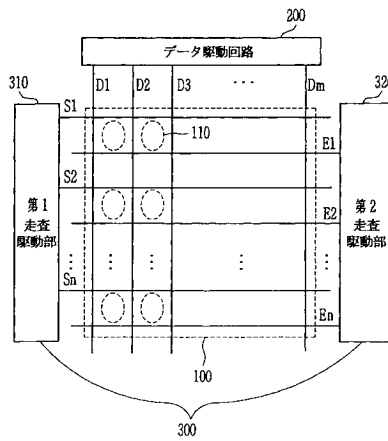


【図 3】

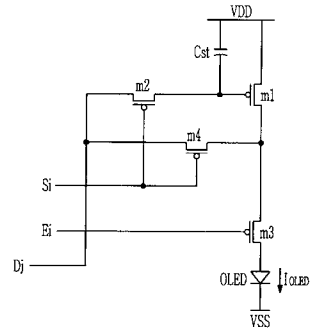




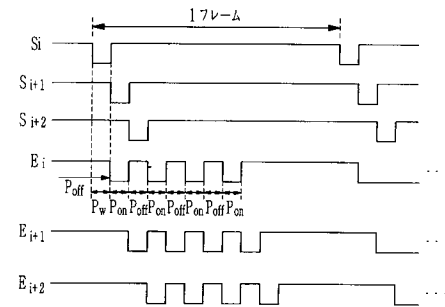
【図 4】



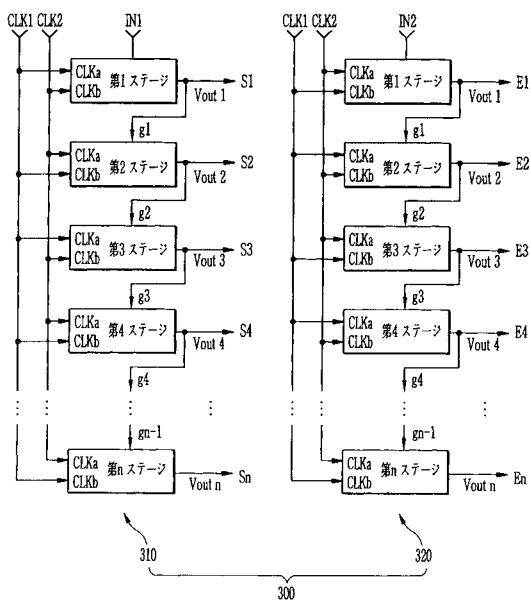
【図 5】



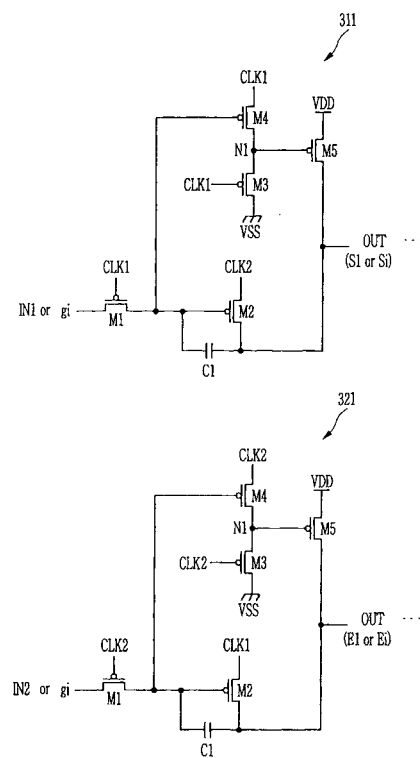
【図 6】



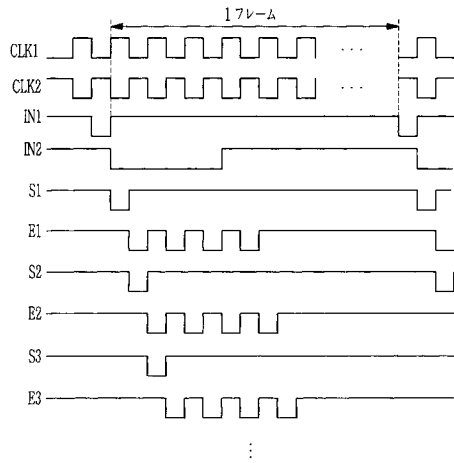
【図 7】



【図 8】



【図 9】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 1 1 A

H 0 5 B 33/14 A

专利名称(译)	使用扫描驱动器扫描驱动电路和有机电致发光显示设备		
公开(公告)号	<a href="#">JP2007086727A</a>	公开(公告)日	2007-04-05
申请号	JP2006108759	申请日	2006-04-11
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	申東蓉		
发明人	申 東蓉		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/325 G09G3/20 G09G3/3266 G09G2300/0842 G09G2310/0286 G09G2330/021 G11C19/184		
FI分类号	G09G3/30.J G09G3/20.622.A G09G3/20.622.C G09G3/20.622.D G09G3/20.622.G G09G3/20.611.A H05B33/14.A G09G3/20.622.E G09G3/3233 G09G3/3266 G09G3/3283 G11C19/00 G11C19/00.J		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC04 3K107/CC14 3K107/CC21 3K107/EE03 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD09 5C080/DD26 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA10 5B074/CA01 5C380/AA01 5C380/AB06 5C380/BA01 5C380/BA10 5C380/BA20 5C380/BA34 5C380/BA50 5C380/BC20 5C380/BD07 5C380/CA13 5C380/CB01 5C380/CB14 5C380/CB17 5C380/CB18 5C380/CB26 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CD014 5C380/CE20 5C380/CF07 5C380/CF10 5C380/CF22 5C380/CF23 5C380/CF43 5C380/DA02 5C380/DA06 5C380/DA32		
优先权	1020050087425 2005-09-20 KR		
其他公开文献	JP4612580B2		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

在有机发光显示装置中使用的扫描驱动电路。栅极端子连接到扫描驱动电路的每一级的第一时钟端子，并且来自前一级的第一输入信号（IN1或IN2）或输出信号（gi）被输入到第一级。栅极端子连接至晶体管（M1）和第一晶体管的输出端子，第二晶体管（M2）连接至第二时钟端子和输出线，并且栅极端子连接至第一时钟端子。（2）连接在电源（VSS）和第一节点（N1）之间的第三晶体管（M3），和连接到第一晶体管的输出端子的栅极端子，其连接第一时钟端子和第一节点。它包括连接在它们之间的第四晶体管（M4）和第五晶体管（M5），该第五晶体管的栅极端子连接到第一节点并且连接在第一电源（VDD）和输出线之间。[选择图]图8

