

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5146521号  
(P5146521)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/20 641D
H01L 51/50 (2006.01)	G09G 3/20 642P
H05B 33/14 (2006.01)	G09G 3/20 611H
	G09G 3/20 621A
請求項の数 23 (全 55 頁) 最終頁に続く	

(21) 出願番号 特願2010-256738 (P2010-256738)  
 (22) 出願日 平成22年11月17日(2010.11.17)  
 (65) 公開番号 特開2011-154348 (P2011-154348A)  
 (43) 公開日 平成23年8月11日(2011.8.11)  
 審査請求日 平成23年3月10日(2011.3.10)  
 (31) 優先権主張番号 特願2009-298219 (P2009-298219)  
 (32) 優先日 平成21年12月28日(2009.12.28)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001443  
 カシオ計算機株式会社  
 東京都渋谷区本町1丁目6番2号  
 (74) 代理人 100096699  
 弁理士 鹿嶋 英實  
 (72) 発明者 小倉 潤  
 東京都八王子市石川町2951番地の5  
 カシオ計算機株式  
 社 八王子技術センター内

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 画素駆動装置、発光装置及びその駆動制御方法、並びに、電子機器

(57) 【特許請求の範囲】

【請求項1】

複数のデータ線を介して複数の画素を駆動する画素駆動装置であって、  
 前記複数の画素の各々は、カソードとアノードを有する発光素子と、電流路と制御端子を有し、前記電流路の一端が前記発光素子の前記アノードに接続され、該電流路の他端に電源電圧が印加される駆動トランジスタと、前記各データ線の一端と前記駆動トランジスタの前記電流路の一端との間に設けられ、当該画素が選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第1のスイッチ素子と、前記駆動トランジスタの前記電流路の他端と前記駆動トランジスタの前記制御端子との間に設けられ、当該画素が前記選択状態に設定されたときに導通し、前記非選択状態に設定されたときに非導通となる第2のスイッチ素子と、を有し、前記選択状態に設定されたときに、導通した前記第2のスイッチ素子を介して前記駆動トランジスタがダイオード接続状態にされる画素駆動回路と、を有し、

前記各画素の前記発光素子の前記カソードに印加するカソード電圧の電圧値を設定する電圧制御回路と、

前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に一定電圧の前記電源電圧が印加された前記画素に対して、前記電圧制御回路により前記カソード電圧を第1の設定電圧に設定した状態で、前記複数のデータ線の各々に第1の検出用電圧を印加し、導通した前記第1のスイッチ素子を介して前記ダイオード接続状態にされた前記駆動トランジスタの前記電流路の一端に前記第1の検出用電圧を印加して、前記各データ線を介

して前記駆動トランジスタの前記電流路に電流を流し、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記データ線の電圧値が収束する時間より短い時間に設定された第1の緩和時間が経過した第1のタイミングで取得される前記各データ線の電圧値と、前記各画素の前記画素駆動回路の電流増幅率の値と、に基づいて、前記各画素の前記駆動制トランジスタのしきい値電圧に関連する第1の特性パラメータを取得する補正データ取得機能回路と、

を備え、

前記第1の設定電圧は、前記第1の検出用電圧と同電圧、又は、前記第1の検出用電圧より低電位で前記第1の検出用電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されて、前記駆動トランジスタの前記電流路の一端に前記第1の検出用電圧が印加され、前記各データ線の電圧値が取得される際に前記各画素の前記発光素子に逆バイアス電圧が印加されないように設定されていることを特徴とする画素駆動装置。

10

#### 【請求項2】

前記複数のデータ線の各々の電圧値を取得する複数の電圧取得回路を有し、

前記各電圧取得回路は、前記電圧制御回路により前記カソード電圧を前記第1の設定電圧に設定した状態で、前記各データ線に前記第1の検出用電圧を印加した後の前記各データ線の電圧値を、複数の第1の検出電圧として取得し、

前記補正データ取得機能回路は、前記複数の第1の検出電圧の電圧値に基づいて前記第1の特性パラメータを取得することを特徴とする請求項1記載の画素駆動装置。

20

#### 【請求項3】

前記第1の緩和時間は1～50μsecの時間に設定されていることを特徴とする請求項1記載の画素駆動装置。

#### 【請求項4】

前記各電圧取得回路は、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記電圧制御回路により前記カソード電圧を第2の設定電圧に設定した状態で、前記各データ線に第2の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記第1の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第2の緩和時間が経過した第2のタイミングで、前記各データ線の電圧値を複数の第2の検出電圧として取得し、

30

前記補正データ取得機能回路は、前記複数の第2の検出電圧の電圧値に基づいて、前記画素駆動回路の前記電流増幅率に関連する第2の特性パラメータを取得し、

前記各電圧取得回路における前記第2の検出電圧の取得及び前記補正データ取得機能回路における前記第2の特性パラメータの取得は、前記各電圧取得回路における前記第1の検出電圧の取得及び前記補正データ取得機能回路における前記第1の特性パラメータの取得より前に実行され、

前記第2の設定電圧は、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記カソード電圧を初期電圧に設定した状態で、前記各データ線に第3の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記第1の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第3の緩和時間が経過した第3のタイミングでの前記各データ線の電圧値に基づく電圧に設定され、

40

前記初期電圧は、前記電源電圧と同電圧、又は、前記電源電圧より低電位で前記電源電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されていることを特徴とする請求項2に記載の画素駆動装置。

#### 【請求項5】

前記第2の設定電圧は、前記第3のタイミングでの前記各データ線の電圧と同じ極性を

50

有し、絶対値は、前記第3のタイミングで前記複数の電圧取得回路により取得される前記各データ線の電圧値の絶対値の、平均値、最大値、又は前記平均値と前記最大値の間の値、の何れかの値に設定されていることを特徴とする請求項4に記載の画素駆動装置。

【請求項6】

前記複数のデータ線に対応して設けられ、前記第1の検出用電圧、前記第2の検出用電圧及び前記第3の検出用電圧を含む所定の電圧を出力する複数の電圧印加回路を有し、

前記各電圧印加回路は、前記各データ線に接続されて、該各データ線に前記第1の検出用電圧、前記第2の検出用電圧及び前記第3の検出用電圧を印加し、

前記各電圧取得回路は、前記データ線と前記電圧印加回路との接続が遮断された後、前記第1のタイミング及び前記第2のタイミングでの前記各データ線の電圧値を、前記複数の第1の検出電圧及び前記複数の第2の検出電圧として取得することを特徴とする請求項4に記載の画素駆動装置。

10

【請求項7】

外部から供給される画像表示用の画像データを前記第1及び第2の特性パラメータに基づいて補正した補正画像データを生成する画像データ補正回路を有し、

前記電圧印加回路は、前記複数の画素により前記画像データに応じた画像表示を行う際に、前記画像データ補正回路により生成された前記補正画像データに応じた階調電圧を、前記各データ線に印加することを特徴とする請求項6に記載の画素駆動装置。

【請求項8】

前記各データ線と前記電圧印加回路との接続及び遮断を行い、前記データ線の一端と前記電圧印加回路との接続を遮断して前記データ線をハイインピーダンス状態に設定する接続切換回路を有し、

20

前記各電圧取得回路は、前記接続切換回路が前記データ線をハイインピーダンス状態にした後、前記第1のタイミング及び前記第2のタイミングに対応する時間が経過した時点の前記データ線の電圧を、前記複数の第1の検出電圧及び前記複数の第2の検出電圧として取得することを特徴とする請求項7に記載の画素駆動装置。

【請求項9】

発光装置であって、

複数の画素と、複数のデータ線とを有し、前記各画素は、カソードとアノードを有する発光素子と、電流路の一端が前記発光素子の前記アノードに接続され、該電流路の他端に電源電圧が印加される駆動トランジスタと、前記各データ線の一端と前記駆動トランジスタの前記電流路の一端との間に設けられ、当該画素が選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第1のスイッチ素子と、前記駆動トランジスタの前記電流路の他端と前記駆動トランジスタの前記制御端子との間に設けられ、当該画素が前記選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第2のスイッチ素子と、を有し、前記選択状態に設定されたときに、導通した前記第2のスイッチ素子を介して前記駆動トランジスタがダイオード接続状態にされる画素駆動回路と、を有する発光パネルと、

30

前記各画素の前記発光素子の前記カソードに印加するカソード電圧の電圧値を設定する電圧制御回路と、

40

前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記電圧制御回路により前記カソード電圧を第1の設定電圧に設定した状態で、前記各データ線に第1の検出用電圧を印加し、導通した前記第1のスイッチ素子を介して前記ダイオード接続状態にされた前記駆動トランジスタの前記電流路の一端に前記第1の検出用電圧を印加して、前記各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記データ線の電圧値が収束する時間より短い時間に設定された第1の緩和時間が経過した第1のタイミングで取得される前記各データ線の電圧値と、前記各画素の前記画素駆動回路の電流増幅率の値と、に基づいて、前記各画素の前記駆動トランジスタのしきい値電圧に関連する第1の特性パラメータを取得する補正データ取

50

得機能回路と、  
を備え、

前記第 1 の設定電圧は、前記第 1 の検出用電圧と同電圧、又は、前記第 1 の検出用電圧より低電位で前記第 1 の検出用電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されて、前記駆動トランジスタの前記電流路の一端に前記第 1 の検出用電圧が印加され、前記各データ線の電圧値が取得される際に前記各画素の前記発光素子に逆バイアス電圧が印加されないように設定されていることを特徴とする発光装置。

【請求項 10】

前記複数のデータ線の各々の電圧値を取得する複数の電圧取得回路を有し、

前記各電圧取得回路は、前記電圧制御回路により前記カソード電圧を前記第 1 の設定電圧に設定した状態で、前記各データ線に前記第 1 の検出用電圧を印加した後の前記各データ線の電圧値を、複数の第 1 の検出電圧として取得し、

前記補正データ取得機能回路は、前記複数の第 1 の検出電圧の電圧値に基づいて前記第 1 の特性パラメータを取得することを特徴とする請求項 9 記載の発光装置。

【請求項 11】

前記第 1 の緩和時間は 1 ~ 50  $\mu$ sec の時間に設定されていることを特徴とする請求項 9 記載の発光装置。

【請求項 12】

前記各電圧取得回路は、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記電圧制御回路により前記カソード電圧を第 2 の設定電圧に設定した状態で、前記各データ線に第 2 の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させ、前記第 1 の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第 2 の緩和時間が経過した第 2 のタイミングで、前記各データ線の電圧値を複数の第 2 の検出電圧として取得し、

前記補正データ取得機能回路は、前記複数の第 2 の検出電圧の電圧値に基づいて、前記画素駆動回路の前記電流増幅率に関連する第 2 の特性パラメータを取得し、

前記各電圧取得回路における前記第 2 の検出電圧の取得及び前記補正データ取得機能回路における前記第 2 の特性パラメータの取得は、前記各電圧取得回路における前記第 1 の検出電圧の取得及び前記補正データ取得機能回路における前記第 1 の特性パラメータの取得より前に実行され、

前記第 2 の設定電圧は、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記カソード電圧を初期電圧に設定した状態で、前記各データ線に第 3 の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記第 1 の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第 3 の緩和時間が経過した第 3 のタイミングでの前記各データ線の電圧値に基づく電圧に設定され、

前記初期電圧は、前記電源電圧と同電圧、又は、前記電源電圧より低電位で前記電源電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されていることを特徴とする請求項 10 記載の発光装置。

【請求項 13】

前記第 2 の設定電圧は、前記第 3 のタイミングでの前記各データ線の電圧と同じ極性を有し、絶対値は、前記第 3 のタイミングで前記複数の電圧取得回路により取得される前記各データ線の電圧値の絶対値の、平均値、最大値、又は前記平均値と前記最大値の間の値、の何れかの値に設定されていることを特徴とする請求項 12 記載の発光装置。

【請求項 14】

前記複数のデータ線に対応して設けられ、前記第 1、前記第 2 及び前記第 3 の検出用電圧を含む所定の電圧を出力する複数の電圧印加回路を有し、

前記各電圧印加回路は、前記各データ線に接続されて、該各データ線に前記第 1、前記

10

20

30

40

50

第 2 及び前記第 3 の検出用電圧を印加し、

前記各電圧取得回路は、前記データ線と前記電圧印加回路との接続が遮断された後、前記第 1 のタイミング及び前記第 2 のタイミングでの前記各データ線の電圧値を、前記複数の第 1 の検出電圧及び前記複数の第 2 の検出電圧として取得することを特徴とする請求項 1 2 記載の発光装置。

【請求項 1 5】

外部から供給される画像表示用の画像データを前記第 1 及び第 2 の特性パラメータに基づいて補正した補正画像データを生成する画像データ補正回路を有し、

前記電圧印加回路は、前記複数の画素により前記画像データに応じた画像表示を行う際に、前記画像データ補正回路により生成された前記補正画像データに応じた階調電圧を、前記各データ線に印加することを特徴とする請求項 1 4 記載の発光装置。

10

【請求項 1 6】

前記発光パネルは行方向に配設された複数の走査線を有し、前記複数のデータ線は列方向に配設され、前記複数の画素の各々は、前記複数の走査線と前記複数のデータ線の各交点近傍に配置されており、

前記各走査線に選択レベルの選択信号を順次印加して、各行の前記各画素を前記選択状態に設定する選択ドライバを有し、

前記各電圧取得回路は、前記選択状態に設定された行の前記各画素の前記駆動トランジスタの前記電流路の一端と前記発光素子の前記アノードとの接点の電圧に対応する電圧値を、前記スイッチ素子と前記各データ線を介して取得することを特徴とする請求項 1 5 記載の発光装置。

20

【請求項 1 7】

前記各画素の前記画素駆動回路は、少なくとも、第 1 の電流路と第 1 の制御端子とを有し、前記第 1 の電流路の一端が前記接点に接続され該第 1 の電流路の他端に前記電源電圧が印加される第 1 のトランジスタと、第 2 の電流路と第 2 の制御端子とを有し、該第 2 の制御端子が前記走査線に接続され、前記第 2 の電流路の一端が前記第 1 のトランジスタの前記第 1 の制御端子に接続され該第 2 の電流路の他端が前記第 1 のトランジスタの前記第 1 の電流路の他端に接続される第 2 のトランジスタと、第 3 の電流路と第 3 の制御端子とを有し、該第 3 の制御端子が前記走査線に接続され、前記第 3 の電流路の一端が前記接点に接続され該第 3 の電流路の他端が前記各データ線の一端に接続される第 3 のトランジスタと、を備え、

30

前記駆動トランジスタは前記第 1 のトランジスタであり、

前記第 1 のスイッチ素子は前記第 3 のトランジスタであり、

前記第 2 のスイッチ素子は前記第 2 のトランジスタであり、

前記各画素は、前記選択状態において、前記第 2 のトランジスタの前記第 2 の電流路と前記第 3 のトランジスタの前記第 3 の電流路とが導通して、前記第 1 のトランジスタの前記第 1 の電流路の他端側と前記制御端子とが前記第 2 の電流路を介して接続され、前記接点に、前記各電圧印加回路から印加される前記第 1、前記第 2 及び前記第 3 の検出用電圧に基づく前記所定の電圧が前記第 3 の電流路を介して印加されることを特徴とする請求項 1 6 記載の発光装置。

40

【請求項 1 8】

前記各データ線と前記電圧印加回路との接続及び遮断を行い、前記データ線の一端と前記電圧印加回路との接続を遮断して前記データ線をハイインピーダンス状態に設定する接続切換回路を有し、

前記各電圧取得回路は、前記接続切換回路が前記データ線をハイインピーダンス状態にした後、前記第 1 のタイミング及び前記第 2 のタイミングに対応する時間が経過した時点の前記各データ線の電圧を、前記複数の第 1 の検出電圧及び前記複数の第 2 の検出電圧として取得することを特徴とする請求項 1 5 記載の発光装置。

【請求項 1 9】

請求項 9 乃至 1 8 のいずれかに記載の発光装置が実装されてなることを特徴とする電子

50

機器。

【請求項 2 0】

発光装置の駆動制御方法であって、

前記発光装置は、複数の画素と、複数のデータ線とを有し、前記各画素は、カソードとアノードを有する発光素子と、電流路の一端が前記発光素子の前記アノードに接続され、該電流路の他端に電源電圧が印加される駆動トランジスタと、前記各データ線の一端と前記駆動トランジスタの前記電流路の一端との間に設けられ、当該画素が選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第 1 のスイッチ素子と、前記駆動トランジスタの前記電流路の他端と前記駆動トランジスタの前記制御端子との間に設けられ、当該画素が前記選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第 2 のスイッチ素子と、を有し、前記選択状態に設定されたときに、導通した前記第 2 のスイッチ素子を介して前記駆動トランジスタがダイオード接続状態にされる画素駆動回路と、を有する発光パネルを備え、

10

前記各画素を前記選択状態に設定する選択ステップと、

前記選択状態に設定した前記各画素の前記発光素子の前記カソードに印加するカソード電圧を第 1 の設定電圧に設定する第 1 電圧設定ステップと、

前記第 1 電圧設定ステップにより、前記選択状態に設定した前記各画素の前記発光素子の他端の電圧を前記第 1 の設定電圧に設定した状態で、前記各データ線に第 1 の検出用電圧を印加し、導通した前記第 1 のスイッチ素子を介して前記ダイオード接続された前記駆動トランジスタの電流路の一端に前記第 1 の検出用電圧を印加して、前記各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させ、前記データ線の電圧値が収束する時間より短い時間に設定された第 1 の緩和時間が経過した第 1 のタイミングで取得される前記各データ線の電圧値と、前記各画素の前記画素駆動回路の電流増幅率の値と、に基づいて、前記各画素の前記駆動トランジスタのしきい値電圧に関連する第 1 の特性パラメータを取得する第 1 の特性パラメータ取得ステップと、

20

を含み、

前記第 1 の設定電圧は、前記第 1 の設定電圧と同電圧、又は、前記第 1 の検出用電圧より低電位で前記第 1 の検出用電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されて、前記駆動トランジスタの電流路の一端に前記第 1 の検出用電圧が印加され、前記各データ線の電圧値が取得される際に前記各画素の前記発光素子に逆バイアス電圧が印加されないように設定され、

30

前記第 1 の緩和時間は  $1 \sim 50 \mu\text{s}$  の時間に設定されていることを特徴とする発光装置の駆動制御方法。

【請求項 2 1】

前記第 1 の特性パラメータ取得ステップは、前記カソード電圧を前記第 1 の設定電圧に設定した状態で、前記各データ線に前記第 1 の検出用電圧を印加した後の前記各データ線の電圧値を、複数の第 1 の検出電圧として取得する第 1 の検出電圧取得ステップを含み、前記複数の第 1 の検出電圧の電圧値に基づいて前記第 1 の特性パラメータを取得することを特徴とする請求項 2 0 記載の発光装置の駆動制御方法。

40

【請求項 2 2】

前記カソード電圧を第 2 の設定電圧に設定する第 2 電圧設定ステップと、

前記第 2 電圧設定ステップにより、前記カソード電圧を前記第 2 の設定電圧に設定した状態で、前記各データ線に第 2 の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させ、前記第 1 の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第 2 の緩和時間が経過した第 2 のタイミングでの前記各データ線の電圧値を複数の第 2 の検出電圧として取得する第 2 の検出電圧取得ステップと、

前記第 2 の検出電圧取得ステップにより検出した前記複数の第 2 の検出電圧の電圧値に基づいて、前記画素駆動回路の前記電流増幅率に関連する第 2 の特性パラメータを取得す

50

る第2の特性パラメータ取得ステップと、  
を含み、

前記第2電圧設定ステップ、前記第2の検出電圧取得ステップ及び前記第2の特性パラメータ取得ステップを、前記第1の特性パラメータ取得ステップより前に実行し、

前記第2電圧設定ステップは、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記カソード電圧を初期電圧に設定し、前記各データ線に第3の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後の、前記第1の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第3の緩和時間が経過した第3のタイミングで前記各電圧取得回路により取得される前記各データ線の電圧値に基づいて、前記第2の設定電圧の電圧値を取得し、

10

前記初期電圧は、前記電源電圧と同電圧、又は、前記電源電圧より低電位で前記電源電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されていることを特徴とする請求項2記載の発光装置の駆動制御方法。

【請求項23】

前記第2設定電圧取得ステップは、前記第2の設定電圧を、前記第3のタイミングで取得される前記各データ線の電圧値と同じ極性を有し、前記第3のタイミングで取得される前記各データ線の電圧値の絶対値の平均値、最大値、又は前記平均値と前記最大値の間の値、の何れかの値に設定することを特徴とする請求項2記載の発光装置の駆動制御方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素駆動装置、該画素駆動装置を備えた発光装置及びその駆動制御方法、並びに、該発光装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、次世代の表示デバイスとして、電流駆動型の発光素子をマトリクス状に配列した表示パネル（画素アレイ）を備えた発光素子型の表示装置（発光装置）が注目されている。ここで、電流駆動型の発光素子としては、例えば有機エレクトロルミネッセンス素子（有機EL素子）や無機エレクトロルミネッセンス素子（無機EL素子）、発光ダイオード（LED）等が知られている。

30

【0003】

特に、アクティブマトリクス型の駆動方式を適用した発光素子型の表示装置においては、周知の液晶表示装置に比較して、表示応答速度が速く、また、視野角依存性もほとんどなく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるという優れた表示特性を有している。また、発光素子型の表示装置は、液晶表示装置のようにバックライトや導光板を必要としないので、一層の薄型軽量化が可能であるという極めて優位な特徴を有している。そのため、今後様々な電子機器への適用が期待されている。

40

【0004】

例えば特許文献1には、電圧信号によって電流制御されるアクティブマトリクス駆動表示装置としての有機ELディスプレイ装置が記載されている。この有機ELディスプレイ装置においては、電流制御用薄膜トランジスタとスイッチ用薄膜トランジスタとを有する回路（便宜的に、「画素回路」と記す）が、画素ごとに設けられている。ここで、電流制御用薄膜トランジスタは、画像データに応じた電圧信号がゲートに印加されることにより、発光素子としての有機EL素子に所定の電流を流す。また、スイッチ用薄膜トランジスタは、電流制御用薄膜トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチング動作を行う。

【先行技術文献】

50

## 【特許文献】

【0005】

【特許文献1】特開平8-330600号公報

## 【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、このような電圧信号によって発光素子の輝度階調を制御する有機ELディスプレイ装置においては、電流制御用薄膜トランジスタ等の経時的なしきい値電圧の変化によって、有機EL素子に流れる電流の電流値が変動してしまうという問題を有している。

10

【0007】

また、マトリックス状に配置された複数の画素の画素回路において、仮に電流制御用薄膜トランジスタのしきい値電圧が同じであっても、薄膜トランジスタのゲート絶縁膜やチャネル長、さらには移動度のばらつきの影響を受けるため、駆動特性にばらつきが生じるという問題がある。

【0008】

ここで、移動度のばらつきは、特に低温ポリシリコン薄膜トランジスタにおいて顕著に生じることが知られている。これに対して、アモルファスシリコン薄膜トランジスタを用いることにより、移動度を均一化することができるが、このような場合であっても、製造プロセスに起因するばらつきの影響は避けられない。

20

【0009】

そこで、本発明は、上述した問題点に鑑み、所望の輝度階調で発光素子を発光動作させることができる画素駆動装置を提供し、以て、発光特性が良好かつ均一な発光装置及びその駆動制御方法、並びに、該発光装置を備えた電子機器を提供することを目的とする。

【課題を解決するための手段】

【0010】

請求項1記載の発明は、複数のデータ線を介して複数の画素を駆動する画素駆動装置であって、前記複数の画素の各々は、カソードとアノードを有する発光素子と、電流路と制御端子を有し、前記電流路の一端が前記発光素子の前記アノードに接続され、該電流路の他端に電源電圧が印加される駆動トランジスタと、前記各データ線の一端と前記駆動トランジスタの前記電流路の一端との間に設けられ、当該画素が選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第1のスイッチ素子と、前記駆動トランジスタの前記電流路の他端と前記駆動トランジスタの前記制御端子との間に設けられ、当該画素が前記選択状態に設定されたときに導通し、前記非選択状態に設定されたときに非導通となる第2のスイッチ素子と、を有し、前記選択状態に設定されたときに、導通した前記第2のスイッチ素子を介して前記駆動トランジスタがダイオード接続状態にされる画素駆動回路と、を有し、前記各画素の前記発光素子の前記カソードに印加するカソード電圧の電圧値を設定する電圧制御回路と、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に一定電圧の前記電源電圧が印加された前記画素に対して、前記電圧制御回路により前記カソード電圧を第1の設定電圧に設定した状態で、前記複数のデータ線の各々に第1の検出用電圧を印加し、導通した前記第1のスイッチ素子を介して前記ダイオード接続状態にされた前記駆動トランジスタの前記電流路の一端に前記第1の検出用電圧を印加して、前記各データ線を介して前記駆動トランジスタの前記電流路に電流を流し、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記データ線の電圧値が収束する時間より短い時間に設定された第1の緩和時間が経過した第1のタイミングで取得される前記各データ線の電圧値と、前記各画素の前記画素駆動回路の電流増幅率の値と、に基づいて、前記各画素の前記駆動トランジスタのしきい値電圧に関連する第1の特性パラメータを取得する補正データ取得機能回路と、を備え、前記第1の設定電圧は、前記第1の検出用電圧と同電圧、又は、前記第1の検出用電圧より低電位で前記第1の検出用電圧との電位差が前記発光素子の発光閾値電圧より小さい値と

30

40

50

なる電圧、に設定されて、前記駆動トランジスタの前記電流路の一端に前記第1の検出用電圧が印加され、前記各データ線の電圧値が取得される際に前記各画素の前記発光素子に逆バイアス電圧が印加されないように設定されていることを特徴とする。

#### 【0011】

請求項2記載の発明は、請求項1記載の画素駆動装置において、前記複数のデータ線の各々の電圧値を取得する複数の電圧取得回路を有し、前記各電圧取得回路は、前記電圧制御回路により前記カソード電圧を前記第1の設定電圧に設定した状態で、前記各データ線に前記第1の検出用電圧を印加した後の前記各データ線の電圧値を、複数の第1の検出電圧として取得し、前記補正データ取得機能回路は、前記複数の第1の検出電圧の電圧値に基づいて前記第1の特性パラメータを取得することを特徴とする。

10

請求項3記載の発明は、請求項1記載の画素駆動装置において、前記第1の緩和時間は1～50μsecの時間に設定されていることを特徴とする。

請求項4記載の発明は、請求項2に記載の画素駆動装置において、前記各電圧取得回路は、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記電圧制御回路により前記カソード電圧を第2の設定電圧に設定した状態で、前記各データ線に第2の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記第1の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第2の緩和時間が経過した第2のタイミングで、前記各データ線の電圧値を複数の第2の検出電圧として取得し、前記補正データ取得機能回路は、前記複数の第2の検出電圧の電圧値に基づいて、前記画素駆動回路の前記電流増幅率に関連する第2の特性パラメータを取得し、前記各電圧取得回路における前記第2の検出電圧の取得及び前記補正データ取得機能回路における前記第2の特性パラメータの取得は、前記各電圧取得回路における前記第1の検出電圧の取得及び前記補正データ取得機能回路における前記第1の特性パラメータの取得より前に実行され、前記第2の設定電圧は、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記カソード電圧を初期電圧に設定した状態で、前記各データ線に第3の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記第1の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第3の緩和時間が経過した第3のタイミングでの前記各データ線の電圧値に基づく電圧に設定され、前記初期電圧は、前記電源電圧と同電圧、又は、前記電源電圧より低電位で前記電源電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されていることを特徴とする。

20

30

請求項5記載の発明は、請求項4に記載の画素駆動装置において、前記第2の設定電圧は、前記第3のタイミングでの前記各データ線の電圧と同じ極性を有し、絶対値は、前記第3のタイミングで前記複数の電圧取得回路により取得される前記各データ線の電圧値の絶対値の、平均値、最大値、又は前記平均値と前記最大値の間の値、の何れかの値に設定されていることを特徴とする。

40

請求項6記載の発明は、請求項4に記載の画素駆動装置において、前記複数のデータ線に対応して設けられ、前記第1の検出用電圧、前記第2の検出用電圧及び前記第3の検出用電圧を含む所定の電圧を出力する複数の電圧印加回路を有し、前記各電圧印加回路は、前記各データ線に接続されて、該各データ線に前記第1の検出用電圧、前記第2の検出用電圧及び前記第3の検出用電圧を印加し、前記各電圧取得回路は、前記データ線と前記電圧印加回路との接続が遮断された後、前記第1のタイミング及び前記第2のタイミングでの前記各データ線の電圧値を、前記複数の第1の検出電圧及び前記複数の第2の検出電圧として取得することを特徴とする。

請求項7記載の発明は、請求項6に記載の画素駆動装置において、外部から供給される画像表示用の画像データを前記第1及び第2の特性パラメータに基づいて補正した補正画

50

像データを生成する画像データ補正回路を有し、前記電圧印加回路は、前記複数の画素により前記画像データに応じた画像表示を行う際に、前記画像データ補正回路により生成された前記補正画像データに応じた階調電圧を、前記各データ線に印加することを特徴とする。

請求項 8 記載の発明は、請求項 7 に記載の画素駆動装置において、前記各データ線と前記電圧印加回路との接続及び遮断を行い、前記データ線の一端と前記電圧印加回路との接続を遮断して前記データ線をハイインピーダンス状態に設定する接続切換回路を有し、前記各電圧取得回路は、前記接続切換回路が前記データ線をハイインピーダンス状態にした後、前記第 1 のタイミング及び前記第 2 のタイミングに対応する時間が経過した時点の前記データ線の電圧を、前記複数の第 1 の検出電圧及び前記複数の第 2 の検出電圧として取得することを特徴とする。

10

### 【 0 0 1 2 】

請求項 9 記載の発明は、発光装置であって、複数の画素と、複数のデータ線とを有し、前記各画素は、カソードとアノードを有する発光素子と、電流路の一端が前記発光素子の前記アノードに接続され、該電流路の他端に電源電圧が印加される駆動トランジスタと、前記各データ線の一端と前記駆動トランジスタの前記電流路の一端との間に設けられ、当該画素が選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第 1 のスイッチ素子と、前記駆動トランジスタの前記電流路の他端と前記駆動トランジスタの前記制御端子との間に設けられ、当該画素が前記選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第 2 のスイッチ素子と、を有し、前記選択状態に設定されたときに、導通した前記第 2 のスイッチ素子を介して前記駆動トランジスタがダイオード接続状態にされる画素駆動回路と、を有する発光パネルと、前記各画素の前記発光素子の前記カソードに印加するカソード電圧の電圧値を設定する電圧制御回路と、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記電圧制御回路により前記カソード電圧を第 1 の設定電圧に設定した状態で、前記各データ線に第 1 の検出用電圧を印加し、導通した前記第 1 のスイッチ素子を介して前記ダイオード接続状態にされた前記駆動トランジスタの前記電流路の一端に前記第 1 の検出用電圧を印加して、前記各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記データ線の電圧値が収束する時間より短い時間に設定された第 1 の緩和時間が経過した第 1 のタイミングで取得される前記各データ線の電圧値と、前記各画素の前記画素駆動回路の電流増幅率の値と、に基づいて、前記各画素の前記駆動トランジスタのしきい値電圧に関連する第 1 の特性パラメータを取得する補正データ取得機能回路と、を備え、前記第 1 の設定電圧は、前記第 1 の検出用電圧と同電圧、又は、前記第 1 の検出用電圧より低電位で前記第 1 の検出用電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されて、前記駆動トランジスタの前記電流路の一端に前記第 1 の検出用電圧が印加され、前記各データ線の電圧値が取得される際に前記各画素の前記発光素子に逆バイアス電圧が印加されないように設定されていることを特徴とする。

20

30

40

### 【 0 0 1 3 】

請求項 10 記載の発明は、請求項 9 記載の発光装置において、前記複数のデータ線の各々の電圧値を取得する複数の電圧取得回路を有し、前記各電圧取得回路は、前記電圧制御回路により前記カソード電圧を前記第 1 の設定電圧に設定した状態で、前記各データ線に前記第 1 の検出用電圧を印加した後の前記各データ線の電圧値を、複数の第 1 の検出電圧として取得し、前記補正データ取得機能回路は、前記複数の第 1 の検出電圧の電圧値に基づいて前記第 1 の特性パラメータを取得することを特徴とする。

請求項 11 記載の発明は、請求項 9 記載の発光装置において、前記第 1 の緩和時間は 1 ~ 50  $\mu$ sec の時間に設定されていることを特徴とする。

50

請求項 1 2 記載の発明は、請求項 1 0 記載の発光装置において、前記各電圧取得回路は、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記電圧制御回路により前記カソード電圧を第 2 の設定電圧に設定した状態で、前記各データ線に第 2 の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させ、前記第 1 の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第 2 の緩和時間が経過した第 2 のタイミングで、前記各データ線の電圧値を複数の第 2 の検出電圧として取得し、前記補正データ取得機能回路は、前記複数の第 2 の検出電圧の電圧値に基づいて、前記画素駆動回路の前記電流増幅率に関連する第 2 の特性パラメータを取得し、前記各電圧取得回路における前記第 2 の検出電圧の取得及び前記補正データ取得機能回路における前記第 2 の特性パラメータの取得は、前記各電圧取得回路における前記第 1 の検出電圧の取得及び前記補正データ取得機能回路における前記第 1 の特性パラメータの取得より前に実行され、前記第 2 の設定電圧は、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記カソード電圧を初期電圧に設定した状態で、前記各データ線に第 3 の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させた後、前記第 1 の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第 3 の緩和時間が経過した第 3 のタイミングでの前記各データ線の電圧値に基づく電圧に設定され、前記初期電圧は、前記電源電圧と同電圧、又は、前記電源電圧より低電位で前記電源電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されていることを特徴とする。

10

20

請求項 1 3 記載の発明は、請求項 1 2 記載の発光装置において、前記第 2 の設定電圧は、前記第 3 のタイミングでの前記各データ線の電圧と同じ極性を有し、絶対値は、前記第 3 のタイミングで前記複数の電圧取得回路により取得される前記各データ線の電圧値の絶対値の、平均値、最大値、又は前記平均値と前記最大値の間の値、の何れかの値に設定されていることを特徴とする。

請求項 1 4 記載の発明は、請求項 1 2 記載の発光装置において、前記複数のデータ線に対応して設けられ、前記第 1、前記第 2 及び前記第 3 の検出用電圧を含む所定の電圧を出力する複数の電圧印加回路を有し、前記各電圧印加回路は、前記各データ線に接続されて、該各データ線に前記第 1、前記第 2 及び前記第 3 の検出用電圧を印加し、前記各電圧取得回路は、前記データ線と前記電圧印加回路との接続が遮断された後、前記第 1 のタイミング及び前記第 2 のタイミングでの前記各データ線の電圧値を、前記複数の第 1 の検出電圧及び前記複数の第 2 の検出電圧として取得することを特徴とする。

30

請求項 1 5 記載の発明は、請求項 1 4 記載の発光装置において、外部から供給される画像表示用の画像データを前記第 1 及び第 2 の特性パラメータに基づいて補正した補正画像データを生成する画像データ補正回路を有し、前記電圧印加回路は、前記複数の画素により前記画像データに応じた画像表示を行う際に、前記画像データ補正回路により生成された前記補正画像データに応じた階調電圧を、前記各データ線に印加することを特徴とする。

40

請求項 1 6 記載の発明は、請求項 1 5 記載の発光装置において、前記発光パネルは行方向に配設された複数の走査線を有し、前記複数のデータ線は列方向に配設され、前記複数の画素の各々は、前記複数の走査線と前記複数のデータ線の各交点近傍に配置されており、

前記各走査線に選択レベルの選択信号を順次印加して、各行の前記各画素を前記選択状態に設定する選択ドライバを有し、

前記各電圧取得回路は、前記選択状態に設定された行の前記各画素の前記駆動トランジスタの前記電流路の一端と前記発光素子の前記アノードとの接点の電圧に対応する電圧値を、前記スイッチ素子と前記各データ線を介して取得する。

請求項 1 7 記載の発明は、請求項 1 6 記載の発光装置において、前記各画素の前記画素

50

駆動回路は、少なくとも、第1の電流路と第1の制御端子とを有し、前記第1の電流路の一端が前記接点に接続され該第1の電流路の他端に前記電源電圧が印加される第1のトランジスタと、第2の電流路と第2の制御端子とを有し、該第2の制御端子が前記走査線に接続され、前記第2の電流路の一端が前記第1のトランジスタの前記第1の制御端子に接続され該第2の電流路の他端が前記第1のトランジスタの前記第1の電流路の他端に接続される第2のトランジスタと、第3の電流路と第3の制御端子とを有し、該第3の制御端子が前記走査線に接続され、前記第3の電流路の一端が前記接点に接続され該第3の電流路の他端が前記各データ線の一端に接続される第3のトランジスタと、を備え、前記駆動トランジスタは前記第1のトランジスタであり、前記第1のスイッチ素子は前記第3のトランジスタであり、前記第2のスイッチ素子は前記第2のトランジスタであり、前記各画素は、前記選択状態において、前記第2のトランジスタの前記第2の電流路と前記第3のトランジスタの前記第3の電流路とが導通して、前記第1のトランジスタの前記第1の電流路の他端側と前記制御端子とが前記第2の電流路を介して接続され、前記接点に、前記各電圧印加回路から印加される前記第1、前記第2及び前記第3の検出用電圧に基づく前記所定の電圧が前記第3の電流路を介して印加されることを特徴とする。

10

請求項18記載の発明は、請求項15記載の発光装置において、前記各データ線と前記電圧印加回路との接続及び遮断を行い、前記データ線の一端と前記電圧印加回路との接続を遮断して前記データ線をハイインピーダンス状態に設定する接続切換回路を有し、前記各電圧取得回路は、前記接続切換回路が前記データ線をハイインピーダンス状態にした後、前記第1のタイミング及び前記第2のタイミングに対応する時間が経過した時点の前記各データ線の電圧を、前記複数の第1の検出電圧及び前記複数の第2の検出電圧として取得することを特徴とする。

20

請求項19記載の発明に係る電子機器は、請求項9乃至18のいずれかに記載の発光装置が実装されてなることを特徴とする。

#### 【0014】

請求項20記載の発明は、発光装置の駆動制御方法であって、前記発光装置は、複数の画素と、複数のデータ線とを有し、前記各画素は、カソードとアノードを有する発光素子と、電流路の一端が前記発光素子の前記アノードに接続され、該電流路の他端に電源電圧が印加される駆動トランジスタと、前記各データ線の一端と前記駆動トランジスタの前記電流路の一端との間に設けられ、当該画素が選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第1のスイッチ素子と、前記駆動トランジスタの前記電流路の他端と前記駆動トランジスタの前記制御端子との間に設けられ、当該画素が前記選択状態に設定されたときに導通し、非選択状態に設定されたときに非導通となる第2のスイッチ素子と、を有し、前記選択状態に設定されたときに、導通した前記第2のスイッチ素子を介して前記駆動トランジスタがダイオード接続状態にされる画素駆動回路と、を有する発光パネルを備え、前記各画素を前記選択状態に設定する選択ステップと、前記選択状態に設定した前記各画素の前記発光素子の前記カソードに印加するカソード電圧を第1の設定電圧に設定する第1電圧設定ステップと、前記第1電圧設定ステップにより、前記選択状態に設定した前記各画素の前記発光素子の他端の電圧を前記第1の設定電圧に設定した状態で、前記各データ線に第1の検出用電圧を印加し、導通した前記第1のスイッチ素子を介して前記ダイオード接続された前記駆動トランジスタの電流路の一端に前記第1の検出用電圧を印加して、前記各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させ、前記データ線の電圧値が収束する時間より短い時間に設定された第1の緩和時間が経過した第1のタイミングで取得される前記各データ線の電圧値と、前記各画素の前記画素駆動回路の電流増幅率の値と、に基づいて、前記各画素の前記駆動トランジスタのしきい値電圧に関連する第1の特性パラメータを取得する第1の特性パラメータ取得ステップと、を含み、前記第1の設定電圧は、前記第1の設定電圧と同電圧、又は、前記第1の検出用電圧より低電位で前記第1の検出用電圧との電位差が前記発光素子の発光閾値電圧

30

40

50

より小さい値となる電圧、に設定されて、前記駆動トランジスタの電流路の一端に前記第1の検出用電圧が印加され、前記各データ線の電圧値が取得される際に前記各画素の前記発光素子に逆バイアス電圧が印加されないように設定され、前記第1の緩和時間は1～50  $\mu$  s e cの時間に設定されていることを特徴とする。

#### 【0015】

請求項21記載の発明は、請求項20記載の発光装置の駆動制御方法において、前記第1の特性パラメータ取得ステップは、前記カソード電圧を前記第1の設定電圧に設定した状態で、前記各データ線に前記第1の検出用電圧を印加した後の前記各データ線の電圧値を、複数の第1の検出電圧として取得する第1の検出電圧取得ステップを含み、前記複数の第1の検出電圧の電圧値に基づいて前記第1の特性パラメータを取得することを特徴とする。

10

請求項22記載の発明は、請求項21記載の発光装置の駆動制御方法において、前記カソード電圧を第2の設定電圧に設定する第2電圧設定ステップと、前記第2電圧設定ステップにより、前記カソード電圧を前記第2の設定電圧に設定した状態で、前記各データ線に第2の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後、前記各データ線をハイインピーダンス状態に設定して前記電流を停止させ、前記第1の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第2の緩和時間が経過した第2のタイミングでの前記各データ線の電圧値を複数の第2の検出電圧として取得する第2の検出電圧取得ステップと、前記第2の検出電圧取得ステップにより検出した前記複数の第2の検出電圧の電圧値に基づいて、前記画素駆動回路の前記電流増幅率に関連する第2の特性パラメータを取得する第2の特性パラメータ取得ステップと、を含み、前記第2電圧設定ステップ、前記第2の検出電圧取得ステップ及び前記第2の特性パラメータ取得ステップを、前記第1の特性パラメータ取得ステップより前に実行し、前記第2電圧設定ステップは、前記選択状態に設定され、前記駆動トランジスタの前記電流路の他端に前記電源電圧が印加された前記画素に対して、前記カソード電圧を初期電圧に設定し、前記各データ線に第3の検出用電圧を印加して、該各データ線を介して前記駆動トランジスタの前記電流路に電流を流した後の、前記第1の緩和時間より長く、前記データ線の電圧値が収束する時間に対応する第3の緩和時間が経過した第3のタイミングで前記各電圧取得回路により取得される前記各データ線の電圧値に基づいて、前記第2の設定電圧の電圧値を取得し、前記初期電圧は、前記電源電圧と同電圧、又は、前記電源電圧より低電位で前記電源電圧との電位差が前記発光素子の発光閾値電圧より小さい値となる電圧、に設定されていることを特徴とする。

20

30

請求項23記載の発明は、請求項22記載の発光装置の駆動制御方法において、前記第2設定電圧取得ステップは、前記第2の設定電圧を、前記第3のタイミングで取得される前記各データ線の電圧値と同じ極性を有し、前記第3のタイミングで取得される前記各データ線の電圧値の絶対値の平均値、最大値、又は前記平均値と前記最大値の間の値、の何れかの値に設定することを特徴とする。

#### 【発明の効果】

40

#### 【0016】

本発明に係る画素駆動装置、発光装置及びその駆動制御方法、並びに、電子機器によれば、所望の輝度階調で発光素子を発光動作することができ、良好かつ均一な発光状態を実現することができる。

#### 【図面の簡単な説明】

#### 【0017】

【図1】本発明に係る発光装置を適用した表示装置の一例を示す概略構成図である。

【図2】第1の実施形態に係る表示装置に適用されるデータドライバの一例を示す概略ブロック図である。

【図3】第1の実施形態に係る表示装置に適用されるデータドライバの要部構成例を示す

50

概略回路構成図である。

【図 4】第 1 の実施形態に係るデータドライバに適用されるデジタル - アナログ変換回路及びアナログ - デジタル変換回路の入出力特性を示す図である。

【図 5】第 1 の実施形態に係る表示装置に適用されるコントローラの機能を示す機能ブロック図である。

【図 6】第 1 の実施形態に係る表示パネルに適用される画素（画素駆動回路及び発光素子）、及び、カソード電圧制御回路の一実施形態を示す回路構成図である。

【図 7】第 1 の実施形態に係る画素駆動回路を適用した画素における画像データの書込時の動作状態図である。

【図 8】第 1 の実施形態に係る画素駆動回路を適用した画素における書込動作時の電圧 - 電流特性を示す図である。

10

【図 9】第 1 の実施形態に係る特性パラメータ取得動作に適用される手法（オートゼロ法）におけるデータライン電圧の変化を示す図である。

【図 10】第 1 の実施形態に係る特性パラメータ取得動作（オートゼロ法）における有機 EL 素子のカソードからのリーク現象を説明するための図である。

【図 11】第 1 の実施形態に係る特性パラメータ取得動作（補正データの取得動作）に適用される第 1 の手法における処理動作を説明するためのフローチャートである。

【図 12】第 1 の手法における処理動作を説明するための、データライン電圧の変化（過渡曲線）の一例を示す図である。

【図 13】第 1 の実施形態に係る特性パラメータ取得動作（補正データの取得動作）に適用される第 1 の手法における処理動作の概略を示すフローチャートである。

20

【図 14】第 1 の手法における処理動作でのデータライン電圧の変化（過渡曲線）の一例を示す図である。

【図 15】第 1 の実施形態に係る特性パラメータ取得動作（補正データ  $n_{th}$  の取得動作）に適用される第 2 の手法を説明するための、カソード電圧を変えたときのデータライン電圧の変化の一例を示す図である。

【図 16】第 1 の実施形態に係る表示装置における特性パラメータ取得動作を示すタイミングチャートである。

【図 17】第 1 の実施形態に係る表示装置における検出用電圧印加動作を示す動作概念図である。

30

【図 18】第 1 の実施形態に係る表示装置における自然緩和動作を示す動作概念図である。

【図 19】第 1 の実施形態に係る表示装置における電圧検出動作を示す動作概念図である。

【図 20】第 1 の実施形態に係る表示装置における検出データ送出動作を示す動作概念図である。

【図 21】第 1 の実施形態に係る表示装置における補正データ算出動作を示す機能ブロック図である。

【図 22】第 1 の実施形態に係る表示装置における発光動作を示すタイミングチャートである。

40

【図 23】第 1 の実施形態に係る表示装置における画像データの補正動作を示す機能ブロック図である。

【図 24】第 1 の実施形態に係る表示装置における補正後の画像データの書込動作を示す動作概念図である。

【図 25】第 1 の実施形態に係る表示装置における発光動作を示す動作概念図である。

【図 26】第 2 の実施形態に係るデジタルカメラの構成例を示す斜視図である。

【図 27】第 2 の実施形態に係るモバイル型のパーソナルコンピュータの構成例を示す斜視図である。

【図 28】第 2 の実施形態に係る携帯電話の構成例を示す図である。

【発明を実施するための形態】

50

## 【 0 0 1 8 】

以下、本発明に係る画素駆動装置、発光装置及びその駆動制御方法、並びに、電子機器について、実施形態を示して詳しく説明する。

## &lt; 第 1 の実施形態 &gt;

まず、本発明に係る画素駆動装置を備えた発光装置の概略構成について、図面を参照して説明する。ここでは、本発明に係る発光装置を表示装置として適用した場合について説明する。

## 【 0 0 1 9 】

## ( 表示装置 )

図 1 は、本発明に係る発光装置を適用した表示装置の一例を示す概略構成図である。

図 1 に示すように、本実施形態に係る表示装置（発光装置）100は、概略、表示パネル（発光パネル）110と、選択ドライバ120と、電源ドライバ130と、データドライバ140と、カソード電圧制御回路（電圧制御回路）150と、コントローラ160と、を備えている。ここで、選択ドライバ120と電源ドライバ130とデータドライバ140とカソード電圧制御回路150とコントローラ160は、本発明における画素駆動装置又は駆動回路に対応する。

## 【 0 0 2 0 】

表示パネル110は、図1に示すように、行方向（図面左右方向）及び列方向（図面上下方向）に2次元配列（例えばp行×q列；p、qは正の整数）された複数の画素PIXと、各々行方向に配列された画素PIXに接続するように配設された複数の選択ライン（走査線）Ls及び複数の電源ラインLaと、全画素PIXに共通に設けられた共通電極Ecと、列方向に配列された画素PIXに接続するように配設された複数のデータライン（データ線）Ldと、を有している。ここで、各画素PIXは、後述するように、画素駆動回路と発光素子とを有している。

## 【 0 0 2 1 】

選択ドライバ120は、上記の表示パネル110に配設された各選択ラインLsに接続されている。選択ドライバ120は、後述するコントローラ160から供給される選択制御信号（例えば走査クロック信号及び走査スタート信号）に基づいて、各行の選択ラインLsに所定のタイミングで所定の電圧レベル（選択レベル；Vgh又は非選択レベル；Vgl）の選択信号Sselを順次印加する。

## 【 0 0 2 2 】

なお、選択ドライバ120についての詳細な構成の図示は省略するが、例えば、コントローラ160から供給される選択制御信号に基づいて、各行の選択ラインLsに対応するシフト信号を順次出力するシフトレジスタと、該シフト信号を所定の信号レベル（選択レベル；例えばハイレベル）に変換して、各行の選択ラインLsに選択信号Sselとして順次出力する出力バッファと、を備えたものを適用することができる。

## 【 0 0 2 3 】

電源ドライバ130は、表示パネル110に配設された各電源ラインLaに接続されている。電源ドライバ130は、後述するコントローラ160から供給される電源制御信号（例えば出力制御信号）に基づいて、各行の電源ラインLaに所定のタイミングで所定の電圧レベル（発光レベル；ELVDD又は非発光レベル；DVSS）の電源電圧Vsaを印加する。

## 【 0 0 2 4 】

カソード電圧制御回路150は、表示パネル110に2次元配列された各画素PIXに共通に接続された共通電極Ecに接続されている。カソード電圧制御回路150は、後述するコントローラ160から供給されるカソード電圧制御信号（電圧制御信号）に基づいて、各画素PIXに設けられた有機EL素子（発光素子）OELのカソードに接続された共通電極Ecに、所定のタイミングで所定の電圧レベル（例えば接地電位GND、又は、負極性の電圧レベルを有し、絶対値が後述する検出データ $n_{meas}(t_c)$ の平均値又は最大値に基づく値を有する電圧値、又は、後述する検出用電圧Vdacに相当する電圧値のいずれ

10

20

30

40

50

か)のカソード電圧(電極電圧)ELVSSを印加する。

【0025】

データドライバ140は、表示パネル110の各データラインLdに接続され、後述するコントローラ160から供給されるデータ制御信号に基づいて、表示動作(書込動作)時に、画像データに応じた階調信号(階調電圧Vdata)を生成して、各データラインLdを介して画素PIXへ供給する。また、データドライバ140は、後述する特性パラメータ取得動作時には、特定の電圧値の検出用電圧Vdacを、各データラインLdを介して特性パラメータ取得動作の対象になっている画素PIXに印加する。そして、データドライバ140は、上記特定の検出用電圧Vdacを印加した後の、所定の緩和時間tの経過後のデータラインLdの電圧Vd(以下、データライン電圧Vdとする)を、検出電圧Vmeas(t)として取り込んで検出データn<sub>meas</sub>(t)に変換して出力する。

10

【0026】

ここで、データドライバ140は、データドライバ機能と電圧検出機能の両方を備え、後述するコントローラ160から供給されるデータ制御信号に基づいて、これらの機能を切り換えるように構成されている。データドライバ機能は、コントローラ160を介して供給されるデジタルデータからなる画像データをアナログ信号電圧に変換して、データラインLdに階調信号(階調電圧Vdata)として出力する動作を実行する。また、電圧検出機能は、データライン電圧Vdを検出電圧Vmeas(t)として取り込みデジタルデータに変換して、検出データn<sub>meas</sub>(t)としてコントローラ160に出力する動作を実行する。

20

【0027】

図2は、本実施形態に係る表示装置に適用されるデータドライバの一例を示す概略ブロック図である。また、図3は、図2に示すデータドライバの要部構成例を示す概略回路構成図である。ここでは、表示パネル110に配列された画素PIXの列数(q)のうち、一部のみを示して図示を簡略化する。以下の説明では、j列目(jは1〜j〜qとなる正の整数)のデータラインLdに設けられるデータドライバ140内部の構成について詳しく説明する。また、図3においては、図2に示すシフトレジスタ回路とデータレジスタ回路を簡略化して図示する。

【0028】

データドライバ140は、例えば図2に示すように、大別して、シフトレジスタ回路141と、データレジスタ回路142と、データラッチ回路143と、DAC/ADC回路144と、出力回路145と、を備えている。ここで、シフトレジスタ回路141とデータレジスタ回路142とデータラッチ回路143を含む内部回路140Aは、ロジック電源146から供給される電源電圧LVSS及びLVDDに基づいて、後述する画像データの取込動作及び検出データの送込動作を実行する。また、DAC/ADC回路144と出力回路145を含む内部回路140Bは、アナログ電源147から供給される電源電圧DVSS及びVEEに基づいて、後述する階調信号の生成出力動作及びデータライン電圧の検出動作を実行する。

30

【0029】

シフトレジスタ回路141は、コントローラ160から供給されるデータ制御信号(スタートパルス信号SP)に基づいて、シフト信号を生成し、データレジスタ回路142に順次出力する。データレジスタ回路142は、上述した表示パネル110に配列された画素PIXの列数(q)分のレジスタ(図示を省略)を備え、シフトレジスタ回路141から供給されるシフト信号の入力タイミングに基づいて、1行分の画像データDin(1)〜Din(q)を順次取り込む。ここで、画像データDin(1)〜Din(q)はデジタル信号からなるシリアルデータである。

40

【0030】

データラッチ回路143は、表示動作時(画像データの取込動作、及び、階調信号の生成出力動作)においては、データ制御信号(データラッチパルス信号LP)に基づいて、データレジスタ回路142に取り込まれた1行分の画像データDin(1)〜Din(q)を、各列に対応して保持する。その後、データラッチ回路143は、所定のタイミングで当該画像

50

データ  $D_{in}(1) \sim D_{in}(q)$  を後述する DAC / ADC 回路 144 に送出する。また、データラッチ回路 143 は、特性パラメータ取得動作時（検出データの送出動作、及び、データライン電圧の検出動作）においては、後述する DAC / ADC 回路 144 を介して取り込まれる各検出電圧  $V_{meas}(t)$  に応じた検出データ  $n_{meas}(t)$  を保持する。その後、データラッチ回路 143 は、所定のタイミングで当該検出データ  $n_{meas}(t)$  をシリアルデータとしてコントローラ 160 に出力する。出力された検出データ  $n_{meas}(t)$  は、コントローラ 160 内のメモリに記憶される。

#### 【0031】

データラッチ回路 143 は、具体的には、図 3 に示すように、各列に対応して設けられたデータラッチ 41 (j) と、接続切替用のスイッチ SW4 (j)、SW5 (j) と、データ出力用のスイッチ SW3 と、を備えている。データラッチ 41 (j) は、データラッチパルス信号 LP の例えば立ち上がりタイミングで、スイッチ SW5 (j) を介して供給されるデジタルデータを保持（ラッチ）する。

#### 【0032】

スイッチ SW5 (j) は、コントローラ 160 から供給されるデータ制御信号（切替制御信号 S5）に基づいて、接点 Na 側のデータレジスタ回路 142、又は、接点 Nb 側の DAC / ADC 回路 144 の ADC 43 (j)、又は、接点 Nc 側の隣接する列 (j+1) のデータラッチ 41 (j+1) のいずれかを、データラッチ 41 (j) に選択的に接続するように切替制御される。これにより、スイッチ SW5 (j) が接点 Na 側に接続設定されている場合には、データレジスタ回路 142 から供給される画像データ  $D_{in}(j)$  がデータラッチ 41 (j) に保持される。また、スイッチ SW5 (j) が接点 Nb 側に接続設定されている場合には、データライン  $L_d(j)$  から DAC / ADC 回路 144 の ADC 43 (j) に取り込まれたデータライン電圧  $V_d$ （検出電圧  $V_{meas}(t)$ ）に応じた検出データ  $n_{meas}(t)$  がデータラッチ 41 (j) に保持される。また、スイッチ SW5 (j) が接点 Nc 側に接続設定されている場合には、隣接する列 (j+1) のスイッチ SW4 (j+1) を介してデータラッチ 41 (j+1) に保持されている検出データ  $n_{meas}(t)$  がデータラッチ 41 (j) に保持される。なお、最終列 (q) に設けられるスイッチ SW5 (q) は、接点 Nc にロジック電源 146 の電源電圧  $L_{VSS}$  が接続されている。

#### 【0033】

スイッチ SW4 (j) は、コントローラ 160 から供給されるデータ制御信号（切替制御信号 S4）に基づいて、接点 Na 側の DAC / ADC 回路 144 の DAC 42 (j)、又は、接点 Nb 側のスイッチ SW3（又は、隣接する列 (j-1) のスイッチ SW5 (j-1)；図示を省略）のいずれかを、データラッチ 41 (j) に選択的に接続するように切替制御される。これにより、スイッチ SW4 (j) が接点 Na 側に接続設定されている場合には、データラッチ 41 (j) に保持された画像データ  $D_{in}(j)$  が DAC / ADC 回路 144 の DAC 42 (j) に供給される。また、スイッチ SW4 (j) が接点 Nb 側に接続設定されている場合には、データラッチ 41 (j) に保持された検出電圧  $V_{meas}(t)$  に応じた検出データ  $n_{meas}(t)$  がスイッチ SW3 を介して、コントローラ 160 に出力される。出力された検出データ  $n_{meas}(t)$  は、コントローラ 160 内のメモリに記憶される。

#### 【0034】

スイッチ SW3 は、コントローラ 160 から供給されるデータ制御信号（切替制御信号 S4、S5）に基づいて、データラッチ回路 143 のスイッチ SW4 (j)、SW5 (j) が切替制御されて、隣接する列のデータラッチ 41 (1) ~ 41 (q) が相互に直列に接続された状態で、データ制御信号（切替制御信号 S3、データラッチパルス信号 LP）に基づいて、導通状態となるように制御される。これにより、各列のデータラッチ 41 (1) ~ 41 (q) に保持された検出電圧  $V_{meas}(t)$  に応じた検出データ  $n_{meas}(t)$  が、スイッチ SW3 を介してシリアルデータとして順次取り出されて、コントローラ 160 に出力される。

#### 【0035】

10

20

30

40

50

図4は、本実施形態に係るデータドライバに適用されるデジタル - アナログ変換回路 (DAC) 及びアナログ - デジタル変換回路 (ADC) の入出力特性を示す図である。図4 (a) は、本実施形態に適用されるDACの入出力特性を示す図であり、図4 (b) は、本実施形態に適用されるADCの入出力特性を示す図である。ここでは、デジタル信号の入出力ビット数を10ビットとした場合の、デジタル - アナログ変換回路及びアナログ - デジタル変換回路の入出力特性の一例を示す。

【0036】

DAC / ADC回路144は、図3に示すように、各列に対応してリニア電圧デジタル - アナログ変換回路 (DAC ; 電圧印加回路) 42 (j) と、アナログ - デジタル変換回路 (ADC) 43 (j) を備えている。DAC 42 (j) は、上記データラッチ回路143に保持されたデジタルデータからなる画像データ  $D_{in}(j)$  をアナログ信号電圧  $V_{pix}$  に変換して出力回路145に出力する。

10

【0037】

ここで、各列に設けられるDAC 42 (j) は、図4 (a) に示すように、入力されるデジタルデータに対する、出力されるアナログ信号電圧の変換特性 (入出力特性) が線形性を有している。すなわち、DAC 42 (j) は、例えば図4 (a) に示すように、10ビット (すなわち1024階調) のデジタルデータ (0、1、 $\dots$ 、1023) を、線形性を有して設定されたアナログ信号電圧 ( $V_0$ 、 $V_1$ 、 $\dots$ 、 $V_{1023}$ ) に変換する。このアナログ信号電圧 ( $V_0 \sim V_{1023}$ ) は、後述するアナログ電源147から供給される電源電圧  $DVSS \sim VEE$  の範囲内で設定され、例えば、入力されるデジタルデータの値が “0” (0階調) のときに変換されるアナログ信号電圧値  $V_0$  が高電位側の電源電圧  $DVSS$  となるように設定され、デジタルデータの値が “1023” (1023階調 ; 最大階調) のときに変換されるアナログ信号電圧値  $V_{1023}$  が低電位側の電源電圧  $VEE$  よりも高く、かつ、該電源電圧  $VEE$  近傍の電圧値になるように設定されている。

20

【0038】

また、ADC 43 (j) は、データライン  $L_d(j)$  から取り込まれたアナログ信号電圧からなる検出電圧  $V_{meas}(t)$  を、デジタルデータからなる検出データ  $n_{meas}(t)$  に変換してデータラッチ41 (j) に送付する。ここで、各列に設けられるADC 43 (j) は、図4 (b) に示すように、入力されるアナログ信号電圧に対する、出力されるデジタルデータの変換特性 (入出力特性) が線形性を有している。また、ADC 43 (j) は、電圧変換時のデジタルデータのビット幅が上述したDAC 42 (j) と同一になるように設定されている。すなわち、ADC 43 (j) は、最小単位ビット (1LSB ; アナログ分解能) に対応する電圧幅がDAC 42 (j) と同一に設定されている。

30

【0039】

ADC 43 (j) は、例えば図4 (b) に示すように、電源電圧  $DVSS \sim VEE$  の範囲内で設定されたアナログ信号電圧 ( $V_0$ 、 $V_1$ 、 $\dots$ 、 $V_{1023}$ ) を、線形性を有して設定された10ビット (1024階調) のデジタルデータ (0、1、 $\dots$ 、1023) に変換する。ADC 43 (j) は、例えば、入力されるアナログ信号電圧の電圧値が  $V_0$  (=  $DVSS$ ) のときにデジタルデータの値が “0” (0階調) に変換されるように設定され、アナログ信号電圧の電圧値が電源電圧  $VEE$  よりも高く、かつ、該電源電圧  $VEE$  近傍の電圧値であるアナログ信号電圧  $V_{1023}$  のときにデジタル信号値 “1023” (1023階調 ; 最大階調) に変換されるように設定されている。

40

【0040】

なお、本実施形態においては、シフトレジスタ回路141、データレジスタ回路142及びデータラッチ回路143を含む内部回路140Aを低耐圧回路として構成し、DAC / ADC回路144及び後述する出力回路145を含む内部回路140Bを高耐圧回路として構成している。そのため、データラッチ回路143 (スイッチ  $SW_4(j)$ ) とDAC / ADC回路144のDAC 42 (j) との間には、低耐圧の内部回路140Aから高耐圧の内部回路140Bへの電圧調整回路としてレベルシフタ  $LS_1(j)$  が設けられている。また、DAC / ADC回路144のADC 43 (j) とデータラッチ回路143 (

50

スイッチSW5(j))との間には、高耐圧の内部回路140Bから低耐圧の内部回路140Aへの電圧調整回路としてレベルシフタLS2(j)が設けられている。

【0041】

出力回路145は、図3に示すように、各列に対応するデータラインLd(j)に階調信号を出力するためのバッファ44(j)及びスイッチSW1(j)(接続切換回路)と、データライン電圧Vd(検出電圧Vmeas(t))を取り込むためのスイッチSW2(j)及びバッファ45(j)と、を備えている。

【0042】

バッファ44(j)は、上記DAC42(j)により画像データDin(j)をアナログ変換して生成されたアナログ信号電圧Vpix(j)を、所定の信号レベルに増幅して階調電圧Vdata(j)を生成する。スイッチSW1(j)は、コントローラ160から供給されるデータ制御信号(切換制御信号S1)に基づいて、データラインLd(j)への上記階調電圧Vdata(j)の印加を制御する。

10

【0043】

また、スイッチSW2(j)は、コントローラ160から供給されるデータ制御信号(切換制御信号S2)に基づいて、データライン電圧Vd(検出電圧Vmeas(t))の取り込みを制御する。バッファ45(j)は、スイッチSW2(j)を介して取り込まれた検出電圧Vmeas(t)を所定の信号レベルに増幅してADC43(j)に送出する。

【0044】

ロジック電源146は、データドライバ140のシフトレジスタ回路141、データレジスタ回路142及びデータラッチ回路143を含む内部回路140Aを駆動するための、ロジック電圧からなる低電位側の電源電圧LVSS及び高電位側の電源電圧LVDDを供給する。アナログ電源147は、DAC/ADC回路144のDAC42(j)及びADC43(j)、出力回路145のバッファ44(j)、45(j)を含む内部回路140Bを駆動するための、アナログ電圧からなる高電位側の電源電圧DVSS及び低電位側の電源電圧VEEを供給する。

20

【0045】

なお、図2、図3に示したデータドライバ140においては、図示の都合上、各部の動作を制御するための制御信号が、j列目(図中では1列目に相当する)のデータラインLd(j)に対応して設けられたデータラッチ41、及び、スイッチSW1~SW5にのみ入力された構成を示した。しかしながら、本実施形態においては、各列ごとの構成にこれらの制御信号が共通して入力されていることはいうまでもない。

30

【0046】

図5は、本実施形態に係る表示装置に適用されるコントローラの機能を示す機能ブロック図である。なお、図5においては、図示の都合上、各機能ブロック間のデータの流れを全て実線の矢印で示した。実際には、後述するように、コントローラ160の動作状態に応じてこれらのいずれかのデータの流れが有効になる。

【0047】

コントローラ160は、少なくとも上述した選択ドライバ120及び電源ドライバ130、データドライバ140、カソード電圧制御回路150の動作状態を制御する。そのため、コントローラ160は、表示パネル110における所定の駆動制御動作を実行するための選択制御信号及び電源制御信号、データ制御信号、カソード電圧制御信号を生成して、上記の各ドライバ120、130、140及び制御回路150に出力する。

40

【0048】

特に、本実施形態においては、コントローラ160は、選択制御信号及び電源制御信号、データ制御信号、カソード電圧制御信号を供給することにより、選択ドライバ120及び電源ドライバ130、データドライバ140、カソード電圧制御回路150の各々を所定のタイミングで動作させて、表示パネル110の各画素PIXの特性パラメータを取得する動作(特性パラメータ取得動作)を制御する。また、コントローラ160は、各画素PIXの特性パラメータに基づいて補正された画像データに応じた画像情報を表示パネル

50

110に表示する動作(表示動作)を制御する。

【0049】

具体的には、コントローラ160は、特性パラメータ取得動作において、上記データドライバ140を介して検出した各画素PIXの特性変化に関連する検出データ(詳しくは後述する)に基づいて、各種の補正データを取得する。また、コントローラ160は、表示動作において、外部から供給される画像データを、特性パラメータ取得動作において取得した補正データに基づいて補正し、補正画像データとしてデータドライバ140に供給する。

【0050】

本実施形態に適用されるコントローラ(画像データ補正回路)160は、具体的には、例えば図5に示すように、概略、参照テーブル(LUT)161を備えた電圧振幅設定機能回路162と、乗算機能回路(画像データ補正回路)163と、加算機能回路(画像データ補正回路)164と、メモリ(記憶回路)165と、補正データ取得機能回路(特性パラメータ取得回路)166と、V<sub>th</sub>補正データ生成回路(画像データ補正回路)167と、を有している。

10

【0051】

電圧振幅設定機能回路162は、外部から供給されるデジタルデータからなる画像データに対して、参照テーブル161を参照することにより、赤(R)、緑(G)、青(B)の各色に対応する電圧振幅を変換する。ここで、変換された画像データの電圧振幅の最大値は、上述したDAC42における入力範囲の最大値から、各画素の特性パラメータに基づき補正量を減算した値以下に設定される。

20

【0052】

乗算機能回路163は、各画素PIXの特性変化に関連する検出データに基づいて取得された電流増幅率の補正データを画像データに乗算する。V<sub>th</sub>補正データ生成回路167は、上記電流増幅率の補正データと、各画素PIXの特性変化に関連するパラメータ(V<sub>th</sub>補正パラメータ $n_{offset}$ 、 $\langle \rangle \cdot t_0$ ;詳しくは後述する)及び検出データ $n_{meas}(t_0)$ に基づいて、駆動トランジスタのしきい値電圧V<sub>th</sub>の補正データ $n_{th}$ を生成する。加算機能回路164は、上記V<sub>th</sub>補正データ生成回路167により生成された補正データ $n_{th}$ を、上記乗算機能回路163から出力される画像データに加算して、補正画像データとしてデータドライバ140に供給する。

30

【0053】

補正データ取得機能回路166は、各画素PIXの特性変化に関連する検出データに基づいて、電流増幅率及びしきい値電圧V<sub>th</sub>の補正データを規定するパラメータを取得する。

【0054】

メモリ165は、上述したデータドライバ140から送出された各画素PIXの検出データを、各画素PIXに対応して記憶し、上記加算機能回路164における加算処理の際、及び、補正データ取得機能回路166における補正データ取得処理の際に、検出データが読み出される。また、メモリ165は、補正データ取得機能回路166において取得された補正データ及び補正パラメータを、各画素PIXに対応して記憶し、上記乗算機能回路163における乗算処理の際、及び、加算機能回路164における加算処理の際に、補正データ及び補正パラメータが読み出される。

40

【0055】

なお、図5に示したコントローラ160において、補正データ取得機能回路166はコントローラ160の外部に設けられた演算装置(例えばパーソナルコンピュータ、CPU)であってもよい。また、図5に示したコントローラ160において、メモリ165は各画素PIXに関連付けて、検出データ及び補正データ、補正パラメータが記憶されているものであれば、別個のメモリであってもよい。また、このメモリ165は、コントローラ160の外部に設けられた記憶装置であってもよい。また、コントローラ160に供給される画像データは、例えば映像信号から輝度階調信号成分を抽出し、表示パネル110の

50

1行分ごとに、該輝度階調信号成分をデジタル信号からなるシリアルデータとして形成されたものである。

【0056】

(画素)

次に、本実施形態に係る表示パネルに配列される画素、及び、カソード電圧制御回路について具体的に説明する。

図6は、本実施形態に係る表示パネルに適用される画素(画素駆動回路及び発光素子)、及び、カソード電圧制御回路の一実施形態を示す回路構成図である。

【0057】

本実施形態に係る表示パネル110に適用される画素PIXは、図6に示すように、選択ドライバ120に接続された選択ラインLsと、データドライバ140に接続されたデータラインLdとの各交点近傍に配置されている。各画素PIXは、電流駆動型の発光素子である有機EL素子OELと、該有機EL素子OELを発光駆動するための電流を生成する画素駆動回路DCと、を備えている。

【0058】

図6に示す画素駆動回路DCは、概略、トランジスタTr11~Tr13と、キャパシタ(容量素子)Csと、を備えた回路構成を有している。トランジスタ(第2のトランジスタ)Tr11は、ゲート端子が選択ラインLsに接続され、また、ドレイン端子が電源ラインLaに接続され、また、ソース端子が接点N11に接続されている。トランジスタTr12は、ゲート端子が選択ラインLsに接続され、また、ソース端子がデータラインLdに接続され、また、ドレイン端子が接点N12に接続されている。トランジスタ(駆動制御素子、第1のトランジスタ)Tr13は、ゲート端子が接点N11に接続され、ドレイン端子が電源ラインLaに接続され、ソース端子が接点N12に接続されている。また、キャパシタ(容量素子)Csは、トランジスタTr13のゲート端子(接点N11)及びソース端子(接点N12)間に接続されている。キャパシタCsは、トランジスタTr13のゲート・ソース端子間に形成される寄生容量であってもよいし、該寄生容量に加えて接点N11及び接点N12間に別個の容量素子を並列に接続したものであってもよい。

【0059】

また、有機EL素子OELは、アノード(アノード電極)が上記画素駆動回路DCの接点N12に接続され、カソード(カソード電極)が共通電極Ecに接続されている。共通電極Ecは、図6に示すように、カソード電圧制御回路150に接続され、画素PIXの動作状態に応じて所定の電圧値のカソード電圧ELVSSが設定されて印加される。なお、図6に示す画素PIXにおいては、キャパシタCs以外に、有機EL素子OELに画素容量Celが存在し、また、データラインLdに配線寄生容量Cpが存在している。

【0060】

カソード電圧制御回路150は、例えばカソード電圧生成用のD/Aコンバータ(図中、「DAC(C)」で表記)151と、D/Aコンバータ151の出力に接続されたフォロワアンプ152と、を有している。D/Aコンバータ151は、コントローラ160からカソード電圧制御信号として供給される所定のデジタル値をアナログ信号電圧に変換する。ここで、コントローラ160からカソード電圧制御回路150(D/Aコンバータ151)に供給されるデジタル値は、後述する特性パラメータ取得動作において各画素PIXの電流増幅率のばらつきを補正するための補正データを取得する際には、各画素PIXの特性パラメータに基づいて抽出される検出データ $n_{meas}(t_c)$ である。また、後述する特性パラメータ取得動作において各画素PIXのトランジスタTr13のしきい値電圧Vthの変動を補正するための補正データ $n_{th}$ を取得する際には、上記デジタル値は、データラインLdに印加される検出用電圧Vdacに対応したデジタル値である。フォロワアンプ152は、D/Aコンバータ151の出力に対する極性反転回路及びバッファ回路として動作する。これにより、D/Aコンバータ151から出力されるアナログ信号電圧が、フォロワアンプ152により、絶対値がD/Aコンバータ151から出力されるアナロ

10

20

30

40

50

グ信号電圧に相当する値を有し、負極性の電圧レベルを有するカソード電圧  $ELVSS$  に変換されて、表示パネル 110 の各画素  $PIX$  に接続された共通電極  $Ec$  に印加される。また、表示パネル 110 の表示動作（書込動作及び発光動作）時には、カソード電圧制御回路 150 を介して、又は、図示を省略した定電圧源から直接、例えば接地電位  $GND$  からなるカソード電圧  $ELVSS$  が共通電極  $Ec$  に印加される。

【0061】

ここで、本実施形態に係る画素  $PIX$  の表示動作（書込動作及び発光動作）時には、上述した電源ドライバ 130 から電源ライン  $La$  に印加される電源電圧  $Vsa$  ( $ELVDD$ 、 $DVSS$ ) と、共通電極  $Ec$  に印加されるカソード電圧  $ELVSS$  と、アナログ電源 147 からデータドライバ 140 に供給される電源電圧  $VEE$  との関係は、例えば、次の (1) 式に示す条件を満たすように設定されている。このとき、共通電極  $Ec$  に印加されるカソード電圧  $ELVSS$  は、例えば接地電位  $GND$  に設定されている。

【0062】

【数1】

$$\left. \begin{array}{l} DVSS < ELVDD \\ DVSS = ELVSS (= GND) \\ VEE < ELVSS \end{array} \right\} \dots (1)$$

【0063】

なお、上記 (1) においては、共通電極  $Ec$  に印加される電圧  $ELVSS$  は電源電圧  $DVSS$  と同電位であって、例えば接地電位  $GND$  に設定されているとしたが、これに限るものではなく、電圧  $ELVSS$  が電源電圧  $DVSS$  より低電位で、電源電圧  $DVSS$  と電圧  $ELVSS$  との電位差が、有機  $EL$  素子  $OEL$  が発光を開始する発光閾値電圧より小さい値となる電圧値に設定されているものであってもよい。

【0064】

また、図 6 に示した画素  $PIX$  において、トランジスタ  $Tr11 \sim Tr13$  については、例えば同一のチャネル型を有する薄膜トランジスタ ( $TFET$ ) を適用することができる。トランジスタ  $Tr11 \sim Tr13$  は、アモルファスシリコン薄膜トランジスタであってもよいし、ポリシリコン薄膜トランジスタであってもよい。

【0065】

特に、図 6 に示すように、トランジスタ  $Tr11 \sim Tr13$  として  $n$  チャネル型の薄膜トランジスタを適用し、かつ、トランジスタ  $Tr11 \sim Tr13$  としてアモルファスシリコン薄膜トランジスタを適用した場合には、すでに確立されたアモルファスシリコン製造技術を適用して、多結晶型や単結晶型のシリコン薄膜トランジスタに比較して、簡易な製造プロセスで動作特性（電子移動度等）が比較的均一で安定したトランジスタを実現することができる。

【0066】

また、上述した画素  $PIX$  においては、画素駆動回路  $DC$  として 3 個のトランジスタ  $Tr11 \sim Tr13$  を備え、また、発光素子として有機  $EL$  素子  $OEL$  を適用した回路構成を示した。本発明はこの実施形態に限定されるものではなく、3 個以上のトランジスタを備えた他の回路構成を有するものであってもよい。また、画素駆動回路  $DC$  により発光駆動される発光素子は、電流駆動型の発光素子であればよく、例えば発光ダイオード等の他の発光素子であってもよい。

【0067】

（表示装置の駆動制御方法）

10

20

30

40

50

次に、本実施形態に係る表示装置における駆動制御方法について説明する。

本実施形態に係る表示装置 100 の駆動制御動作は、大別して、特性パラメータ取得動作と表示動作とからなる。

【0068】

特性パラメータ取得動作においては、表示パネル 110 に配列された各画素 P I X における発光特性の変動を補償するためのパラメータを取得する。特性パラメータ取得動作は、より具体的には、各画素 P I X の画素駆動回路 D C に設けられたトランジスタ（駆動トランジスタ）T r 1 3 のしきい値電圧 V t h の変動を補正するためのパラメータと、各画素 P I X における電流増幅率 のばらつきを補正するためのパラメータと、を取得する動作を実行する。

10

【0069】

表示動作においては、上述した特性パラメータ取得動作により画素 P I X ごとに取得した補正パラメータに基づいて、デジタルデータからなる画像データを補正した補正画像データを生成し、該補正画像データに対応する階調電圧 V d a t a を生成して各画素 P I X に書き込む（書込動作）。これにより、各画素 P I X における発光特性（トランジスタ T r 1 3 のしきい値電圧 V t h 、電流増幅率 ）の変動やばらつきを補償した、画像データに応じた本来の輝度階調で各画素 P I X （有機 E L 素子 O E L ）が発光する（発光動作）。

【0070】

以下、各動作について具体的に説明する。

（特性パラメータ取得動作）

20

ここでは、最初に本実施形態に係る特性パラメータ取得動作において適用される特有の手法について説明する。その後、当該手法を用いて各画素 P I X のしきい値電圧 V t h 及び電流増幅率 を補償するための特性パラメータを取得する動作を説明する。

【0071】

まず、図 6 に示した画素駆動回路 D C を有する画素 P I X において、データドライバ 140 からデータライン L d を介して画像データを書き込む（画像データに対応した階調電圧 V d a t a を印加する）場合の、画素駆動回路 D C の電圧 - 電流（V - I）特性について説明する。

【0072】

図 7 は、本実施形態に係る画素駆動回路を適用した画素における画像データの書込時の動作状態図である。また、図 8 は、本実施形態に係る画素駆動回路を適用した画素における書込動作時の電圧 - 電流特性を示す図である。

30

【0073】

本実施形態に係る画素 P I X への画像データの書込動作においては、図 7 に示すように、選択ドライバ 120 から選択ライン L s を介して選択レベル（ハイレベル；V g h）の選択信号 S s e l を印加することにより、画素 P I X が選択状態に設定される。このとき、画素駆動回路 D C のトランジスタ T r 1 1、T r 1 2 がオン動作することにより、トランジスタ T r 1 3 は、ゲート・ドレイン端子間が短絡されて、ダイオード接続状態に設定される。この選択状態においては、電源ライン L a には、電源ドライバ 130 から非発光レベルの電源電圧 V s a（= D V S S；例えば接地電位 G N D）が印加される。また、有機 E L 素子 O E L のカソードに接続される共通電極 E c には、カソード電圧制御回路 150 又は図示を省略した定電圧源から、例えば接地電位 G N D に設定されたカソード電圧 E L V S S が印加される。

40

【0074】

そして、この状態で、データライン L d に対してデータドライバ 140 から画像データに応じた電圧値の階調電圧 V d a t a が印加される。ここで、階調電圧 V d a t a は、電源ドライバ 130 から電源ライン L a に印加される電源電圧 D V S S よりも低い電圧値に設定されている。すなわち、書込動作時においては、上記（1）式に示したように、電源電圧 D V S S は共通電極 E c に印加されるカソード電圧 E L V S S と同一の電位（接地電位 G N D）に設定されているので、階調電圧 V d a t a は負極性の電圧レベルに設定される。

50

## 【 0 0 7 5 】

これにより、図 7 に示すように、電源ドライバ 1 3 0 から電源ライン L a、画素 P I X (画素駆動回路 D C) のトランジスタ T r 1 3、T r 1 2 を介して、データライン L d 方向に上記階調電圧 V data に応じたドレイン電流 I d が流れる。このとき、有機 E L 素子 O E L には逆バイアス電圧が印加されることになるので、発光動作は行われぬ。

## 【 0 0 7 6 】

この場合の画素駆動回路 D C における回路特性について検証する。画素駆動回路 D C において、駆動トランジスタであるトランジスタ T r 1 3 のしきい値電圧 V th の変動が生じておらず、かつ、画素駆動回路 D C における電流増幅率 にばらつきがない初期状態の、トランジスタ T r 1 3 のしきい値電圧を V th 0 とし、電流増幅率を としたとき、図 7 に示したドレイン電流 I d の電流値は、次の ( 2 ) 式で表すことができる。

$$I d = (V_0 - V data - V th_0)^2 \quad \dots (2)$$

## 【 0 0 7 7 】

ここで、画素駆動回路 D C における設計値又は標準値の電流増幅率、及び、トランジスタ T r 1 3 の初期しきい値電圧 V th 0 は、いずれも定数である。また、V 0 は電源ドライバ 1 3 0 から印加される非発光レベルの電源電圧 V sa (= D V S S) であって、電圧 (V 0 - V data) は、トランジスタ T r 1 3 及び T r 1 2 の電流路が直列接続された回路構成に印加される電位差に相当する。このときの画素駆動回路 D C に印加される電圧 (V 0 - V data) の値と、画素駆動回路 D C に流れるドレイン電流 I d の電流値との関係 (V - I 特性) は、図 8 中に、特性線 S P 1 として表される。

## 【 0 0 7 8 】

そして、経時変化によりトランジスタ T r 1 3 の素子特性に変動 (しきい値電圧シフト; しきい値電圧 V th の変動量を V th とする) が生じた後のしきい値電圧を V th (= V th 0 + V th) としたとき、画素駆動回路 D C の回路特性は、次の ( 3 ) 式のように変化する。ここで、V th は定数である。このときの画素駆動回路 D C の電圧 - 電流 (V - I) 特性は、図 8 中に、特性線 S P 3 として表される。

$$I d = (V_0 - V data - V th)^2 \quad \dots (3)$$

## 【 0 0 7 9 】

また、上記 ( 2 ) 式に示した初期状態において、電流増幅率 にばらつきが生じた場合の電流増幅率を としたとき、画素駆動回路 D C の回路特性は、次の ( 4 ) 式で表すことができる。

$$I d = (V_0 - V data - V th_0)^2 \quad \dots (4)$$

## 【 0 0 8 0 】

ここで、 は定数である。このときの画素駆動回路 D C の電圧 - 電流 (V - I) 特性は、図 8 中に、特性線 S P 2 として表される。なお、図 8 中に示した特性線 S P 2 は、上記 ( 4 ) 式における電流増幅率 が上記 ( 2 ) 式に示した電流増幅率 よりも小さい場合 ( < ) の画素駆動回路 D C の電圧 - 電流 (V - I) 特性を示している。

## 【 0 0 8 1 】

上記 ( 2 )、( 4 ) 式において、設計値又は標準値の電流増幅率を typ とした場合、電流増幅率 が typ の値になるように補正するためのパラメータ (補正データ) を とする。このとき、電流増幅率 と補正データ との乗算値が設計値の電流増幅率 typ となるように (すなわち、 × typ になるように)、それぞれの画素駆動回路 D C に対して補正データ が与えられる。

## 【 0 0 8 2 】

そして、本実施形態においては、上述した画素駆動回路 D C の電圧 - 電流特性 ( ( 2 ) ~ ( 4 ) 式及び図 8 ) に基づいて、以下のような特有の手法でトランジスタ T r 1 3 のしきい値電圧 V th、及び、電流増幅率 を補正するための特性パラメータを取得する。なお、本明細書においては以下に示す手法を、便宜的に「オートゼロ法」と呼称する。

## 【 0 0 8 3 】

本実施形態における特性パラメータ取得動作に適用される手法 (オートゼロ法) は、図

10

20

30

40

50

6に示した画素駆動回路DCを有する画素PIXにおいて、まず、選択状態で上述したデータドライバ140のデータドライバ機能を用いて、データラインLdに所定の検出用電圧Vdacを印加する。その後、データラインLdをハイインピーダンス(HZ)状態にして、データラインLdの電位を自然緩和させる。そして、この自然緩和を一定時間(緩和時間t)行った後のデータライン電圧Vd(検出電圧Vmeas(t))を、データドライバ140の電圧検出機能を用いて取り込み、デジタルデータからなる検出データnmeas(t)に変換する。ここで、本実施形態においては、この緩和時間tを異なる時間(タイミング; t0、t1、t2、t3)に設定して、検出電圧Vmeas(t)の取り込み、及び、検出データnmeas(t)への変換を複数回実行する。

【0084】

まず、本実施形態に係る特性パラメータ取得動作に適用されるオートゼロ法の基本的な考え方(基本手法)について説明する。

図9は、本実施形態に係る特性パラメータ取得動作に適用される手法(オートゼロ法)におけるデータライン電圧の変化を示す図(過渡曲線)である。

【0085】

オートゼロ法を用いた特性パラメータ取得動作は、まず、画素PIXを選択状態に設定した状態で、画素駆動回路DCのトランジスタTr13のゲート・ソース端子間(接点N11とN12間)に、当該トランジスタTr13のしきい値電圧を超える電圧が印加されるように、データドライバ140からデータラインLdに対して検出用電圧Vdacを印加する。

【0086】

このとき、画素PIXへの書込動作においては、電源ドライバ130から電源ラインLaに対して、非発光レベルの電源電圧DVSS(=V0; 接地電位GND)が印加されるので、トランジスタTr13のゲート・ソース端子間には、(V0 - Vdac)の電位差が印加される。したがって、検出用電圧Vdacは、V0 - Vdac > Vthの条件を満たす電圧に設定される。加えて、検出用電圧Vdacは、電源電圧DVSSよりも低い負極性の電圧レベルに設定される。ここで、有機EL素子OELのカソードに接続される共通電極Ecに印加されるカソード電圧ELVSSは、トランジスタTr13のソース端子に印加される検出用電圧Vdacとの間に生じる電位差により、当該有機EL素子OELが発光動作しない電圧値に設定される。より具体的には、カソード電圧ELVSSは、有機EL素子OELが発光動作する程度の順バイアス電圧、及び、後述する補正動作に影響を及ぼすほどの電流リークを伴う逆バイアス電圧の、いずれにも該当しない電圧値(又は、電圧範囲)に設定される。なお、このカソード電圧ELVSSの設定については後述する。

【0087】

これにより、電源ドライバ130から電源ラインLa、トランジスタTr13のドレイン・ソース端子間、Tr12のドレイン・ソース端子間を介して、データラインLd方向に検出用電圧Vdacに応じたドレイン電流Idが流れる。このとき、トランジスタTr13のゲート・ソース端子間(接点N11とN12間)に接続されたキャパシタCsに上記検出用電圧Vdacに対応した電圧が充電される。

【0088】

次いで、データラインLdのデータ入力側(データドライバ140側)をハイインピーダンス(HZ)状態に設定する。ここで、データラインLdをハイインピーダンス状態に設定した直後においては、キャパシタCsに充電された電圧は検出用電圧Vdacに応じた電圧に保持される。そのため、トランジスタTr13のゲート・ソース端子間電圧VgsはキャパシタCsに充電された電圧に保持される。

【0089】

これにより、データラインLdがハイインピーダンス状態に設定された直後においては、トランジスタTr13はオン状態を維持して、トランジスタTr13のドレイン・ソース端子間にドレイン電流Idが流れる。ここで、トランジスタTr13のソース端子(接点N12)の電位は、時間の経過に応じてドレイン端子側の電位に近づくように徐々に上

10

20

30

40

50

昇して、トランジスタTr 13のドレイン・ソース端子間に流れるドレイン電流I dの電流値が減少していく。

【0090】

これに伴って、キャパシタCsに蓄積された電荷の一部が放電されていくことにより、キャパシタCsの両端間電圧(トランジスタTr 13のゲート・ソース端子間電圧Vgs)が徐々に低下する。これにより、データライン電圧Vdは、図9に示すように、時間の経過とともに検出用電圧Vdacから徐々に上昇して、トランジスタTr 13のドレイン端子側の電圧(電源ラインLaの電源電圧DVSS (= V0))からトランジスタTr 13のしきい値電圧Vth分を差し引いた電圧(V0 - Vth)に収束するように徐々に上昇する(自然緩和)。

10

【0091】

そして、このような自然緩和において、最終的にトランジスタTr 13のドレイン・ソース端子間にドレイン電流I dが流れなくなると、キャパシタCsに蓄積された電荷の放電が停止する。このときのトランジスタTr 13のゲート電圧(ゲート・ソース端子間電圧Vgs)がトランジスタTr 13のしきい値電圧Vthになる。

【0092】

ここで、画素駆動回路DCのトランジスタTr 13のドレイン・ソース端子間にドレイン電流I dが流れない状態では、トランジスタTr 12のドレイン・ソース端子間電圧はほぼ0Vになるので、上記自然緩和の終了時にはデータライン電圧VdはトランジスタTr 13のしきい値電圧Vthにほぼ等しくなる。

20

【0093】

なお、図9に示した過渡曲線において、データライン電圧Vdは時間(緩和時間t)の経過とともに、トランジスタTr 13のしきい値電圧Vth (= |V0 - Vth| ; V0 = 0V)に収束していく。ここで、データライン電圧Vdは、緩和時間tの経過とともに、上記しきい値電圧Vthに限りなく漸近していく。しかしながら、緩和時間tを十分長く設定したとしても、理論的には、しきい値電圧Vthに完全に等しくはならない。

このような過渡曲線(自然緩和によるデータライン電圧Vdの挙動)は、次の(11)式で表すことができる。

【0094】

【数2】

$$V_d = V_{\text{meas}}(t) = V_0 - V_{\text{th}} - \frac{V_0 - V_{\text{dac}} - V_{\text{th}}}{(\beta/C)t(V_0 - V_{\text{dac}} - V_{\text{th}}) + 1} \quad \dots (11)$$

30

【0095】

上記(11)式において、Cは図6に示した画素PIXの回路構成におけるデータラインLdに付加される容量成分の総和であり、C = Cel + Cs + Cp (Cel; 画素容量、Cs; キャパシタ容量、Cp; 配線寄生容量)で表される。なお、検出用電圧Vdacは次の(12)式の条件を満たす電圧値と定義する。

40

【0096】

【数3】

$$\left. \begin{aligned} V_{\text{dac}} &:= V_1 - \Delta V \times (n_d - 1) \\ V_0 - V_{\text{dac}} - V_{\text{th\_max}} &> 0 \end{aligned} \right\} \quad \dots (12)$$

【0097】

上記(12)式において、Vth\_maxはトランジスタTr 13のしきい値電圧Vthの補償

50

限界値を表す。ここで、 $n_d$  はデータドライバ 140 の DAC / ADC 回路 144 において、DAC 42 に入力される初期のデジタルデータ（検出用電圧  $V_{dac}$  を規定するためのデジタルデータ）と定義し、当該デジタルデータ  $n_d$  が 10 ビットの場合、 $d$  は 1 ~ 1023 のうち上記 (12) 式の条件を満たす任意の値を選択する。また、 $V$  はデジタルデータのビット幅（1 ビットに対応する電圧幅）であり、上記デジタルデータ  $n_d$  が 10 ビットの場合、次の (13) 式のように表される。

【0098】

【数4】

$$\Delta V := \frac{V_1 - V_{1023}}{1022} \quad \dots \quad (13) \quad 10$$

【0099】

そして、上記 (11) 式において、データライン電圧  $V_d$ （検出電圧  $V_{meas}(t)$ ）、該データライン電圧  $V_d$  の収束値  $V_0 - V_{th}$ 、及び、電流増幅率  $\beta$  と容量成分の総和  $C$  からなるパラメータ  $\xi / C$  を、それぞれ次の (14)、(15) 式のように定義する。ここで、緩和時間  $t$  におけるデータライン電圧  $V_d$ （検出電圧  $V_{meas}(t)$ ）に対する ADC 43 のデジタル出力（検出データ）を  $n_{meas}(t)$  と定義し、しきい値電圧  $V_{th}$  のデジタルデータを  $n_{th}$  と定義する。

【0100】

【数5】

$$\left. \begin{aligned} V_{meas}(t) &:= V_1 - \Delta V \times (n_{meas} - 1) \\ V_0 - V_{th} &:= V_1 - \Delta V \times (n_{th} - 1) \end{aligned} \right\} \quad \dots \quad (14) \quad 20$$

【0101】

【数6】

$$\xi := (\beta / C) \cdot \Delta V \quad \dots \quad (15) \quad 30$$

【0102】

そして、(14)、(15) 式に示した定義に基づいて、上記 (11) 式を、データドライバ 140 の DAC / ADC 回路 144 において、DAC 42 に入力される実際のデジタルデータ（画像データ） $n_d$  と、ADC 43 によりアナログ - デジタル変換されて実際に出力されるデジタルデータ（検出データ） $n_{meas}(t)$  との関係に置き換えると、次の (16) 式のように表すことができる。

【0103】

40

【数7】

$$n_{\text{meas}}(t) = n_{\text{th}} + \frac{n_d - n_{\text{th}}}{\xi \cdot t \cdot (n_d - n_{\text{th}}) + 1} \dots (16)$$

【0104】

上記(15)、(16)式において、 $\xi$  はアナログ値におけるパラメータ  $\xi / C$  のデジタル表現であり、 $\xi \cdot t$ は無次元になる。ここで、トランジスタTr13のしきい値電圧  $V_{\text{th}}$ に変動( $V_{\text{th}}$ シフト)が生じていない初期のしきい値電圧  $V_{\text{th}0}$ を1V程度とする。このとき、 $\xi \cdot t \cdot (n_d - n_{\text{th}}) > 1$ の条件を満たすように、異なる2つの緩和時間  $t = t_1$ 、 $t_2$ を設定することにより、トランジスタTr13のしきい値電圧変動に応じた補償電圧成分(オフセット電圧)  $V_{\text{offset}}(t_0)$ は、次の(17)式のように表すことができる。

10

【0105】

【数8】

$$V_{\text{offset}}(t_0) = \frac{\Delta V}{\xi \cdot t_0} = \Delta V \cdot (n_1 - n_2) \cdot \frac{t_2 \cdot t_1}{t_2 - t_1} \cdot \frac{1}{t_0} \dots (17)$$

20

【0106】

上記(17)式において、 $n_1$ 、 $n_2$ は、各々(16)式において緩和時間  $t$ を  $t_1$ 、 $t_2$ に設定した場合に、ADC43から出力されるデジタルデータ(検出データ)  $n_{\text{meas}}(t_1)$ 、 $n_{\text{meas}}(t_2)$ である。そして、上記(16)、(17)式に基づいて、トランジスタのしきい値電圧  $V_{\text{th}}$ のデジタルデータ  $n_{\text{th}}$ は、緩和時間  $t = t_0$ においてADC43から出力されるデジタルデータ  $n_{\text{meas}}(t_0)$ を用いて、次の(18)式のように表すことができる。また、オフセット電圧  $V_{\text{offset}}$ のデジタルデータ  $\text{digital } V_{\text{offset}}$ は、次の(19)式のように表すことができる。(18)、(19)式において、 $\langle \xi \rangle$ は、パラメータ  $\xi / C$ のデジタル値である  $\xi$ の全画素平均値である。ここで、 $\langle \xi \rangle$ は、小数点以下を考慮しないこととする。

30

【0107】

【数9】

$$n_{\text{th}} = n_{\text{meas}}(t_0) - \frac{1}{\langle \xi \rangle \cdot t_0} \dots (18)$$

【0108】

【数10】

$$\frac{1}{\langle \xi \rangle \cdot t_0} = \text{digital } V_{\text{offset}} \dots (19)$$

40

【0109】

したがって、上記(18)式によれば、しきい値電圧  $V_{\text{th}}$ を補正するためのデジタルデ

50

ータ（補正データ）である  $n_{th}$  を全画素分求めることができる。

【0110】

また、電流増幅率  $\xi$  のばらつきは、図9に示した過渡曲線において、緩和時間  $t$  を  $t_3$  に設定した場合にADC43から出力されるデジタルデータ（検出データ） $n_{meas}(t_3)$  に基づいて、上記(16)式を  $\xi$  について解くことにより、次の(20)式のように表すことができる。ここで、 $t_3$  は上記(17)、(18)式において用いられる  $t_0$ 、 $t_1$ 、 $t_2$  に比較して十分短い時間に設定される。

【0111】

【数11】

$$\xi \cdot t_3 = \frac{n_d - n_{meas}(t_3)}{[n_{meas}(t_3) - n_{th}] \cdot [n_d - n_{th}]} \quad \dots (20)$$

10

【0112】

上記(20)式において、 $\xi$  について着目して、各データライン  $L_d$  の容量成分の総和  $C$  が同等になるように表示パネル（発光パネル）を設計し、さらに、上記(13)式に示したように、デジタルデータのビット幅  $V$  を予め決定しておくことにより、 $\xi$  を定義する(15)式の  $V$  及び  $C$  は定数となる。

【0113】

そして、 $\xi$  及び  $\beta$  の所望の設定値を、それぞれ  $\xi_{typ}$  及び  $\beta_{typ}$  とすると、表示パネル110内の各画素駆動回路DCの  $\xi$  のばらつきを補正するための乗算補正値  $\Delta \xi$ 、すなわち、電流増幅率  $\xi$  のばらつきを補正するためのデジタルデータ（補正データ） $n_{th}$  は、ばらつきの2乗項を無視すれば、次の(21)式のように定義することができる。

【0114】

【数12】

$$\begin{aligned} \Delta \xi &:= 1 - \frac{\xi - \xi_{typ}}{2\xi} \\ &= 1 - \frac{\beta - \beta_{typ}}{2\beta} = \Delta \beta \quad \dots (21) \end{aligned}$$

30

【0115】

したがって、画素駆動回路DCのしきい値電圧  $V_{th}$  の変動を補正するための補正データ  $n_{th}$ （第1の特性パラメータ）、及び、電流増幅率  $\xi$  のばらつきを補正するための補正データ  $n_{th}$ （第2の特性パラメータ）は、上記(18)、(21)式に基づいて、上述した一連のオートゼロ法における緩和時間  $t$  を変えてデータライン電圧  $V_d$ （検出電圧  $V_{meas}(t)$ ）を複数回検出することによって求めることができる。

40

【0116】

上記(18)式により算出された補正データ  $n_{th}$  は、後述する表示動作において、本実施形態に係る表示装置100の外部から入力される画像データ  $n_d$  に対して、電流増幅率  $\xi$  のばらつき補正（乗算補正）としきい値電圧  $V_{th}$  の変動補正（ $n_{th}$  加算補正）を施して補正画像データ  $n_{d\_comp}$  を生成する際に用いられる。これにより、データドライバ140から補正画像データ  $n_{d\_comp}$  に応じたアナログ電圧値の階調電圧  $V_{data}$  がデータライン  $L_d$  を介して各画素  $P_{IX}$  に供給されるので、各画素  $P_{IX}$  の有機EL素子OELを、電流増幅率  $\xi$  のばらつきや駆動トランジスタのしきい値電圧  $V_{th}$  の変動の影響を受けるこ

50

となく、所望の輝度階調で発光動作することができ、良好かつ均一な発光状態を実現することができる。

【0117】

次いで、上述した一連のオートゼロ法において、有機EL素子OELのカソード（共通電極Ec）に印加されるカソード電圧ELVSSについて説明する。

具体的には、上述した一連のオートゼロ法において、各画素PIX（画素駆動回路DC）のトランジスタTr13のしきい値電圧Vth及び電流増幅率を算出するために検出されるデータライン電圧Vd（検出電圧Vmeas(t)）への、カソード電圧ELVSSの影響について具体的に検証する。

【0118】

図10は、本実施形態に係わる特性パラメータ取得動作（オートゼロ法）における有機EL素子のカソードからのリーク現象を説明するための図である。

上述したオートゼロ法を用いた特性パラメータ取得動作においては、データラインLdに検出用電圧Vdacを印加する際に、有機EL素子OELのカソード（共通電極Ec）に、有機EL素子OELが発光動作する程度の順バイアス電圧、及び、後述する補正動作に影響を及ぼすほどの電流リークを伴う逆バイアス電圧の、いずれにも該当しない電圧値（又は、電圧範囲）のカソード電圧ELVSSが印加されることを説明した。

【0119】

ここでは、まず、図10に示すように、カソード電圧ELVSSとして、図7に示した画像データの書込時と同様に、有機EL素子OELが発光動作しない電圧値であり、かつ、電源電圧DVSSと同一の電圧値である接地電位GNDを共通電極Ecに印加して、有機EL素子OELに逆バイアス電圧を印加した場合の画素駆動回路DCの挙動について説明する。

【0120】

この場合、図10に示すように、電源ラインLaに印加された電源電圧DVSS（接地電位GND）と、データラインLdに印加された検出用電圧Vdacとの間の電位差に応じて、トランジスタTr13にドレイン電流Idが流れるとともに、有機EL素子OELのカソード（共通電極Ec）に印加されたカソード電圧ELVSS（接地電位GND）と、データラインLdに印加された検出用電圧Vdacとの間の電位差に応じて、有機EL素子OELに逆バイアス電圧の印加に伴うリーク電流Ikが流れる。

【0121】

このとき、各有機EL素子OELにおける逆バイアス電圧の印加時の電流特性の影響（具体的には、逆バイアス電圧の印加に伴うリーク電流Ikの電流値）が微小で、かつ、均一である場合には、検出されたデータライン電圧Vd（検出電圧Vmeas(t)）は、実質的に各画素PIXのトランジスタTr13のしきい値電圧Vthや電流増幅率に密接に対応（関連）した電圧値を示す。

【0122】

しかしながら、有機EL素子OELは、素子構造や製造プロセス、駆動履歴（発光履歴）等に起因して素子特性の変化やバラツキが生じることは避けられない。そのため、各有機EL素子OELにおける逆バイアス電圧の印加時の電流特性にバラツキが生じ、逆バイアス電圧の印加に伴うリーク電流Ikの電流値が比較的大きい有機EL素子OELが存在すると、逆バイアス電圧の印加に伴うリーク電流による電圧成分が検出電圧Vmeas(t)に含まれ、かつ、その電圧成分が不均一であることにより、検出電圧Vmeas(t)とトランジスタTr13のしきい値電圧Vth及び各画素PIXの電流増幅率との関連性が大きく損なわれることになる。すなわち、検出電圧Vmeas(t)からは、有機EL素子OELにおけるリーク電流Ikによる電圧成分と、トランジスタTr13に流れるドレイン電流Idによる電圧成分とを、区別（判別）することができない。

【0123】

このような状態で取得した各画素PIXの特性パラメータに基づいて、後述するような画像データの補正動作を行うと、有機EL素子OELに逆バイアス電圧の印加に伴うリー

10

20

30

40

50

ク電流  $I_{lk}$ がある場合、検出電圧  $V_{meas}(t)$ にこのリーク電流の成分が含まれてしまうため、見かけ上、トランジスタ  $T_{r13}$ の電流駆動能力（すなわち、電流増幅率）が大きく判断されることになる。そのため、補正された画像データに基づいて発光動作を行う際に、トランジスタ  $T_{r13}$ により生成される発光駆動電流  $I_{em}$ の電流値が、本来のトランジスタ  $T_{r13}$ の特性に基づく電流値よりも小さく設定されることになる。これにより、リーク電流  $I_{lk}$ が生じた画素  $P_{IX}$ 、又は、リーク電流  $I_{lk}$ の電流値が大きい画素  $P_{IX}$ は、補正動作により発光輝度が低下することになるので、輝度ムラが強調されることになり、表示画質の劣化を招く可能性がある。

#### 【0124】

これに対し、本実施形態は、各画素  $P_{IX}$ の上記特性パラメータの取得において、上述したような、有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流  $I_{lk}$ の影響を排除することができるようにしたものである。

10

#### 【0125】

##### <第1の手法>

まず、上記補正データ（第2の特性パラメータ）を取得する特性パラメータ取得動作に適用される、有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流の影響を排除するための第1の手法について、図面を参照して具体的に説明する。この第1の手法においては、まず、補正データを取得するための特性パラメータ取得動作に先立って、オートゼロ法を用いて、有機EL素子OELに印加するカソード電圧  $E_{LVSS}$ の電圧値を設定するための処理を実行する（カソード電圧取得動作）。これにより各画素  $P_{IX}$ の電流増幅率のばらつきを補正するための補正データを取得するための特性パラメータ取得動作時に適用するカソード電圧  $E_{LVSS}$ の電圧値を取得する。その後、カソード電圧  $E_{LVSS}$ をカソード電圧取得動作により取得した電圧値に設定した状態で、上述した一連のオートゼロ法を用いた特性パラメータ取得動作を実行する。これにより、有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流の影響を排除して、各画素  $P_{IX}$ のトランジスタ  $T_{r13}$ 本来の電流増幅率のばらつきを補正するための補正データを取得することができる。

20

#### 【0126】

このカソード電圧取得動作及び特性パラメータ取得動作からなる一連の処理動作を含む第1の手法は、主に、例えば表示装置の工場出荷時等の素子特性（発光特性、駆動特性、電流特性等を含む）の経時劣化が生じていない初期状態に実行される。

30

#### 【0127】

図11は、本実施形態に係る特性パラメータ取得動作（補正データの取得動作）に適用される第1の手法における処理動作を説明するためのフローチャートである。図12は、図11に示した第1の手法における処理動作を説明するための、カソード電圧  $E_{LVSS}$ を変えたときのデータライン電圧の変化（過渡曲線）の一例を示す図である。

#### 【0128】

第1の手法における処理動作は、図11に示すように、まず、ステップ  $S101$ において、カソード電圧取得動作のための特定の緩和時間  $t_c$ で、上述したオートゼロ法を用いてデータライン電圧  $V_d$ の検出動作を実行する。すなわち、選択状態に設定された画素  $P_{IX}$ に接続されたデータライン  $L_d$ に所定の検出用電圧  $V_{dac}$ を印加する。このとき、当該画素  $P_{IX}$ の有機EL素子OELのカソードには、カソード電圧  $E_{LVSS}$ の初期値として、例えば電源電圧  $D_{VSS}$ と同一の電圧である接地電位  $GND$ が印加される。そして、当該データライン  $L_d$ をハイインピーダンス（ $HZ$ ）状態にして、緩和時間  $t_c$ だけデータライン  $L_d$ の電位を自然緩和させた後、データライン電圧  $V_d$ （検出電圧  $V_{meas}(t_c)$ ）に応じた、デジタルデータからなる検出データ  $n_{meas}(t_c)$ を取得する。このような検出データ  $n_{meas}(t_c)$ の取得動作を、表示パネル11の全ての画素  $P_{IX}$ について実行する。ここで、第1の処理動作に適用される緩和時間  $t_c$ は、上記（11）、（12）式に基づいて、次の（22）式に示すような関係を有する値に設定される。

40

#### 【0129】

50

【数 1 3】

$$t_c \gg (\beta / C) (V_0 - V_{dac} - V_{th}) \quad \cdot \cdot \cdot \quad (22)$$

【0130】

次いで、ステップ S 1 0 2 において、全画素 P I X について取得された検出データ  $n_{meas}(t_c)$  の度数分布から、その平均値（又はピーク値）、又は、最大値、あるいは平均値と最大値の間の特定検出データ  $n_{meas\_m}(t_c)$  を抽出する。ここで、検出データ  $n_{meas}(t_c)$  の度数分布は、全画素 P I X のうち、極一部の画素 P I X のみが、逆バイアス電圧の印加に伴うリーク電流の影響を大きく受けるが、その他のほとんどの画素 P I X ではその影響が比較的小さいので、極めて狭い検出データの範囲（すなわち電圧範囲）に度数が集中する。このため、特定検出データ  $n_{meas\_m}(t_c)$  は、逆バイアス電圧の印加に伴うリーク電流の影響を殆ど受けていない値となる。

10

【0131】

次いで、ステップ S 1 0 3 において、上記ステップ S 1 0 2 により抽出された特定検出データ  $n_{meas\_m}(t_c)$  を図 6 に示したカソード電圧制御回路 1 5 0 に入力することにより、D / A コンバータ 1 5 1 により、当該デジタル値からなる特定検出データ  $n_{meas\_m}(t_c)$  がアナログ信号電圧に変換され、さらに、フォロワアンプ 1 5 2 により、所定の電圧レベルに増幅されて共通電極 E c に印加される。これにより、カソード電圧 E L V S S の電圧が上記の特定検出データ  $n_{meas\_m}(t_c)$  に対応する電圧値を有する、負極性の電圧レベルに設定される。すなわち、カソード電圧 E L V S S の電圧は、上記の検出電圧  $V_{meas}(t_c)$  と同じ極性を有し、電源ライン L a と共通電極 E c の間の電位差の絶対値が、電源ライン L a とデータライン L d のデータドライバ 1 4 0 側の一端との間の電位差の絶対値の平均値、又は、最大値、あるいは平均値と最大値の間となる値に設定されている。

20

【0132】

次いで、ステップ S 1 0 4 において、上述したオートゼロ法を用いた特性パラメータ取得動作に基づいて、各画素 P I X の特性パラメータ（少なくとも、電流増幅率 のばらつきを補正するための補正データ）を取得する。すなわち、選択状態に設定された画素 P I X に接続されたデータライン L d に所定の検出用電圧  $V_{dac}$  を印加する。このとき、当該画素 P I X の有機 E L 素子 O E L のカソードには、上述したステップ S 1 0 2 により抽出された特定検出データ  $n_{meas\_m}(t_c)$  に対応する電圧が印加される。これにより、データライン電圧  $V_d$  を検出する際に、各画素 P I X の有機 E L 素子 O E L には、殆ど逆バイアス電圧が印加されないことになる。その後、当該データライン L d をハイインピーダンス（H Z）状態にして、所定の緩和時間  $t_3$  でデータライン電圧  $V_d$ （検出電圧  $V_{meas}(t_3)$ ）を検出して、検出データ  $n_{meas}(t_3)$  を取得する動作を実行する。このようにして取得された検出データ  $n_{meas}(t_3)$  を用いて、上記（11）～（21）式に基づいて、各画素 P I X の特性パラメータ（補正データ）が算出される。

30

40

【0133】

ここで、図 1 1 に示したような第 1 の手法における処理動作を実行した場合において、カソード電圧 E L V S S を変えたときのデータライン電圧  $V_d$  の変化について、図 1 2 を参照して説明する。図 1 2 は、特性パラメータ取得動作において、検出用電圧  $V_{dac}$  として例えば - 8 . 3 V をデータライン L d に印加した後、ハイインピーダンス状態にした場合のデータライン電圧  $V_d$  の変化を示す過渡曲線である。ここで、図 1 2 に示すデータライン電圧測定期間は上記の緩和時間  $t_c$  に対応するものである。

【0134】

図 1 2 において点線で示した曲線 S P A 0 は、画素 P I X の有機 E L 素子 O E L に逆バイアス電圧の印加に伴うリーク電流がない状態のデータライン電圧  $V_d$  の変化（理想値）

50

を示す。すなわち、曲線 S P A 0 は、図 9 に示した過渡曲線に対応する。この場合のデータライン電圧  $V_d$  は、図 12 に示すように、時間の経過とともに検出用電圧  $V_{dac}$  から徐々に上昇して、概ね 2.0 msec が経過した時点で、トランジスタ  $T_{r13}$  のドレイン側の電圧（電源ライン  $L_a$  の電源電圧  $DVSS (= V_0 = GND)$ ）からトランジスタ  $T_{r13}$  のしきい値電圧  $V_{th}$  分を差し引いた電圧（ $V_0 - V_{th}$ ；例えば概ね - 2.2 V）に収束する（自然緩和）。ここで、このような自然緩和により、データライン電圧  $V_d$  が収束する電圧値は、トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th}$  にほぼ等しい。

#### 【0135】

一方、図 12 において細線で示した曲線 S P A 1 は、有機 E L 素子 O E L に逆バイアス電圧の印加に伴うリーク電流があるときに、有機 E L 素子 O E L のカソードに接地電位  $GND (= 0 V)$  からなるカソード電圧  $E L V S S$  を印加した場合のデータライン電圧  $V_d$  の変化を示す。すなわち、曲線 S P A 1 は、有機 E L 素子 O E L に概ね - 8.3 V の逆バイアス電圧が印加された場合の過渡曲線を示している。この場合のデータライン電圧  $V_d$  は、図 12 に示すように、時間の経過とともに検出用電圧  $V_{dac}$  から徐々に上昇し、曲線 S P A 0 における収束電圧（しきい値電圧  $V_{th}$ ）よりも高い特定の電圧に収束する傾向を示す。具体的には、トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th}$  に関わるドレイン電流  $I_d$  に加え、有機 E L 素子 O E L に印加される逆バイアス電圧に伴うリーク電流  $I_{lk}$  がデータライン  $L_d$  に流れるため、データライン電圧  $V_d$  は、曲線 S P A 0 における収束電圧よりもリーク電流  $I_{lk}$  に起因する電圧成分だけ高い電圧に収束する。なお、図 12 において、カソード電圧  $E L V S S$  を接地電位  $GND (= 0 V)$  に設定した場合のリーク電流  $I_{lk}$  は  $10 A/m^2$  であった。上記のステップ S 101 において検出されるデータライン電圧  $V_d$  は、上記の逆バイアス電圧の印加に伴うリーク電流がないとき（曲線 S P A 0）のデータライン電圧  $V_d$  と、逆バイアス電圧の印加に伴うリーク電流があるとき（曲線 S P A 1）のデータライン電圧  $V_d$  とを含むものとなる。そして、逆バイアス電圧の印加に伴うリーク電流があるときのデータライン電圧  $V_d$  の電圧値の絶対値は、リーク電流がないときのデータライン電圧  $V_d$  の電圧値の絶対値より小さくなる。

#### 【0136】

一方、図 12 において太線で示した曲線 S P A 2 は、第 1 の手法に対応したものである。すなわち、有機 E L 素子 O E L に逆バイアス電圧の印加に伴うリーク電流があるときに、有機 E L 素子 O E L のカソードに - 2 V のカソード電圧  $E L V S S$  を印加した場合のデータライン電圧  $V_d$  の変化を示す。ここで、カソード電圧  $E L V S S$  に設定される - 2 V は、上記ステップ S 102 で抽出された特定検出データ  $n_{meas\_m}(t_c)$  に対応する電圧値である。すなわち、曲線 S P A 2 は、有機 E L 素子 O E L に概ね - 6.3 V の逆バイアス電圧が印加された場合の過渡曲線を示している。この場合のデータライン電圧  $V_d$  は、図 12 に示すように、時間の経過とともに検出用電圧  $V_{dac}$  から急峻に上昇し、曲線 S P A 0 における収束電圧（しきい値電圧  $V_{th}$ ）と略同等の電圧に収束する傾向を示す。すなわち、カソード電圧  $E L V S S$  を、特定検出データ  $n_{meas\_m}(t_c)$  に対応する値を有する - 2 V に設定することにより、データライン電圧  $V_d$  を検出する際に、各画素 P I X の有機 E L 素子 O E L に殆ど逆バイアス電圧が印加されなくなるため、データライン電圧  $V_d$  へのリーク電流  $I_{lk}$  の影響を排除することができるのである。

#### 【0137】

図 13 は、本実施形態に係る特性パラメータ取得動作（補正データの取得動作）を含む第 1 の手法における処理動作の概略を示すフローチャートである。図 14 は、図 13 に示した第 1 の手法における処理動作でのデータライン電圧の変化（過渡曲線）の一例を示す図である。ここで、上述した説明と同等の処理動作や電圧変化については、その説明を簡略化する。

#### 【0138】

第 1 の手法における処理動作は、図 13 に示すように、まず、ステップ S 201 において、電流増幅率のばらつきを補正するための補正データを取得するための、通常の特

10

20

30

40

50

ゼロ法を用いてデータライン電圧  $V_d$  の検出動作を実行する。すなわち、選択状態に設定された画素  $P I X$  に接続されたデータライン  $L_d$  に所定の検出用電圧  $V_{dac}$  を印加する。このとき、当該画素  $P I X$  の有機  $E L$  素子  $O E L$  のカソードには、カソード電圧  $E L V S S$  として、例えば電源電圧  $D V S S$  と同一の電圧である接地電位  $G N D$  を、初期電圧として印加する。なお、この電圧  $E L V S S$  の初期電圧は、電源電圧  $D V S S$  と同電位の電圧に限るものではなく、電圧  $E L V S S$  が電源電圧  $D V S S$  より低い電位を有し、電源電圧  $D V S S$  と電圧  $E L V S S$  との電位差が、有機  $E L$  素子  $O E L$  が発光を開始する発光閾値電圧より小さい値となる電圧値に設定されているものであってもよい。そして、当該データライン  $L_d$  をハイインピーダンス ( $H Z$ ) 状態にして、緩和時間  $t_d$  だけデータライン  $L_d$  の電位を自然緩和させた後、データライン電圧  $V_d$  (検出電圧  $V_{meas}(t_d)$ ) に応じた、デジタルデータからなる検出データ  $n_{meas}(t_d)$  を取得する。このような検出データ  $n_{meas}(t_d)$  の取得動作を、表示パネル 11 の全ての画素  $P I X$  について実行する。

10

## 【0139】

次いで、ステップ  $S 2 0 2$  において、全画素  $P I X$  について取得された検出データ  $n_{meas}(t_d)$  の度数分布から、その平均値 (ピーク値)、又は、最大値、あるいは平均値と最大値の間の特定検出データ  $n_{meas\_m}(t_d)$  を抽出する。ここで、検出データ  $n_{meas}(t_d)$  の度数分布 (検出電圧  $V_{meas}(t)$  のデジタル値に対する頻度; ヒストグラム) は、極一部の画素  $P I X$  は、素子特性のばらつきにより逆バイアス電圧の印加に伴うリーク電流の影響を大きく受け、上記分布が集中するデジタル値の範囲よりも低い電圧領域に分布する傾向を示すが、ほとんどの画素  $P I X$  が極めて狭いデジタル値の範囲 (すなわち電圧範囲) に集中する傾向を示すため、特定検出データ  $n_{meas\_m}(t_d)$  は逆バイアス電圧の印加に伴うリーク電流の影響を殆ど受けていない値となる。

20

## 【0140】

次いで、ステップ  $S 2 0 3$  において、上記ステップ  $S 2 0 2$  により抽出された特定検出データ  $n_{meas\_m}(t_d)$  に対応する電圧値をカソード電圧  $E L V S S$  に設定する。

次いで、ステップ  $S 2 0 4$  において、上述したオートゼロ法を用いた特性パラメータ取得動作に基づいて、緩和時間を上述の緩和時間  $t_3$  に設定して、各画素  $P I X$  の電流増幅率のばらつきを補正するための補正データを取得する特性パラメータ取得動作を実行する。すなわち、選択状態に設定された画素  $P I X$  に接続されたデータライン  $L_d$  に所定の検出用電圧  $V_{dac}$  を印加する。このとき、当該画素  $P I X$  の有機  $E L$  素子  $O E L$  のカソードには、上述したステップ  $S 2 0 2$  により抽出された特定検出データ  $n_{meas\_m}(t_d)$  に対応する電圧が印加される。その後、当該データライン  $L_d$  をハイインピーダンス ( $H Z$ ) 状態にして、所定の緩和時間  $t_3$  でデータライン電圧  $V_d$  (検出電圧  $V_{meas}(t_3)$ ) を検出して、検出データ  $n_{meas}(t_3)$  を取得する動作を実行する。このようにして取得された検出データ  $n_{meas}(t_3)$  を用いて、上記 (11) ~ (21) 式に基づいて、各画素  $P I X$  の特性パラメータ (補正データ) が算出される。このような補正データの取得処理は、図 5 に示したコントローラ 160 の補正データ取得機能回路 166 において実行される。

30

## 【0141】

ここで、図 13 に示したような第 1 の手法における処理動作を実行した場合の、データライン電圧  $V_d$  の変化について、図 14 を参照して説明する。図 14 は、特性パラメータ取得動作において、検出用電圧  $V_{dac}$  として例えば  $-4.7 V$  をデータライン  $L_d$  に印加した後、ハイインピーダンス状態にした場合のデータライン電圧  $V_d$  の変化を示す過渡曲線である。ここで、図 14 に示すデータライン電圧測定期間は上記の緩和時間  $t_3$  に対応するものである。

40

## 【0142】

図 14 において点線で示した曲線  $S P B 0$  は、図 12 に示した曲線  $S P A 0$  と同様に、画素  $P I X$  の有機  $E L$  素子  $O E L$  に逆バイアス電圧の印加に伴うリーク電流がない状態のデータライン電圧  $V_d$  の変化 (理想値) を示す。この場合のデータライン電圧  $V_d$  は、図 14 に示すように、時間の経過とともに検出用電圧  $V_{dac}$  から徐々に上昇して、概ね  $0$  .

50

3.3 msecが経過した時点で、経時変化したトランジスタTr13のしきい値電圧 $V_{th}$ にほぼ等しい電圧（例えば - 3.1 V）に収束する（自然緩和）。

【0143】

一方、図14において太線で示した曲線SPB2は、第1の処理動作に対応したものである。すなわち、有機EL素子OELに逆バイアス電圧の印加に伴うリーク電流があるときに、有機EL素子OELのカソードに - 3 Vのカソード電圧 $E_{LVSS}$ を印加した場合のデータライン電圧 $V_d$ の変化を示す。ここで、カソード電圧 $E_{LVSS}$ に設定される - 3 Vは、上記ステップS202により抽出された特定検出データ $n_{meas\_m}(t_d)$ に対応する電圧値である。すなわち、曲線SPB2は、有機EL素子OELに概ね - 1.7 Vの逆バイアス電圧が印加された場合の過渡曲線を示している。なお、図14において、有機EL素子OELのリーク電流 $I_{lk}$ は、カソード電圧 $E_{LVSS}$ を接地電位 $GND (= 0 V)$ に設定した場合に $10 A/m^2$ であった。この場合のデータライン電圧 $V_d$ は、図14に示すように、時間の経過とともに検出用電圧 $V_{dac}$ から急峻に上昇し、曲線SPB0における収束電圧（しきい値電圧 $V_{th}$ ）と略同等の電圧に収束する傾向を示す。すなわち、カソード電圧 $E_{LVSS}$ を、上述した特定検出データ $n_{meas\_m}(t_d)$ に対応する電圧値である - 3 Vに設定することにより、有機EL素子OELに逆バイアス電圧の印加に伴うリーク電流があっても、その影響を排除している。

【0144】

図14において細線で示した曲線SPB1は、比較のために示したものであり、図12に示した曲線SPA1と同様に、有機EL素子OELのカソードに接地電位 $GND (= 0 V)$ からなるカソード電圧 $E_{LVSS}$ を印加した場合のデータライン電圧 $V_d$ の変化を示している。すなわち、曲線SPB1は、有機EL素子OELに概ね - 4.7 Vの逆バイアス電圧が印加された場合の過渡曲線を示している。この場合のデータライン電圧 $V_d$ は、図14に示すように、時間の経過とともに検出用電圧 $V_{dac}$ から急峻に上昇し、逆バイアス電圧の印加に伴うリーク電流の影響により、曲線SPB0における収束電圧（しきい値電圧 $V_{th}$ ）よりも高い特定の電圧に収束する傾向を示す。本実施形態においては、このような有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流の影響を排除することができる。

【0145】

すなわち、上述したように、図12、図14は、オートゼロ法を用いてデータライン電圧 $V_d$ を検出する際の、緩和時間に対するカソード電位依存性を表している。そして、このカソード電位依存性から、有機EL素子OELにおける逆バイアス電圧の印加に伴うリーク電流 $I_{lk}$ が大きいほど、データライン電圧 $V_d$ はカソード電圧 $E_{LVSS}$ に向かって漸近する傾向を示す。また、この場合、リーク電流 $I_{lk}$ が大きいほど、データライン電圧 $V_d$ は早く収束する傾向を示す。

【0146】

したがって、画像データの補正動作時（特に、電流増幅率のばらつき補正時）に、各画素PIXの有機EL素子OELに印加するカソード電圧 $E_{LVSS}$ を、絶対値がトランジスタTr13のしきい値電圧 $V_{th}$ の平均値、又は、最大値、あるいは平均値と最大値の間の値を有する、負極性の電圧レベルに設定することにより、データライン電圧 $V_d$ を取得する際に、各画素PIXの有機EL素子OELには、殆ど逆バイアス電圧が印加されなくなる。これにより、リーク電流の影響を排除して、適切な画像データの補正を実現することができる。

【0147】

具体的には、ステップS204の特性パラメータ取得動作において、ステップS202において抽出された特定検出データ $n_{meas\_m}(t_d)$ に対応する電圧値をカソード電圧 $E_{LVSS}$ に設定した場合、全画素PIXについて取得された検出データ $n_{meas}(t_3)$ の度数分布は、トランジスタTr13のしきい値電圧 $V_{th}$ に関連する、極めて狭いデジタル値の範囲に略全てのデータが集中する傾向を示す。これは、逆バイアス電圧の印加に伴うリーク電流に起因する分布が排除されることを意味する。

10

20

30

40

50

## 【 0 1 4 8 】

そこで、本実施形態に係る補正データを取得するための特性パラメータ取得動作を含む第1の手法においては、カソード電圧 $E_{LVSS}$ の電圧を、当該特性パラメータ取得動作に先立って（事前に）実行されるカソード電圧取得動作により抽出された特定検出データ $n_{meas\_m}(t_d)$ に対応する電圧値に設定する。これにより、各画素PIXの有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流の影響を排除して、画像データを適切に補正することができる。こうして取得した全画素PIXの検出データ $n_{meas}(t)$ の度数分布は、有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流の影響を受けた異常値が排除されたものとなるが、これは、カソード電圧取得動作において取得された検出データ $n_{meas}(t_d)$ から有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流の影響を受けた異常値を除いたものと概ね同じとなる。しかし、このようにした場合でも、例えば（駆動制御素子）Tr13の特性が異常である場合には、それに対応する異常値を有する検出データ $n_{meas}(t_d)$ は除かれることはない。したがって、本実施形態によれば、有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流の影響を受けずに、（駆動制御素子）Tr13の特性が正常であるか否かを正確に判別することもできる。

10

## 【 0 1 4 9 】

< 第2の手法 >

次に、上記トランジスタTr13のしきい値電圧 $V_{th}$ の変動を補正するための補正データ $n_{th}$ （第1の特性パラメータ）を取得する特性パラメータ取得動作に適用される、有機EL素子OELの逆バイアス電圧の印加に伴うリーク電流の影響を排除する第2の手法について、図面を参照して具体的に説明する。この第2の手法を適用した特性パラメータ取得動作は、表示装置の工場出荷時等の素子特性の経時劣化が生じていない初期状態、及び、表示装置の動作時間が経過して、駆動制御素子のしきい値電圧 $V_{th}$ が経時劣化によって変動したような、経時状態において実行される。

20

## 【 0 1 5 0 】

補正データ $n_{th}$ を取得するための、この第2の手法を適用した特性パラメータ取得動作においては、上述したオートゼロ法においてデータライン電圧 $V_d$ の検出動作を実行する際に、各画素PIXの有機EL素子OELのカソードに、データライン $L_d$ に印加される検出用電圧 $V_{dac}$ と同等の電圧値のカソード電圧 $E_{LVSS}$ が印加される。

## 【 0 1 5 1 】

また、図9を用いて説明したオートゼロ法の基本的な考え方においては、トランジスタTr13のしきい値電圧 $V_{th}$ の変動を補正するための補正データ $n_{th}$ を取得する手法として、データライン $L_d$ に検出用電圧 $V_{dac}$ を印加し、自然緩和によりデータライン電圧 $V_d$ が収束するまでの緩和時間 $t$ （ $= t_0$ 、 $t_1$ 、 $t_2$ ）が経過した後に、検出電圧 $V_{meas}(t)$ を測定する。そのため、上述したオートゼロ法においては、データライン電圧 $V_d$ の自然緩和のためにある程度の時間を必要としていた。これに対し、この第2の手法を適用した特性パラメータ取得動作は、上記補正データ $n_{th}$ を取得する際に、自然緩和によりデータライン電圧 $V_d$ が収束するより前のデータライン電圧 $V_d$ を取得し、取得したデータライン電圧 $V_d$ に基づいて補正データ $n_{th}$ を取得することにより、リーク電流の影響を排除することに加え、検出電圧 $V_{meas}(t)$ の測定動作に係る所要時間を短縮することができるものである。

30

40

## 【 0 1 5 2 】

図15は、特性パラメータ取得動作（補正データ $n_{th}$ の取得動作）に適用される第2の手法を説明するための、カソード電圧 $E_{LVSS}$ を変えたときのデータライン電圧の変化の一例を示す図（過渡曲線）である。図15(a)は、緩和時間 $t$ が0.00~1.00 msecの範囲におけるデータライン電圧の変化を示し、図15(b)は、図15(a)に示した過渡曲線のうち、緩和時間 $t$ が0.00~0.05 msecの範囲におけるデータライン電圧の変化を示す。ここでは、特性パラメータ取得動作において、検出用電圧 $V_{dac}$ として例えば-5.5 Vをデータライン $L_d$ に印加した場合のデータライン電圧 $V_d$ の変化を示す。

50

## 【 0 1 5 3 】

図 1 5 ( a ) において点線で示した曲線 S P C 0 は、図 1 2 に示した曲線 S P A 0 及び図 1 4 に示した曲線 S P B 0 と同様に、画素 P I X の有機 E L 素子 O E L に逆バイアス電圧の印加に伴うリーク電流がない状態のデータライン電圧  $V_d$  の変化 (理想値) を示す。

## 【 0 1 5 4 】

一方、図 1 5 ( a ) において細線で示した曲線 S P C 1 は、図 1 2 に示した曲線 S P A 1 及び図 1 4 に示した曲線 S P B 1 と同様に、有機 E L 素子 O E L に逆バイアス電圧の印加に伴うリーク電流があるときに、有機 E L 素子 O E L のカソードに接地電位  $GND (= 0 V)$  からなるカソード電圧  $E L V S S$  を印加した場合のデータライン電圧  $V_d$  の変化を示す。すなわち、曲線 S P C 1 は、有機 E L 素子 O E L に概ね  $- 5 . 5 V$  の逆バイアス電圧が印加された場合の過渡曲線を示している。この場合のデータライン電圧  $V_d$  は、図 1 5 ( a ) に示すように、時間の経過とともに検出用電圧  $V_{dac}$  から急峻に上昇し、常に曲線 S P C 0 における過渡曲線よりも高い電圧で変化する傾向を示した。

## 【 0 1 5 5 】

これに対して、図 1 5 ( a ) において太線で示した曲線 S P C 2 は、第 2 の手法に対応したものである。すなわち、有機 E L 素子 O E L に逆バイアス電圧の印加に伴うリーク電流があるときに、有機 E L 素子 O E L のカソードに、データライン  $L_d$  に印加される検出用電圧  $V_{dac}$  と同電位のカソード電圧  $E L V S S$  を印加した場合のデータライン電圧  $V_d$  の変化を示す。すなわち、曲線 S P C 2 は、データライン  $L_d$  に検出用電圧  $V_{dac}$  を印加した直後の時点において有機 E L 素子 O E L の両端の電位差 (バイアス) がゼロに設定されて、リーク電流が流れない状態にしたときの過渡曲線を示している。この場合のデータライン電圧  $V_d$  は、図 1 5 ( a ) に示すように、時間の経過とともに検出用電圧  $V_{dac}$  から急峻に上昇し、常に曲線 S P C 0 における過渡曲線よりも低い電圧で変化するとともに、曲線 S P C 0 よりも短い緩和時間で特定の電圧に収束する傾向を示した。このとき、カソード電圧  $E L V S S$  が検出用電圧  $V_{dac}$  と同電位に設定されているため、データライン  $L_d$  に検出用電圧  $V_{dac}$  を印加した直後の時点においては、上記のように有機 E L 素子 O E L の両端の電位差はゼロとなっている。しかし、緩和時間の経過とともにデータライン  $L_d$  の電位は上昇していき、接点 N 1 2 の電位も上昇していく。そのため、緩和時間の経過とともに有機 E L 素子 O E L のアノードの電位がカソードの電位より高くなっていく。しかしながら、後述するように、この第 2 の処理動作においては、データライン  $L_d$  の電圧を検出する緩和時間を、 $1 \sim 50 \mu sec$  程度の短い時間に設定している。このため、この緩和時間が経過した時点での有機 E L 素子 O E L の両端間の順バイアス電圧は  $0 . 1 V$  程度である。そして、この状態では有機 E L 素子 O E L には順方向電流は殆ど流れないため、データライン  $L_d$  電圧の検出に対して、有機 E L 素子 O E L の両端間に順バイアス電圧が印加されることの影響は無視できるものである。

## 【 0 1 5 6 】

次いで、図 1 5 ( a ) に示した過渡曲線において、データライン  $L_d$  に所定の検出用電圧  $V_{dac}$  を印加した後、ハイインピーダンス (H Z) 状態に設定した直後のデータライン電圧  $V_d$  の変化について、図 1 5 ( b ) を用いて詳しく検証する。図 1 5 ( b ) に示すように、例えば  $0 . 0 0 \sim$  概ね  $0 . 0 2 msec ( 20 \mu sec)$  の緩和時間におけるデータライン電圧  $V_d$  の変化 (曲線 S P C 2) は、リーク電流が生じていない状態における理想値を示す曲線 S P C 0 に略一致した挙動を示すことがわかる。さらに、曲線 S P C 2 と S P C 0 について、緩和時間  $0 . 0 5 msec ( 50 \mu sec)$  後のデータライン電圧  $V_d$  の電圧値を比較した場合であっても、その電圧差は  $0 . 0 1 V ( 10 mV)$  程度の差異しか生じず、その挙動は極めて近似していることがわかる。ここで、D A C / A D C 回路 1 4 4 の A D C 4 3 ( j ) が例えば 8 ビット構成である場合、 $10 V$  振幅での 1 ビット幅は  $10 V / 256$  であって、 $39 mV$  である。上記の電圧差がこの 1 ビット幅の電圧より小さければデジタル変換後のデジタルデータは同じであることから、上記の緩和時間としては、上記の電圧差がこの 1 ビット幅の電圧より小さくなる時間とすればよい。このことから、緩和時間を  $0 . 0 5 msec ( 50 \mu sec)$  程度までの時間に設定した場合には、カソード電圧  $E L$

10

20

30

40

50

VSSを、データラインLdに印加される検出用電圧Vdacと同一の電圧値に設定することにより、データライン電圧Vdへのリーク電流Ikの影響を排除することができる。

【0157】

具体的には、有機EL素子OELのカソードに、データラインLdに印加される検出用電圧Vdacと同一の電圧値のカソード電圧ELVSSを印加するとともに、検出用電圧Vdacを印加してハイインピーダンス(HZ)状態に設定した直後のデータライン電圧Vdの挙動(曲線SPC2の初期挙動)は、(23)式のように定義することにより、次の(24)式で表すことができる。ここで、(23)式においては、図10に示した有機EL素子OELのカソードからアノード及びデータラインLd方向に流れるリーク電流Ikを、有機EL素子OELの抵抗Rを用いて表した。また、(24)式においては、曲線SPC2とSPC0のデータライン電圧Vdの挙動が略一致又は近似する範囲の緩和時間tを用いて、便宜的にtxと表記した。

10

【0158】

【数14】

$$\sigma := \frac{1}{2\beta R} \quad \dots \quad (23)$$

20

【0159】

【数15】

$$V(t_x) = V_{dac} + (V_0 - V_{dac} - V_{th})^2 \cdot (1 + \sigma / (V_0 - V_{dac} - V_{th})) \cdot \beta / C t_x \quad \dots \quad (24)$$

30

【0160】

(24)式において、項は、リーク電流が10A/m<sup>2</sup>程度ある場合であっても、上述したように緩和時間txが0.05msec(50μsec)程度までの範囲であれば無視することができる程度に小さい。よって、緩和時間tが0.05msec(50μsec)程度までの範囲では、(24)式は、次の(25)式のような直線として表すことができる。ここで、図15(b)に示した太点線で示した特性線SPC3は、(25)式の挙動を示す直線であり、リーク電流が生じていない状態における理想値を示す曲線SPC0に極めて近似している。

【0161】

【数16】

40

$$V(t_x) = V_{dac} + (V_0 - V_{dac} - V_{th})^2 \cdot \beta / C t_x \quad \dots \quad (25)$$

【0162】

上記(25)式において、電圧V<sub>0</sub>及び検出用電圧Vdacは、予め電圧値が設定されており、また、パラメータβ/Cは、初期状態において測定可能な既知の値である。したがって、上記(25)式を用いて、トランジスタTr13のしきい値電圧Vthを求めることにより、仮に当該しきい値電圧Vthが変動を生じた後であっても、有機EL素子OELの

50

リーク電流の影響をほとんど受けることなく、かつ、上述したオートゼロ法の基本手法に比較して極めて短い緩和時間（概ね50 μsec程度）で正確なしきい値電圧 $V_{th}$ を測定することができる。

【0163】

そして、補正データ $n_{th}$ は、次の(26)式のように定義することにより、(20)式及び上記(25)式に基づいて、平方根関数(sqrt関数)を用いた(27)式で表すことができる。これにより、上述したオートゼロ法の基本手法に示した(18)式に替えて、(27)式を用いて補正データ $n_{th}$ を算出することができる。このような補正データ $n_{th}$ の取得処理は、図5に示したコントローラ160の補正データ取得機能回路166及び $V_{th}$ 補正データ生成回路167において実行される。

10

【0164】

【数17】

$$\left. \begin{aligned} \frac{V_0 - V_1}{\Delta V} &:= n_{offset} \\ \Delta V &:= \frac{V_1 - V_{1023}}{1022} \end{aligned} \right\} \dots (26)$$

20

【0165】

【数18】

$$n_{th} = n_{offset} + (n_d - 1) - 1 / \Delta \beta \cdot \text{sqrt} \{ (n_d - n_{meas}) / (\langle \xi \rangle \cdot t_x) \} \dots (27)$$

【0166】

次に、上記の第1及び第2の手法に係わる特性パラメータ取得動作について、図5に示した装置構成に関連付けて説明する。ここで、第1の手法において実行されるカソード電圧取得動作は、特性パラメータ取得動作と略同等の処理手順を有するものであるので、以下の説明においては、特性パラメータ取得動作を中心に具体的に説明する。

30

【0167】

特性パラメータ取得動作においては、各画素PIXの駆動トランジスタであるトランジスタTr13におけるしきい値電圧 $V_{th}$ の変動を補正するための補正データ $n_{th}$ と、各画素PIXにおける電流増幅率のばらつきを補正するための補正データを取得する。

【0168】

図16は、本実施形態に係る表示装置における特性パラメータ取得動作を示すタイミングチャートである。図17は、本実施形態に係る表示装置における検出用電圧印加動作を示す動作概念図であり、図18は、本実施形態に係る表示装置における自然緩和動作を示す動作概念図であり、図19は、本実施形態に係る表示装置における電圧検出動作を示す動作概念図であり、図20は、本実施形態に係る表示装置における検出データ送出動作を示す動作概念図である。ここで、図17～図20においては、データドライバ140の構成として、図示の都合上、シフトレジスタ回路141を省略して示す。また、図21は、本実施形態に係る表示装置における補正データ算出動作を示す機能ブロック図である。

40

【0169】

本実施形態に係る特性パラメータ（補正データ $n_{th}$ 、）取得動作においては、図16に示すように、所定の特性パラメータ取得期間 $T_{cpr}$ 内に、各行の画素PIXごとに、検出用電圧印加期間 $T_{101}$ と、緩和期間 $T_{102}$ と、電圧検出期間 $T_{103}$ と、検出データ送出期間 $T_{104}$ と、が含まれるように設定されている。ここで、緩和期間 $T_{102}$ は、上述した緩

50

和時間  $t$  に対応し、図 16 においては、図示の都合上、緩和時間  $t$  を特定の時間に設定した場合について示した。ここで、緩和時間  $t$  は、上述したように、補正データを取得するために事前に実行されるカソード電圧取得動作においては時間  $t_d$  に設定され、また、補正データを取得するための特性パラメータ取得動作においては時間  $t_3$  に設定され、また、補正データ  $n_{th}$  を取得するための特性パラメータ取得動作においては時間  $t_x$  に設定される。したがって、実際には、例えば緩和期間  $T_{102}$  として所定の緩和時間  $t$  ( $= t_d$  又は  $t_3$  又は  $t_x$ ) を設定した状態で、検出電圧印加動作 (検出用電圧印加期間  $T_{101}$ )、自然緩和動作 (緩和期間  $T_{102}$ )、電圧検出動作 (電圧検出期間  $T_{103}$ ) 及び検出データ送出動作 (検出データ送出期間  $T_{104}$ ) からなる一連の処理動作が、各補正データ  $n_{th}$  の取得動作、及び、カソード電圧の取得動作ごとに個別に実行される。

10

## 【0170】

まず、検出用電圧印加期間  $T_{101}$  においては、図 16、図 17 に示すように、特性パラメータ取得動作の対象となっている画素  $PIX$  (図では 1 行目の画素  $PIX$ ) が選択状態に設定される。すなわち、当該画像  $PIX$  が接続された選択ライン  $L_s$  に対して、選択ドライバ 120 から選択レベル (ハイレベル;  $V_{gh}$ ) の選択信号  $S_{sel}$  が印加されるとともに、電源ライン  $L_a$  に対して、電源ドライバ 130 からローレベル (非発光レベル;  $DVSS =$  接地電位  $GND$ ) の電源電圧  $V_{sa}$  が印加される。このとき、有機  $EL$  素子  $OEL$  のカソードが接続された共通電極  $E_c$  には、補正データを取得するための特性パラメータ取得動作においては、事前に実行されたカソード電圧取得動作により取得された、全画素  $PIX$  に対する検出データ  $n_{meas}(t_d)$  の平均値又は最大値、あるいは平均値と最大値の間の値となる特定検出データ  $n_{meas\_m}(t_d)$  に対応する電圧値のカソード電圧  $ELVSS$  が、カソード電圧制御回路 150 から印加される。また、補正データ  $n_{th}$  を取得するための特性パラメータ取得動作においては、後述する検出用電圧  $V_{dac}$  と同一の電圧値のカソード電圧  $ELVSS$  が、カソード電圧制御回路 150 から共通電極  $E_c$  に印加される。なお、表示装置の初期状態において実行されるカソード電圧取得動作においては、カソード電圧  $ELVSS$  として接地電位  $GND$  が印加される。

20

## 【0171】

この選択状態において、コントローラ 160 から供給される切換制御信号  $S_1$  に基づいて、データドライバ 140 の出力回路 145 に設けられたスイッチ  $SW_1$  がオン動作することにより、データライン  $L_d(j)$  と  $DAC/ADC$  144 の  $DAC42(j)$  が接続される。また、コントローラ 160 から供給される切換制御信号  $S_2$ 、 $S_3$  に基づいて、出力回路 145 に設けられたスイッチ  $SW_2$  がオフ動作するとともに、スイッチ  $SW_4$  の接点  $N_b$  に接続されたスイッチ  $SW_3$  がオフ動作する。また、コントローラ 160 から供給される切換制御信号  $S_4$  に基づいて、データラッチ回路 143 に設けられたスイッチ  $SW_4$  は接点  $N_a$  に接続設定され、切換制御信号  $S_5$  に基づいて、スイッチ  $SW_5$  は接点  $N_a$  に接続設定される。

30

## 【0172】

そして、データドライバ 140 の外部から、所定の電圧値の検出用電圧  $V_{dac}$  を生成するためのデジタルデータ  $n_d$  が供給されて、データレジスタ回路 142 に順次取り込まれ、各列に対応するスイッチ  $SW_5$  を介してデータラッチ 41(j) に保持される。その後、データラッチ 41(j) に保持されたデジタルデータ  $n_d$  はスイッチ  $SW_4$  を介して  $DAC/ADC$  回路 144 の  $DAC42(j)$  に入力されてアナログ変換され、検出用電圧  $V_{dac}$  として各列のデータライン  $L_d(j)$  に印加される。

40

## 【0173】

ここで、検出用電圧  $V_{dac}$  は、上述したように、上記 (12) 式の条件を満たす電圧値に設定される。本実施形態においては、電源ドライバ 130 から印加される電源電圧  $DVSS$  が接地電位  $GND$  に設定されていることから、検出用電圧  $V_{dac}$  は負の電圧値に設定される。なお、検出用電圧  $V_{dac}$  を生成するためデジタルデータ  $n_d$  は、例えばコントローラ 160 等に設けられたメモリに予め記憶されている。

## 【0174】

50

これにより、画素PIXを構成する画素駆動回路DCに設けられたトランジスタTr11及びTr12がオン動作して、ローレベルの電源電圧Vsa(=GND)がトランジスタTr11を介してトランジスタTr13のゲート端子及びキャパシタCsの一端側(接点N11)に印加される。また、データラインLd(j)に印加された上記検出用電圧Vdacが、トランジスタTr12を介してトランジスタTr13のソース端子及びキャパシタCsの他端側(接点N12)に印加される。

【0175】

このように、トランジスタTr13のゲート・ソース端子間(すなわち、キャパシタCsの両端)に、トランジスタTr13のしきい値電圧Vthよりも大きな電位差が印加されることにより、トランジスタTr13がオン動作して、この電位差(ゲート・ソース間電圧Vgs)に応じたドレイン電流Idが流れる。このとき、トランジスタTr13のドレイン端子の電位(接地電位GND)に対してソース端子の電位(検出用電圧Vdac)は低く設定されているので、ドレインIdは電源電圧ラインLaからトランジスタTr13、接点N12、トランジスタTr12及びデータラインLd(j)を介して、データドライバ140方向に流れる。また、これによりトランジスタのTr13のゲート・ソース端子間に接続されたキャパシタCsの両端には当該ドレイン電流Idに基づく電位差に対応する電圧が充電される。

10

【0176】

このとき、カソード電圧取得動作、及び、補正データを取得するための特性パラメータ取得動作においては、有機EL素子OELのアノード(接点N12)には、カソード(共通電極Ec)に印加されるカソード電圧ELVSSよりも低い電圧が印加されているので、有機EL素子OELには電流が流れず発光動作しない。また、補正データnthを取得するための特性パラメータ取得動作においては、有機EL素子OELのアノード(接点N12)には、カソード(共通電極Ec)に印加されるカソード電圧ELVSSと略同等の電圧が印加されているので、有機EL素子OELには電流が流れず発光動作しない。

20

【0177】

次いで、上記検出用電圧印加期間T<sub>101</sub>終了後の緩和期間T<sub>102</sub>においては、図16、図18に示すように、画素PIXを選択状態に保持した状態で、コントローラ160から供給される切換制御信号S1に基づいて、データドライバ140のスイッチSW1をオフ動作させることにより、データラインLd(j)をデータドライバ140から切り離すとともに、DAC42(j)からの検出用電圧Vdacの出力を停止する。また、上述した検出用電圧印加期間T<sub>101</sub>と同様に、スイッチSW2、SW3はオフ動作し、スイッチSW4は接点Nbに接続設定され、スイッチSW5は接点Nbに接続設定される。

30

【0178】

これにより、トランジスタTr11、Tr12はオン状態を保持するため、画素PIX(画素駆動回路DC)は、データラインLd(j)との電氣的な接続状態は保持されるものの、当該データラインLd(j)への電圧の印加が遮断されるので、キャパシタCsの他端側(接点N12)はハイインピーダンス状態に設定される。

【0179】

この緩和期間T<sub>102</sub>においては、上述した検出用電圧印加期間T<sub>101</sub>においてキャパシタCs(トランジスタTr13のゲート・ソース端子間)に充電された電圧によりトランジスタTr13はオン状態を保持することによりドレイン電流Idが流れ続ける。そして、トランジスタTr13のソース端子側(接点N12;キャパシタCsの他端側)の電位がトランジスタTr13のしきい値電圧Vthに近づくように徐々に上昇していく。これにより、図9、図12、図14に示したように、緩和時間tを十分長く設定すると、データラインLd(j)の電位もトランジスタTr13のしきい値電圧Vthに収束するように変化する。ここで、本実施形態においては、上述したように、カソード電圧取得動作、並びに、補正データ及びnthを取得するための特性パラメータ取得動作のいずれにおいても、データライン電圧Vdが収束する以前の、比較的短い時間が経過した時点(タイミングt<sub>c</sub>、t<sub>3</sub>、t<sub>x</sub>)で、後述するようにデータライン電圧Vdを検出するため、緩和期間

40

50

$T_{102}$ は、図9、図12、図14に示した緩和時間（データライン電圧 $V_d$ の収束時点の経過時間）よりも十分短く設定される。

【0180】

なお、この緩和期間 $T_{102}$ においても、有機EL素子OELのアノード（接点 $N12$ ）の電位は、カソード（共通電極 $E_c$ ）に印加されるカソード電圧 $ELVSS$ よりも低い電圧、又は、カソード電圧 $ELVSS$ と略同等の電圧が印加されるので、有機EL素子OELには電流が流れず発光動作しない。

【0181】

次いで、電圧検出期間 $T_{103}$ においては、上記緩和期間 $T_{102}$ において上述した所定の緩和時間 $t$ が経過した時点で、図16、図19に示すように、画素PIXを選択状態に保持した状態で、コントローラ160から供給される切換制御信号 $S2$ に基づいて、データドライバ140のスイッチ $SW2$ をオン動作させる。このとき、スイッチ $SW1$ 、 $SW3$ はオフ動作し、スイッチ $SW4$ は接点 $Nb$ に接続設定され、スイッチ $SW5$ は接点 $Nb$ に接続設定される。

10

【0182】

これにより、データライン $L_d(j)$ とDAC/ADC144のADC43(j)が接続されて、緩和期間 $T_{102}$ において所定の緩和時間 $t$ が経過した時点のデータライン電圧 $V_d$ が、スイッチ $SW2$ 及びバッファ45(j)を介して、ADC43(j)に取り込まれる。ここで、ADC43(j)に取り込まれた、このときのデータライン電圧 $V_d$ は、上記(11)式に示した検出電圧 $V_{meas}(t)$ に相当する。

20

【0183】

そして、ADC43(j)に取り込まれた、アナログ信号電圧からなる検出電圧 $V_{meas}(t)$ は、上記(14)式に基づいて、ADC43(j)においてデジタルデータからなる検出データ $n_{meas}(t)$ に変換されて、スイッチ $SW5$ を介してデータラッチ41(j)に保持される。

【0184】

次いで、検出データ送出期間 $T_{104}$ においては、図16、図20に示すように、画素PIXを非選択状態に設定する。すなわち、選択ライン $L_s$ に対して、選択ドライバ120から非選択レベル（ローレベル； $Vgl$ ）の選択信号 $Ssel$ が印加される。この非選択状態において、コントローラ160から供給される切換制御信号 $S4$ 、 $S5$ に基づいて、データドライバ140のデータラッチ41(j)の入力段に設けられたスイッチ $SW5$ は接点 $Nc$ に接続設定され、データラッチ41(j)の出力段に設けられたスイッチ $SW4$ は接点 $Nb$ に接続設定される。また、切換制御信号 $S3$ に基づいて、スイッチ $SW3$ をオン動作させる。このとき、スイッチ $SW1$ 、 $S2$ は切換制御信号 $S1$ 、 $S2$ に基づいてオフ動作する。

30

【0185】

これにより、相互に隣接する列のデータラッチ41(j)がスイッチ $SW4$ 、 $SW5$ を介して直列に接続され、スイッチ $SW3$ を介して外部メモリ（コントローラ160に設けられたメモリ165）に接続される。そして、コントローラ160から供給されるデータラッチパルス信号 $LP$ に基づいて、各列のデータラッチ41(j+1)（図3参照）に保持された検出データ $n_{meas}(t)$ が順次隣接するデータラッチ41(j)に転送される。これにより、1行分の画素PIXの検出データ $n_{meas}(t)$ がシリアルデータとしてコントローラ160に出力され、図21に示すように、コントローラ160に設けられたメモリ165の所定の記憶領域に各画素PIXに対応して記憶される。ここで、各画素PIXの画素駆動回路DCに設けられたトランジスタ $Tr13$ のしきい値電圧 $V_{th}$ は、各画素PIXにおける駆動履歴（発光履歴）等により変動量が異なり、また、電流増幅率も各画素PIXにばらつきがあるため、メモリ165には、各画素PIXに固有の検出データ $n_{meas}(t)$ が記憶されることになる。

40

【0186】

そして、本実施形態においては、上述したような各行の画素PIXに対する特性パラメ

50

ータ取得動作（カソード電圧取得動作を含む）を繰り返すことにより、表示パネル 110 に配列された全画素 P I X の検出データ  $n_{meas}(t)$  がコントローラ 160 のメモリ 155 に記憶される。

【0187】

なお、上述したカソード電圧取得動作においては、コントローラ 160 内の演算処理回路により、メモリ 165 に記憶された全画素 P I X 分の検出データ  $n_{meas}(t)$  の平均値を算出、又は、最大値を抽出した後、当該平均値又は最大値、あるいは平均値と最大値の間の値となる特定検出データ  $n_{meas\_m}(t)$  をカソード電圧制御回路 150 に送出する。これにより、カソード電圧制御回路 150 が、当該検出データ  $n_{meas}(t)$  に対応した電圧値のカソード電圧  $E_{LVSS}$  を生成し、共通電極  $E_c$  を介して各画素 P I X に印加する。

10

【0188】

次いで、特性パラメータ取得動作においては、メモリ 165 に記憶された各画素 P I X の検出データ  $n_{meas}(t)$  に基づいて、各画素 P I X のトランジスタ（駆動トランジスタ） $Tr13$  のしきい値電圧  $V_{th}$  を補正するための補正データ  $n_{th}$ 、及び、電流増幅率を補正するための補正データの算出動作を実行する。

【0189】

具体的には、図 21 に示すように、まず、コントローラ 160 に設けられた補正データ取得機能回路 166 に、メモリ 165 に記憶された各画素 P I X ごとの検出データ  $n_{meas}(t)$  が読み出される。そして、補正データ取得機能回路 166 において、上記（20）、（21）式並びに（23）～（27）式に基づいて、補正データ、及び、補正データ  $n_{th}$ （具体的には、補正データ  $n_{th}$  を規定する  $V_{th}$  補正パラメータ  $n_{offset}$  及び  $\langle \cdot \rangle \cdot t_0$ ）を算出する。算出された補正データ及び  $V_{th}$  補正パラメータ  $n_{offset}$  及び  $\langle \cdot \rangle \cdot t_0$  は、メモリ 165 の所定の記憶領域に各画素 P I X に対応して記憶される。

20

【0190】

（表示動作）

次に、本実施形態に係る表示装置の表示動作（発光動作）においては、上記補正データ  $n_{th}$ 、を用いて、画像データを補正し、各画素 P I X を所望の輝度階調で発光動作させる。

【0191】

図 22 は、本実施形態に係る表示装置における発光動作を示すタイミングチャートである。図 23 は、本実施形態に係る表示装置における画像データの補正動作を示す機能ブロック図であり、図 24 は、本実施形態に係る表示装置における補正後の画像データの書込動作を示す動作概念図であり、図 25 は、本実施形態に係る表示装置における発光動作を示す動作概念図である。ここで、図 24、図 25 においては、データドライバ 140 の構成として、図示の都合上、シフトレジスタ回路 141 を省略して示す。

30

【0192】

本実施形態に係る表示動作においては、図 22 に示すように、各行の画素 P I X に対応して所望の画像データを生成して書き込む画像データ書込期間  $T_{301}$  と、当該画像データに応じた輝度階調で各画素 P I X を発光動作させる画素発光期間  $T_{302}$  と、を含むように設定されている。

40

【0193】

画像データ書込期間  $T_{301}$  においては、補正画像データの生成動作と、各画素 P I X への補正画像データの書込動作と、が実行される。補正画像データの生成動作は、コントローラ 160 において、デジタルデータからなる所定の画像データ  $n_d$  に対して、上述した特性パラメータ取得動作により取得した補正データ及び  $n_{th}$  を用いて補正を行い、補正処理した画像データ（補正画像データ） $n_{d\_comp}$  をデータドライバ 140 に供給する。

【0194】

具体的には、図 23 に示すように、コントローラ 160 の外部から供給される、RGB 各色の輝度階調値を含む画像データ  $n_d$  に対して、電圧振幅設定機能回路 162 において、参照テーブル 161 を参照することにより、RGB の各色成分に対応する電圧振幅を設

50

定する。次いで、メモリ165に記憶された各画素ごとの補正データが読み出され、乗算機能回路163において、電圧設定された画像データ $n_d$ に対して、読み出した補正データが乗算処理される( $n_d \times$ )。次いで、メモリ165に記憶された補正データ $n_{th}$ を規定するVth補正パラメータ $n_{offset} \cdot t_0$ 、及び、検出データ $n_{meas}(t)$ が読み出される。上記補正データ、Vth補正パラメータ $n_{offset} \cdot t_0$ 及び検出データ $n_{meas}(t_0)$ を用いて、上記(27)式に基づいて、トランジスタTr13のしきい値電圧Vthを補正する補正データ $n_{th}$ が生成される。次いで、加算機能回路164において、上記乗算処理されたデジタルデータ( $n_d \times$ )に対して、Vth補正データ生成回路167により生成された補正データ $n_{th}$ が加算処理される( $(n_d \times) + n_{th}$ )。以上の一連の補正処理を実行することにより、補正画像データ $n_{d\_comp}$ が生成されてデータドライバ140に供給される。

10

## 【0195】

また、各画素PIXへの補正画像データの書込動作は、書込み対象となっている画素PIXを選択状態に設定した状態で、上記補正画像データ $n_{d\_comp}$ に応じた階調電圧Vdataを、データラインLd(j)を介して書き込む。具体的には、図22、図24に示すように、まず、画像PIXが接続された選択ラインLsに対して、選択レベル(ハイレベル; Vgh)の選択信号Sselが印加されるとともに、電源ラインLaに対して、ローレベル(非発光レベル; DVSS = 接地電位GND)の電源電圧Vsaが印加される。また、有機EL素子OELのカソードが接続された共通電極Ecには、例えば電源電圧Vsa(= DVSS)と同一の接地電位GNDが、カソード電圧ELVSSとして印加される。

20

## 【0196】

この選択状態において、スイッチSW1をオン動作させ、スイッチSW4及びSW5を接点Nbに接続設定することにより、コントローラ160から供給される補正画像データ $n_{d\_comp}$ が順次データレジスタ回路142に取り込まれ、各列ごとのデータラッチ41(j)に保持される。保持された補正画像データ $n_{d\_comp}$ は、DAC42(j)によりアナログ変換され、階調電圧(第3の電圧)Vdataとして各列のデータラインLd(j)に印加される。ここで、階調電圧Vdataは、上記(14)式に示した定義に基づいて、次の(28)式のように定義される。

$$Vdata = V1 - V(n_{d\_comp} - 1) \quad \dots (28)$$

## 【0197】

30

これにより、画素PIXを構成する画素駆動回路DCにおいて、トランジスタTr13のゲート端子及びキャパシタCsの一端側(接点N11)にローレベルの電源電圧Vsa(= GND)が印加され、また、トランジスタTr13のソース端子及びキャパシタCsの他端側(接点N12)に上記補正画像データ $n_{d\_comp}$ に対応した階調電圧Vdataが印加される。

## 【0198】

したがって、トランジスタTr13のゲート・ソース端子間に生じた電位差(ゲート・ソース端子間電圧Vgs)に応じたドレイン電流Idが流れ、キャパシタCsの両端には当該ドレイン電流Idに基づく電位差に対応する電圧(Vdata)が充電される。このとき、有機EL素子OELのアノード(接点N12)には、カソード(共通電極Ec; 接地電位GND)よりも低い電圧(階調電圧Vdata)が印加されているので、有機EL素子OELには電流が流れず発光動作しない。

40

## 【0199】

次いで、画素発光期間T302においては、図22に示すように、各行の画素PIXを非選択状態に設定した状態で、各画素PIXを一斉に発光動作させる。具体的には、図25に示すように、表示パネル110に配列された全画像PIXに接続された選択ラインLsに対して、非選択レベル(ローレベル; Vgl)の選択信号Sselが印加されるとともに、電源ラインLaに対して、ハイレベル(発光レベル; ELVDD > GND)の電源電圧Vsaが印加される。

## 【0200】

50

これにより、各画素 P I X の画素駆動回路 D C に設けられたトランジスタ T r 1 1、T r 1 2 がオフ動作して、トランジスタ T r 1 3 のゲート・ソース端子間に接続されたキャパシタ C s に充電された電圧 ( Vdata ; ゲート・ソース端子間電圧 Vgs ) が保持される。したがって、トランジスタ T r 1 3 にドレイン電流 I d が流れ、トランジスタ T r 1 3 のソース端子 ( 接点 N 1 2 ) の電位が、有機 E L 素子 O E L のカソード ( 共通電極 E c ) に印加されるカソード電圧 E L V S S ( = G N D ) よりも上昇すると、画素駆動回路 D C から有機 E L 素子 O E L に発光駆動電流 I em が流れる。この発光駆動電流 I em は、上記補正画像データの書込動作においてトランジスタ T r 1 3 のゲート・ソース端子間に保持された電圧 ( Vdata ) の電圧値に基づいて規定されるので、有機 E L 素子 O E L は、補正画像データ n d\_comp に応じた輝度階調で発光動作する。

10

## 【 0 2 0 1 】

なお、上述した実施形態においては、図 2 2 に示したように、表示動作において、特定の行 ( 例えば 1 行目 ) の画素 P I X への補正画像データの書込動作の終了後、他の行 ( 2 行目以降 ) の画素 P I X への画像データの書込動作が終了するまでの間、当該行の画素 P I X は保持状態に設定される。ここで、保持状態においては、当該行の選択ライン L s に非選択レベルの選択信号 S sel を印加して画素 P I X を非選択状態にするとともに、電源ライン L a に非発光レベルの電源電圧 V sa を印加して非発光状態に設定される。この保持状態は、図 2 2 に示したように、行ごとに設定時間が異なる。また、各行の画素 P I X への補正画像データの書込動作の終了後、直ちに画素 P I X を発光動作させる駆動制御を行う場合には、上記保持状態を設定しないものであってもよい。

20

## 【 0 2 0 2 】

このように、本実施形態に係る表示装置 ( 画素駆動装置を含む発光装置 ) 及びその駆動制御方法においては、本発明に特有のオートゼロ法を適用し、データライン電圧を取り込み、デジタルデータからなる検出データに変換する一連の特性パラメータ取得動作を、特定のタイミング ( 緩和時間 ) で実行する手法を有している。特に、このとき、各画素の有機 E L 素子のカソード ( 共通電極 ) に印加されるカソード電圧を、パラメータに応じて特定の電圧値に設定する ( すなわち、切り替える ) 手法を適用している。これにより、本実施形態によれば、各画素の駆動トランジスタのしきい値電圧の変動、及び、各画素間の電流増幅率のばらつきを補正するパラメータを、各画素における有機 E L 素子 O E L の電流特性 ( 特に、逆バイアス電圧の印加に伴うリーク電流 ) に影響されることなく、短時間で適切に取得して記憶することができる。

30

## 【 0 2 0 3 】

したがって、本実施形態によれば、各画素に書き込まれる画像データに対して、各画素のしきい値電圧の変動、及び、電流増幅率のばらつきを補償する補正処理を適切に施すことができるので、各画素の特性変化や特性のばらつきの状態に関わらず、画像データに応じた本来の輝度階調で発光素子 ( 有機 E L 素子 ) を発光動作させることができ、良好な発光特性及び均一な画質を有するアクティブ有機 E L 駆動システムを実現することができる。

## 【 0 2 0 4 】

したがって、本実施形態によれば、各画素に書き込まれる画像データに対して、各画素のしきい値電圧の変動、及び、電流増幅率のばらつきを補償する補正処理を施すことができるので、各画素の特性変化や特性のばらつきの状態に関わらず、画像データに応じた本来の輝度階調で発光素子 ( 有機 E L 素子 ) を発光動作させることができる。また、これにより、電流増幅率のばらつきを補正する補正データを算出する処理と、駆動トランジスタのしきい値電圧の変動を補償する補正データを算出する処理を、単一の補正データ取得機能回路 1 6 6 を備えたコントローラ 1 6 0 における一連のシーケンスにより実行することができるので、補正データの算出処理の内容に応じて個別の構成 ( 機能回路 ) を設ける必要がなく、表示装置 ( 発光装置 ) の装置構成を簡素化することができる。

40

## 【 0 2 0 5 】

< 第 2 の実施形態 >

50

次に、上述した第 1 の実施形態における表示装置を電子機器に適用した、第 2 の実施形態について、図面を参照して説明する。

上述した第 1 の実施形態に示したように、有機 E L 素子 O E L からなる発光素子を各画素 P I X に有する表示パネル 1 1 0 を備える表示装置 1 0 0 は、デジタルカメラ、モバイル型のパーソナルコンピュータ、携帯電話等、種々の電子機器に適用できるものである。

#### 【 0 2 0 6 】

図 2 6 は、第 1 の実施形態に係る表示装置（発光装置）を適用したデジタルカメラの構成例を示す斜視図であり、図 2 7 は、第 1 の実施形態に係る表示装置（発光装置）を適用したモバイル型のパーソナルコンピュータの構成例を示す斜視図であり、図 2 8 は、第 1 の実施形態に係る表示装置（発光装置）を適用した携帯電話の構成例を示す斜視図である。

10

#### 【 0 2 0 7 】

図 2 6 において、デジタルカメラ 2 0 0 は、本体部 2 0 1 と、レンズ部 2 0 2 と、操作部 2 0 3 と、本実施形態の表示パネル 1 1 0 を備える表示装置 1 0 0 からなる表示部 2 0 4 と、シャッターボタン 2 0 5 とを備えている。この場合、表示部 2 0 4 において、表示パネル 1 1 0 の各画素の発光素子が画像データに応じた適切な輝度階調で発光動作して、良好かつ均質な画質を実現することができる。

#### 【 0 2 0 8 】

また、図 2 7 において、パーソナルコンピュータ 2 1 0 は、本体部 2 1 1 と、キーボード 2 1 2 と、本実施形態の表示パネル 1 1 0 を備える表示装置 1 0 0 からなる表示部 2 1 3 とを備えている。この場合でも、表示部 2 1 3 において、表示パネル 1 1 0 の各画素の発光素子が画像データに応じた適切な輝度階調で発光動作して、良好かつ均質な画質を実現することができる。

20

#### 【 0 2 0 9 】

また、図 2 8 において、携帯電話 2 2 0 は、操作部 2 2 1 と、受話口 2 2 2 と、送話口 2 2 3 と、本実施形態の表示パネル 1 1 0 を備える表示装置 1 0 0 からなる表示部 2 2 4 とを備えている。この場合でも、表示部 2 2 4 において、表示パネル 1 1 0 の各画素の発光素子が画像データに応じた適切な輝度階調で発光動作して、良好かつ均質な画質を実現することができる。

#### 【 0 2 1 0 】

なお、上述した実施形態においては、本発明を有機 E L 素子 O E L からなる発光素子を各画素 P I X に有する表示パネル 1 1 0 を備える表示装置（発光装置）1 0 0 に適用した場合について説明したが、本発明はこれに限定されるものではない。本発明は、例えば、有機 E L 素子 O E L からなる発光素子を有する複数の画素が一方向に配列された発光素子アレイを備え、感光体ドラムに画像データに応じて発光素子アレイから出射した光を照射して露光する露光装置に適用してもよい。この場合、発光素子アレイの各画素の発光素子を画像データに応じた適切な輝度で発光動作させることができ、良好な露光状態を得ることができる。

30

#### 【符号の説明】

#### 【 0 2 1 1 】

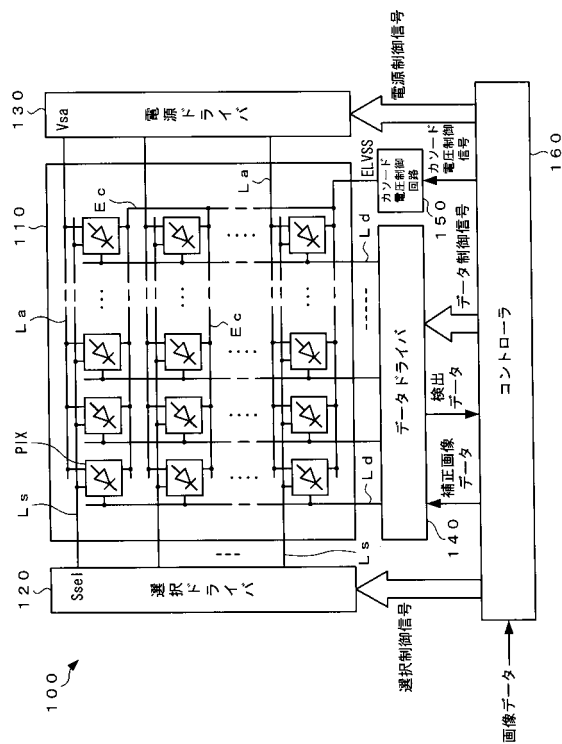
- 1 0 0 表示装置
- 1 1 0 表示パネル
- 1 2 0 選択ドライバ
- 1 3 0 電源ドライバ
- 1 4 0 データドライバ
- 1 4 3 データラッチ回路
- 1 4 4 D A C / A D C 回路
- 1 4 5 出力回路
- 1 5 0 カソード電圧制御回路
- 1 6 0 コントローラ

40

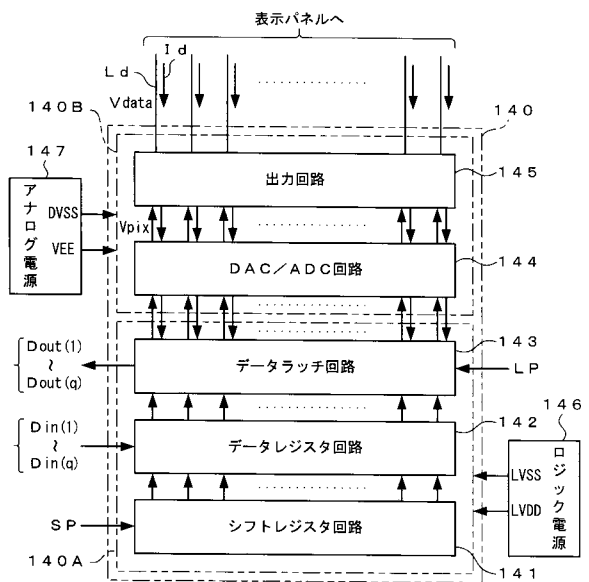
50

- 1 6 3 乗算機能回路
- 1 6 4 加算機能回路
- 1 6 5 メモリ
- 1 6 6 補正データ取得機能回路
- 1 6 7  $V_{th}$ 補正データ生成回路
- S W 1 ~ S W 5 スイッチ
- P I X 画素
- D C 画素駆動回路
- T r 1 1 ~ T r 1 3 トランジスタ
- C s キャパシタ
- O E L 有機 E L 素子

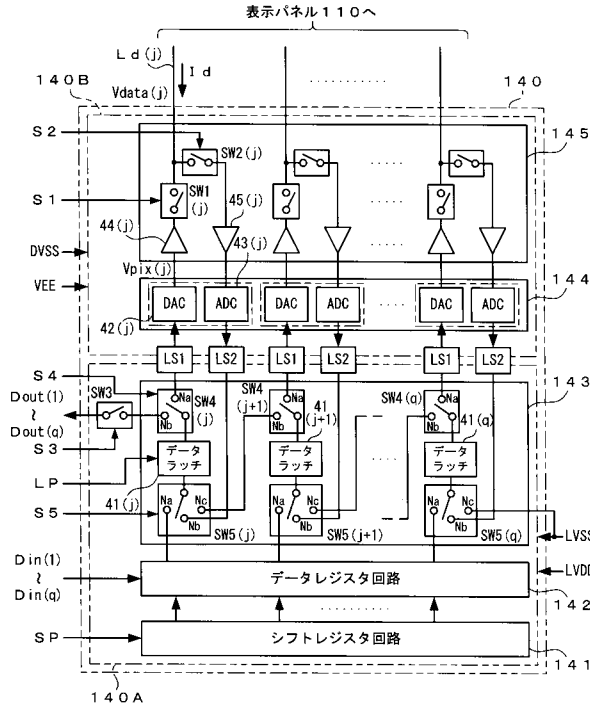
【図 1】



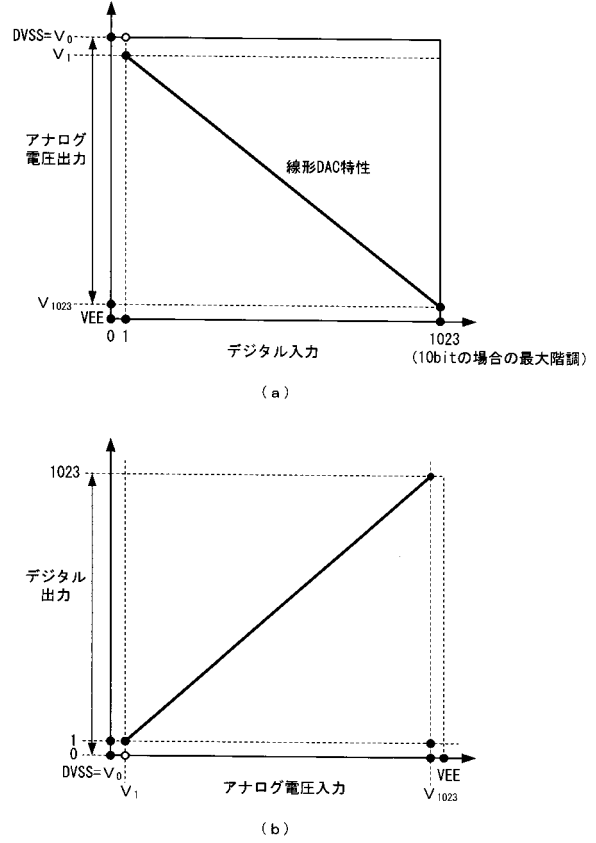
【図 2】



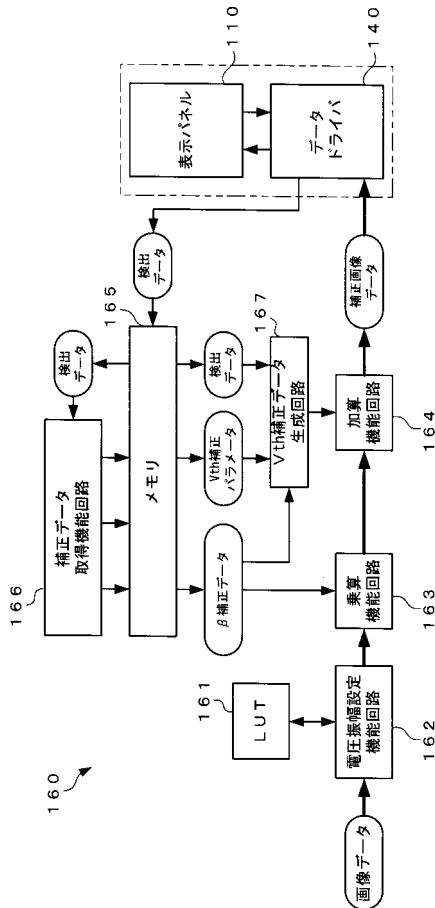
【図3】



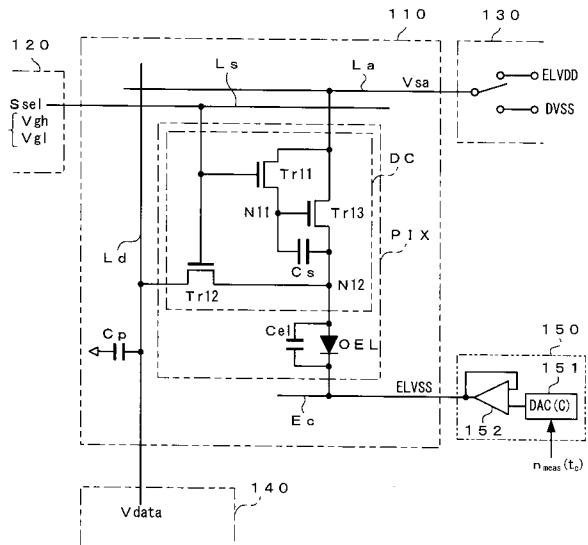
【図4】



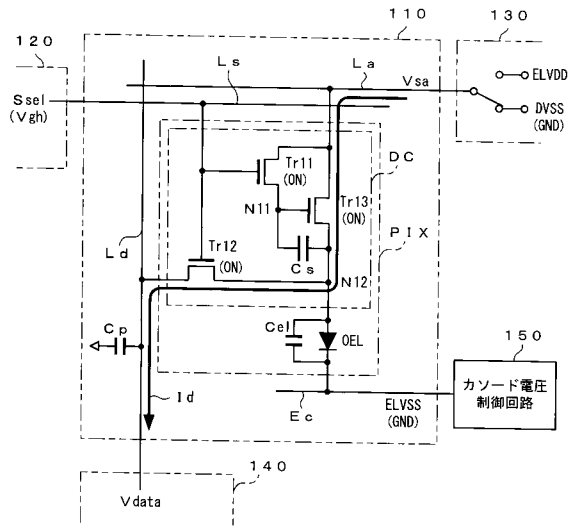
【図5】



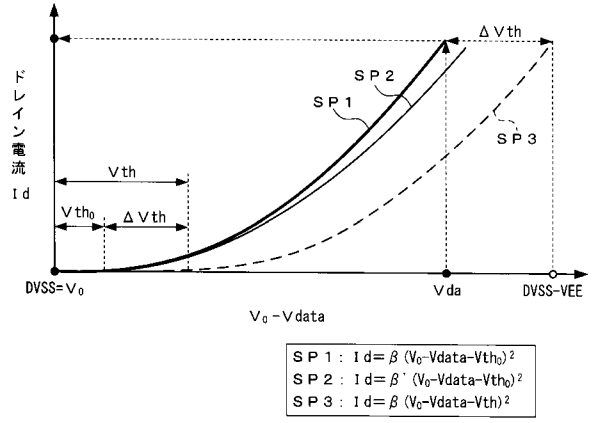
【図6】



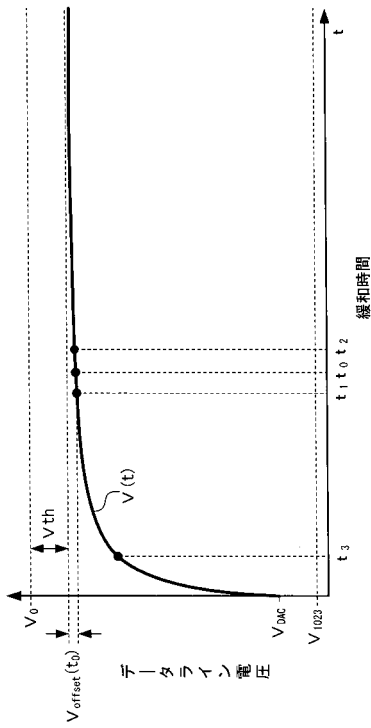
【図7】



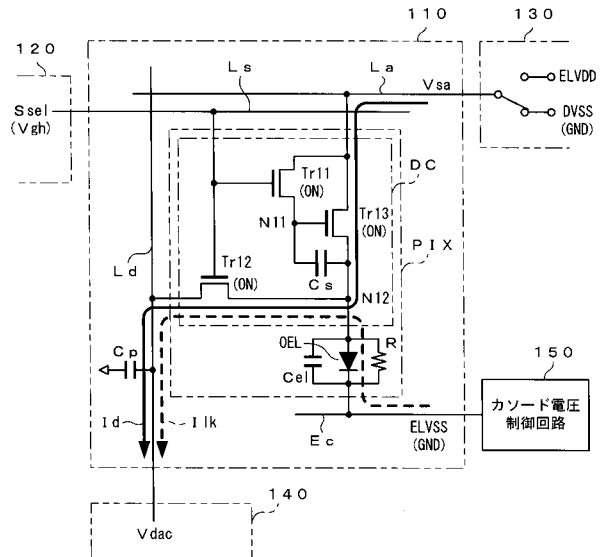
【図8】



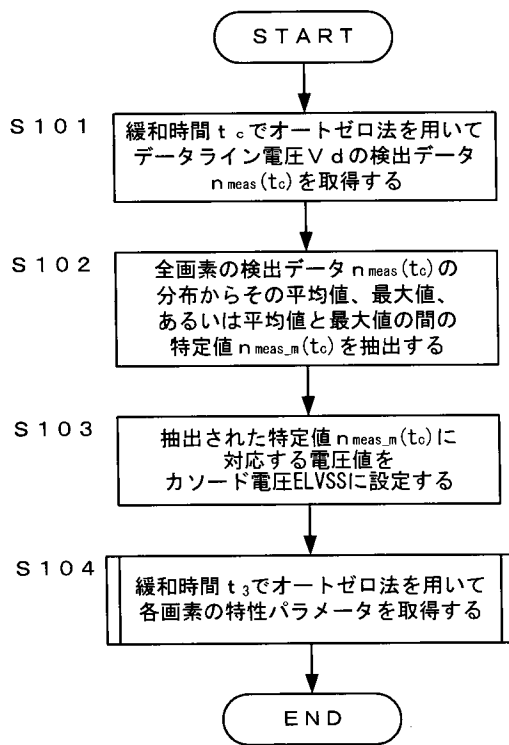
【図9】



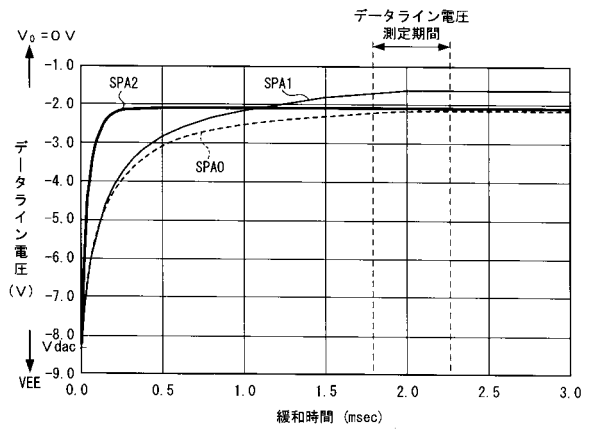
【図10】



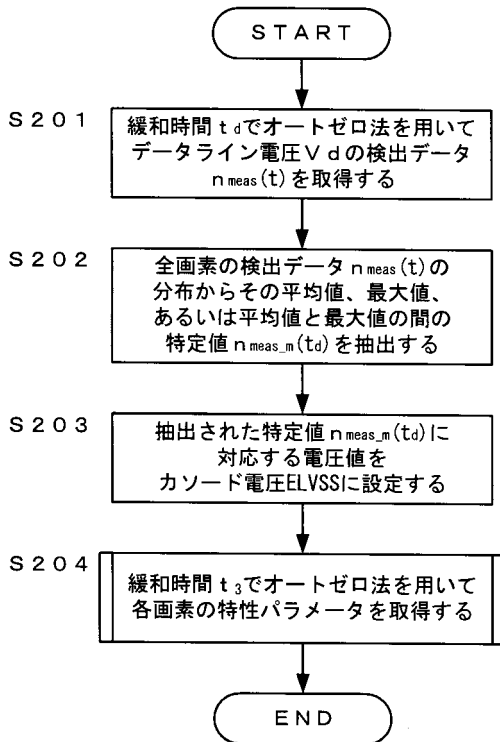
【図11】



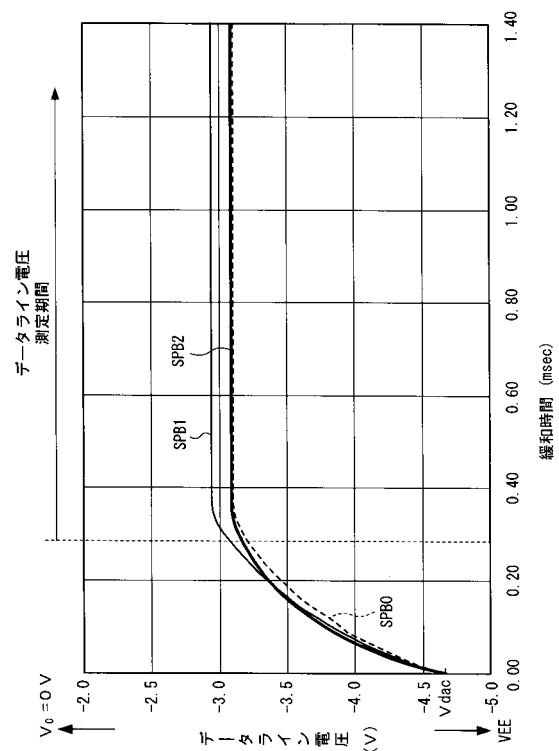
【図12】



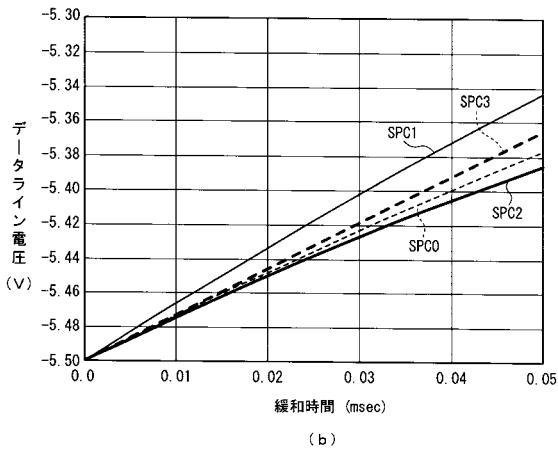
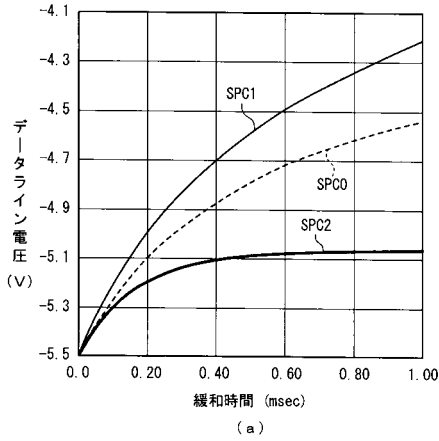
【図13】



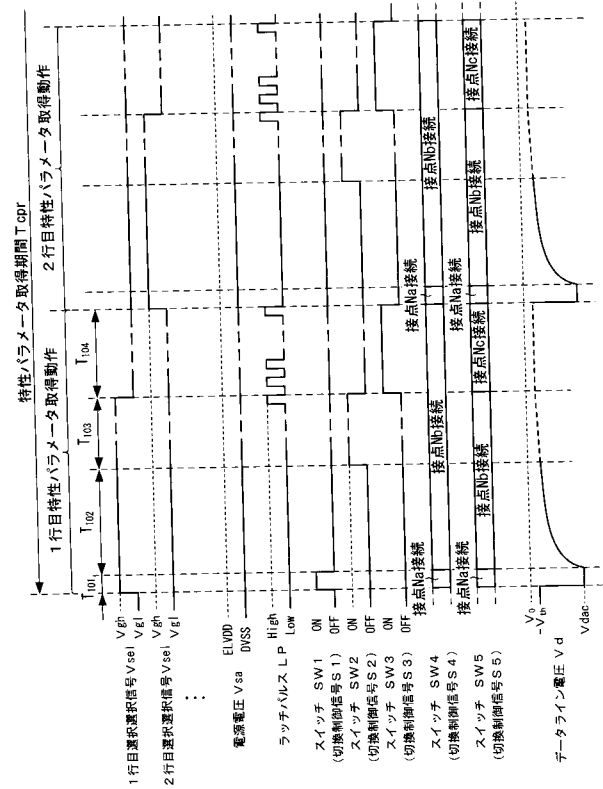
【図14】



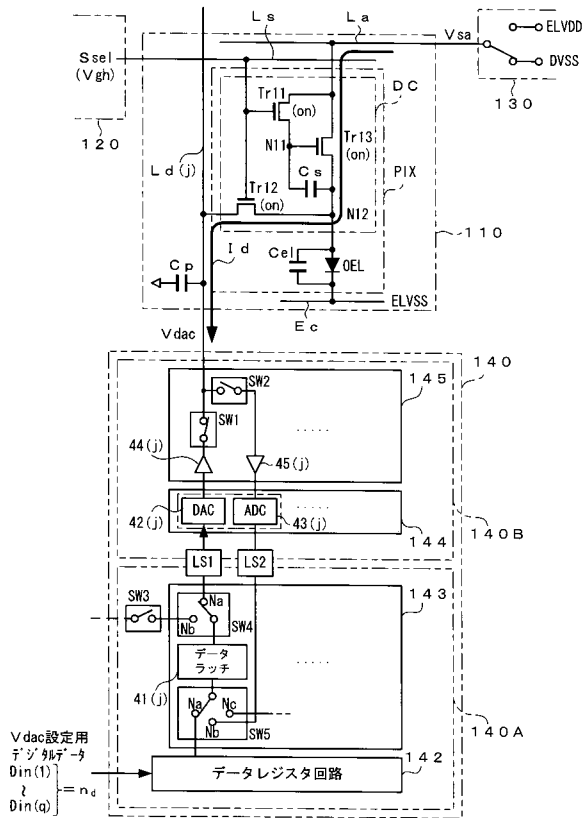
【図15】



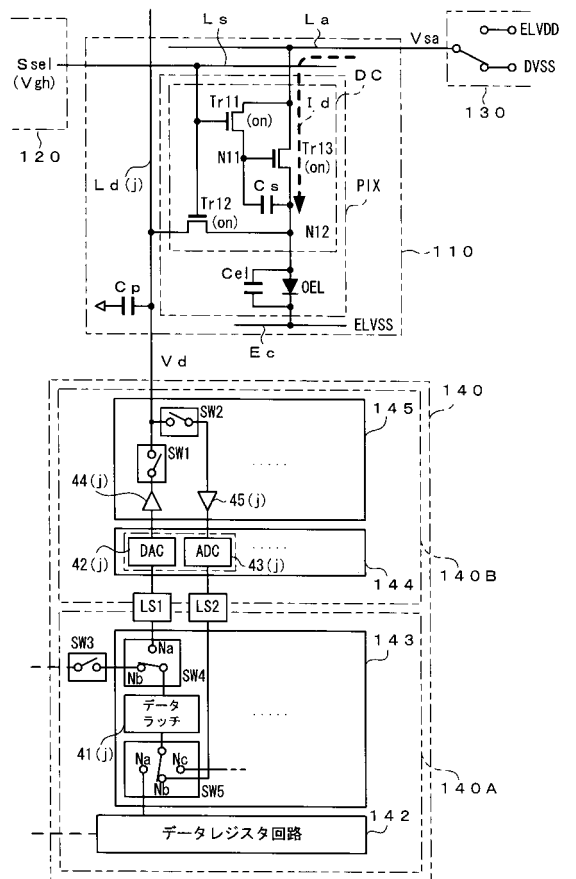
【図16】



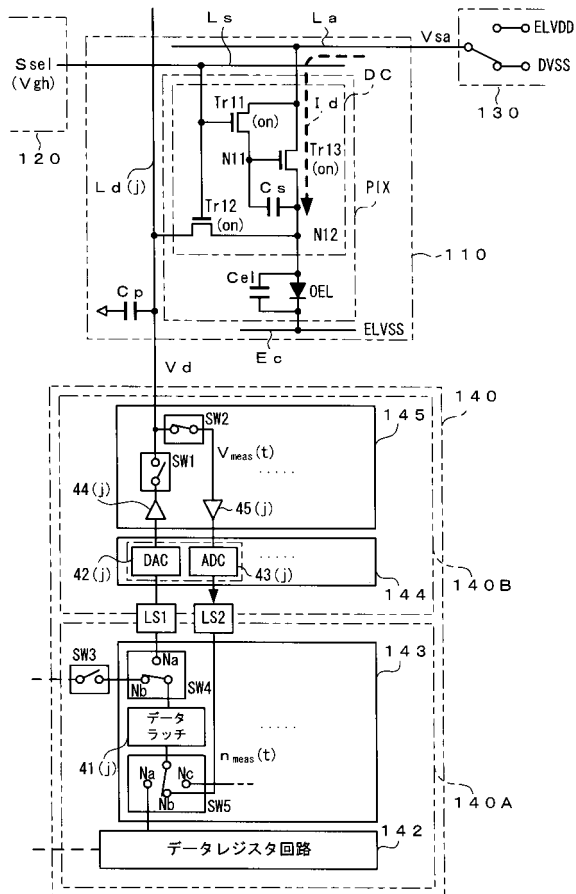
【図17】



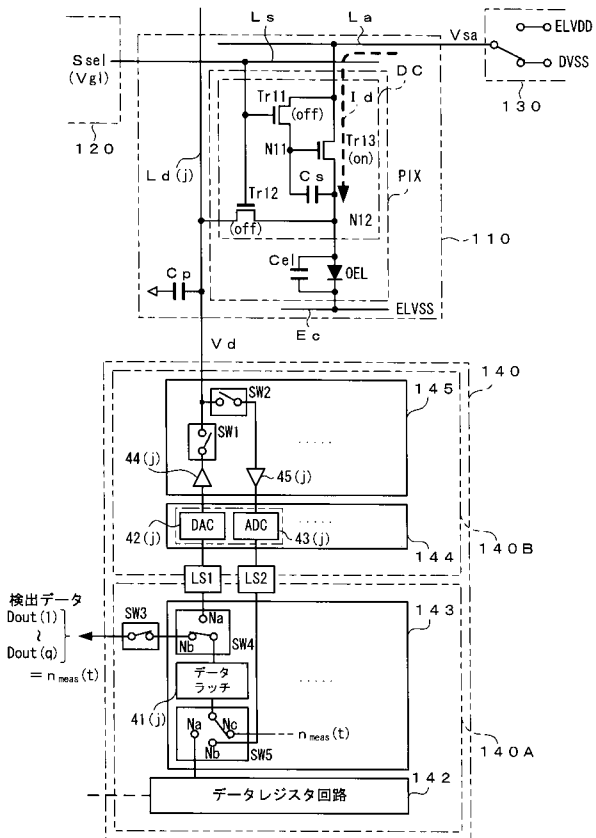
【図18】



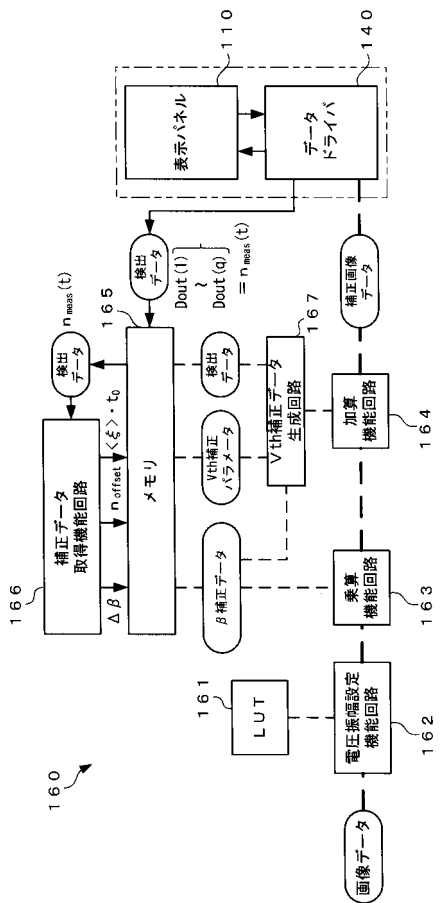
【図19】



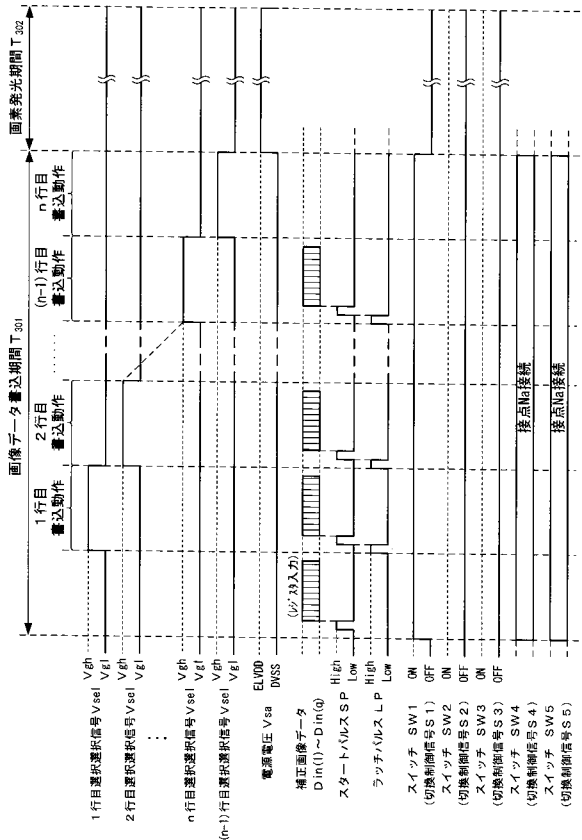
【図20】



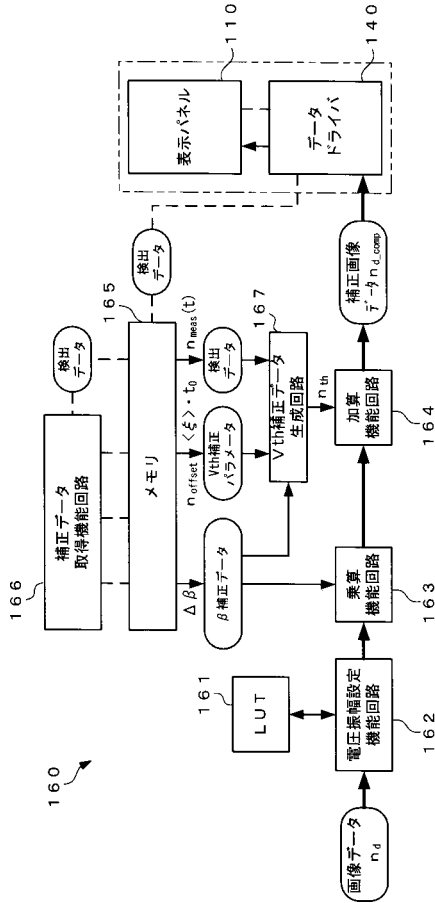
【図21】



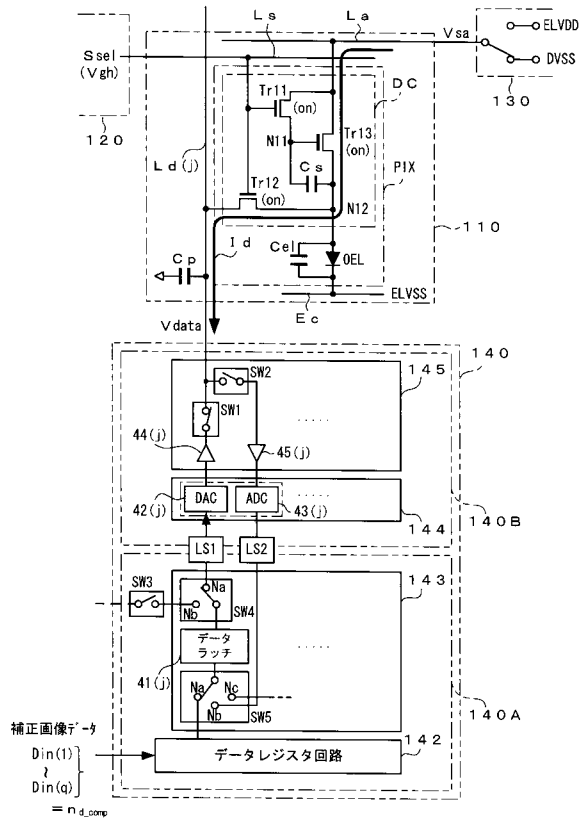
【図22】



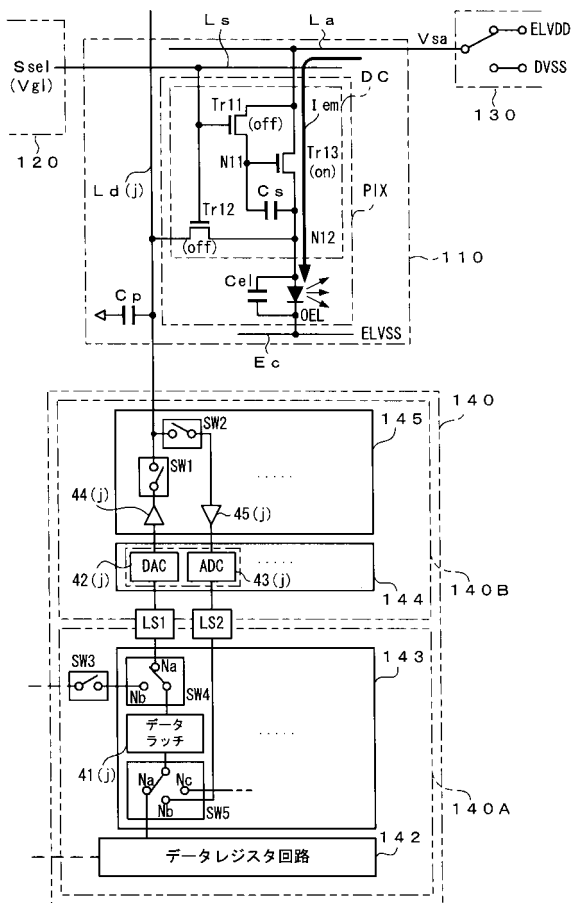
【図23】



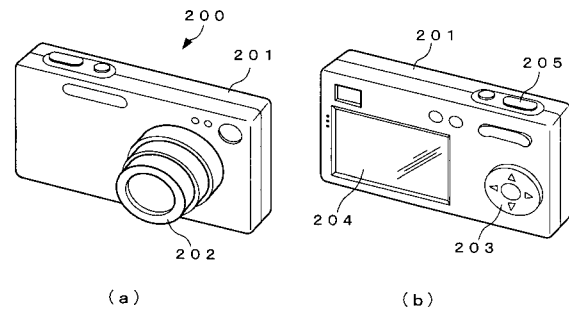
【図24】



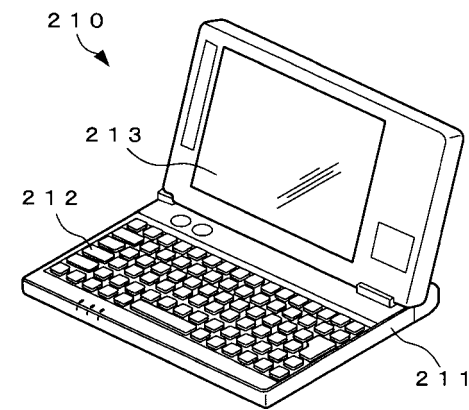
【図25】



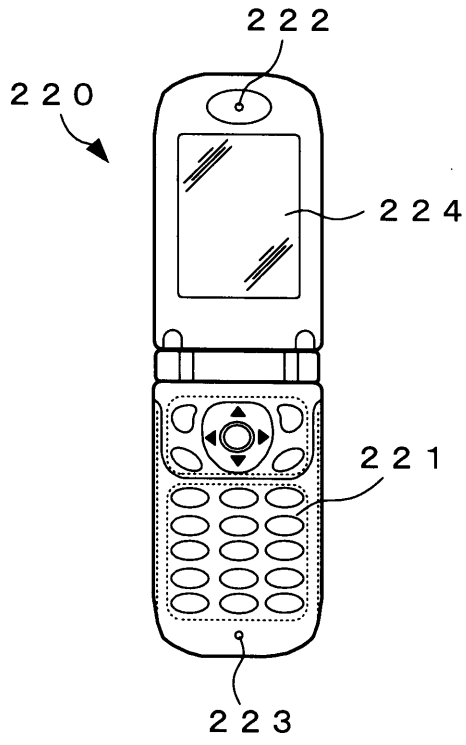
【図26】



【図27】



【図 28】



---

フロントページの続き

(51) Int.Cl. F I  
G 0 9 G 3/20 6 1 2 U  
G 0 9 G 3/30 J  
H 0 5 B 33/14 A  
H 0 5 B 33/14 Z

(56) 参考文献 特開 2 0 0 6 - 3 0 1 2 5 0 ( J P , A )  
特開 2 0 0 8 - 1 0 7 7 7 4 ( J P , A )  
特開 2 0 0 3 - 0 6 6 8 6 5 ( J P , A )  
特開 2 0 0 8 - 2 5 0 0 0 6 ( J P , A )  
国際公開第 2 0 0 7 / 0 3 7 2 6 9 ( W O , A 1 )  
特開 2 0 0 7 - 3 2 2 1 3 3 ( J P , A )  
特開 2 0 0 4 - 2 5 2 1 1 0 ( J P , A )

(58) 調査した分野 (Int.Cl. , D B 名)  
G 0 9 G 3 / 3 0  
G 0 9 G 3 / 2 0

专利名称(译)	像素驱动装置，发光装置及其驱动控制方法，以及电子装置		
公开(公告)号	<a href="#">JP5146521B2</a>	公开(公告)日	2013-02-20
申请号	JP2010256738	申请日	2010-11-17
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	小倉潤		
发明人	小倉潤		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
CPC分类号	G09G3/20 G09G3/3291 G09G2300/0819 G09G2310/027 G09G2320/0271 G09G2320/0285 G09G2320/0295		
FI分类号	G09G3/30.K G09G3/20.641.D G09G3/20.642.P G09G3/20.611.H G09G3/20.621.A G09G3/20.612.U G09G3/30.J H05B33/14.A H05B33/14.Z G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC02 3K107/CC21 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ07 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB04 5C380/BB13 5C380/BD03 5C380/BD04 5C380/CA04 5C380/CA05 5C380/CA12 5C380/CA32 5C380/CB01 5C380/CB20 5C380/CC03 5C380/CC27 5C380/CC28 5C380/CC33 5C380/CC62 5C380/CC72 5C380/CD033 5C380/CF13 5C380/DA02 5C380/DA06 5C380/DA50 5C380/FA02 5C380/FA21 5C380/FA22 5C380/FA28 5C380/GA09 5C380/GA17		
审查员(译)	福村拓		
优先权	2009298219 2009-12-28 JP		
其他公开文献	JP2011154348A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种像素驱动装置，其以期望的亮度等级执行发光元件的发光操作，并且还提供发光特性良好且均匀的发光装置，驱动控制方法，和包括发光器件的电子设备。  
 SOLUTION：在每个像素PIX的特征参数获取操作中，应用自动归零方法，同时根据获取的校正数据n &lt;SB&gt; th &lt;/ SB&gt;， $\Delta\beta$ ，阴极电压ELVSS应用于每个像素PIX的有机EL元件设置为单独的电压值。在获取校正数据n &lt;SB&gt; th &lt;/ SB&gt;的操作时，在特征参数获取操作中施加到数据线Ld的与用于检测的电压Vdac相同的电压值的电压值的阴极电压ELVSS是应用于阴极。在获取校正数据 $\Delta\beta$ 的操作时，应用基于通过先前执行的阴极电压获取操作获得的检测数据n &lt;SB&gt; meas &lt;/ SB&gt; ( t ) 的平均值的电压值的阴极电压ELVSS或最大值。到阴极。 $\Sigma$

