

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5032234号  
(P5032234)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月6日(2012.7.6)

(51) Int.Cl.

F 1

<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/30	J
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	622D
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	G09G	3/20	621A
			G09G	3/20	622E
			G09G	3/20	622Q

請求項の数 29 (全 34 頁) 最終頁に続く

(21) 出願番号

特願2007-198058 (P2007-198058)

(22) 出願日

平成19年7月30日 (2007.7.30)

(65) 公開番号

特開2008-257159 (P2008-257159A)

(43) 公開日

平成20年10月23日 (2008.10.23)

審査請求日

平成19年7月30日 (2007.7.30)

(31) 優先権主張番号

10-2007-0034285

(32) 優先日

平成19年4月6日 (2007.4.6)

(33) 優先権主張国

韓国 (KR)

(73) 特許権者 308040351

三星モバイルディスプレイ株式會社  
Samsung Mobile Display Co., Ltd.  
大韓民国京畿道龍仁市器興区農書洞山24  
San #24 Nongseo-Dong,  
Giheung-Gu, Yongin  
-City, Gyeonggi-Do 4  
46-711 Republic of  
KOREA

100146835

弁理士 佐伯 義文

100089037

弁理士 渡邊 隆

最終頁に続く

(54) 【発明の名称】有機電界発光表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

原始クロック線、原始反転クロック線及び初期駆動線に電気的に連結された第1シフトレジスタと、

前記原始反転クロック線、前記原始クロック線及び前記第1シフトレジスタの出力線である第1発光制御線に電気的に連結された第2シフトレジスタと、

前記初期駆動線、前記第1発光制御線及び第1クロック線に電気的に連結された第1NANDゲートと、

前記第1発光制御線、前記第2シフトレジスタの出力線である第2発光制御線及び第2クロック線に電気的に連結された第2NANDゲートと、

前記第1NANDゲートの出力線である第1走査線に電気的に連結された第1画素部と、

前記第2NANDゲートの出力線である第2走査線に電気的に連結された第2画素部と、

前記第1走査線に電気的に連結された第3画素部と、

前記第2走査線に電気的に連結された第4画素部と、を含み、

前記第1発光制御線および前記第2発光制御線の信号レベルがハイレベルに設定された場合、前記第1NANDゲートおよび前記第2NANDゲートは、前記第1クロック線を介して供給されるクロック信号がハイレベル及びローレベルのうちの一方のレベルであり、且つ、前記第2クロック線を介して供給されるクロック信号がハイレベル及びローレベ

10

20

ルのうちの他方のレベルであるとき、前記第1走査線を介して出力される走査信号及び前記第2走査線を介して出力される走査信号のうち、一方をハイレベルとし、且つ、他方をローレベルとすることを特徴とする有機電界発光表示装置。

**【請求項2】**

前記第1シフトレジスタは、入力端子が前記初期駆動線に電気的に連結され、第1クロック端子が前記原始クロック線に電気的に連結され、第2クロック端子が前記原始反転クロック線に電気的に連結され、出力端子が前記第1発光制御線に電気的に連結されたことを特徴とする請求項1に記載の有機電界発光表示装置。 10

**【請求項3】**

前記第2シフトレジスタは、入力端子が前記第1発光制御線に電気的に連結され、第1クロック端子が前記原始反転クロック線に電気的に連結され、第2クロック端子が前記原始クロック線に電気的に連結され、出力端子が前記第2発光制御線に電気的に連結されたことを特徴とする請求項1に記載の有機電界発光表示装置。 10

**【請求項4】**

前記第1NANDゲートは、前記初期駆動線、前記第1発光制御線及び第1クロック線に電気的に連結され、初期駆動信号、第1発光制御信号及び第1クロック信号を印加されて第1走査線に第1走査信号を出力することを特徴とする請求項1に記載の有機電界発光表示装置。 10

**【請求項5】**

前記第2NANDゲートは、前記第1発光制御線、前記第2発光制御線及び第2クロック線に電気的に連結されて第1発光制御信号、第2発光制御信号及び第2クロック信号を印加されて第2走査線に第2走査信号を出力することを特徴とする請求項1に記載の有機電界発光表示装置。 20

**【請求項6】**

前記第1画素部は、第-1走査線、第1走査線及び第1発光制御線に電気的に連結されたことを特徴とする請求項1に記載の有機電界発光表示装置。 20

**【請求項7】**

前記第2画素部は、第0走査線、第2走査線及び第2発光制御線に電気的に連結されたことを特徴とする請求項6に記載の有機電界発光表示装置。 20

**【請求項8】**

前記第3画素部は、第1走査線、第3走査線及び第1発光制御線に電気的に連結されたことを特徴とする請求項7に記載の有機電界発光表示装置。 30

**【請求項9】**

前記第4画素部は、第2走査線、第4走査線及び第2発光制御線に電気的に連結されたことを特徴とする請求項8に記載の有機電界発光表示装置。 30

**【請求項10】**

前記第1画素部ないし第4画素部の画素回路は、  
第1電源電圧線とデータ線間に電気的に連結され、走査線に制御電極が電気的に連結された第1スイッチング素子と、

前記第1スイッチング素子と前記第1電源電圧線間に電気的に連結され、発光制御線に制御電極が電気的に連結された第2スイッチング素子と、 40

前記第1スイッチング素子と第2電源電圧線間に電気的に連結された駆動トランジスタと、

前記第1電源電圧線と第3電源電圧間に電気的に連結された第1容量性素子と、

前記走査線と前記駆動トランジスタの制御電極間に電気的に連結された第2容量性素子と、

前記駆動トランジスタと第2電源電圧線間に電気的に連結され、制御電極が前記発光制御線に電気的に連結された第3スイッチング素子と、

前記第1容量性素子と前記第3電源電圧線間に電気的に連結され、制御電極に2段以前の走査線が電気的に連結された第4スイッチング素子と、 50

前記駆動トランジスタの制御電極と第3スイッチング素子間に電気的に連結された第5スイッチング素子と、

前記第3スイッチング素子と前記第2電源電圧線間に電気的に連結された有機電界発光素子と、を含むことを特徴とする請求項1に記載の有機電界発光表示装置。

**【請求項11】**

前記第1スイッチング素子は、第1電極が前記データ線に電気的に連結され、第2電極が前記第2スイッチング素子と駆動トランジスタ間に電気的に連結され、制御電極が走査線に電気的に連結されたことを特徴とする請求項10に記載の有機電界発光表示装置。

**【請求項12】**

前記第2スイッチング素子は、第1電極が前記第1スイッチング素子と駆動トランジスタ間に電気的に連結され、第2電極が前記第1電源電圧線と第1容量性素子間に電気的に連結され、制御電極が発光制御線に電気的に連結されたことを特徴とする請求項10に記載の有機電界発光表示装置。 10

**【請求項13】**

前記第3スイッチング素子は、第1電極が前記駆動トランジスタと第5スイッチング素子間に電気的に連結され、第2電極が前記有機電界発光素子のアノードに電気的に連結され、制御電極が発光制御線に電気的に連結されたことを特徴とする請求項10に記載の有機電界発光表示装置。

**【請求項14】**

前記第4スイッチング素子は、第1電極が前記第1容量性素子と駆動トランジスタの制御電極間に電気的に連結され、第2電極が第3電源電圧線に電気的に連結され、制御電極が2段以前の走査線に電気的に連結されたことを特徴とする請求項10に記載の有機電界発光表示装置。 20

**【請求項15】**

前記第5スイッチング素子は、第1電極が前記駆動トランジスタの制御電極に電気的に連結され、第2電極が前記駆動トランジスタと前記第3スイッチング素子間に電気的に連結され、制御電極が走査線に電気的に連結されたことを特徴とする請求項10に記載の有機電界発光表示装置。

**【請求項16】**

前記駆動トランジスタは、第1電極が前記第1スイッチング素子と前記第2スイッチング素子間に電気的に連結され、第2電極が第3スイッチング素子の第1電極に電気的に連結され、制御電極が発光制御線に電気的に連結されたことを特徴とする請求項10に記載の有機電界発光表示装置。 30

**【請求項17】**

前記第1シフトレジスタおよび前記第2シフトレジスタのそれぞれは、

前記原始クロック線に制御電極が電気的に連結されて第1電源電圧をスイッチングする第1PMOSスイッチング素子と、

前記第1PMOSスイッチング素子と第1ノード間に電気的に連結され、制御電極が入力線に電気的に連結された第2PMOSスイッチング素子と、

前記原始反転クロック線に制御電極が電気的に連結されて第2電源電圧をスイッチングする第1NMOSスイッチング素子と、 40

前記第1NMOSスイッチング素子と第1ノード間に電気的に連結され、制御電極が入力線に電気的に連結された第2NMOSスイッチング素子と、

前記原始反転クロック線に制御電極が電気的に連結されて第1電源電圧をスイッチングする第3PMOSスイッチング素子と、

前記第3PMOSスイッチング素子と前記第1ノード間に電気的に連結され、制御電極が第2ノードに電気的に連結された第4PMOSスイッチング素子と、

前記原始クロック線に制御電極が電気的に連結されて第2電源電圧をスイッチングする第3NMOSスイッチング素子と、

前記第3NMOSスイッチング素子と前記第1ノード間に電気的に連結され、制御電極 50

が第2ノードに電気的に連結された第4N MOSスイッチング素子と、

前記第1電源電圧線と前記第2ノード間に電気的に連結され、制御電極が第1ノードに電気的に連結された第5PMOSスイッチング素子と、

前記第2電源電圧線と前記第2ノード間に電気的に連結され、制御電極が第1ノードに電気的に連結された第5N MOSスイッチング素子と、を含み、

前記第1シフトレジスタに含まれる前記第2PMOSスイッチング素子および前記第2N MOSスイッチング素子の各制御電極が連結された前記入力線は前記初期駆動線であり

前記第2シフトレジスタに含まれる前記第2PMOSスイッチング素子および前記第2N MOSスイッチング素子の各制御電極が連結された前記入力線は前記第1発光制御線であることを特徴とする請求項1に記載の有機電界発光表示装置。10

【請求項18】

前記第2ノードの信号はシフトレジスタの出力信号であることを特徴とする請求項17に記載の有機電界発光表示装置。

【請求項19】

前記原始クロック線に電気的に連結されて原始クロック信号を伝達されて前記原始反転クロック線に原始反転クロック信号を生成するクロックインバータを含むことを特徴とする請求項1に記載の有機電界発光表示装置。

【請求項20】

前記第1クロック線は、奇数番目NANDゲートに電気的に連結されたことを特徴とする請求項1に記載の有機電界発光表示装置。20

【請求項21】

前記第1クロック線にローレベルの第1クロック信号が印加されて前記第2クロック線にハイレベルの第2クロック信号が印加されると、奇数番目画素回路部にローレベルの走査信号が印加されて画素回路部にデータ信号が印加されることを特徴とする請求項20に記載の有機電界発光表示装置。

【請求項22】

前記奇数番目画素回路部にローレベルの発光制御信号が印加されると発光することを特徴とする請求項21に記載の有機電界発光表示装置。

【請求項23】

前記第2クロック線は、偶数番目NANDゲートに電気的に連結されたことを特徴とする請求項2に記載の有機電界発光表示装置。30

【請求項24】

前記第1クロック線にハイレベルの第1クロック信号が印加されて前記第2クロック線にローレベルの第2クロック信号が印加されると、偶数番目画素回路部にローレベルの走査信号が印加されて画素回路部にデータ信号が印加されることを特徴とする請求項23に記載の有機電界発光表示装置。

【請求項25】

前記偶数番目画素回路部にローレベルの発光制御信号が印加されると発光することを特徴とする請求項24に記載の有機電界発光表示装置。40

【請求項26】

前記初期駆動線の初期駆動信号がハイレベルであって前記第1発光制御線の第1発光制御信号がハイレベルであるとき、前記第1クロック線にハイレベルの第1クロック信号が印加されて、前記第2クロック線にローレベルの第2クロック信号が印加されると、第1NANDゲートがローレベルの第1走査信号を第1走査線に出力することを特徴とする請求項1に記載の有機電界発光表示装置。

【請求項27】

前記第1発光制御線の第1発光制御信号がハイレベルであって前記第2発光制御線の第2発光制御信号がハイレベルであるとき、前記第1クロック線にローレベルの第1クロック信号が印加されて、前記第2クロック線にハイレベルの第2クロック信号が印加される50

と、第2NANDゲートがローレベルの第2走査信号を第2走査線に出力することを特徴とする請求項1に記載の有機電界発光表示装置。

**【請求項28】**

前記第1発光制御線の第1発光制御信号がハイレベルであって前記第2発光制御線の第2発光制御信号がハイレベルであるとき、前記第1クロック線にハイレベルの第1クロック信号が印加されて、前記第2クロック線にローレベルの第2クロック信号が印加されると、第3NANDゲートがローレベルの第3走査信号を第3走査線に出力することを特徴とする請求項1に記載の有機電界発光表示装置。

**【請求項29】**

前記第2発光制御線の第2発光制御信号がハイレベルであって前記第3発光制御線の第3発光制御信号がハイレベルであるとき、前記第1クロック線にローレベルの第1クロック信号が印加されて、前記第2クロック線にハイレベルの第2クロック信号が印加されると、第4NANDゲートがローレベルの第4走査信号を第4走査線に出力することを特徴とする請求項1に記載の有機電界発光表示装置。 10

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は有機電界発光表示装置(an organic light emitting display)に関し、より詳しくは、有機電界発光表示装置の画素回路(pixel circuit)の縦方向のショート不良を予め検出することができる有機電界発光表示装置に関する。 20

本願は、韓国で2007年4月6日に出願された韓国特許出願No.10-2007-0034285号に対し優先権を主張し、その内容をここに援用する。

**【背景技術】**

**【0002】**

有機電界発光表示装置は、蛍光性(fluorescent)または燐光性(phosphorescent)の化合物を電気的に励起させて発光させる表示装置であって、 $N \times M$ 個の有機電界発光素子を駆動して映像を表現するようになっている。このような有機電界発光素子はアノード(ITO)、有機薄膜、カソード(metal)を備えた構造になっている。有機薄膜は電子と正孔との結合を通じて光を発光する発光層(emitting layer、EML)、電子を輸送する電子輸送層(electron transport layer、ETL)及び正孔を輸送する正孔輸送層(hole transport layer、HTL)を含む多層構造であり、さらに別の電子を注入する電子注入層(electron injecting layer、EIL)及び正孔を注入する正孔注入層(hole injecting layer、HIL)を含むことができる。 30

**【0003】**

このように構成された有機電界発光素子を駆動する方式としては、単純マトリクス(passive matrix、PM)方式及びMOS型(Metal Oxide Silicium)薄膜トランジスタ(thin film transistor、TFT)を用いた能動駆動(active matrix、AM)方式がある。単純マトリクス方式は、陽極と陰極とを直交させて形成してラインを選択して駆動する一方、能動駆動方式は薄膜トランジスタ及びキャパシタを各ITO(indium tin oxide)画素電極に接続してキャパシタ容量によって電圧を維持させる駆動方式である。 40

**【0004】**

このような有機電界発光表示装置はパーソナルコンピュータ、携帯電話、PDAなどの携帯情報端末機などの表示装置や各種情報器機の表示装置として使われている。

**【0005】**

近年、陰極線管に比べて重さと容積が小さい各種発光表示装置が開発されており、特に発光効率、輝度及び視野角に優れて応答速度の速い有機電界発光表示装置が注目されている。

**【0006】**

50

20

30

40

50

このような有機電界発光表示装置の画素回路（Pixel）は、隣接する2つの走査線（または発光制御線）と隣接する2つのデータ線によって定義される画素領域に形成され、隣接する2つの走査線（または発光制御線）から走査信号（または発光制御信号）が印加されると、画素回路の有機電界発光素子（OLED）が発光する。前記画素回路と電気的に連結された隣接する2つの走査線（または発光制御線）は、一般的にn番目画素回路である場合、n番目走査線（または発光制御線）とn-1番目走査線（または発光制御線）になり得る。画素回路に電気的に連結された走査線（または発光制御線）は、走査信号（または発光制御信号）を画素回路の有機電界発光素子（OLED）に印加し、画素回路の有機電界発光素子（OLED）を発光させて1フレームの映像をパネルに出力させる。しかし、有機電界発光表示装置は、1フレームの映像が同時に発光するため、一定パターンを印加する以前にはピクセルショートを検出し難い。

#### 【0007】

従来の画素回路にショートが発生したことを検出するためには、モジュール工程で一定パターンを有機電界発光表示パネルに印加してショートが発生したことを検出することができた。しかし、ショートが発生した不良パネルのためにモジュール工程作業コストが追加的に発生し、モジュール工程で全数検査をしない場合、縦方向のショートが不良として検出されず、最終利用顧客が不良を見つけることになり、従って商品の信頼性が低下される問題点がある。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0008】

本発明は、上述した従来の問題点に鑑みてなされたものであって、本発明の目的は有機電界発光表示パネルのピクセルの縦方向のショート不良を予め検出して、モジュール工程コストを節減し、信頼性の高い有機電界発光表示装置を提供するところにある。

#### 【課題を解決するための手段】

#### 【0009】

前記目的を達成するため、本発明による有機電界発光表示装置は、原始クロック線、原始反転クロック線及び初期駆動線に電気的に連結された第1シフトレジスタと、前記原始反転クロック線、前記原始クロック線及び前記第1シフトレジスタの出力線である第1発光制御線に電気的に連結された第2シフトレジスタと前記初期駆動線、前記第1発光制御線及び第1クロック線に電気的に連結された第1NANDゲートと前記第1発光制御線、前記第2シフトレジスタの出力線である第2発光制御線及び第2クロック線に電気的に連結された第2NANDゲートと前記第1NANDゲートの出力線である第1走査線に電気的に連結された第1画素部と前記第2NANDゲートの出力線である第2走査線に電気的に連結された第2画素部と前記第1走査線に電気的に連結された第3画素部及び前記第2走査線に電気的に連結された第4画素部を含むことができる。

#### 【0010】

前記第1シフトレジスタは、入力端子が前記初期駆動線に電気的に連結され、第1クロック端子が前記原始クロック線に電気的に連結され、第2クロック端子が前記原始反転クロック線に電気的に連結され、出力端子が前記第1発光制御線に電気的に連結されることができる。

#### 【0011】

前記第2シフトレジスタは、入力端子が前記第1発光制御線に電気的に連結され、第1クロック端子が前記原始反転クロック線に電気的に連結され、第2クロック端子が前記原始クロック線に電気的に連結され、出力端子が前記第2発光制御線に電気的に連結されることができる。

#### 【0012】

前記第1NANDゲートは、前記初期駆動線、前記第1発光制御線及び第1クロック線に電気的に連結され、初期駆動信号、第1発光制御信号及び第1クロック信号を印加されて第1走査線に第1走査信号を出力することができる。

10

20

30

40

50

## 【0013】

前記第2NANDゲートは、前記第1発光制御線、前記第2発光制御線及び第2クロック線に電気的に連結され、第1発光制御信号、第2発光制御信号及び第2クロック信号を印加されて第2走査線に第2走査信号を出力することができる。

## 【0014】

前記第1画素部は、第-1走査線、第1走査線及び第1発光制御線に電気的に連結されることがある。

## 【0015】

前記第2画素部は、第0走査線、第2走査線及び第2発光制御線に電気的に連結されることがある。

10

## 【0016】

前記第3画素部は、第1走査線、第3走査線及び第1発光制御線に電気的に連結されることがある。

## 【0017】

前記第4画素部は、第2走査線、第4走査線及び第2発光制御線に電気的に連結されることがある。

## 【0018】

前記第1画素部ないし第4画素部の画素回路は、第1電源電圧線とデータ線間に電気的に連結されて走査線に制御電極が電気的に連結された第1スイッチング素子と、前記第1スイッチング素子と前記第1電源電圧線間に電気的に連結されて発光制御線に制御電極が電気的に連結された第2スイッチング素子と、前記第1スイッチング素子と第2電源電圧線間に電気的に連結された駆動トランジスタと、前記第1電源電圧線と第3電源電圧間に電気的に連結された第1容量性素子と、前記走査線と前記駆動トランジスタの制御電極間に電気的に連結された第2容量性素子と、前記駆動トランジスタと第2電源電圧線間に電気的に連結されて制御電極が前記発光制御線に電気的に連結された第3スイッチング素子と、前記第1容量性素子と前記第3電源電圧線間に電気的に連結されて制御電極に2段以前の走査線が電気的に連結された第4スイッチング素子と、前記駆動トランジスタの制御電極と第3スイッチング素子間に電気的に連結された第5スイッチング素子と、前記第3スイッチング素子と前記第2電源電圧線間に電気的に連結された有機電界発光素子と、を含むことができる。

20

## 【0019】

前記第1スイッチング素子は、第1電極が前記データ線に電気的に連結され、第2電極が前記第2スイッチング素子と駆動トランジスタ間に電気的に連結され、制御電極が走査線に電気的に連結されることがある。

## 【0020】

前記第2スイッチング素子は、第1電極が前記第1スイッチング素子と駆動トランジスタ間に電気的に連結され、第2電極が前記第1電源電圧線と第1容量性素子間に電気的に連結され、制御電極が発光制御線に電気的に連結されることがある。

## 【0021】

前記第3スイッチング素子は、第1電極が前記駆動トランジスタと第5スイッチング素子間に電気的に連結され、第2電極が前記有機電界発光素子のアノードに電気的に連結され、制御電極が発光制御線に電気的に連結されることがある。

40

## 【0022】

前記第4スイッチング素子は、第1電極が前記第1容量性素子と駆動トランジスタの制御電極間に電気的に連結され、第2電極が第3電源電圧線に電気的に連結され、制御電極が2段以前の走査線に電気的に連結されることがある。

## 【0023】

前記第5スイッチング素子は、第1電極が前記駆動トランジスタの制御電極に電気的に連結され、第2電極が前記駆動トランジスタと前記第3スイッチング素子間に電気的に連結され、制御電極が走査線に電気的に連結されることがある。

50

## 【0024】

前記駆動トランジスタは、第1電極が前記第1スイッチング素子と前記第2スイッチング素子間に電気的に連結され、第2電極が第3スイッチング素子の第1電極に電気的に連結され、制御電極が発光制御線に電気的に連結されることができる。

## 【0025】

前記シフトレジスタは、前記クロック線に制御電極が電気的に連結されて第1電源電圧をスイッチングする第1PMOSスイッチング素子と、前記第1PMOSスイッチング素子と第1ノード間に電気的に連結されて制御電極が入力線に電気的に連結された第2PMOSスイッチング素子と、前記反転クロック線に制御電極が電気的に連結されて第2電源電圧をスイッチングする第1NMOSスイッチング素子と、前記第1NMOSスイッチング素子と第1ノード間に電気的に連結されて制御電極が入力線に電気的に連結された第2PMOSスイッチング素子と、前記反転クロック線に制御電極が電気的に連結されて第1電源電圧をスイッチングする第3PMOSスイッチング素子と、前記第3PMOSスイッチング素子と前記第1ノード間に電気的に連結されて制御電極が第2ノードに電気的に連結された第4PMOSスイッチング素子と、前記クロック線に制御電極が電気的に連結されて第2電源電圧をスイッチングする第3NMOSスイッチング素子と、前記第3NMOSスイッチング素子と前記第1ノード間に電気的に連結されて制御電極が第2ノードに電気的に連結された第4NMOSスイッチング素子と、前記第1電源電圧線と前記第2ノード間に電気的に連結されて制御電極が第1ノードに電気的に連結された第5PMOSスイッチング素子と、前記第2電源電圧線と前記第2ノード間に電気的に連結されて制御電極が第1ノードに電気的に連結された第5NMOSスイッチング素子と、を含むことができる。10

## 【0026】

前記第2ノードの信号は、シフトレジスタの出力信号であり得る。

## 【0027】

前記原始クロック線に電気的に連結されて原始クロック信号を伝達されて前記原始反転クロック線に原始反転クロック信号を生成するクロックインバータを含むことができる。

## 【0028】

前記第1クロック線は奇数番目NANDゲートに電気的に連結されることがある。30

## 【0029】

前記第1クロック線にローレベルの第1クロック信号が印加されて前記第2クロック線にハイレベルの第2クロック信号が印加されると、奇数番目画素回路部にローレベルの走査信号が印加されて画素回路部にデータ信号が印加されることがある。

## 【0030】

前記奇数番目画素回路部にローレベルの発光制御信号が印加されると発光することができる。

## 【0031】

前記第2クロック線は、偶数番目NANDゲートに電気的に連結されることがある。

## 【0032】

前記第1クロック線にハイレベルの第1クロック信号が印加されて前記第2クロック線にローレベルの第2クロック信号が印加されると、偶数番目画素回路部にローレベルの走査信号が印加されて画素回路部にデータ信号が印加されることがある。40

## 【0033】

前記偶数番目画素回路部にローレベルの発光制御信号が印加されると発光することができる。

## 【0034】

前記初期駆動線の初期駆動信号がハイレベルであって前記第1発光制御線の第1発光制御信号がハイレベルであるとき、前記第1クロック線にハイレベルの第1クロック信号が印加されて、前記第2クロック線にローレベルの第2クロック信号が印加されると、第1NANDゲートがローレベルの第1走査信号を第1走査線に出力することができる。50

**【 0 0 3 5 】**

前記第1発光制御線の第1発光制御信号がハイレベルであって前記第2発光制御線の第2発光制御信号がハイレベルであるとき、前記第1クロック線にローレベルの第1クロック信号が印加されて、前記第2クロック線にハイレベルの第2クロック信号が印加されると、第2NANDゲートがローレベルの第2走査信号を第2走査線に出力することができる。

**【 0 0 3 6 】**

前記第1発光制御線の第1発光制御信号がハイレベルであって前記第2発光制御線の第2発光制御信号がハイレベルであるとき、前記第1クロック線にハイレベルの第1クロック信号が印加されて、前記第2クロック線にローレベルの第2クロック信号が印加されると、第3NANDゲートがローレベルの第3走査信号を第3走査線に出力することができる。10

**【 0 0 3 7 】**

前記第2発光制御線の第2発光制御信号がハイレベルであって前記第3発光制御線の第3発光制御信号がハイレベルであるとき、前記第1クロック線にローレベルの第1クロック信号が印加されて、前記第2クロック線にハイレベルの第2クロック信号が印加されると、第4NANDゲートがローレベルの第4走査信号を第4走査線に出力することができる。

**【 0 0 3 8 】**

前記のようにして本発明による有機電界発光表示装置は、有機電界発光表示パネルのピクセル縦ショート不良を予め検出してモジュール工程コストを節減し、信頼性の高い有機電界発光表示装置を提供する。20

**【発明の効果】****【 0 0 3 9 】**

本発明による有機電界発光表示装置は、有機電界発光表示パネルのピクセルの縦方向のショート不良を予め検出してモジュール工程コストを節減し、信頼性を高めることができるという効果がある。

**【発明を実施するための最良の形態】****【 0 0 4 0 】**

以下、添付された図面を参照して、当業者が本発明を容易に実施できる程度に本発明の望ましい実施例を詳しく説明すると、次のようにある。30

**【 0 0 4 1 】**

ここで、明細書の全体に亘って類似の構成及び動作を有する部分に対しては同じ符号を付した。また、ある部分が他の部分と電気的に連結されているとするとき、これは直接的に繋がれている場合だけでなく、その間に他の素子を介在して繋がれている場合も含む。

**【 0 0 4 2 】**

図1を参照すれば、本発明による有機電界発光表示装置を概略的に示したブロック図が示されている。

**【 0 0 4 3 】**

図1で示されたように、有機電界発光表示装置100は、走査駆動部110、データ駆動部120、発光制御駆動部130、及び有機電界発光表示パネル（以下、単に「パネル」と称す）140を含むことができる。40

**【 0 0 4 4 】**

前記走査駆動部110は、複数の走査線Scan[1]、Scan[2]、...、Scan[n]を通じて前記パネル140に走査信号を順次供給することができる。

**【 0 0 4 5 】**

前記データ駆動部120は、複数のデータ線Data[1]、Data[2]、...、Data[m]を通じて前記パネル140にデータ信号を供給することができる。

**【 0 0 4 6 】**

前記発光制御駆動部130は、複数の発光制御線Em[1]、Em[2]、...、Em[n]

50

$n$ ]を通じて前記パネル140に発光制御信号を順次供給することができる。また、発光制御駆動部130は、発光制御信号のパルス幅を調節でき、かつ、一区間で発生する発光制御信号のパルス数を調節することができる。発光制御線Em[1]、Em[2]、...、Em[n]と繋がれている画素回路141(Pixel)は、発光制御信号を伝達され、画素回路141で生成された電流を発光素子に流す時点を決めることができる。

#### 【0047】

また、前記パネル140は行方向に配列されている複数の走査線Scan[1]、Scan[2]、...、Scan[n]及び発光制御線Em[1]、Em[2]、...、Em[n]と列行方向に配列される複数のデータ線Data[1]、Data[2]、...、Data[m]と、前記複数の走査線Scan[1]、Scan[2]、...、Scan[n]及びデータ線Data[1]、Data[2]、...、Data[m]と発光制御線Em[1]、Em[2]、...、Em[n]とによって定義される画素回路141を含むことができる。  
10

#### 【0048】

ここで前記画素回路において、奇数番目走査線（または奇数番目発光制御線）と隣接する2つのデータ線によって定義される画素領域上に、奇数番目画素部が形成されることができ、偶数番目走査線（または偶数番目発光制御線）と隣接する2つのデータ線によって定義される画素領域上に、偶数番目画素部が形成されることができる。勿論、上述したように前記走査線Scan[1]、Scan[2]、...、Scan[n]には前記走査駆動部110から走査信号が供給することができ、前記データ線Data[1]、Data[2]、...、Data[m]には前記データ駆動部120からデータ信号が供給することができ、前記発光制御線Em[1]、Em[2]、...、Em[n]には前記発光制御駆動部130から発光制御信号が供給することができる。  
20

#### 【0049】

図2を参照すれば、本発明による有機電界発光表示装置の画素回路の回路図が示されている。

#### 【0050】

図2に示されたように、有機電界発光表示装置の画素回路は、走査線Scan[n]、二つ前の走査線Scan[n-2]、データ線Data[m]、発光制御線Emn/2、第1電源電圧線ELVDD、第2電源電圧線ELVSS、第3電源電圧線Vinit、駆動トランジスタM1、第1スイッチング素子S1、第2スイッチング素子S2、第3スイッチング素子S3、第4スイッチング素子S4、第5スイッチング素子S5、第1容量性素子C1、第2容量性素子C2、及び有機電界発光素子OLEDを含むことができる。  
30

#### 【0051】

前記走査線Scan[n]は、発光させようとする有機電界発光素子OLEDを選択する走査信号を前記第1スイッチング素子S1の制御電極に供給する役割を果たす。勿論、このような走査線Scan[n]は走査信号を生成する走査駆動部110（図1参照）に電気的に連結することができる。

#### 【0052】

前記二つ前の走査線Scan[n-2]は、先に選択されたn-2番目の走査線を共通連結して用いる点で“Scan[n-2]”で表した。言い換えれば、前記二つ前の走査線Scan[n-2]は、奇数番目走査線である場合には以前奇数番目走査線と共に連結して用い、偶数番目走査線である場合には以前偶数番目走査線と共に連結して用いる点で、“Scan[n-2]”で表した。前記二つ前の走査線Scan[n-2]は、第3電源電圧Vinitを第1容量性素子C1と第2容量性素子C2に印加して第1容量性素子C1と第2容量性素子C2に保持されていた電圧を初期化させることができる。  
40

#### 【0053】

前記データ線Data[m]は、発光輝度に比例するデータ信号（電圧）を前記第1容量性素子C1の第1電極A及び前記駆動トランジスタM1の第1電極に供給する役割を果たせる。勿論、このようなデータ線Data[m]はデータ信号を生成するデータ駆動部  
50

120(図1参照)に電気的に連結されることができる。

**【0054】**

前記発光制御線 E m [ n / 2 ] は、実質的に前記有機電界発光素子 O L E D の発光時間 10 を制御できるように、前記第3スイッチング素子 S 3 の制御電極に電気的に連結されて第3スイッチング素子 S 3 を制御することができる。発光制御線 E m [ n / 2 ] は、発光制御信号を生成する発光制御駆動部 130(図1参照)に電気的に連結されることができる。

**【0055】**

前記第1電源電圧線 E L V D D は、第1電源電圧を有機電界発光素子 O L E D に供給する。

10

**【0056】**

前記第2電源電圧線 E L V S S は、第2電源電圧を有機電界発光素子 O L E D に供給する。ここで、前記第1電源電圧は、通常前記第2電源電圧に比べてハイレベルであり得る。

**【0057】**

前記第3電源電圧線 V i n i t は、第3電源電圧を第1容量性素子 C 1 と第2容量性素子 C 2 に印加して、前記第1容量性素子 C 1 と第2容量性素子 C 2 に保持されていた電圧を初期化させることができる。

**【0058】**

前記第1スイッチング素子 S 1 は、第1電極(ドレーン電極またはソース電極)が前記データ線 D a t a [ m ] に電気的に連結され、第2電極(ソース電極またはドレーン電極)が駆動トランジスタ M 1 の第1電極に電気的に連結され、制御電極(ゲート電極)が走査線 S c a n [ n ] に電気的に連結されることができる。このような第1スイッチング素子 S 1 はターンオンされると、データ信号を第1容量性素子 C 1 の第1電極 A 及び駆動トランジスタ M 1 の第1電極に供給することができる。

20

**【0059】**

前記第2スイッチング素子 S 2 は、第1電極が第1スイッチング素子 S 1 と駆動トランジスタ M 1 間に電気的に連結され、第2電極が第1電源電圧線 E L V D D と第1容量性素子 C 1 の第1電極に電気的に連結され、制御電極が発光制御線 E m / 2 に電気的に連結される 30 ことができる。前記第2スイッチング素子 S 2 は、制御電極にローレベルの走査信号が印加されると、ターンオンされて駆動トランジスタ M 1 に第1電源電圧 V D D を印加することができる。

**【0060】**

前記第3スイッチング素子 S 3 は、第1電極が駆動トランジスタ M 1 と第5スイッチング素子 S 5 間に電気的に連結され、第2電極が有機電界発光素子 O L E D のアノードに電気的に連結され、制御電極が発光制御線 E m [ n / 2 ] に電気的に連結される 40 ことができる。前記第3スイッチング素子 S 3 は、制御電極にローレベルの発光制御信号が印加されるとターンオンされて、駆動トランジスタ M 1 の駆動電流を有機電界発光素子 O L E D に流す。

**【0061】**

前記第4スイッチング素子 S 4 は、第1電極が駆動トランジスタ M 1 の制御電極と第1容量性素子 C 1 間に電気的に連結され、第2電極が第3電源電圧線 V i n i t に電気的に連結され、制御電極が二つ前の走査線 S c a n [ n - 2 ] に電気的に連結される 50 ことができる。前記第4スイッチング素子 S 4 は、制御電極にローレベルの走査信号が印加されるとターンオンされて、第1容量性素子 C 1 及び第2容量性素子 C 2 に保持されていた電圧を初期化させる。

**【0062】**

前記第5スイッチング素子 S 5 は、第1電極が駆動トランジスタ M 1 の制御電極と第1容量性素子 C 1 間に電気的に連結され、第2電極が駆動トランジスタ M 1 と第3スイッチング素子 S 3 間に電気的に連結され、制御電極が走査線 S c a n [ n ] に電気的に連結さ

50

れる。前記第5スイッチング素子S5は、制御電極にローレベルの走査信号が印加されるとターンオンされて、駆動トランジスタM1をダイオード構造で連結する。

#### 【0063】

前記第1容量性素子C1の第1電極は、第1電源電圧線E<sub>L V D D</sub>と第2スイッチング素子S2間に電気的に連結され、その第2電極は、駆動トランジスタM1と第4スイッチング素子S4間に電気的に連結されることができる。前記第1容量性素子C1は、第1電極Aと第2電極B間の電圧差を保持することができる。

#### 【0064】

前記第2容量性素子C2の第1電極は、前記走査線S<sub>c a n [ n ]</sub>と第1スイッチング素子S1の制御電極間に電気的に連結され、その第2電極が駆動トランジスタM1の制御電極に電気的に連結されることができる。画素回路を駆動するための第1電源電圧は、データ電圧の最大階調電圧より小さいかまたは同じでなければならない。データ電圧が最大階調電圧（ブラック電圧）であるとき、第1電源電圧線E<sub>L V D D</sub>の第1電源電圧が一定電圧以下にならなければならない。このとき、有機電界発光素子O<sub>L E D</sub>の駆動電圧は一定に維持されなければならないため、第2電源電圧線E<sub>L V S S</sub>の第2電源電圧も落ちるようになる。すなわち、データ電圧の最大階調電圧（ブラック電圧）は約5Vであるため、第1電源電圧も5Vを越えて設定することができない。したがって、第1電源電圧と第2電源電圧との差が11Vを維持するために、第2電源電圧は反転の電圧値-6Vを持たなければならず、その場合、第1電源電圧及び第2電源電圧を供給するDC/DCコンバータの効率が相対的に落ちて画素回路の全体効率が減少する。DC/DCコンバータの効率を増加させるために第1電源電圧及び第2電源電圧のすべてが正の電圧範囲を持つことが望ましい。10

#### 【0065】

これを補償するために第2容量性素子C2を連結した。このような前記第2容量性素子C2は、駆動トランジスタの制御電極の電圧を上昇させることができる。ここで、制御電極の電圧はデータ電圧と閾値電圧との和(sum)で表すことができる。

#### 【0066】

前記駆動トランジスタM1の第1電極は、第1スイッチング素子S1と第2スイッチング素子S2間に電気的に連結され、その第2電極は第5スイッチング素子S5と第3スイッチング素子S3間に電気的に連結され、制御電極が第1容量性素子C1と、第4スイッチング素子S4及び第5スイッチング素子S5間に電気的に連結される。このような駆動トランジスタM1は、第1電源電圧線E<sub>L V D D</sub>から印加される第1電源電圧とデータ線D<sub>a t a [ m ]</sub>から印加されるデータ電圧とで生成された一定量の電流を有機電界発光素子O<sub>L E D</sub>に供給する役割をする。30

#### 【0067】

前記有機電界発光素子O<sub>L E D</sub>のアノードは、第3スイッチング素子の第2電極に電気的に連結され、そのカソードが第2電源電圧線E<sub>L V S S</sub>に電気的に連結されることができる。前記駆動トランジスタM1から印加される電流が第3スイッチング素子S3を通じて有機電界発光素子O<sub>L E D</sub>に印加されて、有機電界発光素子O<sub>L E D</sub>は所定の明るさで発光する。40

#### 【0068】

図3を参照すれば、本発明による有機電界発光表示装置の走査駆動部及び発光制御駆動部におけるシフトレジスタのブロック図が示されている。

#### 【0069】

図3に示されたように、シフトレジスタは、シフトレジスタ入力信号I<sub>N [ S R ]</sub>、クロック信号C<sub>L K</sub>、及び反転クロック信号C<sub>L K B</sub>が入力され、シフトレジスタ入力信号I<sub>N [ S R ]</sub>が片側にシフトされたシフトレジスタ出力信号O<sub>U T [ S R ]</sub>を出力することができる。前記シフトレジスタは、ローレベルのクロック信号C<sub>L K</sub>及びハイレベルの反転クロック信号C<sub>L K B</sub>が印加されるときは入力信号I<sub>N [ S R ]</sub>と同じ出力信号O<sub>U T [ S R ]</sub>を出力し、ハイレベルの出力信号O<sub>U T [ S R ]</sub>及びローレベルの反転クロック信号C<sub>L K B</sub>が印加されるときは出力信号O<sub>U T [ S R ]</sub>を反転する。50

ク信号 C L K B が印加されるときは以前出力信号と同じ出力信号 O U T [ S R ] を出力することができる。ここで以前出力信号は、ハイレベルの出力信号 O U T [ S R ] 及びローレベルの反転クロック信号 C L K B が印加される直前にローレベルのクロック信号 C L K とハイレベルの反転クロック信号 C L K B が印加されるときに出力された出力信号を意味する。

## 【 0 0 7 0 】

図 4 を参照すれば、図 3 に示されたシフトレジスタの回路図が示されている。

## 【 0 0 7 1 】

図 4 に示されたように、本発明による有機電界発光表示装置の走査駆動部及び発光制御駆動部においてシフトレジスタは、クロック信号 C L K 、反転クロック信号 C L K B 、シフトレジスタ入力信号 I N [ S R ] 、第 1 電源電圧線 V D D 、第 2 電源電圧線 V S S 、第 1 P M O S スイッチング素子 P 1 、第 2 P M O S スイッチング素子 P 2 、第 3 P M O S スイッチング素子 P 3 、第 4 P M O S スイッチング素子 P 4 、第 5 P M O S スイッチング素子 P 5 、第 1 N M O S スイッチング素子 N 1 、第 2 N M O S スイッチング素子 N 2 、第 3 N M O S スイッチング素子 N 3 、第 4 N M O S スイッチング素子 N 4 、及び第 5 N M O S スイッチング素子 N 5 を含むことができる。10

## 【 0 0 7 2 】

前記クロック信号 C L K と前記反転クロック信号 C L K B とは逆の信号であって、前記クロック信号 C L K がハイレベルである場合に、前記反転クロック信号 C L K B はローレベルになり、前記クロック信号 C L K がローレベルである場合に、前記反転クロック信号 C L K B はハイレベルになる。20

## 【 0 0 7 3 】

前記第 1 電源電圧線 V D D は、第 1 電源電圧をシフトレジスタ S R に供給する。

## 【 0 0 7 4 】

前記第 2 電源電圧線 V S S は、第 2 電源電圧をシフトレジスタ S R に供給する。ここで、前記第 1 電源電圧は通常前記第 2 電源電圧に比べてハイレベルであり得る。

## 【 0 0 7 5 】

前記第 1 P M O S スイッチング素子 P 1 の第 1 電極（ドレーン電極またはソース電極）は第 1 電源電圧 V D D に電気的に連結され、第 2 電極（ソース電極またはドレーン電極）は第 2 P M O S スイッチング素子 P 2 に電気的に連結され、制御電極（ゲート電極）はクロック信号 C L K に電気的に連結されることができる。このような第 1 P M O S スイッチング素子 P 1 は、制御電極にローレベルのクロック信号 C L K が入力されるとターンオンされて、第 1 電源電圧 V D D を第 2 P M O S スイッチング素子 P 2 の第 1 電極に供給することができる。30

## 【 0 0 7 6 】

前記第 2 P M O S スイッチング素子 P 2 の第 1 電極は前記第 1 P M O S スイッチング素子 P 1 の第 2 電極に電気的に連結され、第 2 電極は前記第 1 N M O S スイッチング素子 N 1 の第 1 電極、すなわち、第 1 ノード A に電気的に連結され、制御電極はシフトレジスタ入力信号 I N [ S R ] に電気的に連結されることができる。このような第 2 P M O S スイッチング素子 P 2 は、制御電極にローレベルのシフトレジスタ入力信号 I N [ S R ] が入力されるとターンオンされて、第 1 P M O S スイッチング素子 P 1 から供給された第 1 電源電圧 V D D を第 1 ノード A に供給することができる。40

## 【 0 0 7 7 】

前記第 3 P M O S スイッチング素子 P 3 の第 1 電極は第 1 電源電圧 V D D に電気的に連結され、第 2 電極は第 4 P M O S スイッチング素子 P 4 に電気的に連結され、制御電極は反転クロック信号 C L K B に電気的に連結されることができる。このような第 3 P M O S スイッチング素子 P 3 は、制御電極にローレベルの反転クロック信号 C L K B が入力されるとターンオンされて、第 1 電源電圧 V D D を第 4 P M O S スイッチング素子 P 4 の第 1 電極に供給することができる。

## 【 0 0 7 8 】

前記第4PMOSスイッチング素子P4の第1電極は前記第3PMOSスイッチング素子P3の第2電極に電気的に連結され、第2電極は前記第3NMOSスイッチング素子N3の第1電極、すなわち、第1ノードAに電気的に連結され、制御電極はシフトレジスタ出力信号OUT[SR]に電気的に連結されることができる。このような第4PMOSスイッチング素子P4は、制御電極にローレベルのシフトレジスタ出力信号OUT[SR]が入力されるとターンオンされて、第3PMOSスイッチング素子P3から供給された第1電源電圧VDDを第1ノードAに供給することができる。

#### 【0079】

前記第5PMOSスイッチング素子P5の第1電極は第1電源電圧VDDに電気的に連結され、第2電極は第5NMOSスイッチング素子N5の第1電極に電気的に連結され、制御電極は第1ノードAに電気的に連結されることができる。このような第5PMOSスイッチング素子P5は、制御電極にローレベルの信号が第1ノードAを通じて入力されるとターンオンされて、第1電源電圧VDDをシフトレジスタ出力信号OUT[SR]に出力することができる。

10

#### 【0080】

前記第1NMOSスイッチング素子N1の第1電極は第2NMOSスイッチング素子N2に電気的に連結され、第2電極は第2電源電圧VSSに電気的に連結され、制御電極は反転クロック信号CLKBに電気的に連結されることがある。このような第1NMOSスイッチング素子N1は、制御電極にハイレベルの反転クロック信号CLKBが入力されるとターンオンされて、第2電源電圧VSSを第2NMOSスイッチング素子N2の第2電極に供給することができる。

20

#### 【0081】

前記第2NMOSスイッチング素子N2の第1電極は前記第2PMOSスイッチング素子P2の第2電極、すなわち、第1ノードAに電気的に連結され、第2電極は前記第1NMOSスイッチング素子N1の第1電極に電気的に連結され、制御電極はシフトレジスタ入力信号IN[SR]に電気的に連結されることがある。このような第2NMOSスイッチング素子N2は、制御電極にハイレベルのシフトレジスタ入力信号IN[SR]が入力されるとターンオンされて、第1NMOSスイッチング素子N1から供給された第2電源電圧VSSを第1ノードAに供給することができる。

30

#### 【0082】

前記第3NMOSスイッチング素子N3の第1電極は第4NMOSスイッチング素子N4に電気的に連結され、第2電極は第2電源電圧VSSに電気的に連結され、制御電極はクロック信号CLKに電気的に連結されることがある。このような第3NMOSスイッチング素子N3は、制御電極にハイレベルのクロック信号CLKが入力されるとターンオンされて、第2電源電圧VSSを第4NMOSスイッチング素子N4の第2電極に供給することができる。

#### 【0083】

前記第4NMOSスイッチング素子N4の第1電極は前記第4PMOSスイッチング素子P4の第2電極、すなわち、第1ノードAに電気的に連結され、第2電極は前記第3NMOSスイッチング素子N3の第1電極に電気的に連結され、制御電極はシフトレジスタ出力信号OUT[SR]に電気的に連結されることがある。このような第4NMOSスイッチング素子N4は、制御電極にハイレベルのシフトレジスタ出力信号OUT[SR]が入力されるとターンオンされて、第3NMOSスイッチング素子N3から供給された第2電源電圧VSSを第1ノードAに供給することができる。

40

#### 【0084】

前記第5NMOSスイッチング素子N5の第1電極は第5PMOSスイッチング素子P5の第2電極に電気的に連結され、第2電極は第2電源電圧VSSに電気的に連結され、制御電極は第1ノードAに電気的に連結されることがある。このような第5NMOSスイッチング素子N5は、制御電極にハイレベルの信号が第1ノードAを通じて入力されるとターンオンされて、第2電源電圧VSSをシフトレジスタ出力信号OUT[SR]に出

50

力することができる。

**【0085】**

図5を参照すれば、本発明による有機電界発光表示装置の発光制御駆動部を示したプロック図が示されている。

**【0086】**

図5に示されたように、有機電界発光表示装置の発光制御駆動部はクロックインバータ  $I_{n v\_C L K}$ 、及び第1シフトレジスタ  $S R 1$ ないし第  $n / 2$  シフトレジスタ  $S R n / 2$  を含むことができる。

**【0087】**

前記クロックインバータ  $I_{n v\_C L K}$  は、前記クロック信号  $C L K$  を伝達されて前記反転クロック信号  $C L K_B$  を生成し、第1シフトレジスタ  $S R 1$ ないし第  $n / 2$  シフトレジスタ  $S R n / 2$  に供給することができる。そして、前記クロック信号  $C L K$  がハイレベルである場合に、前記反転クロック信号  $C L K_B$  はローレベルになり、前記クロック信号  $C L K$  がローレベルである場合に、前記反転クロック信号  $C L K_B$  はハイレベルになる逆の信号である。10

**【0088】**

前記第1シフトレジスタ  $S R 1$  は、入力端子  $I_n$  が初期駆動線  $F L M$  と電気的に連結され、第1クロック端子  $c 1 k_a$  が原始クロック線  $C L K$  に電気的に連結され、第2クロック端子  $c 1 k_b$  が原始反転クロック線  $C L K_B$  に電気的に連結され、出力端子  $O u t$  に第1シフトレジスタ  $S R 1$  の出力信号を出力することができる。前記第1シフトレジスタ  $S R 1$  の出力信号は初期駆動信号を片側にシフトした信号であって、第1発光制御線  $E m [ 1 ]$  に出力される第1発光制御信号となる。前記第1シフトレジスタ  $S R 1$  の出力信号である第1発光制御信号は、第2シフトレジスタ  $S R 2$  の入力信号であり得る。20

**【0089】**

前記第2シフトレジスタ  $S R 2$  は、入力端子  $I_n$  が第1発光制御線  $E m [ 1 ]$  と電気的に連結され、第1クロック端子  $c 1 k_a$  が原始反転クロック線  $C L K_B$  に電気的に連結され、第2クロック端子  $c 1 k_b$  が原始クロック線  $C L K$  に電気的に連結され、出力端子  $O u t$  に第2シフトレジスタ  $S R 2$  の出力信号を出力する。前記第2シフトレジスタ  $S R 2$  の出力信号は、第1発光制御信号を片側にシフトした信号であって、第2発光制御線  $E m [ 2 ]$  に出力される第2発光制御信号となり得る。前記第2シフトレジスタ  $S R 2$  の出力信号である第2発光制御信号は第3シフトレジスタ  $S R 3$  の入力信号であり得る。30

**【0090】**

前記第3シフトレジスタ  $S R 3$  ないし第  $n / 2$  シフトレジスタ  $S R n / 2$  のうち奇数番目シフトレジスタは、前記第1シフトレジスタ  $S R 1$  と同様に第1クロック端子  $c 1 k_a$  が原始クロック線  $C L K$  に電気的に連結され、第2クロック端子  $c 1 k_b$  が原始反転クロック線  $C L K_B$  に電気的に連結され、出力端子  $O u t$  に出力信号を出力することができる。そして、偶数番目シフトレジスタは、第2シフトレジスタ  $S R 2$  と同様に第1クロック端子  $c 1 k_a$  が原始反転クロック線  $C L K_B$  に電気的に連結され、第2クロック端子  $c 1 k_b$  が原始クロック線  $C L K$  に電気的に連結され、出力端子  $O u t$  に出力信号を出力することができる。このとき、シフトレジスタの入力端子は、以前シフトレジスタの出力端子  $O u t$  に出力された発光制御信号が印加される。すなわち、第3シフトレジスタ  $S R 3$  ないし第  $n / 2$  シフトレジスタ  $S R n / 2$  の入力端子  $I_n$  には、第2シフトレジスタ  $S R 2$  ないし第  $n / 2 - 1$  シフトレジスタ  $S R n / 2 - 1$  の出力端子  $O u t$  に出力された第2発光制御信号ないし第  $n / 2 - 1$  発光制御信号がそれぞれ印加されることがある。40

**【0091】**

前記第1発光制御線  $E m [ 1 ]$  ないし第  $n / 2$  発光制御線  $E m [ n / 2 ]$  は、有機電界発光表示パネル140(図1参照)と電気的に連結され、発光制御信号を有機電界発光表示パネル140(図1参照)に印加することができる。

**【0092】**

図6を参照すれば図5に示された発光制御駆動部のタイミング図が示されている。

10

20

30

40

50

## 【0093】

図6に示されたように、発光制御駆動部のタイミング図は第1駆動期間T1、第2駆動期間T2、及び第3駆動期間T3を含むことができる。ここでシフトレジスタは、第1クロック端子c1kaにローレベルのクロック信号が印加されて第2クロック端子c1kbにハイレベルのクロック信号が印加されるときは、入力端子に印加された信号と同じ信号を出力し、第1クロック端子c1kaにハイレベルのクロック信号が印加されて第2クロック端子c1kbにローレベルのクロック信号が印加されるときは、以前期間に出力端子に出力された信号と同じ信号を出力する。前記第1シフトレジスタSR1ないし前記第n/2シフトレジスタn/2は、第1駆動期間T1ないし第3駆動期間T3と以前シフトレジスタから印加された入力信号、以前駆動期間の出力信号、原始クロック信号、原始反転クロック信号によってハイレベルの第1発光制御信号ないし第n/2発光制御信号を順次出力することができる。10

## 【0094】

前記第1駆動期間T1は、初期駆動線FLMからハイレベルの初期駆動信号、原始クロック線CLKからローレベルの原始クロック信号、及び原始反転クロック線CLKBからハイレベルの原始反転クロック信号が印加されることがある。

## 【0095】

まず、第1シフトレジスタSR1は入力端子にハイレベルの初期駆動信号が印加され、第1クロック端子c1kaにローレベルの原始クロック信号が印加され、第2クロック端子c1kbにハイレベルの原始反転クロック信号が印加されるため、出力端子は入力端子に印加されたハイレベルの初期駆動信号と同じハイレベルの第1発光制御信号を出力することができる。20

## 【0096】

次いで、第2シフトレジスタSR2は入力端子にハイレベルの第1発光制御信号が印加され、第1クロック端子c1kaにハイレベルの原始反転クロック信号が印加され、第2クロック端子c1kbにローレベルの原始クロック信号が印加されるため、出力端子は以前駆動期間の出力信号と同じローレベルの第2発光制御信号を出力することができる。

## 【0097】

次いで、第3シフトレジスタSR3は入力端子にローレベルの第2発光制御信号が印加され、第1クロック端子c1kaにローレベルの原始クロック信号が印加され、第2クロック端子c1kbにハイレベルの反転クロック信号が印加されるため、出力端子は入力端子に印加されたローレベルの第2発光制御信号と同じローレベルの第3発光制御信号を出力することができる。30

## 【0098】

最後に、第4シフトレジスタSR4ないし第n/2シフトレジスタn/2のうち偶数番目レジスタは、第2シフトレジスタSR2と同様に動作してローレベルの発光信号を出力し、奇数番目レジスタは第3シフトレジスタSR3と同様に動作してローレベルの発光信号を出力することができる。

## 【0099】

前記第2駆動期間T2は、初期駆動線FLMからローレベルの初期駆動信号、原始クロック線CLKからハイレベルの原始クロック信号、及び原始反転クロック線CLKBからローレベルの原始反転クロック信号が印加されることがある。40

## 【0100】

まず、第1シフトレジスタSR1は、入力端子にローレベルの初期駆動信号が印加され、第1クロック端子c1kaにハイレベルの原始クロック信号が印加され、第2クロック端子c1kbにローレベルの原始反転クロック信号が印加されるため、出力端子は第1駆動期間T1の出力信号と同じハイレベルの第1発光制御信号を出力することができる。

## 【0101】

次いで、第2シフトレジスタSR2は、入力端子にハイレベルの第1発光制御信号が印加され、第1クロック端子c1kaにローレベルの原始反転クロック信号が印加され、第50

2クロック端子c1k bにハイレベルの原始クロック信号が印加されるため、出力端子は入力端子に印加されたハイレベルの第1発光制御信号と同じハイレベルの第2発光制御信号を出力することができる。

#### 【0102】

次いで、第3シフトレジスタSR3は、入力端子にハイレベルの第2発光制御信号が印加され、第1クロック端子c1k aにハイレベルの原始クロック信号が印加され、第2クロック端子c1k bにローレベルの反転クロック信号が印加されるため、出力端子は第1駆動期間T1の出力信号と同じローレベルの第3発光制御信号を出力することができる。

#### 【0103】

次いで、第4シフトレジスタSR2は、入力端子にローレベルの第3発光制御信号が印加され、第1クロック端子c1k aにローレベルの原始反転クロック信号が印加され、第2クロック端子c1k bにハイレベルの原始クロック信号が印加されるため、出力端子は入力端子に印加されたローレベルの第3発光制御信号と同じローレベルの第4発光制御信号を出力することができる。10

#### 【0104】

最後に、第5シフトレジスタSR5ないし第n/2シフトレジスタn/2のうち奇数番目レジスタは、第3シフトレジスタSR3と同様に動作してローレベルの発光信号を出力し、偶数番目レジスタは第4シフトレジスタSR4と同様に動作してローレベルの発光信号を出力する。

#### 【0105】

前記第3駆動期間T3は、初期駆動線FLMからローレベルの初期駆動信号、原始クロック線CLKからローレベルの原始クロック信号、及び原始反転クロック線CLKBからハイレベルの原始反転クロック信号が印加されることがある。

#### 【0106】

まず、第1シフトレジスタSR1は入力端子にローレベルの初期駆動信号が印加され、第1クロック端子c1k aにローレベルの原始クロック信号が印加され、第2クロック端子c1k bにハイレベルの原始反転クロック信号が印加されるため、出力端子は入力端子に印加されたローレベルの初期駆動信号と同じローレベルの第1発光制御信号を出力することができる。20

#### 【0107】

次いで、第2シフトレジスタSR2は入力端子にローレベルの第1発光制御信号が印加され、第1クロック端子c1k aにハイレベルの原始反転クロック信号が印加され、第2クロック端子c1k bにローレベルの原始クロック信号が印加されるため、出力端子は第2駆動期間T2の出力信号と同じハイレベルの第2発光制御信号を出力することができる。30

#### 【0108】

次いで、第3シフトレジスタSR3は入力端子にハイレベルの第2発光制御信号が印加され、第1クロック端子c1k aにローレベルの原始クロック信号が印加され、第2クロック端子c1k bにハイレベルの反転クロック信号が印加されるため、出力端子は入力端子に印加されたハイレベルの第2発光制御信号と同じハイレベルの第3発光制御信号を出力することができる。40

#### 【0109】

次いで、第4シフトレジスタSR4は入力端子にハイレベルの第3発光制御信号が印加され、第1クロック端子c1k aにハイレベルの原始反転クロック信号が印加され、第2クロック端子c1k bにローレベルの原始クロック信号が印加されるため、出力端子は第2駆動期間T2の出力信号と同じローレベルの第4発光制御信号を出力することができる。

#### 【0110】

次いで、第5シフトレジスタSR5は入力端子にローレベルの第4発光制御信号が印加され、第1クロック端子c1k aにローレベルの原始クロック信号が印加され、第2クロ

ック端子  $c_{1k}b$  にハイレベルの反転クロック信号が印加されるため、出力端子は入力端子に印加されたローレベルの第 4 発光制御信号と同じローレベルの第 5 発光制御信号を出力することができる。

#### 【 0 1 1 1 】

最後に、第 6 シフトレジスタ S R 6 ないし第  $n / 2$  シフトレジスタ  $n / 2$  のうち偶数番目レジスタは、第 4 シフトレジスタ S R 4 と同様に動作してローレベルの発光信号を出力し、奇数番目レジスタは第 5 シフトレジスタ S R 5 と同様に動作してローレベルの発光信号を出力することができる。

#### 【 0 1 1 2 】

前記第 1 シフトレジスタ S R 1 ないし前記第  $n / 2$  シフトレジスタ  $n / 2$  は、第 1 駆動期間 T 1 ないし第 3 駆動期間 T 3 及び以前シフトレジスタから印加された入力信号と、以前駆動期間の出力信号によってハイレベルの第 1 発光制御信号ないし第  $n / 2$  発光制御信号を順次出力することができる。 10

#### 【 0 1 1 3 】

図 7 を参照すれば、本発明による有機電界発光表示装置の走査駆動部を示したブロック図が示されている。

#### 【 0 1 1 4 】

図 7 に示されたように、有機電界発光表示装置の走査駆動部はクロックインバータ  $I_{nv\_CLK}$ 、第 1 シフトレジスタ S R 1 ないし第  $n / 2$  シフトレジスタ S R  $n / 2$ 、及び第 1 NAND ゲート N AND 1 ないし第  $n$  N AND ゲート N AND  $n$  を含むことができる。前記第 1 シフトレジスタ S R 1 ないし第  $n / 2$  シフトレジスタ S R  $n / 2$  は、図 5 に示された発光制御駆動部の第 1 シフトレジスタ S R 1 ないし第  $n / 2$  シフトレジスタ S R  $n / 2$  と同じシフトレジスタである。そのため、第 1 シフトレジスタ S R 1 ないし第  $n / 2$  シフトレジスタ S R  $n / 2$  の出力信号は、第 1 発光制御信号ないし第  $n / 2$  発光制御信号  $n / 2$  である。前記クロックインバータ  $I_{nv\_CLK}$  も、図 5 に示されたクロックインバータ  $I_{nv\_CLK}$  と同じインバータである。 20

#### 【 0 1 1 5 】

前記クロックインバータ  $I_{nv\_CLK}$  は、前記クロック信号 C L K を伝達されて前記反転クロック信号 C L K B を生成して第 1 シフトレジスタ S R 1 ないし第  $n / 2$  シフトレジスタ S R  $n / 2$  に供給することができる。そして、前記クロック信号 C L K がハイレベルである場合に、前記反転クロック信号 C L K B はローレベルになり、前記クロック信号 C L K がローレベルである場合に、前記反転クロック信号 C L K B はハイレベルになる逆信号である。 30

#### 【 0 1 1 6 】

前記第 1 シフトレジスタ S R 1 は、入力端子 I n が初期駆動線 F L M と電気的に連結され、第 1 クロック端子  $c_{1k}a$  が原始クロック線 C L K に電気的に連結され、第 2 クロック端子  $c_{1k}b$  が原始反転クロック線 C L K B に電気的に連結され、出力端子 O ut に第 1 シフトレジスタ S R 1 の出力信号を出力することができる。前記第 1 シフトレジスタ S R 1 の出力信号は初期駆動信号を片側にシフトした信号であって、第 1 発光制御線 E m [ 1 ] に出力される第 1 発光制御信号となる。前記第 1 シフトレジスタ S R 1 の出力信号である第 1 発光制御信号は第 2 シフトレジスタ S R 2 の入力信号であり得る。 40

#### 【 0 1 1 7 】

前記第 1 N AND ゲート N AND 1 は、初期駆動線 F L M、第 1 クロック線 S C L K 1 及び第 1 発光制御線 E m [ 1 ] と電気的に連結され、初期駆動信号、第 1 クロック信号及び第 1 発光制御信号を印加されて第 1 走査線に第 1 走査信号を出力することができる。

#### 【 0 1 1 8 】

前記第 2 シフトレジスタ S R 2 は、入力端子 I n が第 1 発光制御線 E m [ 1 ] と電気的に連結され、第 1 クロック端子  $c_{1k}a$  が原始反転クロック線 C L K B に電気的に連結され、第 2 クロック端子  $c_{1k}b$  が原始クロック線 C L K に電気的に連結され、出力端子 O ut に第 2 シフトレジスタ S R 2 の出力信号を出力することができる。前記第 2 シフトレ 50

ジスタ S R 2 の出力信号は、第 1 発光制御信号を片側にシフトした信号であって、第 2 発光制御線 E m [ 2 ] に出力される第 2 発光制御信号となる。前記第 2 シフトレジスタ S R 2 の出力信号である第 2 発光制御信号は第 3 シフトレジスタ S R 3 の入力信号であり得る。

#### 【 0 1 1 9 】

前記第 2 N A N D ゲート N A N D 2 は、第 1 発光制御線 E m [ 1 ]、第 2 クロック線 S C L K 2 及び第 2 発光制御線 E m [ 2 ] と電気的に連結され、第 1 発光制御信号、第 2 クロック信号及び第 2 発光制御信号を印加されて第 2 走査線に第 2 走査信号を出力することができる。

#### 【 0 1 2 0 】

前記第 3 N A N D ゲート N A N D 3 は、第 1 発光制御線 E m [ 1 ]、第 1 クロック線 S C L K 1 及び第 2 発光制御線 E m [ 2 ] と電気的に連結され、第 1 発光制御信号、第 1 クロック信号及び第 2 発光制御信号を印加されて第 3 走査信号を第 3 走査線に出力することができる。

#### 【 0 1 2 1 】

前記第 4 N A N D ゲート N A N D 4 は、第 2 発光制御線 E m [ 2 ]、第 2 クロック線 S C L K 2 及び第 3 発光制御線 E m [ 3 ] と電気的に連結され、第 2 発光制御信号、第 2 クロック信号及び第 3 発光制御信号を印加されて第 4 走査信号を第 4 走査線に出力することができる。

#### 【 0 1 2 2 】

前記第 5 N A N D ゲート N A N D 5 ないし第 n N A N D ゲート N A N D n のうち奇数番目 N A N D ゲートは、前記第 3 N A N D ゲート N A N D 3 と同様に第 1 クロック線 S C L K 1 と 2 つの発光制御線に電気的に連結され、走査線に走査信号ルを出力することができる。ここで 2 つの発光制御線は、奇数番目 N A N D ゲートを第 a N A N D ゲートとすると、第 ( a - 1 ) / 2 発光制御線 E m [ ( a - 1 ) / 2 ] と第 ( n + 1 ) / 2 発光制御線 E m [ ( n + 1 ) / 2 ] である。そして、偶数番目 N A N D ゲートは、前記第 4 N A N D ゲート N A N D 4 と同様に第 2 クロック線 S C L K 2 と 2 つの発光制御線に電気的に連結され、走査線に走査信号を出力することができる。ここで 2 つの発光制御線は、偶数番目 N A N D ゲートを第 b N A N D ゲートとすると、第 b / 2 発光制御線 E m [ b / 2 ] と第 b / 2 + 1 発光制御線 E m [ b / 2 + 1 ] である。

#### 【 0 1 2 3 】

前記第 1 走査線 S c a n [ 1 ] ないし第 n 走査線 S c a n [ n ] は、有機電界発光表示パネル 1 4 0 ( 図 1 参照 ) と電気的に連結されて走査信号を有機電界発光表示パネル 1 4 0 ( 図 1 参照 ) に印加することができる。

#### 【 0 1 2 4 】

前記第 3 シフトレジスタ S R 3 ないし第 n / 2 シフトレジスタ S R n / 2 のうち奇数番目シフトレジスタは、前記第 1 シフトレジスタ S R 1 と同様に第 1 クロック端子 c l k a が原始クロック線 C L K に電気的に連結され、第 2 クロック端子 c l k b が原始反転クロック線 C L K B に電気的に連結され、出力端子 O u t に出力信号を出力することができる。そして、偶数番目シフトレジスタは第 2 シフトレジスタ S R 2 と同様に第 1 クロック端子 c l k a が原始反転クロック線 C L K B に電気的に連結され、第 2 クロック端子 c l k b が原始クロック線 C L K に電気的に連結されて出力端子 O u t に出力信号を出力することができる。このとき、シフトレジスタの入力端子は以前シフトレジスタの出力端子 O u t に出力された発光制御信号が印加される。すなわち、第 3 シフトレジスタ S R 3 ないし第 n / 2 シフトレジスタ S R n / 2 の入力端子 I n には、第 2 シフトレジスタ S R 2 ないし第 n / 2 - 1 シフトレジスタ S R n / 2 - 1 の出力端子 O u t に出力された第 2 発光制御信号ないし第 n / 2 - 1 発光制御信号がそれぞれ印加されることがある。

#### 【 0 1 2 5 】

前記第 1 発光制御線 E m [ 1 ] ないし第 n / 2 発光制御線 E m [ n / 2 ] は、有機電界発光表示パネル 1 4 0 ( 図 1 参照 ) と電気的に連結されて発光制御信号を有機電界発光表

10

20

30

40

50

示パネル 140 (図 1 参照) に印加することができる。

**【0126】**

図 8 を参照すれば、図 7 に示された走査駆動部のタイミング図が示されている。

**【0127】**

図 8 に示されたように、前記走査タイミング図は、第 1 駆動期間 T1、第 2 駆動期間 T2 及び第 3 駆動期間 T3 を含むことができる。そして、第 1 駆動期間 T1、第 2 駆動期間 T2 及び第 3 駆動期間 T3 は第 1 サブ駆動期間、遅延期間及び第 2 サブ駆動期間含むことができる。前記第 1 サブ駆動期間、遅延期間及び第 2 サブ駆動期間は、第 1 クロック線 SCLK1 の第 1 クロック信号、第 2 クロック線 SCLK2 の第 2 クロック信号及び発光制御線 Em[1]、Em[2]、…、Em[n/2] の発光制御信号が第 1 NAND ゲート NAND1 ないし第 n NAND ゲート NANDn に印加されて走査線 Scan[1]、Scan[2]、…Scan[n] に走査信号を出力する区間を表す。前記第 1 クロック信号と第 2 クロック信号は位相が反転されてローレベルで所定部分オーバーラップされた信号である。これは出力される走査信号間に所定の時間間隔を設け、これはクロックスキュー (skew) または遅延 (delay) に対するマージンを確保させる。  
10

**【0128】**

前記第 1 駆動期間 T1 は、初期駆動線 FLM からハイレベルの初期駆動信号、原始クロック線 CLK からローレベルの原始クロック信号、及び原始反転クロック線 CLKB からハイレベルの原始反転クロック信号が印加されることがある。

**【0129】**

まず、第 1 シフトレジスタ SR1 は、入力端子にハイレベルの初期駆動信号が印加され、第 1 クロック端子 clk\_a にローレベルの原始クロック信号が印加され、第 2 クロック端子 clk\_b にハイレベルの原始反転クロック信号が印加されるため、出力端子は入力端子に印加されたハイレベルの初期駆動信号と同じハイレベルの第 1 発光制御信号を出力することができる。  
20

**【0130】**

次いで、第 2 シフトレジスタ SR2 は入力端子にハイレベルの第 1 発光制御信号が印加され、第 1 クロック端子 clk\_a にハイレベルの原始反転クロック信号が印加され、第 2 クロック端子 clk\_b にローレベルの原始クロック信号が印加されるため、出力端子は以前駆動期間の出力信号と同じローレベルの第 2 発光制御信号を出力することができる。  
30

**【0131】**

次いで、第 3 シフトレジスタ SR3 は入力端子にローレベルの第 2 発光制御信号が印加され、第 1 クロック端子 clk\_a にローレベルの原始クロック信号が印加され、第 2 クロック端子 clk\_b にハイレベルの反転クロック信号が印加されるため、出力端子は入力端子に印加されたローレベルの第 2 発光制御信号と同じローレベルの第 3 発光制御信号を出力することができる。

**【0132】**

最後に、第 4 シフトレジスタ SR4 ないし第 n/2 シフトレジスタ n/2 のうち偶数番目レジスタは、第 2 シフトレジスタ SR2 と同様に動作してローレベルの発光信号を出力し、奇数番目レジスタは第 3 シフトレジスタ SR3 と同様に動作してローレベルの発光信号を出力することができる。  
40

**【0133】**

前記第 1 駆動期間 T1 の第 1 サブ駆動期間 T11 は、第 1 NAND ゲート NAND1 ないし第 n NAND ゲート NANDn に第 1 クロック線 SCLK1 から印加されるローレベルの第 1 クロック信号及び第 2 クロック線 SCLK2 から印加されるハイレベルの第 2 クロック信号を印加することができる。

**【0134】**

まず、第 1 NAND ゲート NAND1 はローレベルの第 1 クロック信号、ハイレベルの初期駆動信号、ハイレベルの第 1 発光制御信号が印加され、第 1 走査線 Scan[1] からハイレベルの第 1 走査信号を出力することができる。  
50

**【 0 1 3 5 】**

次いで、第 2 N A N D ゲート N A N D 2 はハイレベルの第 2 クロック信号、ハイレベルの第 1 発光制御信号、ローレベルの第 2 発光制御信号が印加され、第 2 走査線 S c a n [ 2 ] からハイレベルの第 2 走査信号を出力することができる。

**【 0 1 3 6 】**

最後に、第 3 N A N D ゲート N A N D 3 ないし第 n N A N D ゲート N A N D n に電気的に連結された第 2 発光制御線 E m [ 2 ] ないし第 n / 2 発光制御線 E m [ n / 2 ] からローレベルの発光制御信号を第 3 N A N D ゲート N A N D 3 ないし第 n N A N D ゲート N A N D n に印加するため、ハイレベルの第 3 走査信号ないし第 n 走査信号を出力することができる。

10

**【 0 1 3 7 】**

前記第 1 駆動期間 T 1 の遅延期間 D 1 は第 1 N A N D ゲート N A N D 1 ないし第 n N A N D ゲート N A N D n に第 1 クロック線 S C L K 1 から印加されるローレベルの第 1 クロック信号及び第 2 クロック線 S C L K 2 から印加されるローレベルの第 2 クロック信号を印加することができる。前記第 1 N A N D ゲート N A N D 1 ないし第 n N A N D ゲート N A N D n に電気的に連結された第 1 クロック線 S C L K 1 と第 2 クロック線 S C L K 2 からローレベルの第 1 クロック信号と第 2 クロック信号を前記第 1 N A N D ゲート N A N D 1 ないし第 n N A N D ゲート N A N D n に印加するため、ハイレベルの第 1 走査信号ないし第 n 走査信号を出力することができる。

**【 0 1 3 8 】**

20

前記第 1 駆動期間 T 1 の第 2 サブ駆動期間 T 1 2 は、第 1 N A N D ゲート N A N D 1 ないし第 n N A N D ゲート N A N D n に第 1 クロック線 S C L K 1 から印加されるハイレベルの第 1 クロック信号及び第 2 クロック線 S C L K 2 から印加されるローレベルの第 2 クロック信号を印加することができる。

**【 0 1 3 9 】**

まず、第 1 N A N D ゲート N A N D 1 はハイレベルの第 1 クロック信号、ハイレベルの初期駆動信号、ハイレベルの第 1 発光制御信号が印加され、第 1 走査線 S c a n [ 1 ] にローレベルの第 1 走査信号を出力することができる。

**【 0 1 4 0 】**

次いで、第 2 N A N D ゲート N A N D 2 ないし第 n N A N D ゲート N A N D n に電気的に連結された第 2 発光制御線 E m [ 2 ] ないし第 n / 2 発光制御線 E m [ n / 2 ] からローレベルの発光制御信号を第 2 N A N D ゲート N A N D 2 ないし第 n N A N D ゲート N A N D n に印加するため、ハイレベルの第 2 走査信号ないし第 n 走査信号を出力することができる。

30

**【 0 1 4 1 】**

前記第 2 駆動期間 T 2 は、初期駆動線 F L M からローレベルの初期駆動信号、原始クロック線 C L K からハイレベルの原始クロック信号、及び原始反転クロック線 C L K B からローレベルの原始反転クロック信号が印加することができる。

**【 0 1 4 2 】**

まず、第 1 シフトレジスタ S R 1 は入力端子にローレベルの初期駆動信号が印加され、第 1 クロック端子 c 1 k a にハイレベルの原始クロック信号が印加され、第 2 クロック端子 c 1 k b にローレベルの原始反転クロック信号が印加されるため、出力端子は第 1 駆動期間 T 1 の出力信号と同じハイレベルの第 1 発光制御信号を出力することができる。

40

**【 0 1 4 3 】**

次いで、第 2 シフトレジスタ S R 2 は入力端子にハイレベルの第 1 発光制御信号が印加され、第 1 クロック端子 c 1 k a にローレベルの原始反転クロック信号が印加され、第 2 クロック端子 c 1 k b にハイレベルの原始クロック信号が印加されるため、出力端子は入力端子に印加されたハイレベルの第 1 発光制御信号と同じハイレベルの第 2 発光制御信号を出力することができる。

**【 0 1 4 4 】**

50

次いで、第3シフトレジスタS R 3は入力端子にハイレベルの第2発光制御信号が印加され、第1クロック端子c 1 k aにハイレベルの原始クロック信号が印加され、第2クロック端子c 1 k bにローレベルの反転クロック信号が印加されるため、出力端子は第1駆動期間T 1の出力信号と同じローレベルの第3発光制御信号を出力することができる。

#### 【0145】

次いで、第4シフトレジスタS R 2は入力端子にローレベルの第3発光制御信号が印加され、第1クロック端子c 1 k aにローレベルの原始反転クロック信号が印加され、第2クロック端子c 1 k bにハイレベルの原始クロック信号が印加されるため、出力端子は入力端子に印加されたローレベルの第3発光制御信号と同じローレベルの第4発光制御信号を出力することができる。

10

#### 【0146】

最後に、第5シフトレジスタS R 5ないし第n / 2シフトレジスタn / 2のうち奇数番目レジスタは、第3シフトレジスタS R 3と同様に動作してローレベルの発光信号を出力し、偶数番目レジスタは第4シフトレジスタS R 4と同様に動作してローレベルの発光信号を出力することができる。

#### 【0147】

前記第2駆動期間T 2の第1サブ駆動期間T 2 1は、第1N A N DゲートN A N D 1ないし第n N A N DゲートN A N D nに第1クロック線S C L K 1から印加されるローレベルの第1クロック信号及び第2クロック線S C L K 2から印加されるハイレベルの第2クロック信号を印加することができる。

20

#### 【0148】

まず、第1N A N DゲートN A N D 1はローレベルの第1クロック信号、ローレベルの初期駆動信号、ハイレベルの第1発光制御信号が印加され、第1走査線S c a n [ 1 ]にハイレベルの第1走査信号を出力することができる。

#### 【0149】

次に、第2N A N DゲートN A N D 2は、ハイレベルの第2クロック信号、ハイレベルの第1発光制御信号、ハイレベルの第2発光制御信号が印加され、第2走査線S c a n [ 2 ]にローレベルの第2走査信号を出力することができる。

#### 【0150】

次に、第3N A N DゲートN A N D 3はローレベルの第1クロック信号、ハイレベルの第1発光制御信号、ハイレベルの第2発光制御信号が印加され、第3走査線S c a n [ 3 ]にハイレベルの第3走査信号を出力することができる。

30

#### 【0151】

最後に、第4N A N DゲートN A N D 4ないし第n N A N DゲートN A N D nに電気的に連結された第3発光制御線E m [ 3 ]ないし第n / 2発光制御線E m [ n / 2 ]からローレベルの発光制御信号を第4N A N DゲートN A N D 4ないし第n N A N DゲートN A N D nに印加するため、ハイレベルの第4走査信号ないし第n走査信号を出力することができる。

#### 【0152】

前記第2駆動期間T 2の遅延期間D 2は、第1N A N DゲートN A N D 1ないし第n N A N DゲートN A N D nに第1クロック線S C L K 1から印加されるローレベルの第1クロック信号、及び第2クロック線S C L K 2から印加されるローレベルの第2クロック信号を印加することができる。前記第1N A N DゲートN A N D 1ないし第n N A N DゲートN A N D nに電気的に連結された第1クロック線S C L K 1及び第2クロック線S C L K 2からローレベルの第1クロック信号及び第2クロック信号を前記第1N A N DゲートN A N D 1ないし第n N A N DゲートN A N D nに印加するため、ハイレベルの走査信号を出力することができる。

40

#### 【0153】

前記第2駆動期間T 2の第2サブ駆動期間T 2 2は、第1N A N DゲートN A N D 1ないし第n N A N DゲートN A N D nに第1クロック線S C L K 1から印加されるハイレベ

50

ルの第1クロック信号及び第2クロック線SCLK2から印加されるローレベルの第2クロック信号を印加することができる。

**【0154】**

まず、第1NANDゲートNAND1はハイレベルの第1クロック信号、ローレベルの初期駆動信号、ハイレベルの第1発光制御信号が印加され、第1走査線Scan[1]にハイレベルの第1走査信号を出力することができる。

**【0155】**

次に、第2NANDゲートNAND2はローレベルの第2クロック信号、ハイレベルの第1発光制御信号、ハイレベルの第2発光制御信号が印加され、第2走査線Scan[2]にハイレベルの第2走査信号を出力することができる。

10

**【0156】**

次に、第3NANDゲートNAND3はハイレベルの第1クロック信号、ハイレベルの第1発光制御信号、ハイレベルの第2発光制御信号が印加され、第3走査線Scan[3]にローレベルの第3走査信号を出力することができる。

**【0157】**

最後に、第4NANDゲートNAND4ないし第nNANDゲートNANDnに電気的に連結された第3発光制御線Em[3]ないし第n/2発光制御線Em[n/2]の発光制御信号がローレベルの信号を第4NANDゲートNAND4ないし第nNANDゲートNANDnに印加するため、ハイレベルの第4走査信号ないし第n走査信号を出力することができる。

20

**【0158】**

前記第3駆動期間T3は、初期駆動線FLMからローレベルの初期駆動信号、原始クロック線CLKからローレベルの原始クロック信号、及び原始反転クロック線CLKBからハイレベルの原始反転クロック信号が印加されることがある。

**【0159】**

まず、第1シフトレジスタSR1は入力端子にローレベルの初期駆動信号が印加され、第1クロック端子clk\_aにローレベルの原始クロック信号が印加され、第2クロック端子clk\_bにハイレベルの原始反転クロック信号が印加されるため、出力端子は入力端子に印加されたローレベルの初期駆動信号と同じローレベルの第1発光制御信号を出力することができる。

30

**【0160】**

次に、第2シフトレジスタSR2は入力端子にローレベルの第1発光制御信号が印加され、第1クロック端子clk\_aにハイレベルの原始反転クロック信号が印加され、第2クロック端子clk\_bにローレベルの原始クロック信号が印加されるため、出力端子は第2駆動期間T2の出力信号と同じハイレベルの第2発光制御信号を出力することができる。

**【0161】**

次に、第3シフトレジスタSR3は入力端子にハイレベルの第2発光制御信号が印加され、第1クロック端子clk\_aにローレベルの原始クロック信号が印加され、第2クロック端子clk\_bにハイレベルの反転クロック信号が印加されるため、出力端子は入力端子に印加されたハイレベルの第2発光制御信号と同じハイレベルの第3発光制御信号を出力することができる。

40

**【0162】**

次に、第4シフトレジスタSR4は入力端子にハイレベルの第3発光制御信号が印加され、第1クロック端子clk\_aにハイレベルの原始反転クロック信号が印加され、第2クロック端子clk\_bにローレベルの原始クロック信号が印加されるため、出力端子は第2駆動期間T2の出力信号と同じローレベルの第4発光制御信号を出力することができる。

**【0163】**

次に、第5シフトレジスタSR5は入力端子にローレベルの第4発光制御信号が印加され、第1クロック端子clk\_aにローレベルの原始クロック信号が印加され、第2クロック端子clk\_bにハイレベルの反転クロック信号が印加されるため、出力端子は入力端子

50

に印加されたローレベルの第4発光制御信号と同じローレベルの第5発光制御信号を出力することができる。

【0164】

最後に、第6シフトレジスタS R 6ないし第n / 2シフトレジスタn / 2のうち偶数番目レジスタは、第4シフトレジスタS R 4と同様に動作してローレベルの発光信号を出力し、奇数番目レジスタは第5シフトレジスタS R 5と同様に動作してローレベルの発光信号を出力することができる。

【0165】

前記第3駆動期間T 3の第1サブ駆動期間T 3 1は、第1NANDゲートNAND 1ないし第n NANDゲートNAND nに第1クロック線S C L K 1から印加されるローレベルの第1クロック信号及び第2クロック線S C L K 2から印加されるハイレベルの第2クロック信号を印加することができる。10

【0166】

まず、第1NANDゲートNAND 1ないし第3NANDゲートNAND 3に電気的に連結された初期駆動線F L M及び第1発光制御線E m [ 1 ]からローレベルの初期駆動信号及び第1発光制御信号を第1NANDゲートNAND 1ないし第3NANDゲートNAND 3に印加するため、ハイレベルの第1走査信号ないし第3走査信号を出力することができる。

【0167】

次に、第4NANDゲートNAND 4は、ハイレベルの第2クロック信号、ハイレベルの第2発光制御信号、ハイレベルの第3発光制御信号が印加され、第4走査線S c a n [ 4 ]にローレベルの第4走査信号を出力することができる。20

【0168】

次に、第5NANDゲートNAND 5は、ローレベルの第1クロック信号、ハイレベルの第2発光制御信号、ハイレベルの第3発光制御信号が印加され、第5走査線S c a n [ 5 ]にハイレベルの第5走査信号を出力することができる。

【0169】

最後に、第6NANDゲートNAND 6ないし第n NANDゲートNAND nに電気的に連結された第4発光制御線E m [ 4 ]ないし第n / 2発光制御線E m [ n / 2 ]の発光制御信号がローレベルの信号を第6NANDゲートNAND 6ないし第n NANDゲートNAND nに印加するため、ハイレベルの第6走査信号ないし第n走査信号を出力することができる。30

【0170】

前記第3駆動期間T 3の遅延期間D 3は、第1NANDゲートNAND 1ないし第n NANDゲートNAND nに第1クロック線S C L K 1から印加されるローレベルの第1クロック信号及び第2クロック線S C L K 2から印加されるローレベルの第2クロック信号を印加することができる。前記第1NANDゲートNAND 1ないし第n NANDゲートNAND nに電気的に連結された第1クロック線S C L K 1及び第2クロック線S C L K 2からローレベルの第1クロック信号及び第2クロック信号を前記第1NANDゲートNAND 1ないし第n NANDゲートNAND nに印加するため、ハイレベルの走査信号を出力することができる。40

【0171】

前記第3駆動期間T 3の第2サブ駆動期間T 2 3は、第1NANDゲートNAND 1ないし第n NANDゲートNAND nに第1クロック線S C L K 1から印加されるハイレベルの第1クロック信号及び第2クロック線S C L K 2から印加されるローレベルの第2クロック信号を印加することができる。

【0172】

まず、第1NANDゲートNAND 1ないし第3NANDゲートNAND 3に電気的に連結された初期駆動線F L M及び第1発光制御線E m [ 1 ]からローレベルの初期駆動信号及び発光制御信号を第1NANDゲートNAND 1ないし第3NANDゲートNAND 50

3に印加するため、ハイレベルの第1走査信号ないし第3走査信号を出力することができる。

**【0173】**

次に、第4NANDゲートNAND4はローレベルの第2クロック信号、ハイレベルの第2発光制御信号、ハイレベルの第3発光制御信号が印加され、第4走査線Scan[4]にハイレベルの第5走査信号を出力することができる。

**【0174】**

次に、第5NANDゲートNAND5はハイレベルの第1クロック信号、ハイレベルの第2発光制御信号、ハイレベルの第3発光制御信号が印加され、第5走査線Scan[5]にローレベルの第5走査信号を出力することができる。

10

**【0175】**

最後に、第6NANDゲートNAND6ないし第nNANDゲートNANDnに電気的に連結された第4発光制御線Em[4]ないし第n/2発光制御線Em[n/2]の発光制御信号がローレベルの信号を第6NANDゲートNAND6ないし第nNANDゲートNANDnに印加するため、ハイレベルの第6走査信号ないし第n走査信号を出力することができる。

**【0176】**

前記第1シフトレジスタSR1ないし前記第n/2シフトレジスタn/2は第1駆動期間T1ないし第3駆動期間T3と以前シフトレジスタから印加された入力信号及び以前駆動期間の出力信号によってハイレベルの第1発光制御信号ないし第n/2発光制御信号を順次出力することができる。

20

**【0177】**

前記第1NANDゲートNAND1ないし前記第nNANDゲートNANDnは、第1駆動期間T1の第1サブ駆動期間T11と第2サブ駆動期間T12ないし第3駆動期間T3の第1サブ駆動期間T31と第2サブ駆動期間T32で第1クロック信号ないし第2クロック信号、初期駆動信号、第1発光制御信号ないし第n/2発光制御信号を印加され、ローレベルの第1走査信号ないし第n走査信号を順次出力することができる。前記第1NANDゲートNAND1ないし前記第nNANDゲートNANDnは、初期駆動信号と第1発光制御信号ないし第n発光制御信号がすべてハイレベルであって、第1クロック線からハイレベルの第1クロック信号を印加し、第2クロック線からローレベルの第2クロック信号を印加すると、第1クロック線と電気的に連結された奇数番目NANDゲートの出力信号である奇数番目走査信号はすべてローレベルの走査信号が出力される。そして、第2クロック線と電気的に連結された偶数番目NANDゲートの出力信号である偶数番目走査信号は、すべてハイレベルの走査信号が出力される。前記第1NANDゲートNAND1ないし前記第nNANDゲートNANDnは、初期駆動信号と第1発光制御信号ないし第n発光制御信号がすべてハイレベルであって、第1クロック線からローレベルの第1クロック信号を印加し、第2クロック線からハイレベルの第2クロック信号を印加すると、第1クロック線と電気的に連結された奇数番目NANDゲートの出力信号である奇数番目走査信号はすべてハイレベルの走査信号が出力される。そして、第2クロック線と電気的に連結された偶数番目NANDゲートの出力信号である偶数番目走査信号は、すべてローの走査信号が出力される。すなわち、前記第1クロック信号と第2クロック信号を用いて奇数番目、偶数番目走査信号を出力することができる。

30

**【0178】**

図9を参照すれば、本発明の一実施例による有機電界発光表示装置を示したブロック図が示されている。

40

**【0179】**

図9に示されたように、有機電界発光表示装置は走査駆動部110、発光制御駆動部130、及び有機電界発光表示パネル140を含む。

**【0180】**

前記走査駆動部110は、図7及び図8で説明したように動作して第1走査線Scan

50

[ 1 ] ないし第 n 走査線 S c a n [ n ] に第 1 走査信号ないし第 n 走査信号を出力する。前記第 1 走査線 S c a n [ 1 ] ないし第 n 走査線 S c a n [ n ] は、有機電界発光表示パネル 1 4 0 と電気的に連結されて第 1 走査信号ないし第 n 走査信号を有機電界発光表示パネル 1 4 0 に印加する。このとき、図 7 の有機電界発光表示装置の走査駆動部は、第 1 N A N D ゲート N A N D 1 ないし第 n N A N D ゲート N A N D n に初期駆動信号及び第 1 発光制御信号ないし第 n 発光制御信号がすべてハイレベルであって、第 1 クロック線からハイレベルの第 1 クロック信号を印加して第 2 クロック線からロー・レベルの第 2 クロック信号を印加すると、第 1 クロック線と電気的に連結された奇数番目 N A N D ゲートの出力信号である奇数番目走査信号はすべてロー・レベルの走査信号が出力される。そして、第 2 クロック線と電気的に連結された偶数番目 N A N D ゲートの出力信号である偶数番目走査信号は、すべてハイレベルの走査信号が出力される。前記第 1 N A N D ゲート N A N D 1 ないし前記第 n N A N D ゲート N A N D n は、初期駆動信号及び第 1 発光制御信号ないし第 n 発光制御信号がすべてハイレベルであって、第 1 クロック線からロー・レベルの第 1 クロック信号を印加して第 2 クロック線からハイレベルの第 2 クロック信号を印加すると、第 1 クロック線と電気的に連結された奇数番目 N A N D ゲートの出力信号である奇数番目走査信号はすべてハイレベルの走査信号が出力される。そして、第 2 クロック線と電気的に連結された偶数番目 N A N D ゲートの出力信号である偶数番目走査信号は、すべてローの走査信号が出力される。すなわち、第 1 クロック線 S C L K 1 と第 2 クロック線 S C L K 2 に印加される第 1 クロック信号と第 2 クロック信号によって奇数番目と偶数番目走査信号を出力することができる。10

#### 【 0 1 8 1 】

前記発光制御駆動部 1 3 0 は、図 5 及び図 6 で説明したように動作して第 1 発光制御線 E m [ 1 ] ないし第 n / 2 発光制御線 E m [ n / 2 ] に第 1 発光制御信号ないし第 n / 2 発光制御信号を出力する。前記第 1 発光制御線 E m [ 1 ] ないし第 n / 2 発光制御線 E m [ n / 2 ] は有機電界発光表示パネル 1 4 0 と電気的に連結され、第 1 発光制御信号ないし第 n / 2 発光制御信号を有機電界発光表示パネル 1 4 0 に印加する。前記発光制御線 E m [ 1 ] 、 E m [ 2 ] 、 ... 、 E m [ n / 2 ] は奇数番目画素部には奇数番目発光制御線を、偶数番目画素部には偶数番目発光制御線を電気的に連結する。前記奇数番目発光制御線は、前記奇数番目画素部に奇数番目走査信号が印加されてデータ信号を有機電界発光素子 O L E D に伝達するとき、奇数番目発光制御信号を印加して奇数番目画素部に発光制御信号を同時に供給し、奇数番目有機電界発光素子 O L E D を同時に発光させる。20

#### 【 0 1 8 2 】

前記有機電界発光表示パネル 1 4 0 は、第 1 画素部 P S 1 ないし第 n 画素部 P S n を含む。

#### 【 0 1 8 3 】

前記第 1 画素部 P S 1 は第 - 1 走査線 S c a n [ - 1 ] 、第 1 走査線 S c a n [ 1 ] 及び第 1 発光制御線 E m [ 1 ] と電気的に連結される。前記第 2 画素部 P S 2 は第 0 走査線 S c a n [ 0 ] 、第 2 走査線 S c a n [ 2 ] 及び第 2 発光制御線 E m [ 2 ] と電気的に連結される。前記第 3 画素部 P S 3 は第 1 走査線 S c a n [ 1 ] 、第 3 走査線 S c a n [ 3 ] 及び第 1 発光制御線 E m [ 1 ] と電気的に連結される。前記第 4 画素部 P S 4 は第 2 走査線 S c a n [ 2 ] 、第 4 走査線 S c a n [ 4 ] 及び第 2 発光制御線 E m [ 2 ] と電気的に連結される。前記第 5 画素部 P S 5 は第 3 走査線 S c a n [ 3 ] 、第 5 走査線 S c a n [ 5 ] 及び第 3 発光制御線 E m [ 3 ] と電気的に連結される。前記第 6 画素部 P S 6 は第 4 走査線 S c a n [ 4 ] 、第 6 走査線 S c a n [ 6 ] 及び第 4 発光制御線 E m [ 4 ] と電気的に連結される。このように画素部は第 n - 2 走査線 S c a n [ n - 2 ] と第 n 走査線 S c a n [ n ] と電気的に連結され、第 n - 2 走査信号と第 n 走査信号を印加されて動作する。すなわち、偶数番目画素部には偶数番目走査線が繋がれ、奇数番目画素部は奇数番目走査線が電気的に連結される。ここで、第 - 1 走査線 S c a n [ - 1 ] 及び第 0 走査線 S c a n [ 0 ] はデッドスペース ( D e a d S p a c e ) に挿入されて、ユーザに見えないパネルの走査線として第 - 1 走査線 S c a n [ - 1 ] 及び第 0 走査線 S c a n [ 0 ]4050

で表した。そして、偶数番目画素部には偶数番目発光制御線が繋がれ、奇数番目画素部は奇数番目発光制御線が電気的に連結される。

#### 【0184】

このとき、走査駆動部110の第1NANDゲートNAND1ないし第nNANDゲートNANDnに初期駆動信号及び第1発光制御信号ないし第n発光制御信号がすべてハイレベルであって、第1クロック線SCLK1からハイレベルの第1クロック信号を印加して第2クロック線からローレベルの第2クロック信号を印加すると、第1クロック線SCLK1と電気的に連結された奇数番目NANDゲートの出力信号である奇数番目走査信号はすべてローレベルの走査信号が出力される。そして、第2クロック線SCLK2と電気的に連結された偶数番目NANDゲートの出力信号である偶数番目走査信号は、すべてハイレベルの走査信号が出力される。前記第1NANDゲートNAND1ないし前記第nNANDゲートNANDnは初期駆動信号及び第1発光制御信号ないし第n発光制御信号がすべてハイレベルであって、第1クロック線SCLK1からローレベルの第1クロック信号を印加して第2クロック線SCLK2からハイレベルの第2クロック信号を印加すると、第1クロック線SCLK1と電気的に連結された奇数番目NANDゲートの出力信号である奇数番目走査信号はすべてハイレベルの走査信号が出力される。そして、第2クロック線SCLK2と電気的に連結された偶数番目NANDゲートの出力信号である偶数番目走査信号はすべてローの走査信号が出力される。10

#### 【0185】

前記第1クロック線SCLK1にハイレベルの第1クロック信号が印加されて、第2クロック線SCLK2にローレベルの第2クロック信号が印加されるとき、奇数番目走査信号はすべてローレベルの走査信号が出力されるため、奇数番目画素回路はローレベルの奇数番目走査信号を印加されて動作し、有機電界発光素子OLEDはデータ信号を伝達されて発光する。このとき、偶数番目画素回路はハイレベルの偶数番目走査信号を印加され、有機電界発光素子OLEDに伝達されなければならないデータ信号が遮断される。20

#### 【0186】

前記第1クロック線SCLK1にローレベルの第1クロック信号が印加されて、第2クロック線SCLK2にハイレベルの第2クロック信号が印加されるとき、偶数番目走査信号はすべてローレベルの走査信号が出力されるため、偶数番目画素回路はローレベルの偶数番目走査信号を印加されて動作し、有機電界発光素子OLEDはデータ信号を伝達されて発光する。このとき、奇数番目画素回路はハイレベルの奇数番目走査信号を印加されて有機電界発光素子OLEDに伝達されなければならないデータ信号が遮断される。30

#### 【0187】

すなわち、前記第1クロック線SCLK1と第2クロック線SCLK2を奇数番目NANDゲートと偶数番目NANDゲートにそれぞれ電気的に連結し、前記奇数番目NANDゲートと偶数番目NANDゲートはそれぞれ奇数番目画素部と偶数番目画素部と電気的に連結される。このとき、第1クロック線SCLK1にローレベルの第1クロック信号を印加して第2クロック線SCLK2にハイレベルの第2クロック信号を印加し、奇数番目画素部の有機電界発光素子OLEDだけがターンオンする。そして第1クロック線SCLK1にハイレベルの第1クロック信号を印加して第2クロック線SCLK2にローレベルの第2クロック信号を印加し、偶数番目画素部の有機電界発光素子OLEDだけがターンオンする。上記のように偶数番目画素部の有機電界発光素子OLEDだけが発光しなければならないが、奇数番目画素部の有機電界発光素子OLEDが発光する場合、及び、奇数番目画素部の有機電界発光素子OLEDだけが発光しなければならないが、偶数番目画素部の有機電界発光素子OLEDが発光する場合に、縦方向にショートが発生したことが分かる。40

#### 【0188】

例えば、第1画素部PS1と第2画素部PS2のm番目画素回路141がショートしたとすると、第1クロック線SCLK1にローレベルの第1クロック信号を印加して、第2クロック線SCLK2にハイレベルの第2クロック信号を印加したとき、奇数番目画素部50

の有機電界発光素子OLEDだけが発光しなければならないが、第2画素部PS2のm番目画素回路141の有機電界発光素子OLEDも発光するため、縦方向にショートしたことが見つけられる。

#### 【0189】

このような縦方向に発生したショートの検出は、従来にはモジュール工程で一定パターンを有機電界発光表示パネルに印加して検出するため、ショートが発生した不良パネルにモジュール工程作業コストが追加的に発生した。しかし、本発明の縦方向に発生したショートの検出はモジュール工程以前にパネルにクロック信号を印加して不良を検出することができるため、不良パネルのモジュール工程作業コストを節減することができる。また、モジュール工程で全数検査をしない場合、縦方向ショートが不良として検出されず最終利用顧客が不良を見つけるようになり、商品の信頼性が低下することを防止することができる。10

#### 【0190】

図10を参照すれば、図9に示された有機電界発光表示装置のタイミング図が示されている。

#### 【0191】

図10に示されたように、有機電界発光表示装置のタイミング図は第1駆動期間T1、第2駆動期間T2及び第3駆動期間T3を含む。そして前記第1駆動期間T1ないし第3駆動期間T3は、第1サブ駆動期間、遅延期間、第2サブ駆動期間を含む。

#### 【0192】

まず、第1駆動期間T1は、有機電界発光表示パネル140にハイレベルの第1発光制御信号が印加され、ローレベルの第2発光制御信号ないし第n発光制御信号が印加される。20

#### 【0193】

前記第1駆動期間T1の第1サブ駆動期間T11は、前記有機電界発光表示パネル140にハイレベルの第1走査信号ないし第n走査信号が印加される。

#### 【0194】

前記第1駆動期間T1の遅延期間D1は、印加される走査信号の間に所定の時間間隔を設け、これはクロックスキューまたは遅延に対するマージンを確保させる期間である。

#### 【0195】

前記第1駆動期間T1の第2サブ駆動期間T12は、前記有機電界発光表示パネル140にローレベルの第1走査信号が印加され、ハイレベルの第2走査信号ないし第n走査信号が印加される。このとき、第1画素部PS1の画素回路はローレベルの第1走査信号を伝達されて第1スイッチング素子S1及び第5スイッチング素子S5がターンオンされる。第1スイッチング素子S1がターンオンされてデータ信号を駆動トランジスタに伝達し、第5スイッチング素子S5がターンオンされて駆動トランジスタをダイオード構造で連結させて駆動トランジスタの閾値電圧を補償する。前記第1画素部PS1の画素回路は、第1容量性素子C1に第1電源電圧ELVDDと駆動トランジスタM1の制御電極間に電圧差を保存する。そして、第3画素部PS3の画素回路は二つ前の走査信号であるローレベルの第1走査信号を印加されて第1容量性素子C1と第2容量性素子C2に保存されていた電圧を初期化させる。3040

#### 【0196】

次に、第2駆動期間T2は有機電界発光表示パネル140にハイレベルの第1発光制御信号及び第2発光制御信号が印加され、ローレベルの第3発光制御信号ないし第n発光制御信号が印加される。

#### 【0197】

前記第2駆動期間T2の第1サブ駆動期間T21は、前記有機電界発光表示パネル140にローレベルの第2走査信号が印加され、ハイレベルの第1走査信号及び第3走査信号ないし第n走査信号が印加される。このとき、第2画素部PS2の画素回路はローレベルの第2走査信号を伝達されて第1スイッチング素子S1及び第5スイッチング素子S5が50

ターンオンされる。第1スイッチング素子S1がターンオンされてデータ信号を駆動トランジスタに伝達し、第5スイッチング素子S5がターンオンされて駆動トランジスタをダイオード構造で連結させて駆動トランジスタの閾値電圧を補償する。前記第2画素部PS2の画素回路は第1容量性素子C1に第1電源電圧ELVDDと駆動トランジスタM1の制御電極間に電圧差を保持する。そして、第4画素部PS4の画素回路は二つ前の走査信号であるローレベルの第2走査信号を印加され、第1容量性素子C1及び第2容量性素子C2に保持されていた電圧を初期化させる。

#### 【0198】

前記第2駆動期間T2の遅延期間D1は、印加される走査信号の間に所定の時間間隔を設け、これはクロックスキューまたは遅延に対するマージンを確保させる期間である。

10

#### 【0199】

前記第2駆動期間T2の第2サブ駆動期間T22は、前記有機電界発光表示パネル140にローレベルの第3走査信号が印加され、ハイレベルの第1走査信号、第2走査信号、及び第4走査信号ないし第n走査信号が印加される。このとき、第3画素部PS3の画素回路は、ローレベルの第3走査信号を伝達されて第1スイッチング素子S1及び第5スイッチング素子S5がターンオンされる。第1スイッチング素子S1がターンオンされてデータ信号を駆動トランジスタに伝達し、第5スイッチング素子S5がターンオンされて駆動トランジスタをダイオード構造で連結させて駆動トランジスタの閾値電圧を補償する。前記第3画素部PS3の画素回路は、第1容量性素子C1に第1電源電圧ELVDDと駆動トランジスタM1の制御電極間に電圧差を保持する。そして、第5画素部PS5の画素回路は二つ前の走査信号であるローレベルの第3走査信号を印加されて第1容量性素子C1及び第2容量性素子C2に保持されていた電圧を初期化させる。

20

#### 【0200】

最後に、第3駆動期間T3は有機電界発光表示パネル140にハイレベルの第2発光制御信号及び第3発光制御信号が印加され、ローレベルの第1発光制御信号及び第3発光制御信号ないし第n発光制御信号が印加される。前記第1画素部PS1の画素回路は、ローレベルの第1発光制御信号が印加されて第2スイッチング素子S2と第3スイッチング素子S3がターンオンされる。前記第2スイッチング素子S2がターンオンされて第1電源電圧ELVDDを前記駆動トランジスタM1に伝達して、前記第3スイッチング素子S3がターンオンされて有機電界発光素子OLEDに駆動電流を伝達し、第1画素部PS1の有機電界発光素子OLEDは発光する。

30

#### 【0201】

前記第3駆動期間T3の第1サブ駆動期間T31は、前記有機電界発光表示パネル140にローレベルの第4走査信号が印加され、ハイレベルの第1走査信号ないし第3走査信号、及び第5走査信号ないし第n走査信号が印加される。このとき、第4画素部PS4の画素回路は、ローレベルの第4走査信号を伝達されて第1スイッチング素子S1及び第5スイッチング素子S5がターンオンされる。第1スイッチング素子S1がターンオンされてデータ信号を駆動トランジスタに伝達し、第5スイッチング素子S5がターンオンされて駆動トランジスタをダイオード構造で連結させて駆動トランジスタの閾値電圧を補償する。前記第4画素部PS4の画素回路は、第1容量性素子C1に第1電源電圧ELVDDと駆動トランジスタM1の制御電極間に電圧差を保存する。そして、第6画素部PS6の画素回路は、二つ前の走査信号であるローレベルの第4走査信号を印加されて第1容量性素子C1及び第2容量性素子C2に保持されていた電圧を初期化させる。

40

#### 【0202】

前記第2駆動期間T2の遅延期間D1は、印加される走査信号の間に所定の時間間隔を設け、これはクロックスキューまたは遅延に対するマージンを確保させる期間である。

#### 【0203】

前記第3駆動期間T3の第2サブ駆動期間T32は、前記有機電界発光表示パネル140にローレベルの第5走査信号が印加され、ハイレベルの第1走査信号ないし第4走査信号、及び第6走査信号ないし第n走査信号が印加される。このとき、第5画素部PS5の

50

画素回路は、ローレベルの第5走査信号を伝達されて第1スイッチング素子S1及び第5スイッチング素子S5がターンオンされる。第1スイッチング素子S1がターンオンされてデータ信号を駆動トランジスタに伝達し、第5スイッチング素子S5がターンオンされて駆動トランジスタをダイオード構造で連結させて駆動トランジスタの閾値電圧を補償する。前記第5画素部PS5の画素回路は、第1容量性素子C1に第1電源電圧ELVDDと駆動トランジスタM1の制御電極間に電圧差を保持する。そして、第7画素部PS7の画素回路は二つ前の走査信号であるローレベルの第5走査信号を印加されて、第1容量性素子C1及び第2容量性素子C2に保持されていた電圧を初期化させる。

## 【0204】

上記のような方法で、第1画素部PS1ないし第n画素部PSnは順次動作して有機電界発光素子OLEDは発光する。 10

## 【0205】

以上の説明は、本発明による有機電界発光表示装置を実施するための1つの実施例に過ぎず、本発明は前記の実施例に限定されることなく、特許請求の範囲で請求するところのように本発明の要旨を逸脱することなく当業者であれば誰でも多様な変更実施が可能な範囲まで本発明の技術的精神があると言えるであろう。

## 【図面の簡単な説明】

## 【0206】

【図1】本発明による有機電界発光表示装置を概略的に示したブロック図である。

【図2】本発明による有機電界発光表示装置の画素回路を示した回路図である。 20

【図3】本発明による有機電界発光表示装置の走査駆動部及び発光制御駆動部におけるシフトレジスタのブロック図である。

【図4】図3に示されたシフトレジスタの回路図である。

【図5】本発明による有機電界発光表示装置の発光制御駆動部を示したブロック図である。

【図6】図5に示された発光制御駆動部のタイミング図である。

【図7】本発明による有機電界発光表示装置の走査駆動部を示したブロック図である。

【図8】図7に示された走査駆動部のタイミング図である。

【図9】本発明の一実施例による有機電界発光表示装置を示したブロック図である。

【図10】図9に示された有機電界発光表示装置のタイミング図である。 30

## 【符号の説明】

## 【0207】

110 走査駆動部

120 データ駆動部

130 発光制御駆動部

140 有機電界発光表示パネル

141 有機電界発光素子

PS1 第1画素部

PS2 第2画素部

PS3 第3画素部

PS4 第4画素部

PS5 第5画素部

PS6 第6画素部

SR1 第1シフトレジスタ

SR2 第2シフトレジスタ

SR3 第3シフトレジスタ

SRn/2 第n/2シフトレジスタ

NAND1 第1NANDゲート

NAND2 第2NANDゲート

NAND3 第3NANDゲート

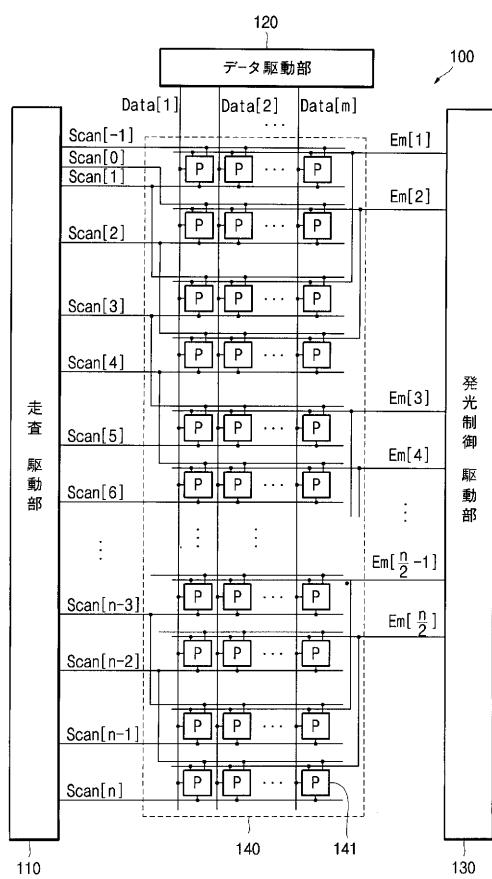
40

50

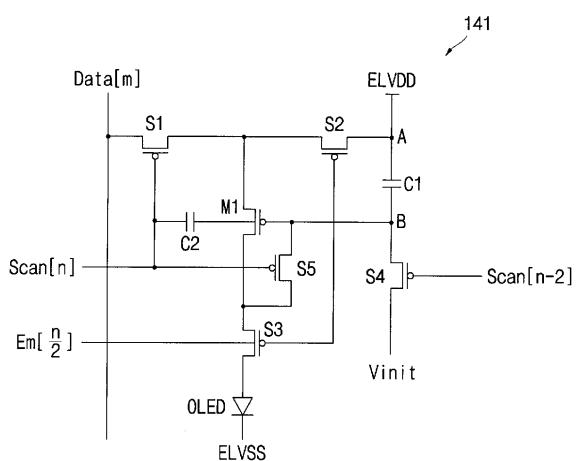
N A N D 4 第 4 NAND ゲート  
 N A N D n - 1 第 n - 1 NAND ゲート  
 N A N D n 第 n NAND ゲート  
 Data [ m ] データ線  
 Scan [ n ] 走査線  
 Em [ n ] 発光制御線  
 E L V D D 第 1 電源電圧線  
 E L V S S 第 2 電源電圧線  
 V i n i t 第 3 電源電圧線  
 M 1 駆動トランジスタ  
 S 1 第 1 スイッチング素子  
 S 2 第 2 スイッチング素子  
 S 3 第 3 スイッチング素子  
 S 4 第 4 スイッチング素子  
 S 5 第 5 スイッチング素子  
 S 6 第 6 スイッチング素子  
 S 7 第 7 スイッチング素子  
 C 1 第 1 容量性素子  
 C 2 第 2 容量性素子

10

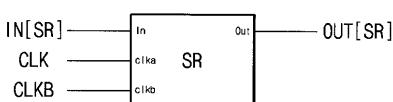
【図 1】



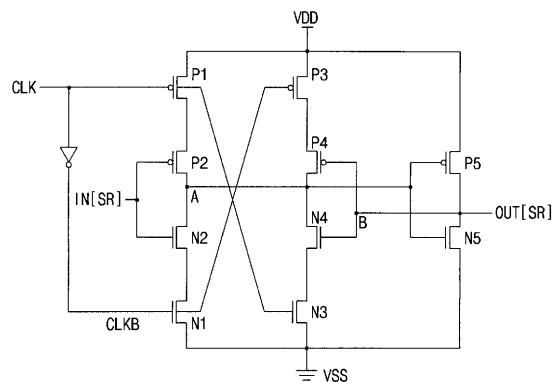
【図 2】



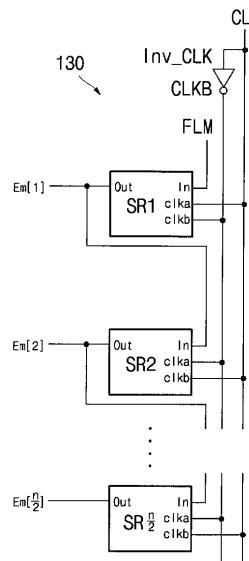
【図 3】



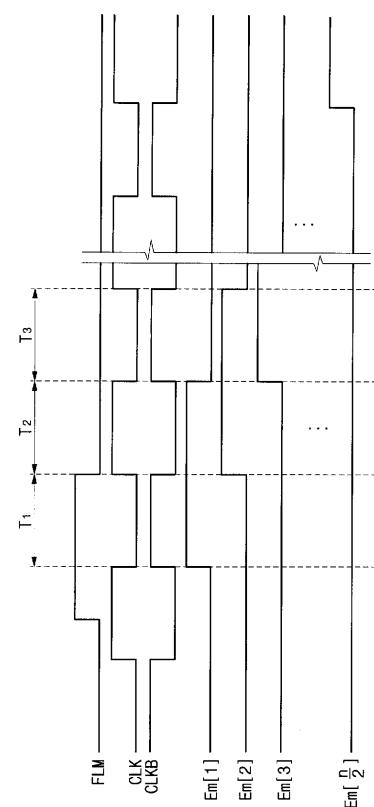
【図4】



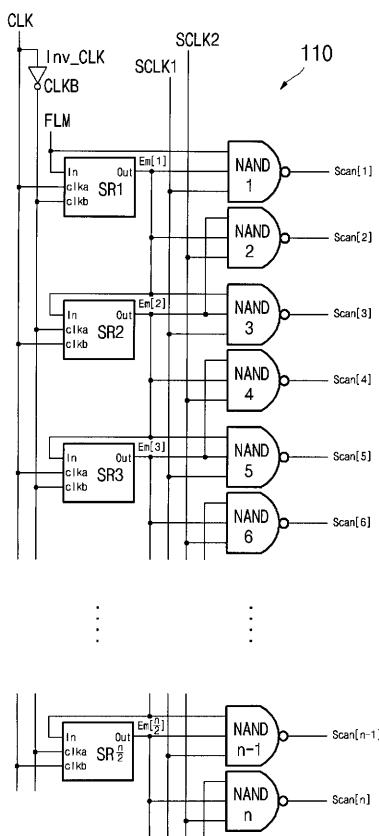
【図5】



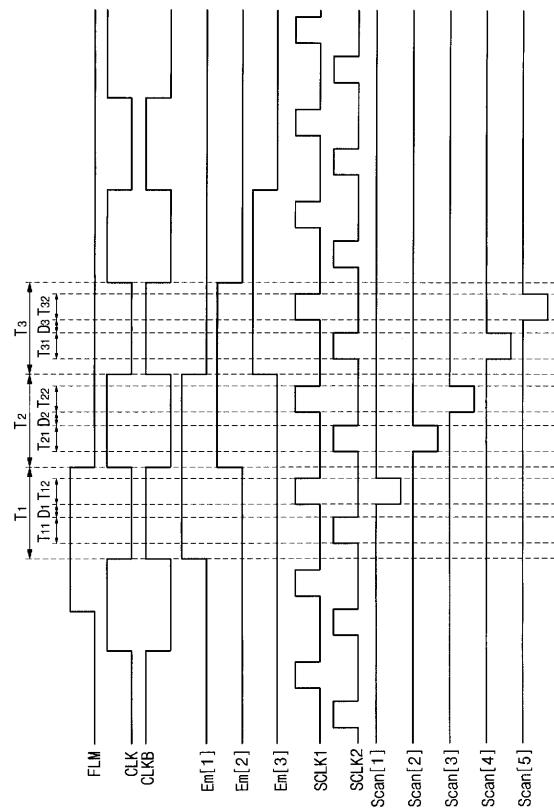
【図6】



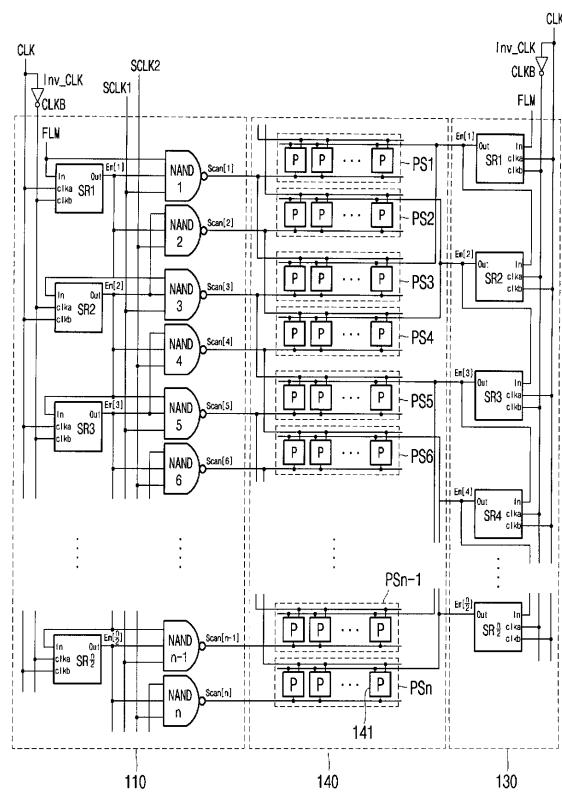
【図7】



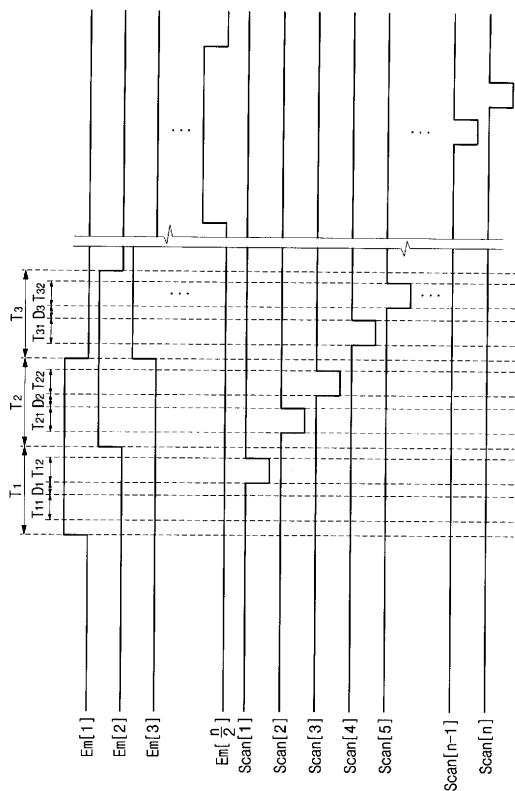
【図8】



【図9】



【図10】



---

フロントページの続き

(51)Int.Cl.

F I  
G 09 G 3/20 624B  
G 09 G 3/20 670Q  
G 09 G 3/20 622F  
H 05 B 33/14 A

(74)代理人 100108453

弁理士 村山 靖彦

(72)発明者 金 鍾允

大韓民国京畿道龍仁市器興邑公稅里428-5

審査官 福村 拓

(56)参考文献 特開2006-184871(JP, A)

特開2006-154810(JP, A)

特開2007-052422(JP, A)

特開2001-337304(JP, A)

特開2005-031630(JP, A)

特開2006-018223(JP, A)

特開2005-338773(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 30

G 09 G 3 / 20

专利名称(译)	有机发光显示器		
公开(公告)号	<a href="#">JP5032234B2</a>	公开(公告)日	2012-09-26
申请号	JP2007198058	申请日	2007-07-30
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星工スディアイ株式会社		
当前申请(专利权)人(译)	三星移动显示的股票会社		
[标]发明人	金鍾允		
发明人	金鍾允		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/006 G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310 /0224 G09G2310/0286 G11C19/00 G11C19/28		
FI分类号	G09G3/30.J G09G3/20.622.D G09G3/20.621.A G09G3/20.622.E G09G3/20.622.Q G09G3/20.624.B G09G3/20.670.Q G09G3/20.622.F H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 G11C19/00 G11C19/00.J		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC29 3K107/CC45 3K107/EE04 3K107/HH02 3K107 /HH04 3K107/HH05 5B074/AA10 5B074/CA01 5C080/AA06 5C080/BB05 5C080/DD15 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AC08 5C380 /AC11 5C380/AC12 5C380/BA28 5C380/BA34 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB16 5C380/CB17 5C380/CB19 5C380/CB26 5C380/CB33 5C380/CC06 5C380/CC07 5C380 /CC26 5C380/CC33 5C380/CC39 5C380/CC42 5C380/CC52 5C380/CC55 5C380/CC64 5C380/CD026 5C380/CE03 5C380/CE20 5C380/CF07 5C380/CF23 5C380/CF32 5C380/CF36 5C380/DA02 5C380 /DA06 5C380/DA32 5C380/DA47 5C380/GA05		
代理人(译)	佐伯喜文 渡邊 隆 村山彥		
审查员(译)	福村 拓		
优先权	1020070034285 2007-04-06 KR		
其他公开文献	JP2008257159A		
外部链接	<a href="#">Espacenet</a>		

**摘要(译)**

要解决的问题：提供一种有机发光显示器，其通过预先检测有机发光显示面板的像素的纵向短缺陷来节省模块工艺成本，从而提高了可靠性。ŽSOLUTION：有机发光显示器包括：第一移位寄存器，其电耦合到源时钟线，源负时钟线和初始驱动线;第一与非门，电连接到初始驱动线，第一发光控制线是第一移位寄存器的输出线，和第一时钟线;第二与非门，其与初始驱动线，第一发光控制线和第二时钟线电连接;第一像素部分，电连接到第一扫描线，第一扫描线是第一与非门的输出线;第二像素部分，电连接到第二扫描线，第二扫描线是第二与非门的输出线;第三像素部分，其电连接到第一扫描线;第四像素部分，电连接到第二扫描线。Ž

