

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4303193号  
(P4303193)

(45) 発行日 平成21年7月29日 (2009.7.29)

(24) 登録日 平成21年5月1日 (2009.5.1)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 K
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 621F
	G09G 3/20 623R
	G09G 3/20 623Y
請求項の数 18 (全 14 頁) 最終頁に続く	

(21) 出願番号 特願2004-373599 (P2004-373599)  
 (22) 出願日 平成16年12月24日 (2004.12.24)  
 (65) 公開番号 特開2005-292783 (P2005-292783A)  
 (43) 公開日 平成17年10月20日 (2005.10.20)  
 審査請求日 平成17年2月1日 (2005.2.1)  
 (31) 優先権主張番号 2004-022123  
 (32) 優先日 平成16年3月31日 (2004.3.31)  
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046  
 エルジー ディ스플레이 カンパニー リ  
 ミテッド  
 大韓民国 ソウル, ヨンドゥンポーク, ヨ  
 イドードン 20  
 (74) 代理人 100064447  
 弁理士 岡部 正夫  
 (74) 代理人 100085176  
 弁理士 加藤 伸晃  
 (74) 代理人 100106703  
 弁理士 産形 和央  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100096943  
 弁理士 白井 伸一

最終頁に続く

(54) 【発明の名称】 エレクトロ・ルミネセンス・パネルのプリチャージ方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

エレクトロ・ルミネセンス (EL) パネルのプリチャージ装置であって、前記 EL パネルは、ゲート・ラインとデータ・ラインとの間の交差部により規定された画素領域にマトリックス状に配列された複数の画素であって第 1 電圧源、ゲート・ライン及びデータ・ラインに接続されるとともに第 2 電圧源と EL セルとの間に接続されたセル駆動部を有する複数の画素を含み、本プリチャージ装置は、

前記セル駆動部のストレージキャパシタを、第 1 プリチャージ電圧源を利用して第 1 プリチャージ電圧へとプリチャージングした後、データ信号が印加される前のプリチャージ期間に前記データ・ラインをフローティングして前記ストレージキャパシタの第 1 プリチャージ電圧の放電により第 2 プリチャージ電圧に到達させる、プリチャージ部を具備することを特徴とする EL パネルのプリチャージ装置。

【請求項 2】

前記セル駆動部は、前記第 2 電圧源と前記 EL セルとの間で電流ミラーを形成し、第 2 供給電圧ラインと自身のゲート電極との間に接続された前記ストレージキャパシタを有する第 1 及び第 2 薄膜トランジスタと、前記データ・ラインと前記第 1 薄膜トランジスタとの間に接続されて前記ゲート・ラインにより制御される第 3 薄膜トランジスタと、前記第 3 薄膜トランジスタと前記ストレージキャパシタとの間に接続されて前記ゲート・ラインにより制御される第 4 薄膜トランジスタとを具備することを特徴とする請求項 1 記載の EL パネルのプリチャージ装置。

## 【請求項 3】

前記第 2 プリチャージ電圧は、前記第 1 薄膜トランジスタのしきい値電圧であることを特徴とする請求項 2 記載の E L パネルのプリチャージ装置。

## 【請求項 4】

前記プリチャージ電圧は、各画素に供給された第 2 供給電圧 ( $V_{DD} - V_f$ ) と前記第 1 薄膜トランジスタのしきい値電圧 ( $V_{th}$ ) との間の差電圧 ( $V_{DD} - V_f - V_{th}$ ) より低く、前記第 2 供給電圧は、電圧降下を含む前記第 2 供給電圧ラインを經由して前記第 2 電圧源から印加されることを特徴とする請求項 3 記載の E L パネルのプリチャージ装置。

## 【請求項 5】

前記プリチャージ部は、前記プリチャージ期間において前記データ信号を供給するデータ信号部と前記データ・ラインとの間の接続を解除するための第 1 スイッチと、前記プリチャージ期間中の第 1 プリチャージ期間において前記データ・ラインを前記プリチャージ電圧源に接続するための第 2 スイッチとを具備することを特徴とする請求項 1 記載の E L パネルのプリチャージ装置。

## 【請求項 6】

前記第 1 及び第 2 スイッチは、前記プリチャージ期間中の第 2 プリチャージ期間において前記データ信号供給部及びプリチャージ電圧源に接続された前記データ・ラインの接続を解除して前記データ・ラインをフローティングさせることを特徴とする請求項 5 記載の E L パネルのプリチャージ装置。

## 【請求項 7】

前記第 2 プリチャージ期間は前記第 1 プリチャージ期間より長いことを特徴とする請求項 6 記載の E L パネルのプリチャージ装置。

## 【請求項 8】

第 1 プリチャージ期間の間に、プリチャージ電圧源を利用して、E L パネルのゲート・ラインとデータ・ラインとの間の交差部に接続された画素のストレージキャパシタをプリチャージ電圧にプリチャージする段階と、

第 2 プリチャージ期間の間に、前記ストレージキャパシタの前記第 1 プリチャージ電圧の放電により第 2 プリチャージ電圧に到達するデータ・ラインをフローティングさせる段階とを含むことを特徴とする E L パネルのプリチャージ方法。

## 【請求項 9】

前記 E L パネルは、  
複数の画素領域を規定するように交差される複数のデータ・ライン及び複数のゲート・ラインと、

第 1 電圧源とセル駆動部とに接続された、各画素領域内の E L セルとを具備し、

前記セル駆動部は、

前記ゲート・ライン及び前記データ・ラインに接続されると共に第 2 電圧源と前記 E L セルとの間に接続された第 1 及び第 2 薄膜トランジスタであって、前記第 2 電圧源と前記 E L セルとの間に電流ミラーを形成し、第 2 供給電圧ラインと自身のゲート電極との間に接続された前記ストレージキャパシタを有する、第 1 及び第 2 薄膜トランジスタ、

前記データ・ラインと前記第 1 薄膜トランジスタとの間に接続されて前記ゲート・ラインにより制御される第 3 薄膜トランジスタ、及び

前記第 3 薄膜トランジスタと前記ストレージキャパシタとの間に接続されて前記ゲート・ラインにより制御される第 4 薄膜トランジスタとを具備することを特徴とする請求項 8 記載の E L パネルのプリチャージ方法。

## 【請求項 10】

前記第 2 プリチャージ電圧は前記第 1 薄膜トランジスタのしきい値電圧であることを特徴とする請求項 9 記載の E L パネルのプリチャージ方法。

## 【請求項 11】

前記プリチャージ電圧を、前記各画素に供給された第 2 供給電圧 ( $V_{DD} - V_f$ ) と前

10

20

30

40

50

記第 1 薄膜トランジスタのしきい値電圧 ( $V_{th}$ ) との間の差電圧 ( $V_{DD} - V_f - V_{th}$ ) より低く設定する段階を更に含み、

前記第 2 供給電圧は、電圧降下 ( $V_f$ ) を含む前記第 2 供給電圧ラインを經由して前記第 2 電圧源から印加されることを特徴とする請求項 10 記載の EL パネルのプリチャージ方法。

【請求項 12】

前記第 2 プリチャージ期間を前記第 1 プリチャージ期間より長く設定する段階を更に含むことを特徴とする請求項 8 記載の EL パネルのプリチャージ方法。

【請求項 13】

前記第 1 プリチャージ期間の間に前記ストレージキャパシタをプリチャージする前記段階は、第 1 スイッチを利用して前記データ・ラインを前記プリチャージ電圧源に選択的に接続する段階を含むことを特徴とする請求項 8 記載の EL パネルのプリチャージ方法。

10

【請求項 14】

前記第 2 プリチャージ期間の間に前記データ・ラインをフローティングさせる前記段階は、第 1 スイッチを利用して、前記データ・ラインと前記プリチャージ電圧源との接続を選択的に解除する段階と、第 2 スイッチを利用して、データ信号を供給するためのデータ信号供給部と前記データ・ラインとの接続を選択的に解除する段階とを含むことを特徴とする請求項 8 記載の EL パネルのプリチャージ方法。

【請求項 15】

プリチャージ電圧源を利用して、EL パネルのゲート・ラインとデータ・ラインとの間の交差部に接続された画素のストレージキャパシタを第 1 プリチャージ電圧にプリチャージする第 1 プリチャージ期間と、前記データ・ラインをフローティングさせて、前記ストレージキャパシタの前記第 1 プリチャージ電圧を放電させることにより第 2 プリチャージ電圧に到達されるようにする第 2 プリチャージ期間とを利用して、データ信号の印加に前もって、スキャン・パルスが供給されたゲート・ラインと接続された画素の各々のストレージキャパシタをプリチャージするプリチャージ手段を具備することを特徴とする EL パネルのプリチャージ装置。

20

【請求項 16】

前記第 2 プリチャージ期間は前記第 1 プリチャージ期間より長くなることを特徴とする請求項 15 記載の EL パネルのプリチャージ装置。

30

【請求項 17】

プリチャージ電圧源を利用して、EL パネルのゲート・ラインとデータ・ラインとの間の交差部に接続された画素のストレージキャパシタを第 1 プリチャージ電圧にプリチャージする第 1 プリチャージ期間と、前記データ・ラインをフローティングさせて、前記ストレージキャパシタの前記第 1 プリチャージ電圧を放電させることにより第 2 プリチャージ電圧に到達されるようにする第 2 プリチャージ期間とを利用して、データ信号の印加に前もって、スキャン・パルスが供給されたゲート・ラインと接続された画素の各々のストレージキャパシタをプリチャージする段階を具備することを特徴とする EL パネルのプリチャージ方法。

【請求項 18】

40

前記第 2 プリチャージ期間は前記第 1 プリチャージ期間より長くなることを特徴とする請求項 17 記載の EL パネルのプリチャージ方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はエレクトロ・ルミネセンス (電界発光、Electro-Luminescence: 以下、EL という) 表示パネルに関し、特にストレージキャパシタを所望時間内にプリチャージさせることができる EL 表示パネルのプリチャージ方法及び装置に関する。

【背景技術】

50

## 【0002】

陰極線管 (Cathode Ray Tube) の短所である重さと嵩を減らすことができる各種の平板表示装置が開発されている。このような平板表示装置としては、液晶表示装置 (Liquid Crystal Display、LCD)、電界放出表示装置 (Field Emission Display)、プラズマ表示パネル (Plasma Display Panel) 及びエレクトロ・ルミネセンス (Electro-Luminescence: 以下、"EL" という) 表示装置などがある。

## 【0003】

これらのうち、EL表示装置は電子と正孔の再結合により蛍光物質を発光させる自発光素子であり、その蛍光体として無機化合物を使用する無機ELと、有機化合物を使用する有機ELとに大別される。このようなEL表示パネルは他の表示装置と異なり、低い駆動電圧 (10V程度) で駆動することができ、自発光を利用するので認識性が優れており、またLCDとは異なり、バックライトを必要としないため超薄膜化が可能である。また、LCDと対比して広い視野角、速い応答速度などのような多くの長所を有しており、次世代の表示装置として期待されている。

10

## 【0004】

有機EL素子は、通常、陰極と陽極との間に積層された電子注入層、電子輸送層、発光層、正孔輸送層、及び正孔注入層で構成される。このような有機EL素子においては、陽極と陰極との間に所定の電圧を印加すると、陰極から発生した電子が電子注入層及び電子輸送層を介して発光層側に移動し、また陽極から発生した正孔が正孔注入層及び正孔輸送層を介して発光層側に移動する。これにより、発光層では電子輸送層と正孔輸送層とから供給された電子と正孔とが衝突して再結合することにより、光が発生するようになる。

20

## 【0005】

このような有機EL素子を利用するアクティブ・マトリックスEL表示パネルは、図1に図示されるように、ゲート・ライン (GL) とデータ・ライン (DL) との交差部に規定される領域にそれぞれ配列された画素 (PE) を有する画素マトリックス (20) と、ゲート・ライン (GL) を通じてスキャンパルスを提供するゲート・ドライバ (22) と、データ・ラインなど (DL) を通じてデータ信号を提供するデータ・ドライバ (24) とを具備する。

30

## 【0006】

画素 (PE) の各々はゲート・ライン (GL) にスキャン・パルスが供給される際にデータ・ライン (DL) からビデオ・データ信号 (以下、データ信号) の供給を受けて、データ信号に対応する光を発生する。

## 【0007】

このような動作のため、画素 (PE) の各々は、図2に示されるように、基底電圧源 (GND) に陰極が接続されたELセル (OLED) と、ゲート・ライン (GL)、データ・ライン (DL) 及び供給電圧源 (VDD) に接続され、ELセル (OLED) の陽極に接続された、ELセル (OLED) を駆動するためのセル駆動部 (16) とを具備する。

40

## 【0008】

ELセル駆動部 (16) は電源 (VDD) ラインに接続された第1薄膜トランジスタ (以下、TFT) (T1) と、電源 (VDD) ラインとELセル (OLED) の陽極との間に接続されて第1TFT (T1) とともに電流ミラー (Current Mirror) を形成する第2TFT (T2) と、データ・ライン (DL) と第1TFT (T1) の間に接続されてゲート・ライン (GL) により制御されるスイッチ用の第3TFT (T3) と、第3TFT (T3) と第1及び第2TFT (T1、T2) のゲート電極との間に接続されてゲート・ライン (GL) により制御されるスイッチ用の第4TFT (T4) と、電源 (VDD) ラインと第1及び第2TFT (T1、T2) のゲート電極との間に接続されたストレージキャパシタ (Cst) とを具備する。

## 【0009】

50

第3及び第4 T F T ( T 3、 T 4 ) はゲート・ライン ( G L ) にスキャン・パルスが供給されると同時にターン・オンされてデータ・ライン ( D L ) 上のデータ信号 ( 即ち、電流信号 ) が第1及び第2 T F T ( T 1、 T 2 ) のゲート電極に供給され、ストレージキャパシタ ( C s t ) には第1及び第2 T F T ( T 1、 T 2 ) を駆動するための駆動電圧が充電される。これにより、第1 T F T ( T 1 ) はストレージキャパシタ ( C s t ) に充電された駆動電圧に当たる電流が流れ、第2 T F T ( T 2 ) は第1 T F T ( T 1 ) に流れる電流をコピーして E L セル ( O L E D ) に供給し、 E L セル ( O L E D ) は供給された電流の大きさに基づいて光を発光する。そして、スイッチ用の第3及び第4 T F T ( T 3、 T 4 ) がターン・オフされても、ストレージ・キャパシタ ( C s t ) に充電された駆動電圧により、第1及び第2 T F T ( T 1、 T 2 ) は次のフレームのデータ信号が供給されるまで一定の電流を供給し、 E L セル ( O L E D ) の発光を維持する。

10

## 【 0 0 1 0 】

ゲート・ドライバ ( 2 2 ) はスキャン・パルスを供給してゲート・ライン ( G L 1 乃至 G L m ) を順次に駆動する。

## 【 0 0 1 1 】

データ・ドライバ ( 2 4 ) のデータ供給部 ( 2 8 ) は、電流シンク ( C u r r e n t S i n k ) 回路を利用して、スキャン・パルスが供給される毎に、データ信号、即ち電流信号をデータ・ライン ( D L ) に供給する。この際、データ供給部 ( 2 8 ) は極めて小さい電流を使用するため、ストレージキャパシタ ( C s t ) を所望の駆動電圧に充電するのに多くの時間を要する。このため、電源 ( V D D ) との電圧差を相対的に小さくして低いグラデーションを表現する場合には、多量の電流がストレージキャパシタ ( C s t ) に供給されなければならないので、ストレージキャパシタ ( C s t ) を低グラデーションの駆動電圧に充電するのが困難である。

20

## 【 0 0 1 2 】

このような低グラデーションの際の充電に関する問題を解決するため、データ・ドライバ ( 2 4 ) はプリチャージ部 ( 2 6 ) を更に具備し得る。プリチャージ部 ( 2 6 ) は、データ・ライン ( D L 1 乃至 D L n ) にデータ信号が供給される前にプリチャージ信号を供給して各画素 ( P E ) のストレージキャパシタ ( C s t ) をプリチャージすることにより、低グラデーションの際の駆動電圧の充電時間を減らすことができる。

30

## 【 0 0 1 3 】

詳細には、プリチャージ部 ( 2 6 ) は図3のように k 番目のゲート・ライン ( G L k ) に低電圧のスキャン・パルスが供給される期間において、データ供給部 ( 2 8 ) がデータ信号 ( I D k ) を供給する前にプリチャージ信号 ( P ) を供給して、 k 番目の水平ラインのストレージキャパシタ ( C s t ) をプリチャージする。次に、 k + 1 番目のゲート・ライン ( G L k + 1 ) スキャン・パルスが供給される期間においても、データ信号 ( I D k + 1 ) を供給する前にプリチャージ信号 ( P ) を利用して k + 1 番目の水平ラインのストレージキャパシタ ( C s t ) をプリチャージする。

## 【 0 0 1 4 】

上述の構成において、プリチャージ部 ( 2 6 ) は電流源、電圧源、またはフローティング方法を使用して各画素 ( P E ) のストレージキャパシタ ( C s t ) をプリチャージする。

40

## 【 0 0 1 5 】

第1に、プリチャージ部 ( 2 6 ) が電流源を利用する場合、所望の電圧源を用いてデータ・ライン ( D L ) を介してストレージキャパシタ ( C s t ) を充電させるためには、正確なキャパシタンス値を知る必要がある。しかし、データ・ライン ( D L ) 上に存在する寄生キャパシタを正確に検出することは不可能であるので実用性がないという問題点がある。

## 【 0 0 1 6 】

第2に、プリチャージ部 ( 2 6 ) が電圧源を利用する場合、一定の電圧をストレージキャパシタ ( C s t ) に供給することは可能である。しかし、パネル上の電源 ( V D D ) ラ

50

インで電圧降下が発生するため、ストレージキャパシタ ( C s t ) に実際にプリチャージされる電圧は、そのストレージキャパシタ ( C s t ) の位置に従って異なるという問題点がある。

【 0 0 1 7 】

第 3 に、プリチャージ部 ( 2 6 ) のフローティング方法においては、データ・ライン ( D L ) をフローティングして、各画素 ( P E ) からの放電電流を利用してストレージキャパシタ ( C s t ) に所望の駆動電圧をプリチャージングする。このようなフローティング方法は、理論的には電源 ( V D D ) ラインの電圧降下とは関係なくストレージキャパシタ ( C s t ) をプリチャージングすることが可能に見えるが、実際には、接続された E L セル ( O L E D ) の抵抗が極めて大きいため、放電電流が数百 n A 程度と小さくなり、プリチャージ期間内にデータ・ライン ( D L ) 上の電荷を十分に放電することができないという問題点がある。

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 8 】

従って、本発明の目的は、ストレージキャパシタをある期間内に所望の電圧にプリチャージする方法及び装置を提供することである。

【 0 0 1 9 】

本発明の他の目的は、ストレージキャパシタを、その位置とは無関係に均一にプリチャージすることができる、E L 表示パネルのプリチャージ方法及び装置を提供することである。

20

【 0 0 2 0 】

本明の他の目的は、上述のプリチャージ方法及び装置を利用した E L 表示パネルの駆動方法及び装置を提供することである。

【 課題を解決するための手段 】

【 0 0 2 1 】

前述の目的を達成するために、本発明による E L 表示パネルは、ゲート・ラインとデータ・ラインとの間の交差部により規定された画素領域にマトリクス状に配列された複数の画素であって第 1 電圧源、ゲート・ライン及びデータ・ラインに接続されるとともに第 2 電圧源と E L セルとの間に接続されたセル駆動部を有する複数の画素と、セル駆動部のストレージキャパシタを第 1 プリチャージ電圧源を利用して第 1 プリチャージ電圧にプリチャージングした後、データ信号が印加される前のプリチャージ期間にデータ・ラインをフローティングしてストレージキャパシタの第 1 プリチャージ電圧の放電により第 2 プリチャージ電圧に到達させる、本発明によるプリチャージ部とを具備する。

30

【 0 0 2 2 】

セル駆動部は、第 2 電圧源と E L セルとの間で電流ミラーを形成する第 1 及び第 2 の薄膜トランジスタであって、第 2 供給電圧ラインと自身のゲート電極との間に接続されたストレージキャパシタを有する、第 1 及び第 2 薄膜トランジスタと、データ・ライン及び第 1 薄膜トランジスタの間に接続されてゲート・ラインにより制御される第 3 薄膜トランジスタと、第 3 薄膜トランジスタとストレージキャパシタとの間に接続されてゲート・ラインにより制御される第 4 薄膜トランジスタとを具備する。

40

【 0 0 2 3 】

第 2 プリチャージ電圧は、第 1 薄膜トランジスタのしきい値電圧である。

【 0 0 2 4 】

プリチャージ電圧は、各画素に供給された第 2 供給電圧 ( V D D - V f ) と第 1 薄膜トランジスタのしきい値電圧との間の差電圧 ( V D D - V f - V t h ) より低く、第 2 供給電圧は、電圧降下を含む前記第 2 供給電圧ラインを經由して、第 2 電圧源から印加される。

【 0 0 2 5 】

前記プリチャージ部は、プリチャージ期間においてデータ信号を供給するデータ信号部

50

とデータ・ラインとの間の接続を解除するための第1スイッチと、プリチャージ期間中の第1プリチャージ期間においてデータ・ラインをプリチャージ電圧源に接続するための第2スイッチとを具備する。

【0026】

第1及び第2スイッチは、前記プリチャージ期間中の第2プリチャージ期間においてデータ信号供給部及びプリチャージ電圧源に接続されたデータ・ラインの接続を解除して、データ・ラインをフローティングさせる。

【0027】

第2プリチャージ期間は第1プリチャージ期間より長くなる。

【0028】

本発明によるEL表示パネルのプリチャージ方法は、第1プリチャージ期間の間にプリチャージ電圧源を利用してEL表示パネルのゲート・ラインとデータ・ラインとの間の交差部に接続された画素のストレージキャパシタをプリチャージ電圧にプリチャージする段階と、第2プリチャージ期間の間にストレージキャパシタの第1プリチャージ電圧の放電により第2プリチャージ電圧に到達するデータ・ラインをフローティングさせる段階とを含む。

【0029】

EL表示パネルは、複数の画素領域を規定するように交差される複数のデータ・ライン及び複数のゲート・ラインと、第1電圧源とセル駆動部に接続された各画素領域のELセルとを具備する。

【0030】

セル駆動部は、ゲート・ラインとデータ・ラインに接続されると共に第2電圧源とELセルとの間に接続される第1及び第2の薄膜トランジスタであって、第2電圧源とELセルとの間に電流ミラーを形成し、第2供給電圧ラインと自身のゲート電極との間に接続されたストレージキャパシタを有する、第1及び第2薄膜トランジスタ、データ・ラインと第1薄膜トランジスタとの間に接続されてゲート・ラインにより制御される第3薄膜トランジスタ、及び第3薄膜トランジスタとストレージキャパシタとの間に接続されてゲート・ラインにより制御される第4薄膜トランジスタを具備する。

【0031】

第2プリチャージ電圧は前記第1薄膜トランジスタのしきい値電圧である。

【0032】

本発明のEL表示パネルのプリチャージ方法は、前記プリチャージ電圧を、各画素に供給された第2供給電圧( $V_{DD} - V_f$ )と第1薄膜トランジスタのしきい値電圧との間の差電圧( $V_{DD} - V_f - V_{th}$ )より低く設定する段階を更に含む。

【0033】

本発明のEL表示パネルのプリチャージ方法においては、第2供給電圧は、電圧降下( $V_f$ )を含む第2供給電圧ラインを経由して第2電圧源から印加される。

【0034】

第1プリチャージ期間の間にストレージキャパシタをプリチャージする前述の段階は、第1スイッチを利用してデータ・ラインをプリチャージ電圧源に選択的に接続する段階を含む。

【0035】

第2プリチャージ期間の間にデータ・ラインをフローティングさせる段階は、第1スイッチを利用してデータ・ラインとプリチャージ電圧源との接続を選択的に解除する段階と、第2スイッチを利用して、データ信号を供給するためのデータ信号供給部とデータ・ラインとの接続を選択的に解除する段階とを含む。

【0036】

本発明によるEL表示パネルのプリチャージ装置は、第1プリチャージ期間の間とデータ信号の印加に前もって第2プリチャージ期間の間に、スキャン・パルスが供給されるゲート・ラインと接続された画素のそれぞれのストレージキャパシタをプリチャージするプ

10

20

30

40

50

リチャージ手段を具備する。

【0037】

また、本発明によるEL表示パネルのプリチャージ方法は、第1プリチャージ期間の間とデータ信号の印加に前もって第2プリチャージ期間の間に、スキャン・パルスが供給されるゲート・ラインと接続された画素のそれぞれのストレージキャパシタをプリチャージするプリチャージ段階を含む。

【発明を実施するための最良の形態】

【0038】

[実施例]

前述の目的以外の本発明の他の目的及び特徴は、添付した図面及び実施例に対する説明を通じて明らかになるだろう。

10

【0039】

以下、本発明の好ましい実施例を図4乃至図6を参照して詳細に説明する。

【0040】

図4は本発明の実施例によるプリチャージ部を含むEL表示パネルを部分的に示した回路図であり、図5は本発明の実施例によるプリチャージ方法を説明するための駆動波形図である。

【0041】

図4に示されるように、EL表示パネルは、ゲート・ライン(GL)とデータ・ライン(DL)との交差部に規定される領域にそれぞれ配列された画素(PE)を具備する画素マトリックス(50)と、ゲート・ライン(GL)にスキャン・パルスを供給するゲート・ドライバ(図示しない)と、データ・ライン(DL)にデータ信号を供給するデータ・ドライバ(40)とを具備する。

20

【0042】

画素(PE)の各々は、ゲート・ライン(GL)にスキャン・パルスが供給される際にデータ・ライン(DL)からビデオ・データ信号(以下、データ信号)の供給を受けて、そのデータ信号に対応する光を発生する。

【0043】

このために、画素(PE)の各々は基底電圧源(GND)に陰極が接続されたELセル(OLED)と、ゲート・ライン(GL)、データ・ライン(DL)及び供給電圧源(VDD)に接続され、ELセル(OLED)の陽極に接続されて、ELセル(OLED)を駆動するためのセル駆動部(54)とを具備する。

30

【0044】

ELセル駆動部(54)は、電源(VDD)ラインに接続された第1TFT(T1)と、電源(VDD)ラインとELセル(OLED)の陽極との間に接続されて第1TFT(T1)との間で電流ミラー(Current Mirror)を形成する第2TFT(T2)と、データ・ライン(DL)と第1TFT(T1)との間に接続されてゲート・ライン(GL)により制御されるスイッチ用の第3TFT(T3)と、第3TFT(T3)と第1及び第2TFT(T1、T2)のゲート電極との間に接続されてゲート・ライン(GL)により制御されるスイッチ用の第4TFT(T4)と、電源(VDD)ラインと第1及び第2TFT(T1、T2)のゲート電極との間に接続されたストレージキャパシタ(Cst)とを具備する。

40

【0045】

第3及び第4TFT(T3、T4)は、ゲート・ライン(GL)にスキャン・パルスが供給されると同時にターン・オンされ、データ・ライン(DL)上のデータ信号(即ち、電流信号)が第1及び第2TFT(T1、T2)のゲート電極に供給されることにより、ストレージキャパシタ(Cst)には第1及び第2TFT(T1、T2)を駆動するための駆動電圧が充電される。これにより、第1TFT(T1)にはストレージキャパシタ(Cst)に充電された駆動電圧に相当する電流が流れ、第2TFT(T2)は第1TFT(T1)に流れる電流をコピーしてELセル(OLED)に供給することにより、EL

50

セル ( O L E D ) が供給された電流の大きさに基づいて発光するようにする。そして、スイッチ用の第 3 及び第 4 T F T ( T 3、T 4 ) がターン・オフされても、ストレージキャパシタ ( C s t ) に充電された駆動電圧により、第 1 及び第 2 T F T ( T 1、T 2 ) は次のフレームのデータ信号が供給されるまで一定の電流を供給して E L セル ( O L E D ) の発光を維持させる。

【 0 0 4 6 】

ゲート・ドライバはスキャン・パルスを提供して、ゲート・ライン ( G L 1 乃至 G L m ) を順次に駆動する。

【 0 0 4 7 】

データ・ドライバ ( 4 0 ) は、データ・ライン ( D L ) にデータ信号を提供するデータ供給部 ( 4 2 ) と、データ信号の前に各画素 ( P E ) のストレージキャパシタ ( C s t ) をプリチャージするプリチャージ部 ( 4 4 ) とを具備する。

10

【 0 0 4 8 】

データ供給部 ( 4 2 ) は、電流シンク ( C u r r e n t S i n k ) 回路を利用して、スキャン・パルスが供給される毎に、データ信号、即ち電流信号 ( I D ) をデータ・ライン ( D L ) に供給する。

【 0 0 4 9 】

プリチャージ部 ( 4 4 ) は、ゲート・ライン ( G L ) にスキャン・パルスが供給される期間毎に、データ供給部 ( 4 2 ) がデータ信号 ( I D ) を供給する前に 2 段階のプリチャージ方法で各画素 ( P E ) のストレージキャパシタ ( C s t ) を所望の駆動電圧にプリチャージする。

20

【 0 0 5 0 】

例えば、プリチャージ部 ( 4 4 ) は、図 5 に示されるように、k 番目のゲート・ライン ( G L k ) に低電圧のスキャン・パルスが供給される期間において、データ供給部 ( 4 2 ) がデータ信号 ( I D k ) を供給する前に、第 1 及び第 2 プリチャージ段階 ( P 1、P 2 ) を経て k 番目の水平ラインのストレージキャパシタ ( C s t ) をプリチャージする。次に、k + 1 番目のゲート・ライン ( G L k + 1 ) にスキャン・パルスが供給される期間においても、データ信号 ( I D k + 1 ) を供給する前に、第 1 及び第 2 プリチャージ段階 ( P 1、P 2 ) を経て k + 1 番目の水平ラインのストレージキャパシタ ( C s t ) をプリチャージする。

30

【 0 0 5 1 】

具体的には、プリチャージ部 ( 4 4 ) は、第 1 プリチャージ段階 ( P 1 ) においてプリチャージ電圧 ( V p c ) を使用し、第 2 プリチャージ段階 ( P 2 ) においてデータ・ライン ( D L ) をフローティングさせる方法を利用する。このために、プリチャージ部 ( 4 4 ) は、第 1 制御信号 ( L O A D ) に応答してプリチャージ期間の間にデータ供給部 ( 4 2 ) とデータ・ライン ( D L ) との間を開放する ( 接続を解除する ) ための第 1 スイッチ ( S W 1 ) と、第 2 制御信号 ( P C E ) に応答してプリチャージ電圧 ( V p c ) をデータ・ライン ( D L ) に供給するための第 2 スイッチ ( S W 2 ) とを具備する。

【 0 0 5 2 】

第 1 スイッチ ( S W 1 ) は、図 5 のように、ゲート・ライン ( G L k、G L k + 1 ) のそれぞれにスキャン・パルスが供給される期間において、第 1 制御信号 ( L O A D ) がロー ( 低 ) 状態になるプリチャージ期間 ( P 1 ) の間にデータ供給部 ( 4 2 ) とデータ・ライン ( D L ) との間を開放する ( 接続を解除する ) 。

40

【 0 0 5 3 】

第 2 スイッチ ( S W 2 ) は、図 5 のように、プリチャージ期間 ( P 1 ) 中の第 2 制御信号 ( P C E ) がハイ ( 高 ) 状態になる第 1 プリチャージ段階 ( P 1 ) において、一定のプリチャージ電圧 ( V p c ) をデータ・ライン ( D L ) に供給する。これにより、データ・ライン ( D L ) と、スキャン・パルスが供給されたゲート・ライン ( G L k、G L k + 1 ) と接続された画素 ( P E ) の各々のストレージキャパシタ ( C s t ) をプリチャージする。この際、ストレージキャパシタ ( C s t ) は、電源 ( V D D ) とプリチャージ電圧 (

50

$V_{pc}$ )との差電圧( $V_{DD} - V_{pc}$ )をプリチャージするようになる。ここで、プリチャージ電圧( $V_{pc}$ )は、電源( $V_{DD}$ )ラインの電圧降下を補償するために、最終的にプリチャージしようとする目標電圧より低く設定する。

【0054】

次に、第2プリチャージ期間( $P2$ )において、第1及び第2スイッチ( $SW1$ 、 $SW2$ )は、第1及び第2制御信号( $LOAD$ 、 $PC_E$ )のそれぞれによりターン・オフされるので、データ・ライン( $DL$ )はフローティング状態になる。これにより、該当する画素( $PE$ )においてストレージキャパシタ( $Cst$ )に充電された電圧( $V_{DD} - V_{pc}$ )が第1TFT( $T1$ )を通じて電源( $V_{DD}$ )ライン側に放電される。この結果、最終的にストレージキャパシタ( $Cst$ )にプリチャージされた電圧は各画素( $PE$ )での電源( $V_{DD}$ )と第1TFT( $T1$ )のしきい値電圧( $V_{th}$ )との差電圧( $V_{DD} - V_{th}$ )になる。この際、画素( $PE$ )の位置に従って、電源( $V_{DD}$ )ラインの電圧の降下があっても、ストレージキャパシタ( $Cst$ )の各々は各画素( $PE$ )に供給された電圧( $V_{DD}$ )を基準として第1TFT( $T1$ )のしきい値電圧( $V_{th}$ )だけ低い電圧をプリチャージするようになるので、電源( $V_{DD}$ )の電圧降下を補償することができるようになる。重ねて言えば、各画素( $PE$ )の位置、即ち電源( $V_{DD}$ )ラインの電圧降下とは無関係に、ストレージキャパシタ( $Cst$ )は一定の電圧をプリチャージすることができるようになる。

10

【0055】

例えば、図6に示されるように、第1ゲート・ライン( $GL1$ )と接続された画素( $PE$ )の各々のストレージキャパシタ( $Cst$ )は、前述した第1及び第2プリチャージ段階( $P1$ 、 $P2$ )を経て、電圧降下のほとんどない電源( $V_{DD}$ )と第1TFT( $T1$ )のしきい値電圧( $V_{th}$ )との差電圧( $V_{DD} - V_{th}$ )をプリチャージするようになる。そして、第 $n$ ゲート・ライン( $GLn$ )と接続された画素( $PE$ )の各々のストレージキャパシタ( $Cst$ )は、前述した第1及び第2プリチャージ段階( $P1$ 、 $P2$ )を経て、電圧降下のある電圧( $V_{DD} - V_f$ )と第1TFT( $T1$ )のしきい値電圧( $V_{th}$ )との差電圧 $\{(V_{DD} - V_f) - V_{th}\}$ をプリチャージするようになる。これにより、第1ゲート・ライン( $GL1$ )と接続された画素( $PE$ )のストレージキャパシタ( $Cst$ )と、第 $n$ ゲート・ライン( $GLn$ )と接続された画素( $PE$ )のストレージキャパシタ( $Cst$ )は、電源( $V_{DD}$ )ラインの電圧降下とは関係なしに、各画素( $PE$ )に供給された電源( $V_{DD}$ )を基準として第1TFT( $T1$ )のしきい値電圧( $V_{th}$ )だけ低い電圧をプリチャージするようになるので、電源( $V_{DD}$ )の電圧降下を補償することができるようになる。

20

30

【0056】

そして、図6のように、第1プリチャージ期間( $P1$ )においてプリチャージ電圧( $V_{pc}$ )を利用して最終プリチャージ電圧値近づけるようにストレージキャパシタ( $Cst$ )をプリチャージするようになるので、第2プリチャージ期間( $P2$ )において、フローティング方法により、データ・ライン( $DL$ )上の電荷を与えられた期間( $P2$ )内に十分に放電させることができるようになる。ここで、プリチャージ電圧( $V_{pc}$ )は、電源( $V_{DD}$ )ラインの電圧降下を補償するために、最終的にプリチャージしようとする目標電圧、即ち $V_{DD} - V_f - V_{th}$ より低く設定する。

40

【0057】

この際、十分な放電のために、プリチャージ電圧( $V_{pc}$ )を利用する第1プリチャージ期間( $P1$ )より、フローティング方法を利用する第2プリチャージ期間( $P2$ )を更に長く設定するようにする。

【0058】

上述のように、本発明によるEL表示パネルのプリチャージ方法及び装置は、プリチャージ電圧及びフローティング方法を利用することにより、電源ラインの電圧降下と関係なしに一定の電圧をプリチャージすることができる。

【0059】

50

また、本発明による E L 表示パネルのプリチャージ方法及び装置は、フローティング方法を利用する前にプリチャージ電圧を最終プリチャージ電圧値に近づけることで、与えられた期間内に十分に放電させ、最終プリチャージ電圧値に到達することができるようになる。

【 0 0 6 0 】

以上説明した内容を通じて、当業者であれば、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることがわかる。従って、本発明の技術的範囲は、本明細書中に記載した実施例には限定されないことに留意されたい。

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】 従来の E L 表示パネルの構成を示したブロック図である。

【 図 2 】 図 1 に示された一画素の詳細回路図である。

【 図 3 】 図 1 に示された E L 表示パネルのプリチャージ方法を説明するための駆動波形図である。

【 図 4 】 本発明の実施例によるプリチャージ部を含む E L 表示パネルを図示した回路図である。

【 図 5 】 図 4 に示された E L 表示パネルのプリチャージ方法を説明するための駆動波形図である。

【 図 6 】 第 1 及び第 n ゲート・ラインと接続された画素のストレージキャパシタにプリチャージされた電圧を比較して示した波形図である。

【 符号の説明 】

【 0 0 6 2 】

4 0 : データ・ドライバ

4 2 : データ供給部

4 4 : プリチャージ部

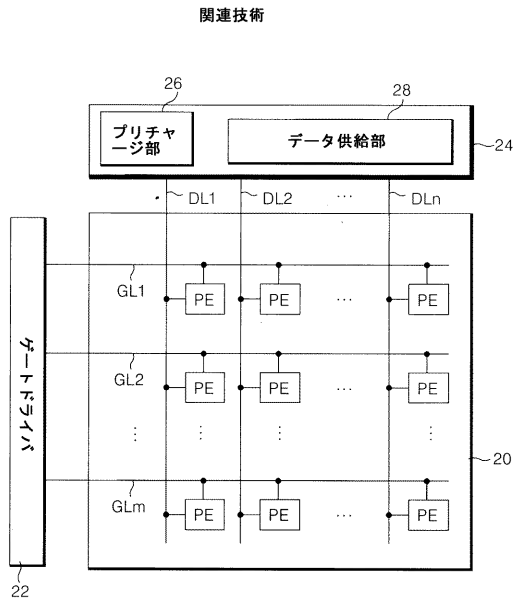
5 0 : 画素マトリックス

5 4 : セル駆動部

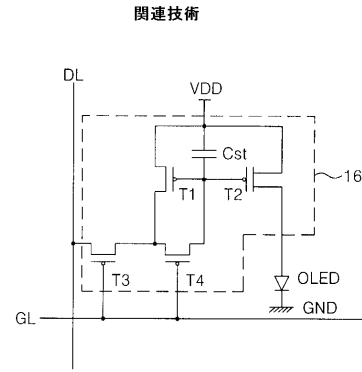
10

20

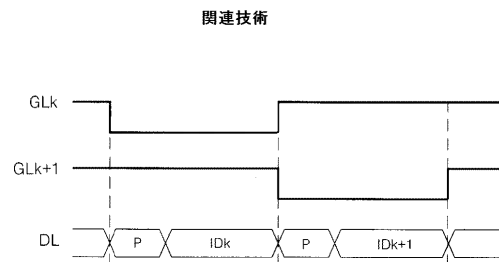
【図1】



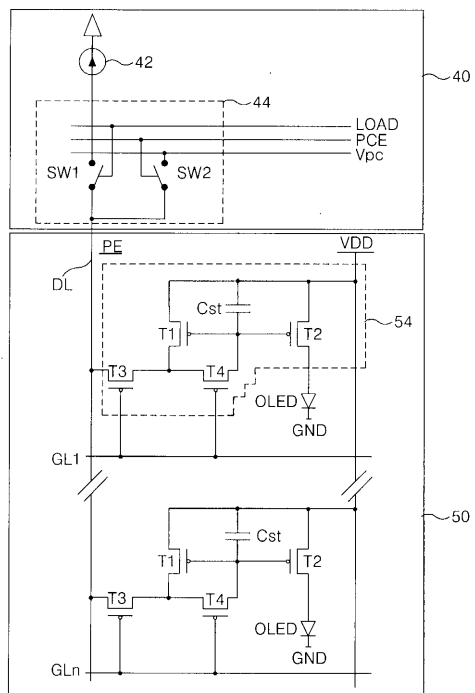
【図2】



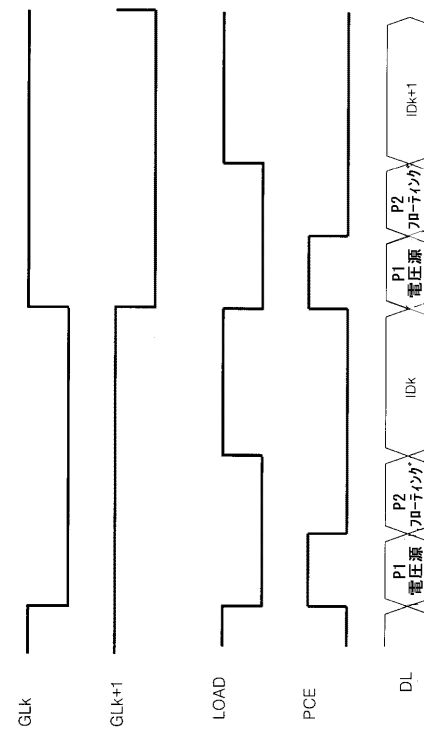
【図3】



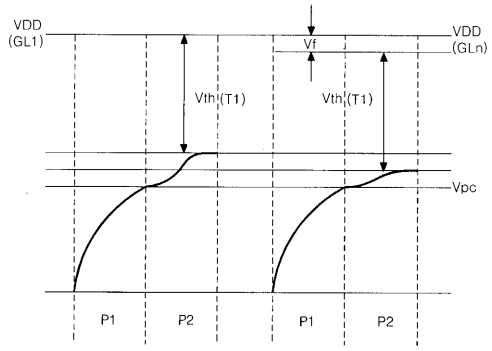
【図4】



【図5】



【 6 】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 2 4 B  
H 0 5 B 33/14 A

(74)代理人 100101498  
弁理士 越智 隆夫

(74)代理人 100096688  
弁理士 本宮 照久

(74)代理人 100104352  
弁理士 朝日 伸光

(74)代理人 100128657  
弁理士 三山 勝巳

(72)発明者 金 性 均  
大韓民国 ソウル特別市 冠岳區 新林1洞 1 6 1 5 - 1 2

審査官 中村 直行

(56)参考文献 特開2003-066908(JP,A)  
特開2003-177709(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 9 F 9 / 3 0  
H 0 1 L 5 1 / 5 0  
H 0 5 B 3 3 / 1 4

专利名称(译)	用于对电致发光板进行预充电的方法和设备		
公开(公告)号	<a href="#">JP4303193B2</a>	公开(公告)日	2009-07-29
申请号	JP2004373599	申请日	2004-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	金性均		
发明人	金性均		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08 H05B33/14		
CPC分类号	G09G3/3241 G09G3/3283 G09G3/3291 G09G2300/0842 G09G2310/0251 G02C5/001 G09B17/00 G09B19/00 G10K11/28		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.621.F G09G3/20.623.R G09G3/20.623.Y G09G3/20.624.B H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD07 5C080/DD08 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA39 5C380/BC02 5C380/BC09 5C380/BC12 5C380/BC13 5C380/CA08 5C380/CA13 5C380/CA29 5C380/CA54 5C380/CB01 5C380/CC14 5C380/CC26 5C380/CC34 5C380/CC52 5C380/CC62 5C380/CD014 5C380/CE19 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	白井伸一 朝日 伸光		
审查员(译)	中村直之		
优先权	1020040022123 2004-03-31 KR		
其他公开文献	JP2005292783A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种预充电方法和一种电致发光（EL）面板装置，其能够在一定时间内将存储电容器预充电到所需电压。ŽSOLUTION：EL面板的预充电装置包括：多个像素，以矩阵形式排列在栅极线和数据线之间的交叉部分中指定的像素区域中，并且具有连接到第一电源，栅极线和数据线的驱动部分，并且还连接在第二电源和EL电池;预充电部分，在利用第一预充电电源将单元驱动部分的存储电容器预充电到第一预充电电压之后，通过使数据线在预充电时段之前处于浮动状态，使其达到第二预充电电压。施加数据信号并通过放电存储电容器的第一预充电电压。Ž

