

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-520056
(P2020-520056A)

(43) 公表日 令和2年7月2日(2020.7.2)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/22 (2006.01)	H05B 33/22	Z 3K107
H01L 51/50 (2006.01)	H05B 33/14	A 5C094
H01L 27/32 (2006.01)	H01L 27/32	
H05B 33/12 (2006.01)	H05B 33/12	B
G09F 9/30 (2006.01)	G09F 9/30	365

審査請求 有 予備審査請求 未請求 (全 44 頁) 最終頁に続く

(21) 出願番号 特願2019-561882 (P2019-561882)
 (86) (22) 出願日 平成30年4月27日 (2018. 4. 27)
 (85) 翻訳文提出日 令和1年11月8日 (2019. 11. 8)
 (86) 国際出願番号 PCT/US2018/029772
 (87) 国際公開番号 W02018/212960
 (87) 国際公開日 平成30年11月22日 (2018. 11. 22)
 (31) 優先権主張番号 62/507, 646
 (32) 優先日 平成29年5月17日 (2017. 5. 17)
 (33) 優先権主張国・地域又は機関
 米国 (US)
 (31) 優先権主張番号 62/635, 433
 (32) 優先日 平成30年2月26日 (2018. 2. 26)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(71) 出願人 503260918
 アップル インコーポレイテッド
 Apple Inc.
 アメリカ合衆国 95014 カリフォル
 ニア州 クパチーノ アップル パーク
 ウェイ ワン
 One Apple Park Way,
 Cupertino, Californ
 ia 95014, U. S. A.
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100112508
 弁理士 高柳 司郎

最終頁に続く

(54) 【発明の名称】 横方向の漏れを低減した有機発光ダイオードディスプレイ

(57) 【要約】

有機発光ダイオード(OLED)ディスプレイは、カソードとアノードの間に介在するOLED層をそれぞれ有する有機発光ダイオード画素のアレイを設けることができる。各画素のアノードに電圧を印加して、放射された光の大きさを制御することができる。OLED層の導電性によって、漏れ電流がディスプレイ内の隣合うアノード間を通過できてしまう。ディスプレイ内の漏れ電流及び付随するクロストークを低減するために、画素定義層がOLED層の連続性を中断できる。画素定義層は、急勾配の側壁、下部切取り部を有する側壁、又はOLED層の連続性を中断する複数の曲線を設けた側壁面を有してよい。バイアス電圧に結合しており、ゲート誘電体によって覆われた制御ゲートを使用して、ディスプレイ上の隣接するアノード間の漏れ電流チャネルを遮断する有機薄膜トランジスタを形成することができる。

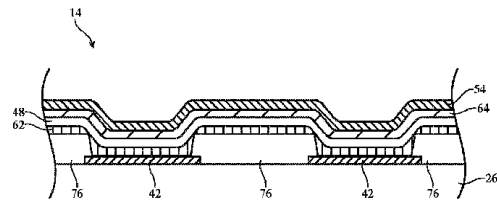


FIG. 16

【特許請求の範囲】**【請求項 1】**

ディスプレイであって、
基板と、

画素のアレイであって、第 1 及び第 2 の有機発光ダイオード画素を含み、前記第 1 の有機発光ダイオード画素は、前記基板上に第 1 のパターン化された電極を含み、前記第 2 の有機発光ダイオード画素は、前記基板上に第 2 のパターン化された電極を含む、画素のアレイと、

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在する、前記基板上の画素定義層と、

横方向導電層であって、前記画素定義層の上に形成されており、前記第 1 の有機発光ダイオード画素の一部を形成する第 1 の部分と、前記第 2 の有機発光ダイオード画素の一部を形成する第 2 の部分とを有し、前記第 1 の部分は、前記画素定義層によって形成された前記横方向導電層内の少なくとも 1 つの不連続部によって前記第 2 の部分から電気的に絶縁されている、横方向導電層と、を備えるディスプレイ。

【請求項 2】

前記横方向導電層は、前記画素定義層、前記第 1 のパターン化された電極、及び前記第 2 のパターン化された電極の上に、かつ直接接触して形成されている、請求項 1 に記載のディスプレイ。

【請求項 3】

前記横方向導電層の上に形成された発光層と、

前記発光層の上に形成された共通電極と、を更に備える、請求項 2 に記載のディスプレイ。

【請求項 4】

前記画素定義層は、上面及び側壁面を有し、前記横方向導電層内の前記少なくとも 1 つの不連続部は前記側壁面の凹部によって形成される、請求項 1 に記載のディスプレイ。

【請求項 5】

前記画素定義層は少なくとも第 1 及び第 2 の材料層を含む、請求項 1 に記載のディスプレイ。

【請求項 6】

前記画素定義層は前記第 1 の材料層、前記第 2 の材料層、及び第 3 の材料層を含み、前記第 1 の材料層は前記第 3 の材料層と同じ材料で形成され、前記第 1 の材料層は前記第 2 の材料層とは異なる材料で形成されている、請求項 5 に記載のディスプレイ。

【請求項 7】

前記第 1 の材料層は二酸化ケイ素で形成され、前記第 2 の材料層は窒化ケイ素から形成され、前記第 3 の材料層は二酸化ケイ素から形成されており、前記第 2 の材料層は前記第 1 の材料層と前記第 3 の材料層との間に介在している、請求項 6 に記載のディスプレイ。

【請求項 8】

前記画素定義層は前記第 1 の材料層、前記第 2 の材料層、及び第 3 の材料層を含み、前記第 1 の材料層は前記第 1 のパターン化された電極と前記第 2 の材料層との間に介在しており、前記第 2 の材料層は前記第 1 の材料層と前記第 3 の材料層との間に介在しており、前記第 1 の材料層は、前記第 1 のパターン化された電極の上面に対して第 1 の角度を成す第 1 の側壁を有し、前記第 2 の材料層は、前記第 1 のパターン化された電極の前記上面に対して第 2 の角度を成す第 2 の側壁を有し、前記第 3 の材料層は、前記第 1 のパターン化された電極の前記上面に対して第 3 の角度を成す第 3 の側壁を有し、前記第 1 の角度は 90 度未満であり、前記第 2 の角度は 90 度より大きく、前記第 3 の角度は 90 度未満である、請求項 5 に記載のディスプレイ。

【請求項 9】

前記画素定義層は、上面及び側壁面を有し、前記横方向導電層内の前記少なくとも 1 つの不連続部は、前記側壁面の複数の曲線によって形成されている、請求項 1 に記載のディ

10

20

30

40

50

スプレイ。

【請求項 10】

ディスプレイであって、
基板と、

画素のアレイであって、第 1 及び第 2 の画素を含み、前記第 1 の画素は前記基板上に第 1 の有機発光ダイオード及び第 1 のパターン化された電極を含み、前記第 2 の画素は、前記基板上に第 2 の有機発光ダイオード及び第 2 のパターン化された電極を含む、画素のアレイと、

前記第 1 及び第 2 の有機発光ダイオードの両方の一部を形成する共通の横方向導電層と、

10

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在する構造体であって、前記構造体は、前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間の前記共通の横方向導電層を通過する漏れ電流の量を低減する、構造体と、を備えるディスプレイ。

【請求項 11】

前記構造体はバイアス電圧に結合した導電性コンタクトを含む、請求項 10 に記載のディスプレイ。

【請求項 12】

前記導電性コンタクトは、前記第 1 及び第 2 のパターン化された電極と同じ材料で形成される、請求項 11 に記載のディスプレイ。

20

【請求項 13】

前記構造体は絶縁構造体を含み、前記絶縁構造体は第 1 の幅を有する上面と、前記第 1 の幅よりも小さい第 2 の幅を有する下面とを有する、請求項 10 に記載のディスプレイ。

【請求項 14】

前記共通の横方向導電層は、前記第 1 のパターン化された電極の上に形成された第 1 の部分と、前記第 2 のパターン化された電極の上に形成された第 2 の部分と、前記絶縁構造体の上に形成された第 3 の部分とを有し、前記共通の横方向導電層の前記第 3 の部分は、前記共通の横方向導電層の前記第 1 及び第 2 の部分に電気的に接続していない、請求項 13 に記載のディスプレイ。

【請求項 15】

30

前記構造体は前記基板内にトレンチを含み、前記共通の横方向導電層は、前記第 1 のパターン化された電極の上に形成された第 1 の部分と、前記第 2 のパターン化された電極の上に形成された第 2 の部分と、前記トレンチ内に形成された第 3 の部分とを含む、請求項 10 に記載のディスプレイ。

【請求項 16】

ディスプレイであって、
基板と、

画素のアレイであって、第 1 及び第 2 の有機発光ダイオード画素を含み、前記第 1 の有機発光ダイオード画素は前記基板上の第 1 のパターン化された電極を含み、前記第 2 の有機発光ダイオード画素は、前記基板上に第 2 のパターン化された電極を含む、画素のアレイと、

40

横方向導電層であって、前記第 1 及び第 2 のパターン化された電極の上に形成されており、前記第 1 の有機発光ダイオード画素の一部を形成する第 1 の部分と、前記第 2 の有機発光ダイオード画素の一部を形成する第 2 の部分とを有する、横方向導電層と、

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在し、バイアス電圧に結合している制御ゲートと、を備えるディスプレイ。

【請求項 17】

前記制御ゲートは、前記バイアス電圧に結合されると、前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間の前記横方向導電層内の電流チャネルを遮断する有機薄膜トランジスタを形成する、請求項 16 に記載のディスプレイ。

50

【請求項 18】

前記制御ゲートと前記横方向導電層との間に介在するゲート誘電体を更に備える、請求項 16 に記載のディスプレイ。

【請求項 19】

前記制御ゲートは前記第 1 及び第 2 のパターン化された電極と同じ材料で形成され、前記制御ゲート、前記第 1 のパターン化された電極、及び前記第 2 のパターン化された電極は同一平面上にある、請求項 16 に記載のディスプレイ。

【請求項 20】

前記第 1 のパターン化された電極に結合した第 1 のコンタクトと、
前記第 2 のパターン化された電極に結合した第 2 のコンタクトであって、前記制御ゲートは、前記第 1 及び第 2 のコンタクトと同じ材料で形成され、前記制御ゲート、前記第 1 のコンタクト、及び前記第 2 のコンタクトは同一平面上にある、第 2 のコンタクトと、を更に備える、請求項 16 に記載のディスプレイ。

10

【請求項 21】

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在する画素定義層を更に備え、前記画素定義層は前記制御ゲートとオーバーラップする、請求項 16 に記載のディスプレイ。

【請求項 22】

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在する画素定義層を更に備え、前記制御ゲートは前記画素定義層内に埋め込まれている、請求項 16 に記載のディスプレイ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本特許出願は、参照によりその全体が本明細書に組み込まれる、2017年5月17日出願の仮特許出願第62/507,646号及び2018年2月26日に提出された仮特許出願第62/635,433号に対する優先権を主張するものである。

本出願は、概して電子デバイスに関し、より具体的には、ディスプレイを有する電子デバイスに関する。

【背景技術】

30

【0002】

電子デバイスは、多くの場合、ディスプレイを含む。例えば、電子デバイスは、有機発光ダイオード画素に基づいた有機発光ダイオード(OLED)ディスプレイを有してよい。このタイプのディスプレイでは、各画素は、発光ダイオードと、光を生成するために、発光ダイオードへの信号の印加を制御する薄膜トランジスタとを含む。発光ダイオードは、アノードとカソードの間に配置されたOLED層を含んでよい。

【0003】

有機発光ダイオードディスプレイ内の所与の画素から光を放射するために、所与の画素のアノードに電圧を印加することができる。理想的には、所与の画素のアノードにおける電圧は、任意の隣合う画素に影響を与えない。しかしながら、アノード上のOLED層の導電性は、所与の画素のアノードから隣接する画素のアノードへの横方向導電を可能にしてしまいかねない。これにより、隣接する「オン」画素の漏れが原因で、名目上の「オフ」画素が光を放射できるようになる画素クロストークを引き起こす可能性がある。画素クロストークは、表示性能を劣化させ、得られた画像内の色ずれを生じさせる。

40

【0004】

ディスプレイの解像度を増大させるために、ディスプレイ内の画素間の距離を低減することが望ましい場合がある。しかしながら、OLED層を通る横方向導電による画素クロストークは、画素間の距離が減少するにつれて悪化し得る。

【0005】

したがって、電子デバイスのための改善されたディスプレイを提供することができるこ

50

とが望ましい。

【発明の概要】

【0006】

電子デバイスは、有機発光ダイオードディスプレイなどのディスプレイを設けることができる。有機発光ダイオード(OLED)ディスプレイは、カソードとアノードの間に介在したOLED層をそれぞれ有する有機発光ダイオード画素のアレイを設けることができる。

【0007】

各有機発光ダイオード画素はそれぞれ対応するアノードを設けることができる。各有機発光ダイオード画素のアノードに電圧を印加して、各有機発光ダイオード画素からの光の放射量を制御することが可能である。ホール注入層及びホール輸送層などのアノードの上に形成されたOLED層は導電性であってよい。OLED層の導電性は、漏れ電流がディスプレイ内の隣合うアノード間を通過することを可能にしていまいかねない。

10

【0008】

ディスプレイ内での漏れ電流及び付随するクロストークを低減するために、ディスプレイ内の隣合うアノード間に構造体を配置することができる。例えば、バイアス電圧に結合された導電性コンタクトを、ディスプレイ内の隣接するアノード間に介在させてよい。あるいは、T字型又はテーパー状の構造体を、ディスプレイ内の隣接するアノードの間に介在させてもよい。OLED層が堆積されると、T字型又はテーパー状の構造体がOLED層の連続性を中断し、漏れ電流が隣接するアノード間を通過することを防止し得る。OLED層の連続性を中断する別の方法は、OLED層を堆積させる前に、下敷きとなる基板内にトレンチを形成するというものである。

20

【0009】

ディスプレイ内の隣接するアノード間に介在する画素定義層を使用してOLED層の連続性を中断し、隣接するアノード間を漏れ電流が通過することを防止できる。画素定義層は、OLED層の連続性を中断するための急勾配の側壁を設けることができる。画素定義層は、OLED層の連続性を中断するために下部切取り部を有する側壁を設けることができる。画素定義層は、所望の側壁面のエッチングを可能にするべく、複数の材料層で形成されてよい。画素定義層は、OLED層の連続性を中断するために、複数の曲線を有する側壁面を設けてよい。

30

【0010】

エネルギー源を使用して、OLED層をエネルギーに露出させてOLED層を損傷させ、OLED層の露出部分の導電性を低減することができる。フッ素化自己整合単層をOLED層の下に形成して、OLED層を選択的に障害させ、影響を受けた部分の導電性を低減させることができる。

【0011】

各有機発光ダイオード画素は、バイアス電圧に結合した漏れ電流制御トランジスタを含んでよい。有機発光ダイオード画素の発光トランジスタがアサートされると、漏れ電流制御トランジスタがアサートされて、ディスプレイ内のクロストークを防止することができる。

40

【0012】

バイアス電圧に結合し、ゲート誘電体によって覆われた制御ゲートを使用して、ディスプレイ上の隣接するアノード間の漏れ電流チャネルを遮断する有機薄膜トランジスタを形成することができる。制御ゲートは画素定義層によってオーバーラップされても、又は画素定義層内に埋め込まれてもよい。

【0013】

ディスプレイの効率を高めるために、パターン化されたアノードの下に形成された反射層をディスプレイに設けることができる。向上した効率を維持しつつ横方向の漏れを低減するために、パターン化されたアノードのサイズを低減してもよい。

【図面の簡単な説明】

50

- 【0014】
【図1】一実施形態に係る、ディスプレイを有する例示的な電子デバイスの概略図である。
- 【0015】
【図2】一実施形態に係る、例示的なディスプレイの概略図である。
- 【0016】
【図3】一実施形態に係る、例示的な画素回路の図である。
- 【0017】
【図4】一実施形態に係る、隣接するアノード間の横方向の電流漏れを示す例示的な有機発光ダイオードディスプレイの断面側面図である。 10
- 【0018】
【図5】一実施形態に係る、有機発光ダイオードの異なる層を示す例示的な有機発光ダイオードディスプレイの断面側面図である。
- 【0019】
【図6】一実施形態に係る、有機発光ダイオードディスプレイ用のパターン化されたホール層を形成する例示的な方法を示す。
- 【0020】
【図7】一実施形態に係る、導電性を低減し、横方向の電流漏れを低減するために、マスク層を介してホール層の一部をエネルギーに選択的に露出させる例示的な方法を示す。 20
- 【0021】
【図8】一実施形態に係る、導電性を低減し、横方向の電流漏れを低減するために、マスク層なしでホール層の一部をエネルギーに選択的に露出させる例示的な方法を示す。
- 【0022】
【図9】は、一実施形態に係る、導電性を低減し、横方向の電流漏れを低減するために、ホール層の各部分を選択的に障害させるために、フッ素化自己整合単層を使用する例示的な方法を示す。
- 【0023】
【図10】一実施形態に係る、漏れ電流制御トランジスタを有する例示的な画素回路の図である。 30
- 【0024】
【図11】一実施形態に係る、図10の画素などの漏れ電流制御トランジスタを有する例示的な画素回路の動作を示すタイミング図である。
- 【0025】
【図12】一実施形態に係る、ディスプレイ内の隣接するアノード間に介在するバイアス電圧に結合された導電性コンタクトを有する例示的な有機発光ダイオードディスプレイの断面側面図である。
- 【0026】
【図13】一実施形態に係る、OLED層の連続性を中断するために基板内に形成されたトレンチを有する例示的な有機発光ダイオードディスプレイの断面側面図である。 40
- 【0027】
【図14】一実施形態に係る、隣接するアノード間に介在するT字型の構造体を有する例示的な有機発光ダイオードディスプレイの断面側面図である。
- 【0028】
【図15】一実施形態に係る、隣接するアノード間に介在するテーバ状絶縁構造体を有する例示的な有機発光ダイオードディスプレイの断面側面図である。
- 【0029】
【図16】一実施形態に係る、有機発光ダイオード層の連続性を中断する画素定義層を有する例示的な有機発光ダイオードディスプレイの断面側面図である。
- 【0030】 50

【図17】一実施形態に係る、有機発光ダイオード層の連続性を中断するための急勾配の側壁を有する画素定義層を有する例示的な有機発光ダイオードディスプレイの断面側面図である。

【0031】

【図18】一実施形態に係る、有機発光ダイオード層の連続性を中断するために下部切取り部を有する画素定義層を有する例示的な有機発光ダイオードディスプレイの断面側面図である。

【0032】

【図19】一実施形態に係る、有機発光ダイオード層の連続性を中断する側壁面を形成している複数の層を有する画素定義層を設けた例示的な有機発光ダイオードディスプレイの断面側面図である。

10

【0033】

【図20】一実施形態に係る、有機発光ダイオード層の連続性を中断する曲線を有する側壁面を有する画素定義層を設けた例示的な有機発光ダイオードディスプレイの断面側面図である。

【0034】

【図21】一実施形態に係る、横方向の漏れを排除するために、アノードコンタクトと同一平面上にあって、p型電界効果トランジスタ(FET)を形成する制御ゲートを有する例示的な有機発光ダイオードディスプレイの断面側面図である。

【0035】

【図22】一実施形態に係る、横方向の漏れを排除するために、アノードと同一平面上にあって、p型電界効果トランジスタ(FET)を形成する制御ゲートを有する、例示的な有機発光ダイオードディスプレイの断面側面図である。

20

【0036】

【図23】一実施形態に係る、横方向の漏れを排除するために、画素定義層によって覆われ、p型有機薄膜トランジスタ(TFT)を形成する制御ゲートを有する例示的な有機発光ダイオードディスプレイの側断面図である。

【0037】

【図24】一実施形態に係る、横方向の漏れを排除するために、画素定義層内に埋め込まれ、かつ正バイアス電圧を受信する制御ゲートを有する例示的な有機発光ダイオードディスプレイの断面側面図である。

30

【0038】

【図25】一実施形態に係る、グリッド内に配置された制御ゲートを示す例示的な有機発光ダイオードディスプレイの平面図である。

【0039】

【図26】一実施形態に係る、列状に配設された制御ゲートを示す例示的な有機発光ダイオードディスプレイの平面図である。

【0040】

【図27】一実施形態に係る、画素の効率を高めるために使用される反射層を有する例示的な有機発光ダイオードディスプレイの断面側面図である。

40

【発明を実施するための形態】

【0041】

図1に、ディスプレイが提供され得るタイプの例示的な電子デバイスを示す。電子デバイス10は、ラップトップコンピュータ、組み込み型コンピュータを含むコンピュータモニタ、タブレットコンピュータ、セルラー電話機、メディアプレーヤ、又は他のハンドヘルド型若しくはポータブル型の電子デバイスなどのコンピューティングデバイス、腕時計型デバイス、ペンダント型デバイス、ヘッドホン型若しくはイヤホン型デバイス、眼鏡若しくはユーザの頭部に装着される他の機器内に組み込まれたデバイス、又は他のウェアラブル若しくは小型のデバイスなどのより小さいデバイス、ディスプレイ、組み込み型コンピュータを含むコンピュータディスプレイ、組み込み型コンピュータを含まないコンピ

50

ータディスプレイ、ゲーミングデバイス、ナビゲーションデバイス、キオスク若しくは自動車内にディスプレイを有する電子機器が取り付けられたシステムなどの組み込み型システム、あるいは他の電子機器とすることができる。電子デバイス10は、一對の眼鏡（例えば、支持フレーム）の形状を有してもよく、ヘルメット形状を有する筐体を形成してもよく、あるいはヘッド上又はユーザの眼の近くに1つ以上のディスプレイの構成要素を装着及び固定するのに役立つ他の構成を有してもよい。

【0042】

図1に示すように、電子デバイス10は、デバイス10の動作をサポートするための制御回路16を含むことができる。制御回路は、ハードディスクドライブ記憶装置、不揮発性メモリ（例えば、フラッシュメモリ、又はソリッドステートドライブを形成するように構成された他の電氣的にプログラム可能な読み出し専用メモリ）、揮発性メモリ（例えば、静的又は動的ランダムアクセスメモリ）などの記憶装置を含み得る。制御回路16内の処理回路を使用して、デバイス10の動作を制御することができる。処理回路は、1つ以上のマイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ、ベースバンドプロセッサ、電力管理ユニット、音声チップ、特定用途向け集積回路などに基づくことができる。

10

【0043】

入出力デバイス12などのデバイス10内の入出力回路は、デバイス10へデータを供給することを可能にし、デバイス10から外部デバイスへデータを提供することを可能にするために使用できる。入出力デバイス12は、ボタン、ジョイスティック、スクロールホイール、タッチパッド、キーパッド、キーボード、マイクロフォン、スピーカ、音源、振動器、カメラ、センサ、発光ダイオード、及び他の状態インジケータ、データポートなどを含むことができる。ユーザは、入出力デバイス12を通じてコマンドを供給することによってデバイス10の動作を制御することができ、また、入出力デバイス12の出力リソースを使用して、デバイス10から状態情報及び他の出力を受信することができる。

20

【0044】

入出力デバイス12は、ディスプレイ14などの1つ以上のディスプレイを含むことができる。ディスプレイ14は、ユーザからのタッチ入力を蓄積するタッチセンサを含むタッチスクリーンディスプレイとすることができ、又はディスプレイ14は、タッチセンシティブでなくてもよい。ディスプレイ14に対するタッチセンサは、容量性タッチセンサ電極のアレイ、音響タッチセンサ構造体、抵抗性タッチ構成要素、カベースのタッチセンサ構造体、光ベースのタッチセンサ、又は他の好適なタッチセンサの配置に基づくものとすることができる。ディスプレイ14に対するタッチセンサは、ディスプレイ14の画素を有する共通のディスプレイ基板上に形成された電極で形成することができ、又はディスプレイ14の画素にオーバーラップする別個のタッチセンサパネルで形成することができる。所望であれば、ディスプレイ14は、タッチセンシティブでなくてもよい（すなわち、タッチセンサを省略することができる）。電子デバイス10内のディスプレイ14は、ユーザが典型的な視点から視線を逸らさずにビューイングできるヘッドアップディスプレイであっても、又はユーザの頭部に装着されるデバイスに組み込まれたヘッドマウントディスプレイであってもよい。所望であれば、ディスプレイ14は、ホログラムを表示するために用いられるホログラフィックディスプレイであってもよい。

30

40

【0045】

制御回路16を用いて、オペレーティングシステムコード及びアプリケーションなどのソフトウェアをデバイス10で実行することができる。デバイス10の動作中、制御回路16上で実行中のソフトウェアは、ディスプレイ14上に画像を表示することができる。

【0046】

図2は、例示的なディスプレイの図である。図2に示すように、ディスプレイ14は、基板層26などの層を含むことができる。層26などの基板層は、矩形で平坦な材料層あるいは他の形状（例えば、1つ以上の湾曲した及び/又は直線のエッジをもつ円形形状又は他の形状）をもつ材料層で形成され得る。ディスプレイ14の基板層は、ガラス層、ポ

50

リマー層、シリコン層、ポリマー及び無機材料を含む複合フィルム、金属箔などを含んでもよい。

【0047】

ディスプレイ14は、ユーザに画像を表示するための画素22のアレイ、例えば画素アレイ28などを有することができる。アレイ28中の画素22は、行及び列で配置され得る。アレイ28のエッジは直線であるか又は湾曲し得る（すなわち、アレイ28中の画素22の各行及び/又は画素22の各列は同じ長さを有し得るか又は異なる長さを有し得る）。アレイ28には、任意の好適な数の行及び列（例えば、10以上、100以上、又は1000以上など）が存在し得る。ディスプレイ14は、異なる色の画素22を含むことができる。一例として、ディスプレイ14は、赤色画素、緑色画素、及び青色画素を含むことができる。

10

【0048】

ディスプレイドライバ回路20は、画素28の動作を制御するために使用することができる。ディスプレイドライバ回路20は、集積回路、薄膜トランジスタ回路、及び/又は他の好適な回路で形成され得る。図2の例示的なディスプレイドライバ回路20は、ディスプレイドライバ回路20Aと、ゲートドライバ回路20Bなどの追加のディスプレイドライバ回路とを含む。ゲートドライバ回路20Bは、ディスプレイ14の1つ以上のエッジに沿って形成され得る。例えば、ゲートドライバ回路20Bは、図2に示されているようにディスプレイ14の左側及び右側に沿って配置され得る。

【0049】

図2に示されているように、ディスプレイドライバ回路20A（例えば、1つ以上のディスプレイドライバ集積回路、薄膜トランジスタ回路など）は、信号経路24を介してシステム制御回路と通信する通信回路を含んでいることがある。経路24は、フレキシブルプリント回路又は他のケーブル上のトレースで形成してもよい。制御回路は、電子デバイス10中の1つ以上のプリント回路上に位置し得る。動作中、制御回路（例えば、図1の制御回路16）は、回路20内のディスプレイドライバ集積回路などの回路に、画像をディスプレイ14上に表示するための画像データを供給することができる。図2のディスプレイドライバ回路20Aはディスプレイ14の上部に位置する。これは例示に過ぎない。ディスプレイドライバ回路20Aは、ディスプレイ14の上部及び下部の両方に、又はデバイス10の他の部分に位置してよい。

20

30

【0050】

画素22上に画像を表示するために、ディスプレイドライバ回路20Aは、信号経路30を介してゲートドライバ回路20Bなどのサポートディスプレイドライバ回路に制御信号を発行しながら、対応する画像データをデータラインDに供給し得る。図2の例示的な配置では、データラインDは、ディスプレイ14を通過して垂直方向に走り、画素22のそれぞれの列に関連付けられる。

【0051】

ゲートドライバ回路20B（ゲートラインドライバ回路又は水平制御信号回路と呼ばれることがある）は、基板26上に1つ以上の集積回路を使用して、及び/又は薄膜トランジスタ回路を使用して実現できる。水平制御ラインG（ゲートライン、走査ライン、放射制御ラインなどと呼ばれることがある）は、ディスプレイ14を通過して水平方向に走行している。各ゲートラインGは、画素22のそれぞれの行に関連付けられる。所望であれば、画素の各行に関連付けられたゲートラインGなどの複数の水平制御ラインを設けてもよい。他の信号（例えば、電源信号など）を分配するために、ディスプレイ14中の個々に制御される及び/又はグローバル信号経路も使用され得る。

40

【0052】

ゲートドライバ回路20Bは、ディスプレイ14中のゲートラインG上で制御信号をアサートし得る。例えば、ゲートドライバ回路20Bは、経路30上で回路20Aからクロック信号及び他の制御信号を受信でき、受信された信号に応じて、アレイ28中の画素22の第1の行内のゲートライン信号Gから開始して、ゲートラインG上でゲートライン信

50

号を順にアサートしてゆくことができる。各ゲートラインがアサートされると、データラインDからのデータは、画素の対応する行にロードされ得る。このようにして、ディスプレイドライバ回路20A及び20Bなどの制御回路は、ディスプレイ14上に所望の画像を表示するように画素22に指示する信号を画素22に提供できる。各画素22は、ディスプレイドライバ回路20からの制御及びデータ信号に応答する発光ダイオード及び回路(例えば、基板26上の薄膜回路)を設けてよい。

【0053】

ゲートドライバ回路20Bは、ゲートドライバ行ブロックなどのゲートドライバ回路のブロックを含んでよい。各ゲートドライバ行ブロックは、出力バッファ及び他の出力ドライバ回路、レジスタ回路(例えば、つなげてシフトレジスタを形成することができる複数のレジスタ)、及び信号線、電力線、及び他の相互配線を含んでよい。各ゲートドライバ行ブロックは、ディスプレイ14のアクティブエリア内における画素のレイの画素の対応する行内の1つ以上の対応するゲートラインに、1つ以上のゲート信号を供給することができる。

10

【0054】

図3に、レイ28内の各画素22に使用できるタイプの例示的な画素回路の概略図を示す。図3に示すように、ディスプレイ画素22は、発光ダイオード38を含み得る。正電源端子34に正電源電圧ELVDを供給することができ、接地電源端子36に接地電源電圧ELVSを供給することができる。ダイオード38は、アノード(端子AN)及びカソード(端子CD)を有する。駆動トランジスタ32の状態が、ダイオード38を流れる電流の量、したがってディスプレイ画素22から放射される光40の量を制御する。ダイオード38のカソードCDは、接地端子36に結合されており、したがって、場合によっては、ダイオード38のカソード端子CDをダイオード38用の接地端子と呼ぶことができる。

20

【0055】

トランジスタ38が、連続するデータフレーム間で所望の状態にて確実に保持されることようにするために、ディスプレイ画素22は、蓄積キャパシタCstなどの蓄積キャパシタを含むことができる。蓄積キャパシタCst上の電圧は、ノードAにてトランジスタ32のゲートに印加され、トランジスタ32を制御する。スイッチングトランジスタ30などの1つ以上のスイッチングトランジスタを使用して、蓄積キャパシタCstへデータをロードすることができる。スイッチングトランジスタ30がオフのときには、データラインDは蓄積キャパシタCstから分離され、端子Aのゲート電圧は蓄積キャパシタCstに記憶されたデータ値に等しい(すなわち、表示データの1つ前のフレームからのデータ値がディスプレイ14に表示される)。ディスプレイ画素22に関連付けられた行内のゲートラインG(場合により、走査線と呼ばれる)がアサートされたとき、スイッチングトランジスタ30がオンになり、データラインD上の新規データ信号が蓄積キャパシタCstにロードされる。キャパシタCst上の新規信号は、ノードAでトランジスタ32のゲートに印加され、それによってトランジスタ32の状態を調整し、発光ダイオード38によって放射される対応する光40の量を調整する。所望であれば、ディスプレイ14内に画素を表示する発光ダイオードの動作を制御するための回路(例えば、図3のディスプレイ画素回路のようなディスプレイ画素回路内のトランジスタ、キャパシタ、エッチング)を、他の構成(例えば、駆動トランジスタ32内の閾値電圧変動を補正するための回路を含む構成など)を使用して形成することができる。図3のディスプレイ画素回路は、単なる例示に過ぎない。

30

40

【0056】

図4は、有機発光ダイオードディスプレイ画素を有する例示的なディスプレイの断面側面図である。図示のように、ディスプレイ14は基板26を含むことができる。基板26は、ガラス、プラスチック、ポリマー、シリコン、又は任意の他の所望の材料で形成されてよい。アノード42-1、42-2、及び42-3などのアノードを基板上に形成することができる。アノード42-1、42-2、及び42-3は、導電性材料で形成されて

50

もよく、OLED層45及びカソード54によって被覆されてよい。OLED層45は、有機発光ダイオードを形成するための1つ以上の層を含んでよい。例えば、層45は、ホール注入層(HIL)、ホール輸送層(HTL)、発光層(EML)、電子輸送層(ETL)、及び電子注入層(EIL)のうち1つ以上を含んでよい。カソード54は、OLED層45上に形成された導電層であってよい。カソード層54は、ディスプレイ14内の全てのダイオードのための共通のカソード端子(例えば、図3のカソード端子CDを参照)を形成してよい。カソード層54は、透明な導電性材料(例えば、インジウムスズ酸化物、透明になるほど十分に薄い金属層、薄い金属とインジウムスズ酸化物との組み合わせなど)で形成することができる。ディスプレイ14内の各アノードは、ディスプレイ14内の各ダイオードを独立して制御することができるように、独立した制御が可能であってよい。これにより、各画素22は、独立的に制御された量の光を生成することができる。

10

20

30

40

50

【0057】

アノード42-1、42-2、及び42-3の各々は、それぞれの画素に関連付けられてよい。例えば、アノード42-1は画素22-1と関連付けられてよく、アノード42-2は画素22-2と関連付けられてよく、アノード42-3は画素22-3と関連付けられてよい。画素から光を放射するために、それぞれの画素のアノードに電圧を印加することができる。画素22-2から光を放射することが望ましい(画素22-1及び22-3からは光を放射しない)実施例を例に挙げる。アノード42-2に電圧を印加して、光56が画素22-2から放射されるようにすることができる。前述したように、アノード42-2に電圧が印加された結果、画素22-1及び22-3から光が放射されないことが望ましい。しかしながら、示したように、アノード42-2とアノード42-1の間、並びにアノード42-2とアノード42-3の間のOLED層45を介して、漏れが生じ得る。アノード42-2と、漏れを防止するのに役立つ隣接するアノードとの間に抵抗58(すなわち、OLED層に関連する抵抗)を設けることができる。抵抗が大きいほど、アノード42-1及び42-3に到達する漏れ電流は少なくなる。しかしながら、抵抗は、アノード42-2とアノード42-1及び42-3の間の漏れを完全に排除するのに十分な大きさでなくてもよい。示したように、画素22-1及び22-3はオフにしているが、画素22-1及び22-3から光56が放射されてもよい。隣接するアノード間の抵抗58は、隣接するアノード間の距離60が減少するにつれて低減され得る。表示解像度を最大化するために、隣接するアノード間の距離60が小さくなることが望ましい。しかしながら、これにより、アノード間の抵抗58が低減され、画素間のクロストークが増大する。

【0058】

図4には示されていないが、ディスプレイ14は画素定義層(PDL)を任意で含んでもよい。画素定義層は、誘電材料で形成されてもよく、ディスプレイの隣接するアノードの間に介在してもよい。画素定義層は、アノードが内部に形成される開口部を設けることにより、各画素の面積を画定することができる。有機発光ダイオードディスプレイの以下の実施形態のそれぞれが、画素定義層を任意で含んでよい。

【0059】

図5は、有機発光ダイオードディスプレイ画素を有する例示的なディスプレイの断面側面図である。図5は、図4のOLED層45の詳細を示す。図示のように、OLED層45(有機スタックアップ、有機積層体、又は有機発光ダイオード(OLED)積層体と呼ばれることもある)は、ホール注入層(HIL)44、ホール輸送層(HTL)46、発光層(EML)48、電子輸送層(ETL)50、及びアノード42とカソード54の間に介在する電子注入層(EIL)52を含んでよい。ホール注入層及びホール輸送層を、ホール層(すなわち、ホール層62)と総称することができる。電子輸送層及び電子注入層を電子層(すなわち、電子層64)と総称することができる。発光層48は、有機エレクトロルミネッセンス材料を含んでよい。図示のように、ホール層62及び電子層64は、アレイ全体を覆うブランケット(共通)層であってよい。

【 0 0 6 0 】

理想的には、ディスプレイ 1 4 内の隣接するダイオードは、独立して動作する。実際には、ホール層 6 2 などの共通層が存在することにより、1 つのダイオードからの漏れ電流が隣接するダイオードに横方向に流れる機会がもたらされ、これにより隣接するダイオードを中断する可能性がある。例えば、アノード 4 2 - 1 とカソード 5 4 の間に駆動電流を印加するプロセスは、ホール層 6 2 を通る横方向漏れ電流（例えば、アノード 4 2 - 1 からアノード 4 2 - 2 への電流）を生じさせる可能性がある。ホール層 6 2 を通るアノード間の漏れを低減するために、ホール層を、隣接するアノード間において不連続なパターン化された層として形成することが望ましい場合がある。

【 0 0 6 1 】

図 5 のアノード 4 2 とカソード 5 4 の間に含まれる層の例は、単なる例示に過ぎない。所望であれば、アノード 4 2 とカソード 5 4 の間に追加層（すなわち、電子ブロッキング層、電荷生成層、ホールブロッキング層など）を設けることができる。一般に、アノードとカソードの間には任意の所望の層を設けてよく、ディスプレイ全体に形成される任意の層は、共通の横方向導電層として見なすことができる。O L E D 層 4 5 内の各層は任意の所望の材料で形成されてよい。いくつかの実施形態では、層は有機材料で形成されてよい。しかしながら、場合によっては、1 つ以上の層は、無機材料又は有機又は無機ドーパントでドーパした材料で形成されてもよい。

【 0 0 6 2 】

図 5 の実施例では、パターン化されたアノード層が、共通カソード層の下に形成されている。この実施例は単なる例示に過ぎない。所望であれば、有機発光ダイオードを反転させてカソードが画素毎にパターン化され、アノードが共通層となるようにしてもよい。この場合には、有機積層体 4 5 内の O L E D 層の順序も反転することができる。例えば、電子注入層をパターン化されたカソード上に形成し、電子輸送層を電子注入層上に形成し、発光層を電子輸送層上に形成し、ホール輸送層を発光層上に形成し、ホール注入層をホール輸送層上に形成し、共通のアノード層をホール注入層上に形成してもよい。

【 0 0 6 3 】

後続の実施形態では、パターン化されたアノードは、共通カソード層の下に配置されているものとして示されている。しかしながら、これらの実施形態のそれぞれにおいて、アノード及びカソードを先に述べたように反転させてもよいことを理解されたい。

【 0 0 6 4 】

図 6 は、パターン化されたホール層を有する有機発光ダイオードディスプレイを形成する例示的な方法における様々な工程後のディスプレイの断面側面図を示す。図示のように、工程 1 0 2 では、アノード 4 2（パターン化された電極と呼ばれることもある）を基板 2 6 上に提供してよい。次に、工程 1 0 4 で、ホール層 6 2 を堆積させることができる。ブランケット層として堆積させる代わりに（図 5 に示すとおり）、図 6 のホール層 6 2 を、アノード 4 2 のみがホール層によって覆われ、ホール層の複数の部分間に間隙 6 6 が設けられる形で堆積させることもできる。図 6 では単一層として示されているが、ホール層 6 2 は、ホール注入層及びホール輸送層（例えば、図 5 に示すとおり）を含んでよいことを理解されたい。ホール層 6 2 を不連続層として形成することにより、漏れ電流が隣接するアノード間を通過することを防止することができる。

【 0 0 6 5 】

最後に、工程 1 0 6 で、有機発光ダイオードディスプレイの追加層をホール層の上に形成してよい。追加層は、連続的にディスプレイ画素のアレイ全体を覆うブランケット層として形成することができる。発光層 4 8、電子層 6 4、及びカソード 5 4（共通電極と呼ばれることもある）は全て、ブランケット層としてホール層 6 2 の上に形成されてもよい。

【 0 0 6 6 】

前述したように、場合によっては、パターン化された電極 4 2 は、パターン化されたアノード層でなくパターン化されたカソード層であってもよい。これらの実施形態では、電

10

20

30

40

50

子層 6 4 は、パターン化された電極 4 2 上に選択的に堆積され得る。電子層 6 4 とホール層 6 2 の両方は、共通の横方向導電層であると考えることができる。したがって、図 6 は、パターン化された電極 4 2 上に選択的に堆積させた共通の横方向導電層を示す。共通電極は、横方向導電層及びパターン化された電極の上に形成される。

【 0 0 6 7 】

図 7 は、選択的に変更されたホール層を有する有機発光ダイオードディスプレイを形成する例示的な方法を示す。図示のように、工程 2 0 2 で、基板 2 6 上にアノード 4 2 が形成されてよい。次に、工程 2 0 4 で、ディスプレイ全体にわたってホール層 6 2 をブランケット層として形成してよい。先に述べたように、ホール層 6 2 の導電性は、隣接するアノード間の横方向の漏れをもたらし得る。この横方向の漏れを防止するために、アノード間に導電性が低下した領域を有するように、ホール層を選択的に変更してよい。この低導電性領域は、隣接するアノード間の抵抗を増大させ、画素間のクロストークの発生率を低減することができる。

10

【 0 0 6 8 】

工程 2 0 6 で、エネルギー 7 0 は、隣接するアノード間のホール層の領域 7 2 に向かって放射されてよい。エネルギー 7 0 はエネルギー源 6 9 (光源と呼ばれることもある) から放射されてよい。エネルギー 7 0 は、領域 7 2 内のホール層 6 2 への局所的損傷を誘発して、ホール層の残りの部分に対するホール層の導電性を低減することができる。エネルギー源 6 9 は、紫外線源、レーザー光源、電子ビーム、集束イオンビーム (F I B)、ガスクラスティオンビーム、又は任意の他の所望の種類エネルギー源であってよい。図 7 は、エネルギー 7 0 がマスク 7 4 を通ってホール層 6 2 に向かって放射される実施形態を示す。マスク 7 4 は、領域 7 2 のみがエネルギー 7 0 に暴露されるようにすることができる。例えば、紫外線源を使用する実施形態では、マスク 7 4 は、領域 7 2 のみが紫外線 7 0 に暴露されるようにすることができる。マスク 7 4 は、エネルギー 7 0 がマスクを通過するのを防ぐために、エネルギー 7 0 に対して不透明であってよく、また、領域 7 2 にオーバーラップして、エネルギーが領域 7 2 に到達することを可能にする開口部を有してよい。ホール層 6 2 の領域 7 2 において、エネルギーへの暴露は、導電性を低減させる化学的变化又は形態変化のいずれかを誘導し得る。いくつかの実施形態では、エネルギー 7 0 は、ホール層 6 2 の各部分を物理的に除去するのに十分に強力であり得る。

20

【 0 0 6 9 】

最後に、工程 2 0 8 で、発光層 4 8、電子層 6 4、及びカソード 5 4 を形成することができる。発光層、電子層、及びカソードはブランケット層として形成してよい。追加層が形成された後、ホール層 6 2 の領域 7 2 の導電性の低減により、隣接するアノード間の横方向の漏れが低減される。

30

【 0 0 7 0 】

図 7 は、低導電性領域を形成するために全て損傷された領域 7 2 を示す (すなわち、図 7 において、ホール層 6 2 の全深さが領域 7 2 の損傷である)。しかしながら、この実施例は単なる例示に過ぎない。低導電性領域は、ホール層の一部又は全体にわたって延在し得る。加えて、ホール層 6 2 はホール注入層とホール輸送層を含んでよい。ホール注入層及びホール輸送層の一部又は全体は、低導電性領域を含んでよい。加えて、ホール層を堆積させた直後に (及び追加層を堆積させる前に) 生じるエネルギー暴露の例は単なる例示に過ぎない。所望であれば、エネルギー暴露は、発光層を堆積させた後、電子層を堆積させた後、又はカソードを堆積させた後に生じさせてもよい。所望であれば、複数のエネルギー暴露工程を実行してよい。

40

【 0 0 7 1 】

図 8 に示すように、図 7 のプロセスからマスク 7 4 を省略してもよい。図 8 は、マスクを使用せずに選択的に変形させたホール層を有する有機発光ダイオードディスプレイを形成する例示的な方法を示す。図示のように、工程 3 0 2 では、アノード 4 2 を基板 2 6 上に形成してよい。次に、工程 3 0 4 で、ホール層 6 2 をディスプレイ全体にわたってブランケット層として形成してよい。工程 3 0 6 で、エネルギー源 6 9 は、マスク層を介在さ

50

せずに、エネルギー 70 をホール層 62 の領域 72 に直接印加してよい。マスク層がないこと以外は、図 8 の工程 302、304、306、及び 308 は、図 7 の工程 202、204、206、及び 208 と同じであってよい。一例として、エネルギー源 69 がレーザー光源である実施形態ではマスク層を省略してもよい。

【0072】

図 7 及び図 8 では、ホール層 62 を、層の導電性を選択的に低減するべくエネルギーに暴露させている状態で示されている。しかしながら、ディスプレイ内の任意の層は、導電性を選択的に低減するべくエネルギーに暴露させることができる点を理解されたい。

【0073】

図 9 は、ディスプレイのホール層内に低導電性領域を有する有機発光ダイオードディスプレイを形成するための更に別の例示的な方法を示す。工程 402 では、画素定義層 (PDL) 76 間にアノード 42 を形成してよい。図 4 に関連して先に述べたように、画素定義層 76 は、ディスプレイのアノード間の基板 26 上に任意で形成することができる。図 9 の工程 404 では、フッ素化自己整合単層 (SAM) 78 を各画素定義層上に形成してよい。フッ素化 SAM は、炭化水素ユニットに結合したフルオロカーボンユニットを含んでもよい。各画素定義層上にフッ素化 SAM を形成した後、工程 406 で OLED スタックの層を形成することができる。ホール層 62 は、アノード及び画素定義層 (組み込まれたフッ素化自己整合単層を含む) 上に形成されてよい。発光層 48、電子層 64、及びカソード 54 は、ホール層の上に形成されてよい。フッ素化 SAM 78 は、 C^* 積層を中断することによって、上に重なるホール層 62 の分子積層を中断することができる。ホール層 (すなわち、領域 80) のこの不規則領域は、ホール層の影響を受けていない部分と比較して導電性が低下し得る。低導電性領域 80 は、隣接するアノード間の横方向の漏れを低減するのに役立つ。

【0074】

図 10 は、例示的な有機発光ダイオード画素 22 の、画素間のクロストークを防止するために漏れ電流シンクを設けてよい部分を示す。図示のように、画素は、(図 3 に関連して説明したように) 駆動トランジスタ 32 及び発光ダイオード 38 を含んでよい。画素は発光トランジスタ 82 を含んでよい。発光トランジスタ 82 は駆動トランジスタ 32 と直列に結合され得る。トランジスタ 82 などの発光トランジスタは、発光トランジスタがオンにされたときに発光が有効になるため、発光イネーブルトランジスタと呼ばれることがある。図 10 の構成では、例えば、駆動トランジスタ 32 は、発光ダイオード 38 を通る所望量の駆動電流を生成し、それによって、発光トランジスタ 82 がオンにされたときのみ所望量の光 40 を放射するように調整することができる。発光トランジスタ 82 がオフであるときには、他の画素制御回路動作を実行することができる (例えば、データローディング、駆動トランジスタ 32 閾値電圧への発光駆動電流の依存性を排除するための閾値電圧補正)。発光トランジスタ 82 は発光制御信号 (EM) によって制御できる。

【0075】

図 10 に示すように、画素 22 は、ディスプレイ内の横方向の漏れを低減するために使用されるトランジスタ 84 (漏れ電流制御トランジスタと呼ばれることもある) を含んでよい。先に述べたように、有機発光ダイオードディスプレイでは、漏れ電流が隣合う画素に流れ、意図しない発光を生じる可能性がある。この意図しない発光は、漏れ電流が隣合う画素の発光ダイオードに流れるときに引き起こされる。漏れ電流が隣合う画素の発光ダイオードに流れることを防止するために、画素は、漏れ電流をシンクするための低インピーダンス経路を含んでよい。トランジスタ 84 は、ノード 86 と接地端子 88 の間に結合され得る。接地端子 88 はアナログ接地 (すなわち、0 ボルト) であってよく、一方、発光ダイオードの接地電源電圧 (すなわち、ELVSS) は負電圧であってよい。ノード 86 は、発光トランジスタ 82 と駆動トランジスタ 32 の間に介在してもよい。トランジスタ 84 のゲートは、バイアス電圧 (V_{BIAS}) を受信することができる。バイアス電圧が制御されてトランジスタ 84 がオンになると、漏れ電流のための低インピーダンス経路が提供され得る。漏れ電流をトランジスタ 84 を通して地面に向かわせることにより、漏

10

20

30

40

50

れ電流は発光ダイオードに到達せず、発光ダイオードが間違っで発光してしまうことになくなる。漏れ電流制御トランジスタの役割を不明瞭にしないために、有機発光ダイオード画素22の更なる詳細を図10から省略している。しかしながら、画素22は、追加の回路（すなわち、データローディング及び/又は閾値電圧補正を実行するためのスイッチングトランジスタ、追加の発光トランジスタ、データを記憶するためのキャパシタなど）を含み得ることを理解されたい。

【0076】

いくつかの実施形態では、 V_{BIAS} はグローバルバイアス電圧であってよい。換言すれば、ディスプレイ全体の全ての画素が、 V_{BIAS} と同じ電圧値を受信することができる。しかしながら、これにより、不必要な電力消費が生じる可能性がある。発光トランジスタ82がオフになると、発光ダイオード38は（漏れ電流が存在することにかかわらず）発光が防止される。したがって、発光トランジスタ82がオフになっている間に漏れ経路の制御で消費される電力が不要になる。

10

【0077】

横方向の漏れによる画素クロストークを依然として低減しつつ、ディスプレイ内の電力消費を低減するために、バイアス電圧（ V_{BIAS} ）は、発光制御信号（EM）と同期して行毎に制御することができる。図11に示すように、ディスプレイの第1の行に関連付けられた発光制御信号（ EM_1 ）は、光の発光を可能にするために、 t_0 においてアサートされてよい。また、 t_0 にて、第1の行（ $V_{BIAS,1}$ ）に関連するバイアス電圧を上昇させて、画素内に漏れ電流シンクを提供することができる。同様に、ディスプレイの第2の行に関連付けられた発光制御信号（ EM_2 ）は、光の発光を可能にするべく、 t_1 にてアサートされてよい。また、 t_1 にて、第2の行に関連したバイアス電圧（ $V_{BIAS,2}$ ）を上昇させて、画素内に漏れ電流シンクを提供することができる。このタイミングは、ディスプレイの各行について継続されてよい。ディスプレイの最後の行に関連付けられた発光制御信号（ EM_n ）は、発光を可能にするべく、 t_2 にてアサートされてよい。また、 t_2 にて、最後の行に関連付けられたバイアス電圧（ $V_{BIAS,n}$ ）を上昇させて、画素内に漏れ電流シンクを提供することができる。各行のバイアス電圧は、その行の発光制御信号がデアサートされると低下する可能性がある。換言すれば、電流漏れ制御トランジスタは、発光トランジスタがアサート及びデアサートされていることと同期してアサート及びデアサートされる。漏れ電流トランジスタは、発光トランジスタがアサートされている間に常にアサートされてよく、また、漏れ電流トランジスタは、発光トランジスタがデアサートされている間に常にデアサートされてよい。

20

30

【0078】

図12は、横方向の漏れを低減した有機発光ダイオードディスプレイの更に別の実施形態を示す。図12に示すように、アノード42は基板26上に形成されてよい。ホール層62（ホール注入層及びホール転送層を含んでもよい）はアノードの上に形成されてよく、発光層48はホール層の上に形成されてよく、電子層64（電子注入層及び電子転送層を含んでもよい）を発光層の上に形成することができる。透明な導電性材料で形成され得るカソード54は、電子層の上に配置されてよい。

【0079】

図12の有機発光ダイオードディスプレイは、追加の導電層90を含んでもよい。導電層90（導電性コンタクトと呼ばれることもある）はバイアス電圧に結合することができる。導電層を適切な電圧でバイアスすることにより、導電層を、隣接するアノード間を流れてしまいかねない漏れ電流のためのシンクとして機能させることができる。導電性コンタクト90は、ディスプレイの各行と各列の間に（すなわち、ディスプレイの各アノード用の開口部をもたせて）形成されてもよい。あるいは、導電性コンタクトは、ディスプレイの列間のみ、又はディスプレイの行間のみ形成されてもよい。いくつかの実施形態では、画素間の水平クロストークは、ディスプレイを中断するより高いリスクを有する。これらの実施形態では、バイアス電圧に結合された導電性コンタクトを、ディスプレイの隣接する列間に形成することができる。これらの実施例は単なる例示に過ぎず、アノード間

40

50

の横方向の漏れを低減するべく、導電層を任意の所望の場所に形成することができる。

【0080】

導電層90はアノード42と同じ材料で形成されてもよい。アノード42は、ホール層62に接触するように既に最適化しておくことができる。したがって、アノードと同じ材料から導電層90を形成することにより、導電層90及びホール層62が確実に適合するようになる。アノード42及び導電性コンタクト90はまた、所望であれば同じ処理工程で形成されてもよい。アノード42と同じ材料で形成される導電性コンタクト90の例は、単なる例示に過ぎない。導電性コンタクト90は、所望であればアノード42とは異なる材料で形成することができる。導電性コンタクト90は、任意の所望のバイアス電圧に結合することができる。場合によっては、バイアス電圧の値は、電力消費と漏れ低減の有効性との間のトレードオフを有し得る。バイアス電圧の値は、これらの2つの因子に基づいて、及びディスプレイの特定の用途に応じて最適化され得る。

10

【0081】

図13は、隣接するアノード間の導電性及び横方向の漏れを低減するためのトレンチを有する例示的な有機発光ダイオードディスプレイの断面側面図である。アノード42は、基板26などの基板上に形成されてよい。トレンチ92は基板26内に形成されてよい。ホール層62、発光層48、電子層64、及びカソード54などのOLED層がアレイにわたって堆積すると、トレンチは、各層をトレンチ内及びトレンチ上の領域内でより低くすることができる。例えば、ホール層62は、トレンチに形成された第1の部分と、トレンチ内に形成されず、第1の部分よりも高い平面に形成された第2の部分とを有してよい。発光層48は、トレンチの上方に形成された第1の部分と、トレンチの上方に形成されず、第1の部分よりも高い平面に形成された第2の部分とを有してよい。電子層64は、トレンチの上方に形成された第1の部分と、トレンチの上方に形成されず、第1の部分よりも高い平面に形成された第2の部分とを有してよい。カソード54は、トレンチの上方に形成された第1の部分と、トレンチの上方に形成されず、第1の部分よりも高い平面に形成された第2の部分とを有してもよい。図示のように、ホール層62は、トレンチ92内に形成された部分を有してよい。トレンチ92内のホール層62の部分は、基板26によって包囲されていてよい。発光層48は、ホール層62の各部分間に介在している部分をトレンチ92の上方に有してよい。電子層64は、発光層48の各部分間に介在している部分をトレンチ92の上方に有してよい。カソード54は、電子層64の各部分間に介在している部分をトレンチ92の上方に有してよい。

20

30

【0082】

OLED層を堆積させる前に基板にトレンチ92を形成することにより、OLED層の連続性を中断して、導電性を低減し、隣接するアノード間の電流漏れを抑制することができる。ホール層62は、漏れ電流を最も伝導し易いものであってよい。ホール層のトレンチとの連続性を中断することにより、漏れを低減することができる。

【0083】

所望であれば、トレンチ92の深さ及びカソード層54の厚さを、カソード54が連続層を維持できるように選択してもよい。トレンチの深さが十分に低減されると、カソードのトレンチよりも上の部分が、トレンチとオーバーラップしないカソードの部分と接触する。これにより、アレイ全体にわたるカソードの連続性が維持される。カソードの厚さを増加させることは、下にあるトレンチに関係なく、連続的なカソード層を確実に得るために役立つ。

40

【0084】

図14は、有機発光ダイオードディスプレイのアノード間に絶縁構造体を形成することによって、有機発光ダイオードディスプレイにおける横方向の漏れを低減する例示的な方法を示す。工程502で、基板26上にアノード42を形成できる。次に、工程504で、絶縁層94を、ディスプレイ全体にわたってブランケット層として形成することができる。絶縁層94は任意の所望の絶縁材料で形成することができる。絶縁層94を堆積させた後、絶縁層94の上に追加層96を形成することができる。層96はディスプレイ全体

50

にわたってブランケット層として形成してよい。層 9 6 は導電性材料又は絶縁材料で形成されてよい。工程 5 0 8 で、層 9 6 をエッチングして、アノード 4 2 上の層 9 6 の各部分を除去することができる。層 9 6 の各部分は、ディスプレイ内の隣接するアノード間の領域内に留まることができる。次いで、工程 5 1 0 で絶縁層 9 4 をエッチングすることができる。所望であれば、層 9 6 は、絶縁層 9 4 のエッチングのためのマスキング層として機能し得る。あるいは、必要に応じて、追加のマスキング層を使用してもよい。絶縁層 9 4 のエッチングは、領域 9 8 内の絶縁層 9 4 の各部分の除去を生じさせるわずかな等方性エッチングであってもよい。これによりアノード 4 2 間に得られる構造体（すなわち構造体 9 5）は、絶縁層 9 4 とオーバーラップしない層 9 6 の張り出し部分を有する T 字形であってよい。絶縁構造体 9 5 は、アノード 4 2 間における O L E D 層の連続性を中断して、ディスプレイ内の横方向の漏れを低減することができる。

10

【 0 0 8 5 】

工程 5 1 2 は、O L E D 層及びカソード 5 4 がアノード及び絶縁構造体の上に形成された後の、有機発光ダイオードディスプレイの断面側面図を示す。図示のように、ホール層 6 2、発光層 4 8、電子層 6 4、及びカソード 5 4 は、アレイ全体にわたってブランケット層として堆積されてよい。したがって、各層は、絶縁構造体 9 5 上の部分と、アノード 4 2 よりも上の別の部分とを有する。例えば、ホール層 6 2 は、アノード 4 2 とオーバーラップして直接接触している第 1 の部分、並びに構造体 9 5 とオーバーラップして直接接触している第 2 の部分を有してよい。発光層 4 8 は、ホール層 6 2 の第 1 の部分とオーバーラップして直接接触している第 1 の部分と、ホール層 6 2 の第 2 の部分とオーバーラップして直接接触している第 2 の部分とを有してよい。電子層 6 4 は、発光層 4 8 の第 1 の部分とオーバーラップして直接接触している第 1 の部分と、発光層 4 8 の第 2 の部分とオーバーラップして直接接触している第 2 の部分とを有してよい。カソード 5 4 は、電子層 6 4 の第 1 の部分とオーバーラップして直接接触している第 1 の部分と、電子層 6 4 の第 2 の部分とオーバーラップして直接接触している第 2 の部分とを有してよい。

20

【 0 0 8 6 】

カソード 5 4 の連続性を維持するために、構造体 9 5 の層 9 6 を導電性材料で形成することができる。したがって、層の厚さを適切に選択した場合、アノードとオーバーラップするカソード 5 4 の部分は、層 9 6 と直接接触し、層 9 6 によって電氣的に接続され得る。層 9 6 はまた、カソード 5 4 の横方向の抵抗性を低減することができ、これは、ディスプレイにおける電力消費を低減するのに役立つ。

30

【 0 0 8 7 】

図 1 5 は、横方向の漏れを低減するためのテーパ状の絶縁構造体を有する有機発光ダイオードディスプレイを形成する例示的な方法を示す。工程 6 0 2 で、基板 2 6 上にアノード 4 2 を形成できる。次に、工程 6 0 4 で、ディスプレイ内の隣接するアノード 4 2 どうし間に絶縁構造体 9 9 を形成することができる。絶縁構造体 9 9 は任意の所望の絶縁材料で形成することができる。絶縁構造体 9 9 はテーパ形状であってよい。絶縁構造体 9 9 の上面は第 1 の幅を有してよく、絶縁構造体 9 9 の下面は、第 1 の幅よりも小さい第 2 の幅を有してよい。絶縁構造体は台形の断面形状を有してよい。絶縁構造体は、高さが 3 ミクロン未満、5 ミクロン未満、10 ミクロン未満、1 ミクロン超、1 ~ 5 ミクロン、又は任意の他の所望の高さであってよい。これらの絶縁構造体 9 9 のサイズ及び形状の例は、単なる例示に過ぎない。絶縁構造体 9 9 は任意の所望の形状及び寸法であってよい。

40

【 0 0 8 8 】

工程 6 0 6 で、ディスプレイにわたって O L E D 層及びカソードをブランケット層として形成することができる。絶縁構造体 9 9 を設けることで、O L E D 層の連続性を中断し、O L E D 層全体にわたってアノード間の横方向の漏れを低減することができる。図 1 5 の断面側面図に示すように、ホール層 6 2 は、アノード 4 2 とオーバーラップして直接接触している第 1 の部分と、絶縁構造体 9 9 とオーバーラップして直接接触している第 2 の部分とを有してよい。発光層 4 8 は、ホール層 6 2 の第 1 の部分とオーバーラップして直接接触している第 1 の部分と、ホール層 6 2 の第 2 の部分とオーバーラップして直接接触している

50

第2の部分とを有してもよい。電子層64は、発光層48の第1の部分とオーバーラップして直接接触している第1の部分と、発光層48の第2の部分とオーバーラップして直接接触している第2の部分とを有してよい。カソード54は、電子層64の第1の部分とオーバーラップして直接接触している第1の部分と、電子層64の第2の部分とオーバーラップして直接接触している第2の部分とを有してよい。

【0089】

ここまでは、ホール層(62)の連続性を中断し、それによってアノード間の横方向の漏れを低減するために、構造体を隣接するアノード42どうし間に設けた実施例(例えば、図14及び図15)について説明した。別の例示的な実施例では、画素定義層を使用して、隣接するアノード間のホール層62の連続性を中断することができる。図16は、ホール層62の連続性を中断する画素定義層を設けた例示的な有機発光ダイオードディスプレイの断面側面図である。

10

【0090】

図16に示すように、画素定義層76はディスプレイのアノード間の基板26上に形成してよい。画素定義層は不透明であってよく、したがって、光を放射する各画素の面積を画定することができる。画素定義層は任意の所望の材料で形成されてよい。画素定義層は1つ以上の材料(例えば、窒化ケイ素、二酸化ケイ素など)で形成されてよい。画素定義層はまた、所望であれば有機材料で形成されてもよい。各画素定義層の形状は、上に重なる有機発光ダイオードディスプレイ層内に不連続性を形成することができる。先に述べたように、ホール層62に不連続性を形成することが望ましい場合がある(ホール層62にわたる横方向の漏れを防止するため)。しかしながら、ディスプレイ内の1つ以上の他の層(例えば、カソード54)において連続性を維持することが望ましい場合もある。そのため、画素定義層の形状は、画素定義層の上に堆積させたホール層62は不連続性を有するが、画素定義層の上に堆積されたカソード54は不連続性を有さないように設計することができる。発光層48及び電子層64は、任意で不連続性を有してよい。画素定義層76は、これらの不連続性及び連続性を達成するのに役立つ任意の所望の形状を有してよい。例えば、各画素定義層は、急勾配の側壁、下部切取り部を有する側壁、又は複数の曲線を有する側壁(例えば、側壁スカロッピング(扇形切り欠き))を設けてよい。

20

【0091】

図17は、ホール層の連続性を中断するための急勾配の側壁を設けた画素定義層を有する例示的な有機発光ダイオードディスプレイの断面側面図である。図示のように、画素定義層76は、上(頂)面112及び側壁面114(側壁、側面、又は縁面と呼ばれることもある)を設けている。側壁面114は、アノード42の上面118に対して角度116を成してよい。アノード42の上面118は、画素定義層76の上面112と平行であってよい。角度116は、任意の所望の角度であってよい(例えば、70°超、75°超、80°超、85°超、88°超、90°超、95°超、70°未満、75°未満、80°未満、85°未満、88°未満、90°未満、95°未満、75°~90°、80°~90°、85°~90°など)。図17に示すように、ホール層62が画素定義層76の上に堆積されると、不連続部120が作成される。このようにして、ホール層62は、不連続部の第1の側部に形成された第1の部分(例えば、PDL76の上面112の上の部分)と、第1の部分から電氣的に隔絶された、不連続部の第2の(第1の側部の)反対側にある側部上に形成された第2の部分とを有してもよい。したがって、第1の画素の上のあるホール層62の部分は、第2の隣接する画素の上のホール層62の部分から電氣的に隔絶されていてよい。更に、図17に示すように、不連続部120はカソード層54にまでは延在していない。カソード層54の連続性を維持することにより、有機発光ダイオードディスプレイの適切な動作が確保される。

30

40

【0092】

所望であれば、アノード42は、有機発光ダイオード層内で所望の不連続性及び連続性を達成するのを助けるべく、高さの異なる部分を有してもよい。図17に示すように、アノード42は、第1の領域(例えば、画素定義層76によってオーバーラップしないアノード

50

ドの部分)内の第1の高さ122を有してよく、また、第2の領域(例えば、画素定義層76によってオーバーラップするアノードの部分)内に第2の高さ124を有してよい。第2の高さ124は第1の高さ122より高くてもよい。この例は単なる例示に過ぎない。アノード42は、所望により、アノード全体にわたって同じ高さの上面を有してよい。本明細書の全ての実施形態について、アノードは、アノードの上面全体にかけて高さが一貫していても、あるいは、高さの異なる1つ以上の部分を有してもよい。

【0093】

図18は、ホール層の連続性を中断する下部切取り部を有する画素定義層を有する例示的な有機発光ダイオードディスプレイの断面側面図である。図18に示すように、画素定義層76は、上(頂)面112と、側壁面114(側壁、側面、又は縁面と呼ばれることもある)を有する。側壁114は、ホール層62内に不連続部を形成するのに役立つ下部切取り部126を有する。下部切取り部126は、側壁114の凹部と見なすことができる。側壁114は、垂直方向に下方に(例えば、負のZ方向に)延在してよい。下部切取り部126の上では、側壁は、負のX方向に延在してよい。下部切取り部126を形成するために、側壁は正のX方向に延在してよい。こうすることで、画素定義層76の一部分は凹部128とオーバーラップしてよい。図18に示すように、ホール層62が画素定義層76の上に堆積されると、下部切取り部126が不連続性を作り出す。ホール層62は、不連続部の第1の側部(例えば、PDL76の上面112の上の部分)に形成された第1の部分と、第1の部分から電氣的に隔絶された不連続部の第2の(第1の側部の)反対側の側部に形成された第2の部分とを有してよい。したがって、第1の画素の上のホール層62の部分は、第2の隣接する画素の上のホール層62の部分から電氣的に隔絶されてよい。加えて、図18に示すように、発光層48、電子層64、及びカソード層54は、(下部切取り部126が設けられていても)連続したままである。カソード層54の連続性を維持することにより、有機発光ダイオードディスプレイの適切な動作が確保される。

【0094】

図18の実施例では、画素定義層76は単一の材料層として示されている。しかしながら、画素定義層の側壁に所望の下部切取り形状を形成することを助けるために、画素定義層を複数の材料層で形成してもよい。

【0095】

図19は、ホール層の連続性を中断する所望の側壁面を形成するために複数の層を設けた画素定義層を有する例示的な有機発光ダイオードディスプレイの断面側面図である。画素定義層は、1つ以上の材料層を堆積させ、次いで1つ以上の材料層をエッチングすることによって形成できる。エッチングされた層及びエッチングプロセスは、所望の側壁形状を達成するように調整することができる様々な特性(例えば、堆積させる材料の種類、堆積させる材料の厚さ、エッチングプロセスの選択性など)を有してよい。図19は、画素定義層76が第1の層76-1と、第2の層76-2と、第3の層76-3とを含む実施例を示す。第1、第2、及び第3の層は、任意の所望の材料で形成できる。例示的な一実施例では、層76-1は二酸化ケイ素で形成され、層76-2は窒化ケイ素で形成され、層76-3は二酸化ケイ素で形成されている。

【0096】

画素定義層76-1、76-2、及び76-3は任意の所望の厚さを有してよい。図19に示すように、層76-1は第1の厚さ130を有し、層76-2は第2の厚さ132を有し、層76-3は第3の厚さ134を有する。これらの厚さは同じであっても、異なってもよい。例示的な一実施例では、厚さ132は厚さ134と同じであってもよく、厚さ130は厚さ132及び134と異なってよい(例えば、より薄くてよい)。別の例示的な実施例では、厚さ130、132、及び134は全て同じであってもよい。各厚さは任意の所望の距離であってもよい(例えば、10ミクロン未満、1ミクロン未満、100ナノメートル未満、80ナノメートル未満、60ナノメートル未満、40ナノメートル未満、30ナノメートル未満、20ナノメートル未満、10ミクロン超、1ミクロン超、100ナノメートル超、80ナノメートル超、60ナノメートル超、40ナノメートル超、3

10

20

30

40

50

0 ナノメートル超、20 ナノメートル超、20 ~ 100 ナノメートル、20 ~ 80 ナノメートル、20 ~ 60 ナノメートル、40 ~ 60 ナノメートル、20 ~ 40 ナノメートルなど)。一実施例では、層76-1は30ナノメートルの厚さを有してよく、層76-2は55ナノメートルの厚さを有してよく、層76-3は55ナノメートルの厚さを有してよい。別の実施例では、層76-1は55ナノメートルの厚さを有してよく、層76-2は55ナノメートルの厚さを有してよく、層76-3は55ナノメートルの厚さを有してよい。

【0097】

画素定義層76-1、76-2、及び76-3は、任意の所望の側壁角度を有するようにエッチングされてよい。各画素定義層は対応する側壁部分を有してよい。図19に示すように、層76-1は側壁部分114-1を有し、層76-2は側壁部分114-2を有し、層76-3は側壁部分114-3を有する。側壁部分114-1、114-2、及び114-3は、結合されて画素定義層の側壁(114)を形成してよい。各側壁部分は平面であってよく、X軸(アノード42の上面118と平行である)に対してそれぞれの角度で位置決めされてよい。側壁部分114-1はX軸に対して角度136で位置決めされ、側壁部分114-2はX軸に対して角度138で位置決めされ、側壁部分114-3はX軸に対して角度140で位置決めされる。角度136、138及び140の各々は任意の所望の角度であってよい(例えば、30°、60°、80°、100°、20°~40°、50°~70°、95°~110°、20°超、45°超、60°超、80°超、90°超、95°超、100°超、120°超、20°未満、45°未満、60°未満、80°未満、90°未満、95°未満、100°未満、120°未満など)。1つの例示的な配置では、角度136は60°であってよく、角度138は100°であってよく、角度140は30°であってよい。このタイプの配置(例えば、角度138が90°より大きい場合)は、図18に関連して説明したものと同様の下部切り取り部をもたらす。下部切り取り部は、ホール層62が画素定義層76の上に堆積されたときに不連続部120を形成する。このようにして、ホール層62は、不連続部の第1の側部(例えば、PDL76の上の部分)上に形成された第1の部分と、第1の部分から電氣的に隔絶された不連続部の第2の(第1の側部の)反対側の側部に形成された第2の部分とを有してよい。したがって、第1の画素の上のホール層62の部分は、隣接する第2の画素の上のホール層62の部分から電氣的に隔絶されてよい。加えて、図19に示すように、発光層48、電子層64、及びカソード層54は連続したままである。カソード層54の連続性を維持することにより、有機発光ダイオードディスプレイの適切な動作が確保される。

【0098】

図20は、ホール層の連続性を中断する曲線を有する側壁面を設けた画素定義層を有する例示的な有機発光ダイオードディスプレイの断面側面図である。このタイプの側壁を有する画素定義層を形成するには、画素定義層を有機誘電材料で形成してよい。有機誘電材料はフォトリソグラフィ(例えば、光への暴露)を用いてパターン化することができる。図20に示す曲線を形成するには、画素定義層76をパターンニングするための光を負のZ方向に放射し、光がアノード42の上面118で反射されるようにしてよい。光の波長及び画素定義層76の厚さを、(薄膜干渉効果によって)定常波が生成されるように制御できる。すると、側壁の輪郭が定在波の形状を反映し、曲線を有する側壁面114をもたらす。側壁面114は、ときに、スカロップ形状又は正弦波形状を有すると言及され得る。側壁114の正弦波面は、ホール層62が画素定義層76の上に堆積されるときに不連続性を形成する。ホール層62は、不連続部の第1の側部に形成された第1の部分(例えば、PDL76の上の部分)と、第1の部分から電氣的に隔絶された、不連続部の第2の側部(第1の側部の反対側)形成された第2の部分とを有してよい。したがって、第1の画素の上のホール層62の部分は、これと隣接した第2の画素の上のホール層62の部分から電氣的に隔絶されてもよい。加えて、図20に示すように、発光層48、電子層64、及びカソード層54は連続したままである。カソード層54の連続性を維持することにより、有機発光ダイオードディスプレイの適切な動作が確保される。

【 0 0 9 9 】

図 2 1 は、横方向の漏れを排除するための p 型電界効果トランジスタ (F E T) を形成する制御ゲートを有する例示的な有機発光ダイオードディスプレイの断面側面図である。図 2 1 に示すように、ディスプレイ 1 4 は基板 2 6 上にアノード 4 2 を含んでいる。ホール層 6 2 (ホール輸送層及びホール注入層を含んでよい)、発光層 4 8、電子層 6 4 (電子輸送層及び電子注入層を含んでよい)、及び共通電極層 5 4 (例えば、カソード) が、アノード 4 2 の上に形成される。画素定義層 7 6 もまた、アノード 4 2 の間に形成される。この実施形態では、制御ゲートもディスプレイに含まれて、有機薄膜トランジスタを形成する。図 2 1 に示すように、制御ゲート 1 4 2 は、隣接するアノード 4 2 の間に形成されてもよい。制御ゲートは、制御ゲート (ゲート誘電体の下の) をホール層 6 2 (ゲート誘電体の上) から絶縁する誘電材料 1 4 4 (例えば、ゲート誘電体) によって被覆され得る。誘電材料 1 4 4 は任意の所望の材料 (例えば、二酸化ケイ素) で形成することができる。バイアス電圧 (例えば、正バイアス電圧) がゲート 1 4 2 に印加されると、ホール層 6 2 によって形成された電流チャネルが電氣的に遮断され得り、これにより、隣接するアノード間の横方向の漏れが防止される。画素定義層 7 6 は、画素定義層 7 6 が制御ゲート 1 4 2 とオーバーラップしないようにパターン化されてよい。別の言い方をすれば、画素定義層 7 6 は、制御ゲートとオーバーラップする凹部 (としきに、開口部、スロット、又は穴とも呼ばれる) を有してよい。

10

【 0 1 0 0 】

制御ゲート 1 4 2 は、任意の所望の導電性材料で形成された導電層であってよい。例えば、制御ゲート 1 4 2 は、アルミニウム、インジウムスズ酸化物 (I T O)、又は別の所望の導電性材料で形成できる。いくつかの実施形態では、制御ゲート 1 4 2 は、ディスプレイ内の別の層と同じ材料で形成されてよい。これにより、より高速かつ安価な製造が可能になる (単一の製造工程を用いることで、制御ゲート及びディスプレイ内の別の層を形成できるため)。図 2 1 の実施例では、制御ゲート 1 4 2 はアノードコンタクト 1 4 6 と同じ層内に形成される。コンタクト 1 4 6 は、それぞれのアノード 4 2 と接触する (例えば、信号を提供する) ために用いられる導電層であってよい。導電層 1 4 2 は、コンタクト 1 4 6 と同じ材料で形成されてよく、コンタクト 1 4 6 と同じ製造工程中に形成されてよく、コンタクト 1 4 6 と同じマスクを使用して形成されてよく、及び / 又は、コンタクト 1 4 6 と同じ平面内に形成されてよい (これにより、例えば、導電層 1 4 2 とコンタクト 1 4 6 が同一平面上に存在する)。

20

30

【 0 1 0 1 】

コンタクト 1 4 6 と同じ層で形成される制御ゲート 1 4 2 の例は、単なる例示に過ぎない。図 2 2 に示す別の実施形態では、制御ゲート 1 4 2 はアノード 4 2 と同じ層で形成されてよい。導電層 1 4 2 は、アノード 4 2 と同じ材料で形成されてよく、アノード 4 2 と同じ製造工程中に形成されてよく、アノード 4 2 と同じマスクを用いて形成されてよく、及び / 又は、アノード 4 2 と同じ平面内に形成されてよい (これにより、例えば、導電層 1 4 2 とアノード 4 2 が同一平面上に存在する)。1 つの例示的な実施例では、層 1 4 2 とアノード 4 2 の両方をアルミニウムで形成することができる。図 2 1 に関連して上述したのと同様、図 2 2 の画素定義層は制御ゲート 1 4 2 とオーバーラップする開口部を有する。誘電体層 1 4 4 は、第 1 及び第 2 の対向する側部を有してもよく、第 1 の側部は、ホール層 6 2 と直接接触し、第 2 の側部は制御ゲート 1 4 2 と直接接触する。所望であれば、誘電体層は画素定義層 7 6 と直接接触してもよい (例えば、誘電体層の第 1 の縁部は画素定義層の第 1 の部分と接触し、一方、誘電体層の第 2 の縁部は画素定義層の第 2 の部分と接触してよい。) 図 2 1 及び図 2 2 の実施形態では、画素定義層 7 6 は有機材料 (有機膜と呼ばれることもある) で形成されてよい。

40

【 0 1 0 2 】

図 2 3 は、横方向の漏れを排除するために p 型有機薄膜トランジスタ (T F T) を形成する制御ゲートを有する例示的な有機発光ダイオードディスプレイの断面側面図である。図 2 3 の実施形態では、ディスプレイ 1 4 は、複数の金属層で形成されたアノードを含む

50

。例えば、各アノードは、電氣的に接続された第 1 の層 42 - 1 と第 2 の層 42 - 2 を有する（例えば、層 42 - 1 は、誘電体層 150 に設けられた開口部を介して層 42 - 2 に直接接触する）。第 1 の層 42 - 1 は、第 2 の層 42 - 2 と同じ材料、又は第 2 の層 42 - 2 と異なる材料で形成されてよい。例示的な一実施形態では、アノード層 42 - 1 はインジウムスズ酸化物（ITO）で形成され、アノード層 42 - 2 はアルミニウムで形成されている。この実施例は単なる例示に過ぎず、各アノード層は任意の所望の材料で形成されてよい。

【0103】

図 23 に示すように、ディスプレイには制御ゲートも含まれて、有機薄膜トランジスタを形成している。図 23 に示すように、制御ゲート 148（導電層と呼ばれることもある）は、隣接するアノード 42 の間に形成することができる。具体的には、制御ゲート 148 は、隣接するアノードの第 2 の層 42 - 2 の間に形成され得る。導電層 148 は、アノード層 42 - 2 と同じ材料で形成されてよく、アノード層 42 - 2 と同じ製造工程中に形成されてよく、アノード層 42 - 2 と同じマスクを使用して形成されてよく、及び/又は、アノード層 42 - 2 と同じ平面内に形成されてよい（これにより、例えば、導電層 148 とアノード層 42 - 2 が同一平面上に存在する）。制御ゲート 148 を絶縁する（これにより、制御ゲート 148 が隣接するアノードに電氣的に接続されないようにする）ために、制御ゲートとアノードの間に絶縁層 152 を介在させることができる。絶縁層 152（誘電体層 152 又は平坦化層 152 と呼ばれることもある）は、二酸化ケイ素（SiO₂）又は別の所望の誘電材料で形成されてよい。制御ゲートは、制御ゲートを絶縁し、アノード層 42 - 1 と 42 - 2 の間に介在している誘電材料 150（例えば、ゲート誘電体）によって覆われていてよい。誘電材料 150 は、任意の所望の材料（例えば、二酸化ケイ素）で形成することができる。バイアス電圧（例えば、正バイアス電圧）がゲート 148 に印加されると、ホール層 62 によって形成された電流チャネルが電氣的に遮断され、これにより、隣接するアノード間の横方向の漏れを防止することができる。画素定義層 76（有機材料で形成されてよい）も制御ゲート 148 の上に形成される。誘電体層 150 は制御ゲート 148 と画素定義層 76 との間に介在し、かつ直接接触してよい。

【0104】

図 23 の構成では、制御ゲート 148 は誘電体層 150 及び画素定義層 76 によってホール層 62 から分離されている。これらの層の厚さは、隣接するアノード間の横方向の漏れを低減するために制御ゲート 148 に必要とされる正バイアス電圧に比例し得る。

【0105】

図 24 に示すように、有機発光ダイオードディスプレイは、画素定義層 76 内に形成された制御ゲート 148 を含んでよい。正バイアス電圧を制御ゲート 148 に印加すると、ホール層 62 によって形成された電流チャネルが電氣的に遮断され得り、これにより、隣接するアノード間の横方向の漏れが防止される。ホール層 62 の最も薄い部分は、画素定義層 76 に隣接していてもよい。したがって、制御ゲート 148 を画素定義層 76 に形成することにより、制御ゲート 148 がその最も薄い点で電流チャネルを制御できるようになり、漏れ電流の低減を最大化することができる。図 24 の構成では、制御ゲート 148 をアノード層 42 - 2（又はアノード層 42 - 1）とは別個の層として形成することも可能である。いくつかの状況では、これによりディスプレイの製造が容易になり得る。加えて、図 24 の制御ゲート 148 の位置により穴が活性画素領域内に閉じ込められるため、エッジ発光が低減する。

【0106】

図 24 に示すように、制御ゲート 148 は画素定義層 76 に埋め込まれてよい。制御ゲートは、（例えば、制御ゲートの全ての表面が画素定義層 76 と直接接触するように）画素定義層 76 によって完全に包囲されてよい。画素定義層 76 は任意の所望の材料（例えば、二酸化ケイ素）で形成されてよい。制御ゲート 148 を画素定義層 76 内に埋め込むために、画素定義層 76 を複数の堆積工程を用いて形成することができる（例えば、第 1 の層を制御ゲートの下に堆積し、第 2 の層を制御ゲートの上に堆積し、第 3 の層を制御ゲ

10

20

30

40

50

ートの縁に堆積する)。

【0107】

図23及び図24に示す、アノード42が2つの層で形成された実施例は、単なる例示に過ぎない。有機発光ダイオードディスプレイ14のアノード(本明細書の全ての実施形態のもの)は、任意の所望の数の層で形成することができる。図23及び図24に示す制御ゲートは、単一層アノード又は多層アノードを有するディスプレイに使用できる。

【0108】

図21~図24はいずれも、有機発光ダイオードディスプレイが、ディスプレイ内の隣接するアノード間の横方向の漏れを制御するために制御ゲートを使用した実施形態を示している。これらの制御ゲートは、グリッド、列、又は他の所望のパターンにて配設されてよい。

10

【0109】

図25及び図26は、制御ゲートの構成を示す例示的な有機発光ダイオードディスプレイの平面図である。図25に示すように、制御ゲート(例えば、図21及び図22の制御ゲート142、又は、図23及び図24の制御ゲート148)は、ディスプレイ内の各アノード42の間のグリッド内に配設されてよい。このタイプの構成では、全てのアノード間の漏れが低減される。図26に示す代替実施形態では、制御ゲートは、有機発光ダイオードディスプレイ内の隣接する画素列の間に列状に配設されてよい。図26の制御ゲートにより、隣接する画素列間の漏れが低減される。このタイプの構成は、共通の列内の同色の画素(例えば、赤色画素の列、緑色画素の列、青色画素の列など)を用いたディスプレイに適し得る。このタイプの構成では、隣接する赤色画素間での漏れは、別の色の画素間での漏れよりも許容される(同時に、所望の表示性能は依然として維持される)。したがって、満足のいく表示性能を得るためには、列間の漏れを低減すれば十分である。図25、図26に示す制御ゲートパターンは単なる例示に過ぎない。一般に、制御ゲートは、任意の所望の方式でディスプレイ全体に(例えば、隣接する行の間に、不規則なパターンで、など)に位置決めすることができる。

20

【0110】

隣接する画素間の横方向の漏れに加えて、いくつかの有機発光ダイオードディスプレイの効率も所望よりも低いことがある。図27は、画素の効率を高めるために使用される反射層を設けた例示的な有機発光ダイオードディスプレイの断面側面図である。図27に示すように、ディスプレイ14は、ホール層62、発光層48、電子層64、及びカソード層54で覆われたアノード42を含む。ディスプレイ14は、アノード42の下に反射層156を追加的に含むことができる。反射層156はディスプレイ全体にわたって形成されてよい(そのため、アノードによって覆われていない領域は全て反射層によって覆われる)。反射層の上、及びアノード間に、追加の誘電体層154を形成してもよい。所望であれば、誘電体層154は画素定義層であってよい。反射層156及び誘電体層154は、隣接するアノード間の領域が効率に寄与し、ディスプレイの効率を高められるようにする。

30

【0111】

図27では、反射層156はアノード42の下に形成され、かつ直接接触している。そのため、反射層156は誘電材料で形成されてよい(例えば、アノードどうしが反射層を介して短絡されないようにするため)。反射層156がアノードと直接接触して形成されない(例えば、介在する絶縁層が存在する)実施形態では、反射層は導電性又は非導電性材料で形成されてよい。反射層は任意の所望の反射率を有してよい(例えば、90%超、95%超、80%超、60%超、40%超、95%未満、90%未満、80%未満、60%未満など)。

40

【0112】

横方向の漏れによる画素間結合を低減するために、アノードのサイズを縮小することができる。反射層は画素の有効サイズを増大させるので、アノードを所望の光出力を達成するために同様に大きくする必要はない。アノードのサイズを減少させることにより、隣接

50

するアノード間の横方向の漏れに起因する画素間の結合を、画素性能を犠牲にすることなく低減することができる。例示的な一実施形態では、アノードの幅（図27の距離158）は、隣接するアノード間の距離（図27の距離160）よりも小さくてよい。距離158は、任意の所望の距離（例えば、0.1ミクロン未満、1ミクロン未満、10ミクロン未満、50ミクロン未満、100ミクロン未満、1000ミクロン未満、0.1ミクロン超、1ミクロン超、10ミクロン超、50ミクロン超、100ミクロン超、1000ミクロン超など）であってよい。同様に、距離160は、任意の所望の距離（例えば、0.1ミクロン未満、1ミクロン未満、10ミクロン未満、50ミクロン未満、100ミクロン未満、1000ミクロン未満、0.1ミクロン超、1ミクロン超、10ミクロン超、50ミクロン超、100ミクロン超、1000ミクロン超など）であってよい。

10

【0113】

所望であれば、前出の実施形態のうちの1つ以上を単一の有機発光ダイオードディスプレイ内で組み合わせて使用することもできる。加えて、前出の実施形態では、共通の横方向導電層（すなわち、ホール層62）がパターン化されたアノード上に形成された実施例を提示した。しかしながら、各実施形態では、共通の横方向導電層は、代わりにパターン化されたカソード上に形成されてもよい。パターン化された電極がカソードである実施形態では、共通の横方向導電層は電子層であってよい。パターン化された電極がカソードである実施形態では、共通電極はアノードであってよい。

【0114】

加えて、先に述べた実施形態のいくつかは、有機発光ダイオードディスプレイ内の共通の横方向導電層（例えば、ホール層62）内に不連続部が形成される構成を説明している。しかしながら、共通の横方向導電層内に形成される不連続部の実施例は、単なる例示に過ぎないことを理解されたい。いくつかの実施形態では、共通の横方向導電層は、横方向の漏れを少なくとも部分的に低減する薄化部分（例えば、共通の横方向導電層の、アノードの直上の部分よりも薄い）を設けてよく、この薄化部分は、横方向導電層の導電性を（完全に不連続化するのではなく）少なくとも部分的に低減し、それにより、横方向の漏れを少なくとも部分的に低減する。薄化部分は、アノードの上の部分の厚さの80%未満、アノードの上の部分の厚さの60%未満、アノードの上の部分の厚さの40%未満、アノードの上の部分の厚さの20%未満、アノードの上の部分の厚さの100%未満などの厚さであってよい。共通の横方向導電層が不連続部を有する実施形態では、共通の横方向導電層は厚さゼロのを有する薄化部分を有すると見なすことができる。

20

30

【0115】

様々な実施形態において、ディスプレイは、基板と、第1及び第2の画素を含む画素のアレイとを含んでよい。第1の画素は、基板上に第1の有機発光ダイオード及び第1のパターン化された電極を含んでよく、第2の画素は、基板上に第2の有機発光ダイオード及び第2のパターン化された電極を含んでよい。ディスプレイはまた、第1及び第2の有機発光ダイオードの両方の一部を形成する共通の横方向導電層と、第1のパターン化された電極と第2のパターン化された電極との間に介在する構造体とを含んでもよい。構造体は、第1のパターン化された電極と第2のパターン化された電極との間の共通の横方向導電層を通過する漏れ電流の量を低減することができる。

40

【0116】

構造体は、バイアス電圧に結合された導電性コンタクトを含んでよい。導電性コンタクトは基板上に形成されてよく、共通の横方向導電層は、第1及び第2のパターン化された電極及び導電性コンタクトの上に形成され、かつ直接接触してよい。導電性コンタクトは、第1及び第2のパターン化された電極と同じ材料で形成されてよい。

【0117】

構造体は、第1の幅を有する絶縁層と、第1の幅よりも大きい第2の幅を有する絶縁層の上に形成された追加層とを含み得る。構造体はT字型の構造体であってよい。ディスプレイはまた、共通の横方向導電層の上に形成された発光層と、発光層の上に形成された追加の共通の横方向導電層と、追加の共通の横方向導電層上に形成された共通電極とを含

50

んでもよい。共通電極は、第1のパターン化された電極の上の第1の部分と、第2のパターン化された電極の上の第2の部分とを設けており、構造体の追加層は、共通電極の第1の部分を共通電極の第2の部分に電氣的に接続する導電層を含んでよい。

【0118】

構造体は絶縁構造体を含んでよく、絶縁構造体は、第1の幅を有する上面と、第1の幅よりも小さい第2の幅を有する下面とを有してよい。共通の横方向導電層は、第1のパターン化された電極の上に形成された第1の部分と、第2のパターン化された電極の上に形成された第2の部分と、絶縁構造体の上に形成された第3の部分とを有してよい。共通の横方向導電層の第3の部分は、共通の横方向導電層の第1及び第2の部分に電氣的に接続していなくてもよい。

10

【0119】

構造体は基板内にトレンチを含んでもよく、共通の横方向導電層は、第1のパターン化された電極の上に形成された第1の部分と、第2のパターン化された電極の上に形成された第2の部分と、トレンチ内に形成された第3の部分とを設けてよい。ディスプレイはまた、基板上に形成された追加層を含んでもよい。構造体は追加層内にトレンチを含んでよく、共通の横方向導電層は、第1のパターン化された電極の上に形成された第1の部分と、第2のパターン化された電極の上に形成された第2の部分と、トレンチ内に形成された第3の部分とを設けてよい。構造体は、共通の横方向導電層の不規則な部分を含んでよく、共通の横方向導電層の不規則部分は、フッ素化自己整合単層上に形成されていてよい。構造体は、第1及び第2のパターン化された電極とオーバーラップする共通の横方向導電層の部分と比べて低い導電性を有する、共通の横方向導電層の損傷部分を含むことができる。共通の横方向導電層は、横方向導電性の注入層及び横方向導電性の輸送層を含むことができる。

20

【0120】

様々な実施形態において、方法は、基板上に第1及び第2の有機発光ダイオードディスプレイ画素用の第1及び第2のパターン化された電極を形成することと、第1及び第2の有機発光ダイオードディスプレイ画素の両方の部分を形成する第1及び第2のパターン化された電極の上に共通の横方向導電層を堆積させることと、エネルギー源を用いて、第1のパターン化された電極と第2のパターン化された電極との間に介在する共通の横方向導電層の領域に向かってエネルギーを放射することと、を含むことができる。共通の横方向導電層の領域は、エネルギーに暴露されない共通の横方向導電層の部分と比べて低減された導電性を有してよい。共通の横方向導電層の領域に向かってエネルギーを放射することは、マスキング層を介してエネルギーを放射することを含んでよく、マスキング層は、共通の横方向導電層の領域とオーバーラップする開口部を設けてよい。エネルギー源は、紫外線源とレーザー光源のうちの1つを含むことができる。エネルギー源は、電子ビーム、集束イオンビーム、ガスクラスティオンビームのうちの1つを含むことができる。

30

【0121】

様々な実施形態において、駆動トランジスタ、発光トランジスタ、及び第1の電源端子と第2の電源端子との間に直列に結合された有機発光ダイオードと、駆動トランジスタと発光トランジスタの間に介在するノードと、を備える有機発光ダイオードディスプレイ画素を動作させる方法は、ノードと接地端子との間に介在する漏れ電流制御トランジスタは、有機発光ダイオードディスプレイ画素が光を放射できるようにするために、第1の時間に発光トランジスタをアサートすることと、第1の時間に漏れ電流制御トランジスタをアサートすることと、有機発光ダイオードディスプレイ画素が発光期間後に発光することを防止するために、発光トランジスタを第2の時間にデアサートすることと、第2の時間に漏れ電流制御トランジスタをデアサートすることと、を含む。漏れ電流制御トランジスタは、バイアス電圧を受信するゲートを設けてよい。漏れ電流制御トランジスタは、発光トランジスタがアサートされている間に常にアサートされてよく、漏れ電流制御トランジスタは、発光トランジスタがデアサートされている間に常にデアサートされてよい。

40

【0122】

50

様々な実施形態において、ディスプレイは、基板と、画素のアレイであって、基板上に第1のパターン化された電極を含む第1の有機発光ダイオード画素と、基板上に第2のパターン化された電極を含む第2の有機発光ダイオード画素とを含む、画素のアレイと、第1のパターン化された電極と第2のパターン化された電極との間に介在する基板の画素定義層と、横方向導電層であって、画素定義層の上に形成されており、第1の有機発光ダイオード画素の一部を形成する第1の部分と、第2の有機発光ダイオード画素の一部を形成する第2の部分とを有する、横方向導電層と、を備える。第1の部分は、画素定義層によって形成された横方向導電層内の少なくとも1つの不連続部によって、第2の部分から電氣的に絶縁されてよい。

【0123】

横方向導電層は、画素定義層、第1のパターン化された電極、及び第2のパターン化された電極の上に、かつ直接接触して形成されてよい。ディスプレイはまた、横方向導電層の上に形成された発光層と、発光層の上に形成された共通電極とを含んでもよい。画素定義層は、上面及び側壁面を有してよく、横方向導電層における少なくとも1つの不連続部は、側壁面の凹部によって形成されてよい。画素定義層は、上面及び側壁面を設けてよく、横方向導電層内の少なくとも1つの不連続部は、側壁面の複数の曲線によって形成されてよい。画素定義層は、上面及び側壁面を設けてよく、横方向導電層内の少なくとも1つの不連続部は、側壁面の下部切取り部によって形成されてもよい。

【0124】

画素定義層は、少なくとも第1及び第2の材料層を含んでよい。画素定義層は、第1の材料層、第2の材料層、及び第3の材料層を含み得る。第1の材料層は第3の材料層と同じ材料で形成されてよく、第1の材料層は第2の材料層とは異なる材料で形成されてよい。第1の材料層は二酸化ケイ素で形成されてよく、第2の材料層は窒化ケイ素で形成されてよく、第3の材料層は二酸化ケイ素で形成されてよく、第2の材料層は、第1の材料層と第3の材料層との間に介在してよい。第1の材料層は第1の厚さを有してよく、第2の材料層は第1の厚さと同じ第2の厚さを有してよく、第3の材料層は第1の厚さと同じ第3の厚さを有してよい。第1の材料層は第1の厚さを有してよく、第2の材料層は第2の厚さを有してよく、第3の材料層は第3の厚さを有してよく、第1の厚さと第3の厚さは異なっていてよい。第1の材料層は第1のパターン化された電極と第2の材料層との間に介在してよく、第2の材料層は第1の材料層と第3の材料層の間に介在してよく、第1の材料層は、第1のパターン化された電極の上面に対して第1の角度を成している第1の側壁を有してよく、第2の材料層は、第1のパターン化された電極の上面に対して第2の角度を成している第2の側壁を有してよく、第3の材料層は、第1のパターン化された電極の上面に対して第3の角度を成している第3の側壁を有してよく、第1の角度は90度未満であってよく、第2の角度は90度より大きくてよく、第3の角度は90度未満であってよい。

【0125】

様々な実施形態において、ディスプレイは、基板と、画素のアレイであって、基板上に第1のパターン化された電極を含んだ第1の有機発光ダイオード画素と、基板上に第2のパターン化された電極を含んだ第2の有機発光ダイオード画素と、を含む、画素のアレイと、横方向導電層であって、第1及び第2のパターン化された電極の上に形成されており、第1の有機発光ダイオード画素の一部を形成している第1の部分と、第2の有機発光ダイオード画素の一部を形成している第2の部分とを設けた、横方向導電層と、第1のパターン化された電極と第2のパターン化された電極との間に介在しており、バイアス電圧に結合されている制御ゲートと、含んでよい。

【0126】

制御ゲートは、バイアス電圧に結合されると、第1のパターン化された電極と第2のパターン化された電極との間の横方向導電層内の電流チャネルを遮断する、有機薄膜トランジスタを形成してよい。ディスプレイはまた、制御ゲートと横方向導電層の間に介在するゲート誘電体を含んでよい。ゲート誘電体は、対向する第1及び第2の側部を有してよく

10

20

30

40

50

、第1の側部は制御ゲートと直接接触してよく、第2の側部は横方向導電層と直接接触してよい。

【0127】

制御ゲートは、第1及び第2のパターン化された電極と同じ材料で形成されてよく、また、制御ゲート、第1のパターン化された電極、第2のパターン化された電極は同一平面上にあってよい。ディスプレイはまた、第1のパターン化された電極に結合した第1のコンタクトと、第2のパターン化された電極に結合した第2のコンタクトとを含んでよい。制御ゲートは、第1及び第2のコンタクトと同じ材料で形成されてよく、また、制御ゲート、第1のコンタクト、第2のコンタクトは同一平面上にあってよい。ディスプレイはまた、第1のパターン化された電極と第2のパターン化された電極との間に介在する画素定義層を含んでもよい。画素定義層は制御ゲートとオーバーラップしてよい。制御ゲートは画素定義層内に埋め込まれてよい。

10

【0128】

様々な実施形態において、ディスプレイは、基板と、基板上に形成された反射層と、画素のアレイであって、反射層上に第1のパターン化された電極を含んだ第1の有機発光ダイオード画素と、反射層上に第2のパターン化された電極を含む第2の有機発光ダイオード画素と、を含んでいる、画素のアレイと、反射層の上、かつ第1のパターン化された電極と第2のパターン化された電極との間に形成された誘電体層と、横方向導電層であって、誘電体層、第1のパターン化された電極、第2のパターン化された電極の上に形成されており、第1有機発光ダイオード画素の一部を形成する第1の部分と、第2の有機発光ダイオード画素の一部を形成する第2の部分とを有する、横方向導電層と、を含んでよい。

20

【0129】

一実施形態によれば、基板と、画素のアレイであって、第1及び第2の有機発光ダイオード画素を含んでおり、第1の有機発光ダイオード画素は基板上に第1のパターン化された電極を含み、第2の有機発光ダイオード画素は基板上に第2のパターン化された電極を含む、画素のアレイと、基板上で、第1のパターン化された電極と第2のパターン化された電極との間に介在する画素定義層と、横方向導電層であって、画素定義層の上に形成されており、第1の有機発光ダイオード画素の一部を形成している第1の部分と、第2の有機発光ダイオード画素の一部を形成している第2の部分とを有し、第1の部分は横方向導電層内に画素定義層によって作成された少なくとも1つの不連続部により第2の部分から電気的に隔絶されている、横方向導電層と、を含むディスプレイが提供される。

30

【0130】

別の実施形態によれば、横方向導電層は、画素定義層、第1のパターン化された電極、第2のパターン化された電極の上に、かつ直接接触して形成される。

【0131】

別の実施形態によれば、ディスプレイは、横方向導電層の上に形成された発光層と、発光層の上に形成された共通電極と、を含む。

【0132】

別の実施形態によれば、画素定義層は、上面及び側壁面を有し、横方向導電層における少なくとも1つの不連続部は、側壁面の凹部によって形成される。

40

【0133】

別の実施形態によれば、画素定義層は少なくとも第1及び第2の材料層を含む。

【0134】

別の実施形態によれば、画素定義層は、第1の材料層、第2の材料層、及び第3の材料層を含み、第1の材料層は第3の材料層と同じ材料で形成され、第1の材料層は第2の材料層とは異なる材料で形成される。

【0135】

別の実施形態によれば、第1の材料層は二酸化ケイ素で形成され、第2の材料層は窒化ケイ素で形成され、第3の材料層は二酸化ケイ素で形成され、第2の材料層は第1の材料層と第3の材料層の間に介在している。

50

【0136】

別の実施形態によれば、画素定義層は、第1の材料層、第2の材料層、及び第3の材料層を含み、第1の材料層は、第1のパターン化された電極と第2の材料層との間に介在し、第2の材料層は、第1の材料層と第3の材料層の間に介在し、第1の材料層は、第1のパターン化された電極の上面に対して第1の角度を成す第1の側壁を有し、第2の材料層は、第1のパターン化された電極の上面に対して第2の角度を成す第2の側壁を有し、第3の材料層は、第1のパターン化された電極の上面に対して第3の角度を成す第3の側壁を有し、第1の角度は90度未満であり、第2の角度は90度より大きく、第3の角度は90度未満である。

【0137】

別の実施形態によれば、画素定義層は上面及び側壁面を有し、横方向導電層における少なくとも1つの不連続部は、側壁面の複数の曲線によって形成される。

10

【0138】

一実施形態によれば、基板と、画素のアレイであって、第1及び第2の画素を含み、第1の画素は基板上に第1の有機発光ダイオード及び第1のパターン化された電極を含み、第2の画素は基板上に第2の有機発光ダイオード及び第2のパターン化された電極を含む、画素のアレイと、第1及び第2の有機発光ダイオードの両方の一部を形成している共通の横方向導電層と、構造体であって、第1のパターン化された電極と第2のパターン化された電極との間に介在しており、第1及び第2のパターン化された電極間において共通の横方向導電層を通る漏れ電流の量を低減する、構造体と、を含むディスプレイが提供される。

20

【0139】

別の実施形態によれば、構造体は、バイアス電圧に結合された導電性コンタクトを含む。

【0140】

別の実施形態によれば、導電性コンタクトは、第1及び第2のパターン化された電極と同じ材料で形成される。

【0141】

別の実施形態によれば、構造体は絶縁構造体を含み、絶縁構造体は、第1の幅を有する上面と、第1の幅よりも小さい第2の幅を有する下面とを有する。

30

【0142】

別の実施形態によれば、共通の横方向導電層は、第1のパターン化された電極の上に形成された第1の部分と、第2のパターン化された電極の上に形成された第2の部分と、絶縁構造体の上に形成された第3の部分とを有し、共通の横方向導電層の第3の部分は、共通の横方向導電層の第1及び第2の部分に電氣的に接続していない。

【0143】

別の実施形態によれば、構造体は基板内にトレンチを含み、共通の横方向導電層は、第1のパターン化された電極の上に形成された第1の部分と、第2のパターン化された電極の上に形成された第2の部分と、トレンチ内に形成された第3の部分とを含む。

【0144】

一実施形態によれば、基板と、画素のアレイであって、第1及び第2の有機発光ダイオード画素を含み、第1の有機発光ダイオード画素は基板上に第1のパターン化された電極を含み、第2の有機発光ダイオード画素は基板上に第2のパターン化された電極を含む、画素のアレイと、横方向導電層であって、第1及び第2のパターン化された電極上に形成されており、第1の有機発光ダイオード画素の一部を形成している第1の部分と、第2の有機発光ダイオード画素の一部を形成している第2の部分とを有する、横方向導電層と、第1のパターン化された電極と第2のパターン化された電極との間に介在し、バイアス電圧に結合している制御ゲートと、を含むディスプレイが提供される。

40

【0145】

別の実施形態によれば、制御ゲートは、バイアス電圧に結合されると、第1のパターン

50

化された電極と第2のパターン化された電極との間の横方向導電層内の電流チャネルを遮断する、有機薄膜トランジスタを形成している。

【0146】

別の実施形態によれば、ディスプレイは、制御ゲートと横方向導電層の間に介在するゲート誘電体を含む。

【0147】

別の実施形態によれば、制御ゲートは、第1及び第2のパターン化された電極と同じ材料で形成され、制御ゲート、第1のパターン化された電極、第2のパターン化された電極は同一平面上にある。

【0148】

別の実施形態によれば、ディスプレイは、第1のパターン化された電極に結合した第1のコンタクトと、第2のパターン化された電極に結合した第2のコンタクトとを含み、制御ゲートは、第1及び第2のコンタクトと同じ材料で形成されており、制御ゲート、第1のコンタクト、第2のコンタクトは同一平面上にある。

【0149】

別の実施形態によれば、ディスプレイは、第1のパターン化された電極と第2のパターン化された電極との間に介在する画素定義層を含み、画素定義層は制御ゲートオーバーラップしている。

【0150】

別の実施形態によれば、ディスプレイは、第1のパターン化された電極と第2のパターン化された電極との間に介在する画素定義層を含み、制御ゲートは画素定義層内に埋め込まれている。

【0151】

前述は単なる例示であり、当業者は、記載された実施形態の範囲及び精神から逸脱することなく、様々な修正を行うことができる。前述の実施形態は、個別に又は任意の組み合わせで実施することができる。

10

20

【 図 1 】

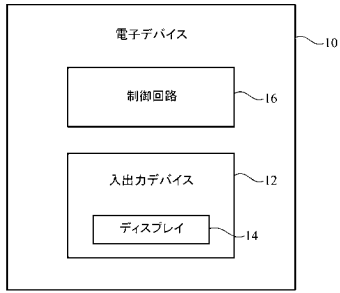


FIG. 1

【 図 2 】

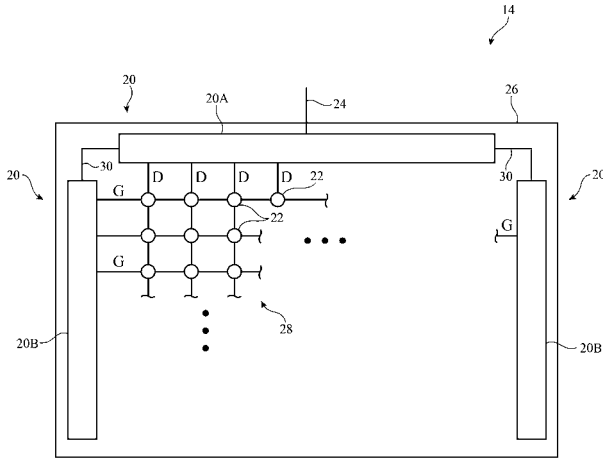


FIG. 2

【 図 3 】

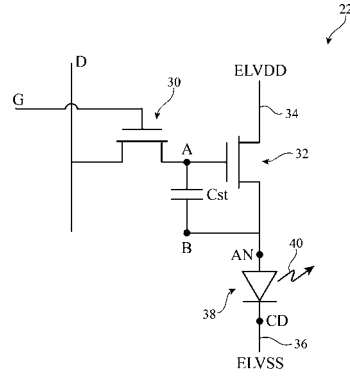


FIG. 3

【 図 4 】

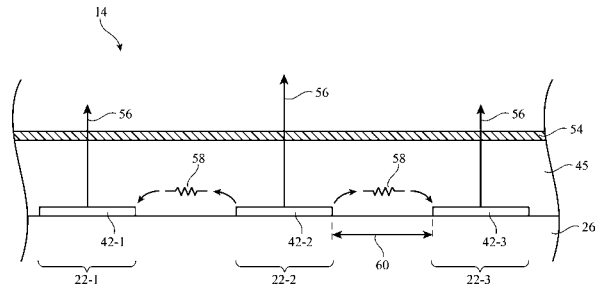


FIG. 4

【 図 5 】

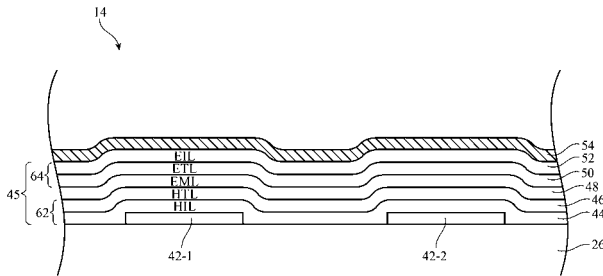


FIG. 5

【 図 6 】

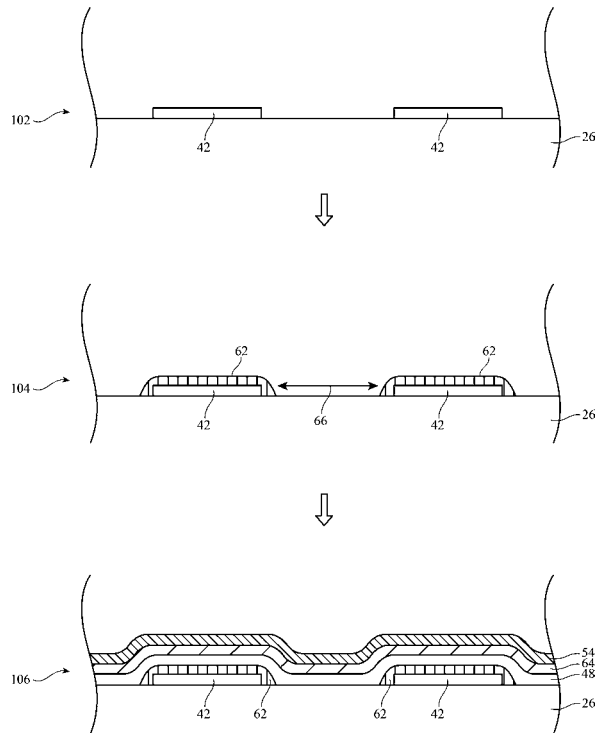


FIG. 6

【 図 7 】

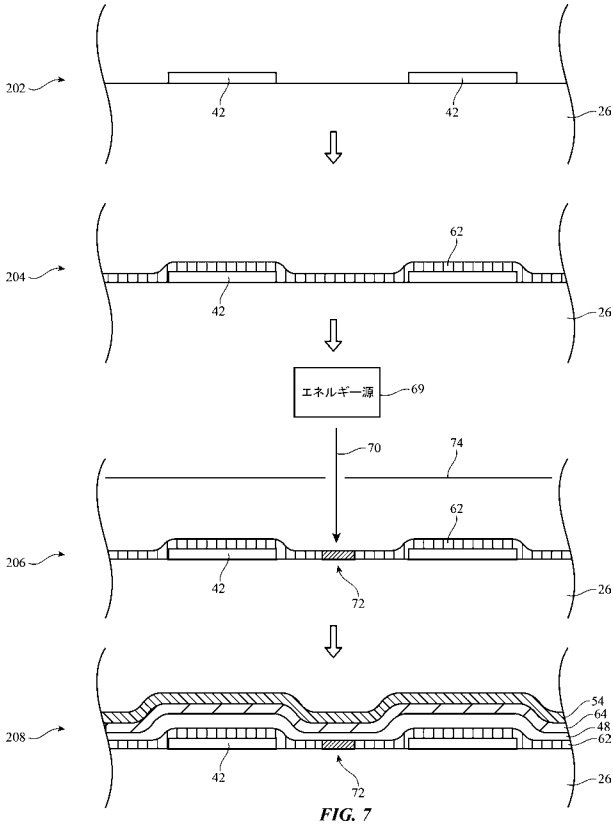


FIG. 7

【 図 8 】

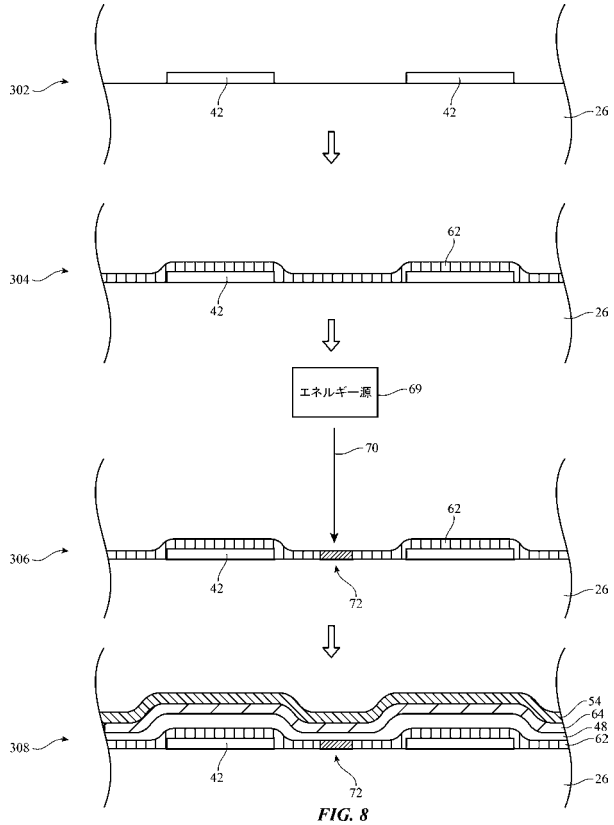


FIG. 8

【 図 9 】

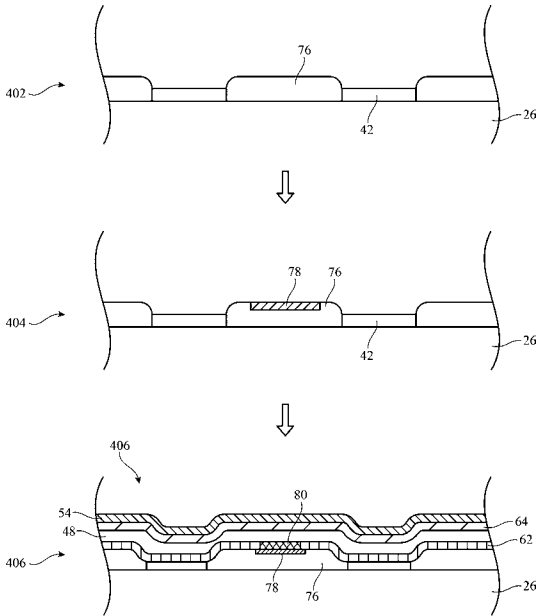


FIG. 9

【 図 10 】

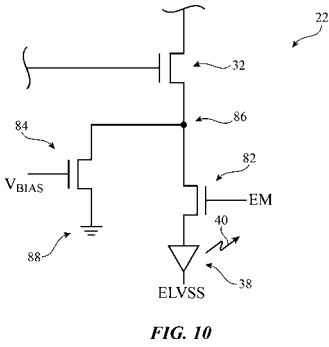


FIG. 10

【 図 11 】

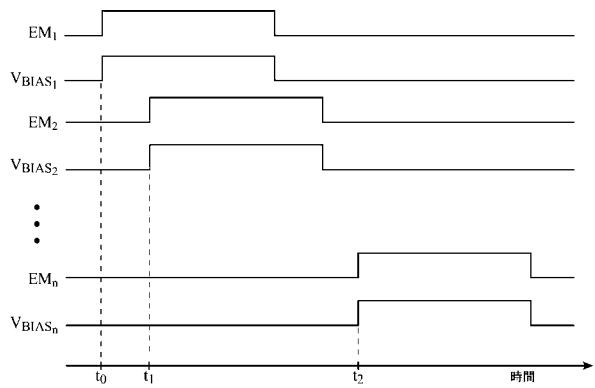


FIG. 11

【 図 1 2 】

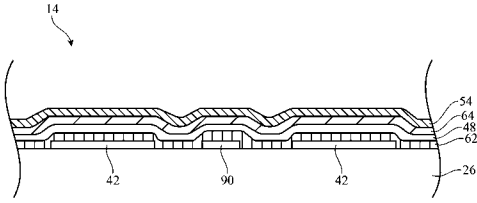


FIG. 12

【 図 1 3 】

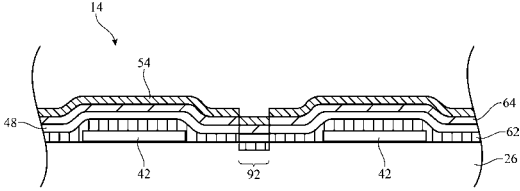


FIG. 13

【 図 1 4 】

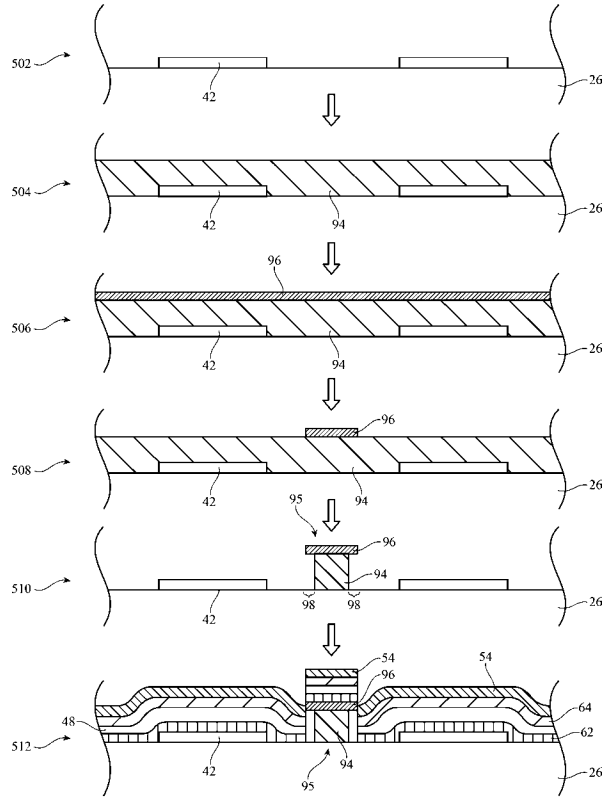


FIG. 14

【 図 1 5 】

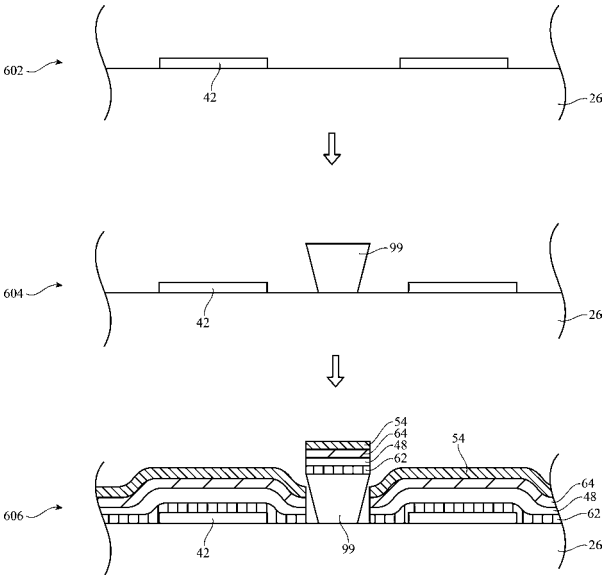


FIG. 15

【 図 1 6 】

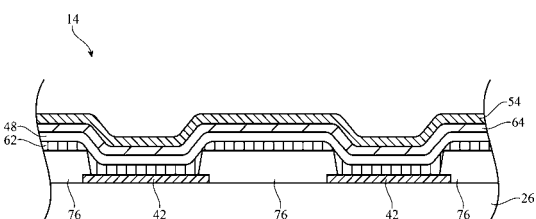


FIG. 16

【 図 1 7 】

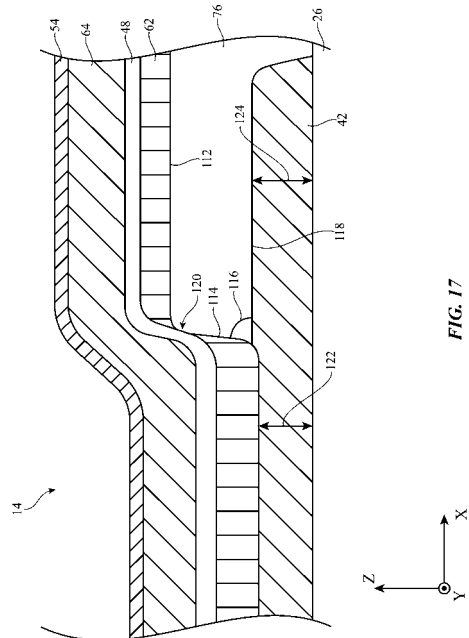


FIG. 17

【 図 18 】

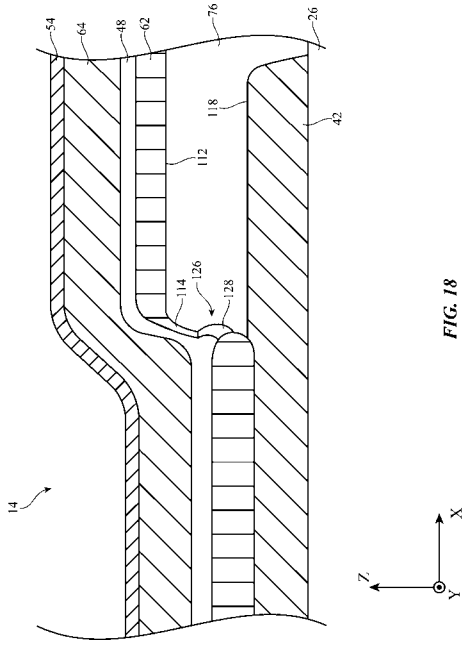


FIG. 18

【 図 19 】

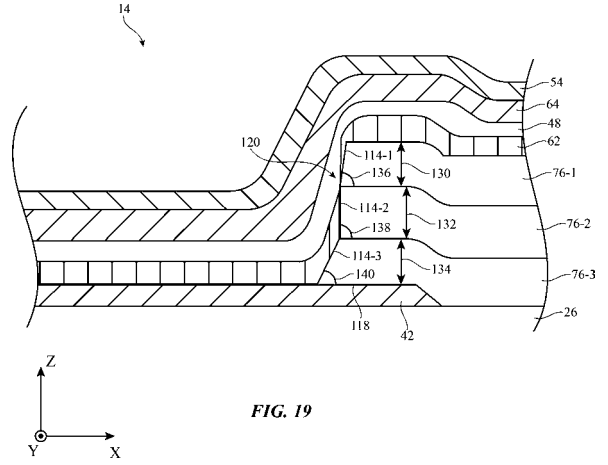


FIG. 19

【 図 20 】

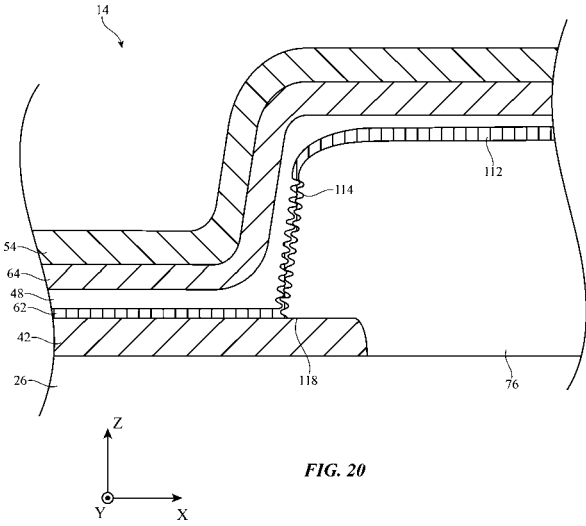


FIG. 20

【 図 22 】

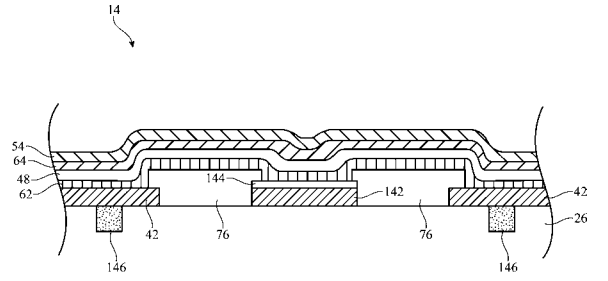


FIG. 22

【 図 21 】

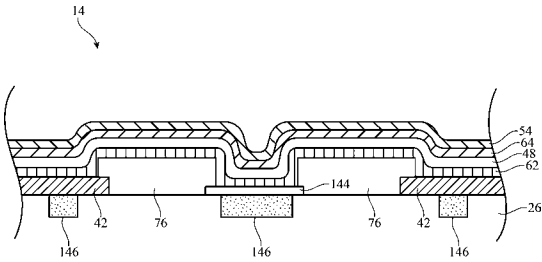


FIG. 21

【 図 23 】

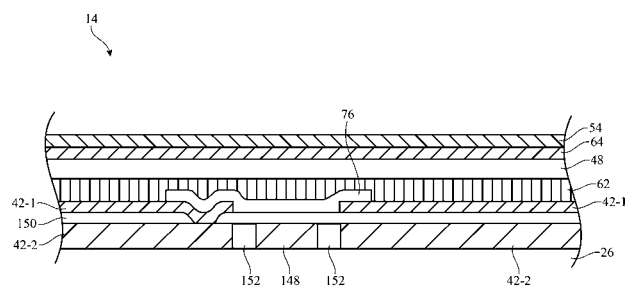


FIG. 23

【図 24】

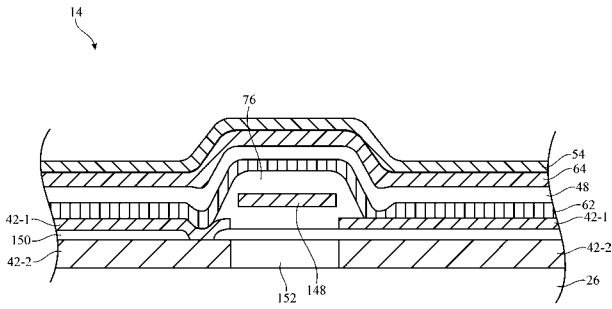


FIG. 24

【図 25】

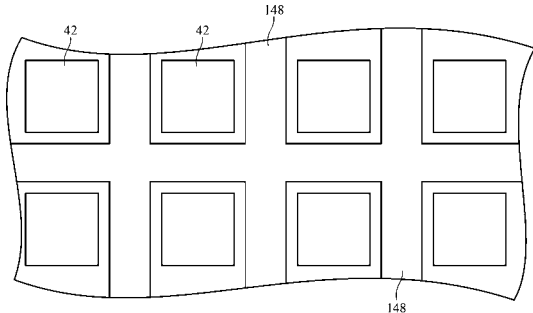


FIG. 25

【図 26】

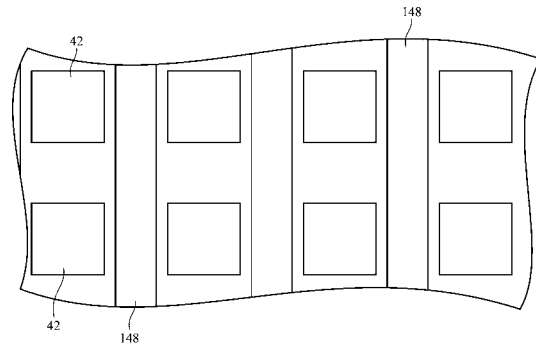


FIG. 26

【図 27】

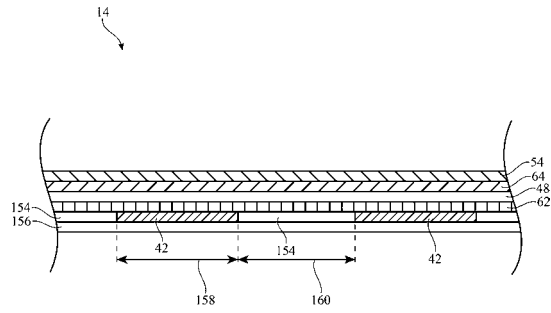


FIG. 27

【手続補正書】

【提出日】令和1年11月8日(2019.11.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ディスプレイであって、
基板と、

画素のアレイであって、第 1 及び第 2 の有機発光ダイオード画素を含み、前記第 1 の有機発光ダイオード画素は、前記基板上に第 1 のパターン化された電極を含み、前記第 2 の有機発光ダイオード画素は、前記基板上に第 2 のパターン化された電極を含む、画素のアレイと、

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在する、前記基板上の画素定義層と、

横方向導電層であって、前記画素定義層の上に形成されており、前記第 1 の有機発光ダイオード画素の一部を形成する第 1 の部分と、前記第 2 の有機発光ダイオード画素の一部を形成する第 2 の部分とを有し、前記第 1 の部分は、前記画素定義層によって形成された前記横方向導電層内の少なくとも 1 つの不連続部によって前記第 2 の部分から電氣的に絶縁されている、横方向導電層と、を備えるディスプレイ。

【請求項 2】

前記横方向導電層は、前記画素定義層、前記第 1 のパターン化された電極、及び前記第 2 のパターン化された電極の上に、かつ直接接触して形成されている、請求項 1 に記載の

ディスプレイ。

【請求項 3】

前記横方向導電層の上に形成された発光層と、
前記発光層の上に形成された共通電極と、を更に備える、請求項 2 に記載のディスプレイ。

【請求項 4】

前記画素定義層は、上面及び側壁面を有し、前記横方向導電層内の前記少なくとも 1 つの不連続部は前記側壁面の凹部によって形成される、請求項 1 に記載のディスプレイ。

【請求項 5】

前記画素定義層は少なくとも第 1 及び第 2 の材料層を含む、請求項 1 に記載のディスプレイ。

【請求項 6】

前記画素定義層は前記第 1 の材料層、前記第 2 の材料層、及び第 3 の材料層を含み、前記第 1 の材料層は前記第 3 の材料層と同じ材料で形成され、前記第 1 の材料層は前記第 2 の材料層とは異なる材料で形成されている、請求項 5 に記載のディスプレイ。

【請求項 7】

前記第 1 の材料層は二酸化ケイ素で形成され、前記第 2 の材料層は窒化ケイ素から形成され、前記第 3 の材料層は二酸化ケイ素から形成されており、前記第 2 の材料層は前記第 1 の材料層と前記第 3 の材料層との間に介在している、請求項 6 に記載のディスプレイ。

【請求項 8】

前記画素定義層は前記第 1 の材料層、前記第 2 の材料層、及び第 3 の材料層を含み、前記第 1 の材料層は前記第 1 のパターン化された電極と前記第 2 の材料層との間に介在しており、前記第 2 の材料層は前記第 1 の材料層と前記第 3 の材料層との間に介在しており、前記第 1 の材料層は、前記第 1 のパターン化された電極の上面に対して第 1 の角度を成す第 1 の側壁を有し、前記第 2 の材料層は、前記第 1 のパターン化された電極の前記上面に対して第 2 の角度を成す第 2 の側壁を有し、前記第 3 の材料層は、前記第 1 のパターン化された電極の前記上面に対して第 3 の角度を成す第 3 の側壁を有し、前記第 1 の角度は 90 度未満であり、前記第 2 の角度は 90 度より大きく、前記第 3 の角度は 90 度未満である、請求項 5 に記載のディスプレイ。

【請求項 9】

前記画素定義層は、上面及び側壁面を有し、前記横方向導電層内の前記少なくとも 1 つの不連続部は、前記側壁面の複数の曲線によって形成されている、請求項 1 に記載のディスプレイ。

【請求項 10】

ディスプレイであって、
基板と、
画素のアレイであって、第 1 及び第 2 の画素を含み、前記第 1 の画素は前記基板上に第 1 の有機発光ダイオード及び第 1 のパターン化された電極を含み、前記第 2 の画素は、前記基板上に第 2 の有機発光ダイオード及び第 2 のパターン化された電極を含む、画素のアレイと、

前記第 1 及び第 2 の有機発光ダイオードの両方の一部を形成する共通の横方向導電層と、

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在する構造体であって、前記構造体は、前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間の前記共通の横方向導電層を通過する漏れ電流の量を低減する、構造体と、を備えるディスプレイ。

【請求項 11】

前記構造体はバイアス電圧に結合した導電性コンタクトを含み、
前記導電性コンタクトは、前記第 1 及び第 2 のパターン化された電極と同じ材料で形成される、請求項 10 に記載のディスプレイ。

【請求項 1 2】

前記構造体は絶縁構造体を含み、前記絶縁構造体は第 1 の幅を有する上面と、前記第 1 の幅よりも小さい第 2 の幅を有する下面とを有する、請求項 1 0 に記載のディスプレイ。

【請求項 1 3】

前記構造体は前記基板内にトレンチを含み、前記共通の横方向導電層は、前記第 1 のパターン化された電極の上に形成された第 1 の部分と、前記第 2 のパターン化された電極の上に形成された第 2 の部分と、前記トレンチ内に形成された第 3 の部分とを含む、請求項 1 0 に記載のディスプレイ。

【請求項 1 4】

ディスプレイであって、
基板と、

画素のアレイであって、第 1 及び第 2 の有機発光ダイオード画素を含み、前記第 1 の有機発光ダイオード画素は前記基板上の第 1 のパターン化された電極を含み、前記第 2 の有機発光ダイオード画素は、前記基板上に第 2 のパターン化された電極を含む、画素のアレイと、

横方向導電層であって、前記第 1 及び第 2 のパターン化された電極の上に形成されており、前記第 1 の有機発光ダイオード画素の一部を形成する第 1 の部分と、前記第 2 の有機発光ダイオード画素の一部を形成する第 2 の部分とを有する、横方向導電層と、

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在し、バイアス電圧に結合している制御ゲートと、を備えるディスプレイ。

【請求項 1 5】

前記制御ゲートは、前記バイアス電圧に結合されると、前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間の前記横方向導電層内の電流チャネルを遮断する有機薄膜トランジスタを形成する、請求項 1 4 に記載のディスプレイ。

【請求項 1 6】

前記制御ゲートと前記横方向導電層との間に介在するゲート誘電体を更に備える、請求項 1 4 に記載のディスプレイ。

【請求項 1 7】

前記制御ゲートは前記第 1 及び第 2 のパターン化された電極と同じ材料で形成され、前記制御ゲート、前記第 1 のパターン化された電極、及び前記第 2 のパターン化された電極は同一平面上にある、請求項 1 4 に記載のディスプレイ。

【請求項 1 8】

前記第 1 のパターン化された電極に結合した第 1 のコンタクトと、

前記第 2 のパターン化された電極に結合した第 2 のコンタクトであって、前記制御ゲートは、前記第 1 及び第 2 のコンタクトと同じ材料で形成され、前記制御ゲート、前記第 1 のコンタクト、及び前記第 2 のコンタクトは同一平面上にある、第 2 のコンタクトと、を更に備える、請求項 1 4 に記載のディスプレイ。

【請求項 1 9】

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在する画素定義層を更に備え、前記画素定義層は前記制御ゲートとオーバーラップする、請求項 1 4 に記載のディスプレイ。

【請求項 2 0】

前記第 1 のパターン化された電極と前記第 2 のパターン化された電極との間に介在する画素定義層を更に備え、前記制御ゲートは前記画素定義層内に埋め込まれている、請求項 1 4 に記載のディスプレイ。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2018/029772

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L27/32 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104 659 070 A (SHANGHAI TIANMA ORGANIC LUMINESCENCE AND DISPLAY TECHNOLOGY CO LTD; TI) 27 May 2015 (2015-05-27) paragraph [0071]; figure 1 -----	1-3
X	US 2016/248035 A1 (HWANG JAE KWON [KR] ET AL) 25 August 2016 (2016-08-25) figures 1-3 -----	1-3
X	EP 2 175 504 A1 (SUMITOMO CHEMICAL CO [JP]) 14 April 2010 (2010-04-14) figure 1 -----	1-3
X	US 2012/007067 A1 (KANETA SHINGO [JP] ET AL) 12 January 2012 (2012-01-12) paragraph [0120]; figure 6A -----	1-3,9
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 August 2018		Date of mailing of the international search report 29/10/2018
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Fratiloiu, Silvia

2

INTERNATIONAL SEARCH REPORT

International application No PCT/US2018/029772

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 2016 0072010 A (LG DISPLAY CO LTD [KR]) 22 June 2016 (2016-06-22) paragraph [0083]; figure 1 -----	1-4
X	US 2010/033089 A1 (NAKAMURA KAZUO [JP] ET AL) 11 February 2010 (2010-02-11) figure 5B -----	1-3,5
Y		6-8
X	EP 2 955 766 A1 (LG DISPLAY CO LTD [KR]) 16 December 2015 (2015-12-16) paragraph [0072]; figure 2 -----	1-3,5
Y		6,7
X	US 2015/048328 A1 (KATO TAKAYOSHI [JP] ET AL) 19 February 2015 (2015-02-19) figures 3, 4A -----	1-3,5
Y		6,7
Y	US 2004/119419 A1 (KAI KAZUHIKO [JP] ET AL) 24 June 2004 (2004-06-24) paragraphs [0116], [0117]; figure 6 -----	6-8

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/US2018/029772**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-9

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/ US2018/ 029772

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-9

A display comprising:

a substrate;

an array of pixels that includes first and second organic light-emitting diode pixels, wherein the first organic light-emitting diode pixel includes a first patterned electrode on the substrate and wherein the second organic light-emitting diode pixel includes a second patterned electrode on the substrate;

a pixel definition layer on the substrate that is interposed between the first and second patterned electrodes; and

a laterally conductive layer formed over the pixel definition layer that has a first portion that forms part of the first organic light-emitting diode pixel and a second portion that forms part of the second organic light-emitting diode pixel, wherein the first portion is electrically isolated from the second portion by at least one discontinuity in the laterally conductive layer created by the pixel definition layer.

2. claims: 10-15

A display comprising:

a substrate;

an array of pixels that includes first and second pixels, wherein the first pixel includes a first organic light-emitting diode and a first patterned electrode on the substrate and wherein the second pixel includes a second organic light-emitting diode and a second patterned electrode on the substrate;

a common laterally conductive layer that forms part of both the first and second organic light-emitting diodes; and

a structure interposed between the first and second patterned electrodes, wherein the structure reduces an amount of leakage current that passes through the common laterally conductive layer between the first and second patterned electrodes.

3. claims: 16-22

A display comprising:

a substrate;

an array of pixels that includes first and second organic light-emitting diode pixels, wherein the first organic light-emitting diode pixel includes a first patterned electrode on the substrate and wherein the second organic light-emitting diode pixel includes a second patterned electrode on the substrate;

a laterally conductive layer formed over the first and

International Application No. PCT/US2018/029772

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

second patterned electrodes that has a first portion that forms part of the first organic light-emitting diode pixel and a second portion that forms part of the second organic light-emitting diode pixel; and
a control gate that is interposed between the first and second patterned electrodes and that is coupled to a bias voltage.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2018/029772

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
CN 104659070	A	27-05-2015	CN 104659070 A DE 102015116089 A1 US 2016268354 A1	27-05-2015 15-09-2016 15-09-2016
US 2016248035	A1	25-08-2016	CN 105914300 A JP 2016157678 A KR 20160104161 A US 2016248035 A1	31-08-2016 01-09-2016 05-09-2016 25-08-2016
EP 2175504	A1	14-04-2010	CN 101765929 A EP 2175504 A1 JP 4974978 B2 JP 2009054582 A JP 2012134171 A KR 20100051637 A TW 200917888 A US 2010193817 A1 WO 2009017026 A1	30-06-2010 14-04-2010 11-07-2012 12-03-2009 12-07-2012 17-05-2010 16-04-2009 05-08-2010 05-02-2009
US 2012007067	A1	12-01-2012	JP 5708482 B2 JP WO2010109877 A1 TW 201101478 A US 2012007067 A1 WO 2010109877 A1	30-04-2015 27-09-2012 01-01-2011 12-01-2012 30-09-2010
KR 20160072010	A	22-06-2016	NONE	
US 2010033089	A1	11-02-2010	CN 101650917 A CN 102751310 A JP 2010044894 A US 2010033089 A1	17-02-2010 24-10-2012 25-02-2010 11-02-2010
EP 2955766	A1	16-12-2015	CN 105280676 A EP 2955766 A1 KR 20150141338 A US 2015357388 A1 US 2017309693 A1	27-01-2016 16-12-2015 18-12-2015 10-12-2015 26-10-2017
US 2015048328	A1	19-02-2015	CN 104218062 A JP 6136578 B2 JP 2014232631 A KR 20140140484 A TW 201503352 A US 2015048328 A1	17-12-2014 31-05-2017 11-12-2014 09-12-2014 16-01-2015 19-02-2015
US 2004119419	A1	24-06-2004	CN 1509127 A JP 2004192935 A US 2004119419 A1 US 2006158107 A1 US 2008290789 A1 US 2010164372 A1	30-06-2004 08-07-2004 24-06-2004 20-07-2006 27-11-2008 01-07-2010

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/30	3 4 9 Z
	G 0 9 F 9/30	3 4 8 A

(81) 指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(74) 代理人 100116894

弁理士 木村 秀二

(74) 代理人 100130409

弁理士 下山 治

(74) 代理人 100134175

弁理士 永川 行光

(72) 発明者 チョイ, ジェイン

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, メール ストップ 93-1ピーピーオー

(72) 発明者 リン, アンドリュウ

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, メール ストップ 89-2ピーピーオー

(72) 発明者 口, チュック チ

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, エム/エス 8-2ピーピーオー

(72) 発明者 ファン, チュン ヤオ

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, エム/エス 89-2ピーピーオー

(72) 発明者 ウォン, グローリア

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, メール ストップ 991-エスピー01

(72) 発明者 タン, ハイロン

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, メール ストップ 991-エスピー01

(72) 発明者 山本 均

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, メール ストップ 89-2ディー

(72) 発明者 ペダー, ジェイムス イー.

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, エム/エス 89-2ピーピーオー

(72) 発明者 キム, キビョン

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
ワン, エム/エス 89-2ピーピーオー

(72) 発明者 チョン, クワン オク

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ

- ワン, エム/エス 89-2ピーピーオー
 (72)発明者 ユアン, レイ
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 スルーツキー, マイケル
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 リウ, ルイ
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 モリサ, スティーブン イー.
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 991-エスビーオー'1
 (72)発明者 カン, サング
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 チャン, ウェンディ
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン
 (72)発明者 タン, チュン ミン
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 チェン, チェン
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 クネズ, イヴァン
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 ドルジュゴトフ, エンカムガラン
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 カルボン, ジョヴァンニ
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 マイヤ, グラハム ビー.
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー
 (72)発明者 リー, ジュンミン
 アメリカ合衆国 カリフォルニア州 95014, クパチーノ, アップル パーク ウェイ
 ワン, エム/エス 89-2ピーピーオー

F ターム(参考) 3K107 AA01 BB01 CC33 DD89 DD95 FF15

5C094 AA01 BA03 BA27 DA13 DB01 EA04 EA07 FA02 FA03 FB02

FB15

专利名称(译)	减少侧向泄漏的有机发光二极管显示器		
公开(公告)号	JP2020520056A	公开(公告)日	2020-07-02
申请号	JP2019561882	申请日	2018-04-27
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
[标]发明人	山本均 リウルイ チェンチェン		
发明人	チヨイ, ジェイン リン, アンドリュー 口, チュック チ ファン, チュン-ヤオ ウォン, グローリア タン, ハイロン 山本 均 ペダー, ジェイムス イー. キム, キビヨン チョン, クワン オク ユアン, レイ スルートスキー, マイケル リウ, ルイ モリサ, ステイーブン イー. カン, サング チャン, ウエンディ タン, チュン-ミン チェン, チェン クネズ, イヴァン ドルジュゴトフ, エンカムガラン カルボン, ジョヴァンニ マイヤ, グラハム ビー. リー, ジュンミン		
IPC分类号	H05B33/22 H01L51/50 H01L27/32 H05B33/12 G09F9/30		
CPC分类号	H01L27/3246 H01L27/3283 H01L51/56		
FI分类号	H05B33/22.Z H05B33/14.A H01L27/32 H05B33/12.B G09F9/30.365 G09F9/30.338 G09F9/30.349.Z G09F9/30.348.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/DD89 3K107/DD95 3K107/FF15 5C094/AA01 5C094 /BA03 5C094/BA27 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA07 5C094/FA02 5C094/FA03 5C094/FB02 5C094/FB15		
代理人(译)	大冢康弘 下山 治 永川 行光		
优先权	62/507646 2017-05-17 US 62/635433 2018-02-26 US		
外部链接	Espacenet		

摘要(译)

有机发光二极管(OLED)显示器可以设置有有机发光二极管像素的阵列,每个有机发光二极管像素具有插入在阴极和阳极之间的OLED层。可以将电压施加到每个像素的阳极以控制发射的光量。OLED层的导电性允许泄漏电流在显示器中的相邻阳极之间通过。像素限定层可以中断OLED层的连续性,以减少显示器中的泄漏电流和相关的串扰。像素限定层可以具有陡峭的侧壁,具有较低切口的侧壁或具有多个弯曲的侧壁表面,这些弯曲中断了OLED层的连续性。耦合到偏置电压并被栅极电介质覆盖的控制栅极可用于形成有机薄膜晶体管,该有机薄膜晶体管阻挡显示器上相邻阳极之间的泄漏电流通道。

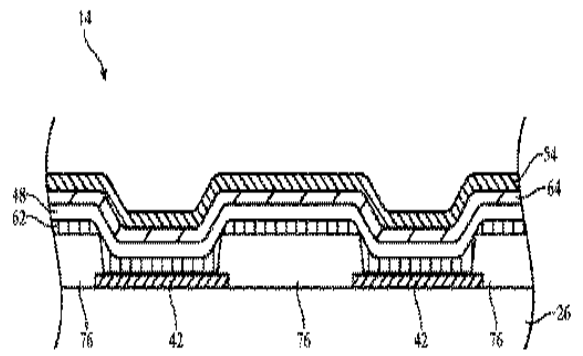


FIG. 16