

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2010-92067

(P2010-92067A)

(43) 公開日 平成22年4月22日 (2010.4.22)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 621H	5C380
	G09G 3/30 J	
	G09G 3/20 622C	
審査請求 有 請求項の数 15 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2009-280798 (P2009-280798)
 (22) 出願日 平成21年12月10日 (2009.12.10)
 (62) 分割の表示 特願平10-102736の分割
 原出願日 平成10年4月14日 (1998.4.14)
 (31) 優先権主張番号 08/834067
 (32) 優先日 平成9年4月14日 (1997.4.14)
 (33) 優先権主張国 米国 (US)

(71) 出願人 309023036
 トランスパシフィック・インフィニティ、
 リミテッド・ライアビリティ・カンパニー
 アメリカ合衆国デラウェア州19808、
 ウィルミントン、センターヴィル・ロード
 2711、スウィート 400

(74) 代理人 100099623
 弁理士 奥山 尚一

(74) 代理人 100096769
 弁理士 有原 幸一

(74) 代理人 100107319
 弁理士 松島 鉄男

(74) 代理人 100114591
 弁理士 河村 英文

最終頁に続く

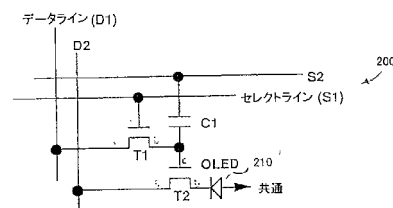
(54) 【発明の名称】 アクティブマトリックス有機発光ダイオード (AMOLED) の表示ピクセル構造とそのためのデータロード／発光回路

(57) 【要約】 (修正有)

【課題】 より低い電圧を必要とし、より効率的で、そして表示器アプリケーションのすべてのタイプに対して一般的により有利である表示器のより良好なタイプを提供。

【解決手段】 有機発光ダイオード (OLED) 210 を使用した、表示器で使用するピクセル構造が記述される。アレイの各ピクセル構造は OLED 210 を含む。その構造は、3つの基本的モード、書込み選択モード、書込み非選択モード、及び発光モードで動作することを許容するための回路部分を含む。データがピクセル構造に書込まれることができ、データが示すプログラムされた電流レベルを OLED に加えるように、ピクセル構造が選択されることを生じさせる回路部分と、異なる行のピクセル構造がそれにデータを書込まれているときに、ピクセル構造に非選択を引き起すための回路部分と、プログラムされた電流レベルを OLED に与え、OLED に発光を引き起すための回路部分とを含む。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

表示器に使用するためのピクセル構造であって、

発光ダイオード（ＬＥＤ）を備え、

データ電圧が該ピクセル構造に書込まれることができるように、該ピクセル構造が選択されることを引き起こすための手段を備え、前記データはＬＥＤに与えられるべきプログラムされた電流レベルを表し、

異なる行にあるピクセル構造がそれに書込まれたデータを持っているとき、該ピクセル構造が非選択にされることを引き起こすための手段を備え、

ＬＥＤを発光させるために、該プログラムされた電流レベルをＬＥＤに加えるための手段を備える、ピクセル構造。

10

【請求項 2】

書込みプログラミング中にＬＥＤに流れる該電流を監視するための手段と、書込みプログラミング中にデータ電圧を調節し、望まれる電流を得るためのフィードバック手段と、を、更に備える請求項 1 に記載のピクセル構造。

【請求項 3】

ピクセル構造が非選択にされることを引き起こすための前記手段は、他のピクセル構造を書込みプログラミングしている間、該ＬＥＤに通して流れる電流を選択的に遮断する、請求項 1 に記載のピクセル構造。

【請求項 4】

20

ピクセル構造が選択されることを引き起こすための前記手段は、独立して制御される 2 本のセレクトラインと 1 つのトランジスタとを含む、請求項 1 に記載のピクセル構造。

【請求項 5】

ピクセル構造が非選択されることを引き起こすための前記手段は、2 本の独立して制御されるセレクトラインと 1 つのトランジスタとを含む、請求項 1 に記載のピクセル構造。

【請求項 6】

加えるための前記手段は、キャパシタとトランジスタとを含む、請求項 1 に記載のピクセル構造。

【請求項 7】

30

デジタル電流源に結合されたピクセル構造のアレイであって、各ピクセル構造は、

第 1 及び第 2 のデータラインと、

第 1 及び第 2 のセレクトラインと、

第 1 及び第 2 のトランジスタであって、各トランジスタは、ソース電極、ゲート電極、及びドレイン電極を有し、

プログラムされた電流レベルを表す電位を格納するためのキャパシタと、

有機発光ダイオード（Ｏ－ＬＥＤ）と、を備え、

該第 1 のトランジスタのソース電極は該第 1 のデータラインに結合され、該第 2 のトランジスタのソース電極は該第 2 のデータラインに結合され、該第 1 のトランジスタのゲート電極は該第 1 のセレクトラインに結合され、該第 2 のトランジスタのゲート電極は該キャパシタを経由して該第 2 のセレクトラインと該第 1 のトランジスタのドレイン電極とに結合され、該第 2 のトランジスタのドレインは該Ｏ－ＬＥＤに結合されている、ピクセル構造のアレイ。

40

【請求項 8】

該第 1 及び第 2 のデータラインに結合され、該アレイ内の各ピクセル構造を、書込み選択モード、書込み非選択モード、及び発光モードを含む 3 つのモードで駆動するための手段を、更に備える請求項 7 に記載のピクセル構造のアレイ。

【請求項 9】

デジタル電流源に結合されたピクセル構造のアレイであって、各ピクセル構造は、

第 1 及び第 2 のデータラインを備え、

第 1 及び第 2 のセレクトラインを備え、

50

第 1 及び第 2 のトランジスタを備え、各トランジスタはソース電極、ゲート電極、及びドレイン電極を有し、

キャパシタを備え、

有機発光ダイオード（O - L E D）を備え、

該第 1 のトランジスタのソース電極は該第 1 のデータラインに結合され、該第 2 のトランジスタのソース電極は該第 2 のデータラインに結合され、該第 1 のトランジスタのゲート電極は該第 1 のセレクトラインに結合され、該第 2 のトランジスタのゲート電極は該キャパシタを経由して該第 2 のセレクトラインと該第 1 のトランジスタのドレイン電極とに結合され、該第 2 のトランジスタのドレイン電極は該 O - L E D に結合され、

該第 1 及び第 2 のデータラインに結合され、書込み選択モード、書込み非選択モード、及び発光モードを含む 3 つのモードでアレイ内の各ピクセル構造を駆動するための手段を備え、該書込み選択モードは、プログラムされた電流レベルが該ピクセル構造内に達成されるように、該ピクセル構造が選択されることを引き起し、前記プログラムされた電流レベルは該 O - L E D 上に表示されるべき望まれる輝度を表し、該書込み非選択モードは、異なる行にあるピクセル構造がそれに書込まれたデータを持っているとき、該ピクセル構造が非選択されることを引き起して、該発光モードは該 O - L E D が該プログラムされた電流レベルで駆動されることを引き起し、該ピクセルを該発光させる、ピクセル構造のアレイ。

10

【請求項 10】

有機発光ダイオード（O - L E D）を含み、表示器として使用するためのピクセル構造を駆動するための方法であって、

20

データを該ピクセル構造に書込むことができるように、該ピクセル構造が書込み選択されることを引き起こし、前記データは該 O - L E D に加えられるべきプログラムされた電流レベルを表していて、

異なる行にあるピクセル構造がそれに書込まれたデータを持っているとき、該ピクセル構造が書込み非選択にされることを引き起こし、

該プログラムされた電流レベルを該 O - L E D に加え、該 O - L E D が発光することを引き起す、方法。

【請求項 11】

該ピクセル構造は 2 本のセレクトラインを含み、両セレクトラインは該ピクセル構造が書込み選択されるとき論理ハイになされる、請求項 10 に記載の方法。

30

【請求項 12】

該ピクセル構造は 2 本のセレクトラインを含み、両セレクトラインは該ピクセル構造が書込み非選択されるとき論理ロウになされる、請求項 10 に記載の方法。

【請求項 13】

該ピクセル構造は 2 本のセレクトラインを含み、該ピクセル構造が発光されるとき一方のセレクトラインは論理ロウになされる一方で、他のセレクトラインは論理ハイになされる、請求項 10 に記載の方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は概略的にはピクセル構造に関し、より詳しくは、本発明は、動作の 3 つのモードを有し、有機発光ダイオード（O - L E D）を用いて形作られた（configure）ピクセル構造に関する。

【背景技術】

【0002】

表示器（display）の技術は、テレビジョンから自動車のダッシュボード、ラップトップコンピュータ、腕時計まで、今日の日常生活のすべての状況に行き渡っている。現在の時点で、陰極線管（C R T）が 10 ~ 40 インチ（対角線）表示器サイズにおいて表示器アプリケーションに普及している。しかしながら、C R T は、重量、がんじょうさの不足

50

、コスト、及び非常に高い駆動電圧が必要であることを含む多くの不都合を有する。

【 0 0 0 3 】

最近、パッシブマトリックス液晶表示器 (L C D) 及びアクティブマトリックス液晶表示器 (A M L C D) が、ラップトップコンピュータでのそれらの使用のために、中間範囲の表示器アプリケーションにおいて普及するようになってきた。より小さなピクセルサイズのために、そして大きな映像表示器のためにも、A M L C D は重要になりつつある。しかしながら、A M L C D の主な不利益は、表示器のサイズおよび重量を実質的に増加させる背面 (バック) ライトを要求することである。また、それは、オフ状態のピクセルのためにさえも背面照明が連続的に当てられるので、減少した効率を導く。

【 0 0 0 4 】

他のアプローチは、単結晶シリコン技術に基礎をおくデフォーミブル・ミラー表示器 (D M D : deformable-mirror display) である。このアプローチでは、微細加工された (micro-machined) ミラー構造は、論理「 1 」又は論理「 0 」が対応するセルに書込まれているかに依存して、反射的モード又は分散的モードに方位が合わせられる (orient) 。 D M D 表示器は反射的モードで動作しなければならない。このため、光学はより複雑になり、透過 (transimissive) 表示器又は放出 (emissive) 表示器ほどごんまりでなく又は効率的でない。加えて、A M L C D と類似して、D M D は外部光源を必要とし、このため、それらは自己発光表示器より大きく、そして低い効率である。

【 0 0 0 5 】

フィールドエミッション表示器 (F E D) もまた多くのアプリケーションのために考慮されるかも知れない。しかしながら、F E D は、C R T で連想される不都合の多くのもの、特に 1 0 0 ボルトを越えるカソード電圧が必要なことと、そして薄膜トランジスタ (T F T) が低い漏れ電流を有するというそれに対応する要求と、を有する。F E D は、「低電圧」蛍光体の減少された効率及び高電圧制御電圧の使用のために、全体にわたる比較的低い発光効率を有する。

【 0 0 0 6 】

最後に、表示器の他のタイプ、アクティブマトリックス発光ダイオード (A M E L) 表示器は、光放出材料を通して電流を通過させることによって光を発する。E L の場合には、交流 (A C) が (例えば、P N 接合がシリコン又はガリウム砒化物といった無機半導体材料から形成される) 光放出無機材料に通される。光放出無機材料は、誘電体が発光材料のいずれかの側に存在するように配置される。誘電体の存在のために、比較的高い電圧が、発光材料から十分な光を生じさせるために要求される。比較的高い電圧は、典型的には 1 0 0 ~ 2 0 0 ボルトの間にある。

【 0 0 0 7 】

A C 電圧の使用および他の因子が、全般的な表示器の効率を制限する。

【 0 0 0 8 】

また、無機 L E D 表示器の安定性に関して、光放出材料の輝度は、オフからオンへのすばやい遷移の後、印加電圧で飽和する。表示器が「十分オン」及び「十分オフ」モードで動作されるとすると、時間に伴う遷移電圧のあらゆるシフトも、輝度に単にごくわずかな影響をもつ。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

様々な表示器技術のこれらの不都合を心の留めると、より低い電圧を必要とし、より効率的で、そして表示器アプリケーションのすべてのタイプに対して一般的により有利である表示器のより良好なタイプが望まれるだろう。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明は、有機発光ダイオード (O - L E D) を使用するディスプレイで使用するためのピクセル構造を含む。全体アレイの各ピクセル構造は、有機発光ダイオード (O - L E

10

20

30

40

50

D)を含む。加えて、その構造は、その構造が3つの基本的モードである、書込み選択モード、書込み非選択モード、及び発光モードで、動作することを許容するための回路構成部分を含む。これ故に、その構造は、データをピクセル構造に書込むことができるように、ピクセル構造が選択されることを引き起こすための回路構成部分を含み、前記データはO-LEDに加えられるべきプログラムされた電流レベルを示し、異なる行にあるピクセル構造がその構造に書き込まれるデータを有しているとき、そのピクセル構造が非選択にされることを引き起こすための回路構成部分を含み、プログラムされた電流レベルをO-LEDに加えO-LEDに発光を引き起こすための回路構成部分を含む。

【発明の効果】

【0011】

本発明に係わるピクセル構造、ピクセル構造のアレイ、ピクセル構造を駆動するための方法では、より低い電圧で、より効率的であり、そして表示器アプリケーションに対して一般的により有利である表示器のより良好なタイプを提供できる。

【図面の簡単な説明】

【0012】

【図1】図1は、有機発光ダイオード材料を含み、本発明で使用するのに好適な、表示器の製造(fabrication)の典型的な例示の構成図を示している。

【図2】図2は、本発明に従ったO-LEDピクセル構造の第1の典型的な具体例の回路図を示している。

【図3】図3は、図2のO-LEDピクセルとともに使用される典型的な動作モードのタイミング図を示している。

【図4】図4は、図2のO-LEDピクセルとともに使用するのに好適なデータスキャナ(又は電流源)の回路図を示している。

【図5】図5は、本発明に従ったO-LEDピクセル構造の第2の典型的な具体例の回路図を示している。

【図6】図6は、本発明に従ったO-LEDピクセル構造の第3の典型的な具体例の回路図を示している。

【図7】図7は、本発明に従ったO-LEDピクセル構造の第4の典型的な具体例の回路図を示している。

【図8】図8は、本発明に従ったO-LEDピクセル構造の第5の典型的な具体例の回路図を示している。

【図9】図9は、本発明に従ったO-LEDピクセル構造の第6の典型的な具体例の回路図を示している。

【発明を実施するための形態】

【0013】

本発明は、添付図面と関連づけて読んだときに、引き続く詳細な説明から最良に理解される。

【0014】

本出願の従来技術および発明が解決しようとする課題の欄で記述された表示器技術に対するより良好な代替物は、アクティブマトリックス有機発光ダイオード(AMOLED)表示器である。AMOLED表示器の場合には、無機材料よりもむしろ有機材料がLEDを形成するために使用される。LEDを形成するために有機材料を使用する例示は、米国特許第5,142,343号及び米国特許第5,408,109号に見い出され、これら双方はここで参照することによって包含される。本発明と共に使用されるO-LEDの典型的な具体例は、図1を参照して以下に詳細に記述される。

【0015】

端的には、O-LEDに関しては、直流電流(DC)が有機ダイオード材料を通して通過され光を発生する。伝導は順方向である。実験を通して、所与の光レベルを発するために光放出材料にとって必要とされる電圧は、時間と共に増加することが見い出され、これ故に、「オフ」から「オン」への遷移電圧は、実質的な飽和なしに時間と共に増加する。

10

20

30

40

50

しかしながら、所与の光レベル（輝度）が有機ダイオード材料を通過する電流に関して比較的安定していることもまた見いだされた。加えて、スレッショルド電圧はプロセス（processing）に敏感であるので、固定された小さな駆動電圧レベルは、O - L E D 製造プロセスにおけるプロセス変動のために、有効でなくされる可能性もある。

【 0 0 1 6 】

本発明は、電流でプログラム可能であり（programmable）、且つピクセルの遷移電圧のシフトまたはトランジスタにおけるスレッショルド電圧のシフトのいずれかに独立である、O - L E D ピクセルの構成（configuration）を含む。

【 0 0 1 7 】

本発明の技術は、ピクセルアレイの各列（column）ラインに対して、デジタル的にプログラム可能な別個の電流源を含む。本発明の第 1 の典型的な具体例の各ピクセルに対して、2 本のセレクトライン S 1 及び S 2 だけでなく 2 本のデータライン D 1 及び D 2 が提供される。データラインとセレクトラインとの組み合わせは、書込み選択モード、書込み非選択モード、及び発光モードを含む、ピクセルのマルチモード動作を提供する。モードの各々を実現するために、2 つのトランジスタと 1 つのキャパシタが、O - L E D ピクセル並びにデータライン及びセレクトラインとともに作用するように（operatively）形作られる（configure）。O - L E D ピクセルの構成の詳細と動作のモードとが、図面を参照して以下に記述される。本発明の典型的な具体例は、O - L E D に関連して記述されているけれども、本発明は、L E D といった他の類似の表示器要素とともに使用することができることも予期される。

【 0 0 1 8 】

A M O L E D 表示器の場合には、D C 電流が、光を発生するためにダイオード材料を通して通過される。所与の光レベルを発するために必要とされる電圧は、時間と共に増加することが見いだされ、これ故に、「オフ」から「オン」への遷移電圧は、実質的な飽和なしに、時間と共に増加する。しかしながら、所与の光レベル（輝度）は、光放出材料を通して通過する電流に対して比較的安定していることもまた見いだされた。この理由のために、望ましいピクセルの設計をすれば、従来型の A M E L 表示器の場合のように所与の輝度を発するために、光放出材料に一定の電流が供給されて、特定の電圧よりもむしろ特定の電流に条件づけられる（programmed）ことができる。

【 0 0 1 9 】

（本発明の典型的な具体例）

ピクセル駆動技術の詳細に記述する前に、O - L E D の構造が記述される。本発明の重要な特徴は、O - L E D 材料が低い駆動電圧において輝度の論理ハイ（High）値を達成するという事実にある。加えて、O - L E D 材料の電流駆動の性質は、アクティブマトリックス駆動トランジスタ上の漏れ電流の要求を著しく減少させ、このため、本発明は低コストのガラス基板に好適である。本発明で採用された O - L E D は、典型的には約 2 ~ 1 0 ボルトで光を発し始める。

【 0 0 2 0 】

概して、O - L E D を使用した表示器全体の形成のためのプロセスはいくつかのステップ、1) ポリシリコンアクティブマトリックス回路構成部分（circuitry）を形成する、2) アクティブマトリックスアレイに O - L E D 材料を集積する、3) （カラー表示器用の）カラーシャッターを集積する、4) 完成したパネルを組立し及びテストする、を含む。

【 0 0 2 1 】

上述したように、典型的な製造プロセスにおける第 1 のステップは、アクティブマトリックス回路構成部分の形成である。本発明のために、ポリシリコン薄膜トランジスタ（T F T）技術が採用される。形成されるべき望ましい回路構成部分は、図 2 及び図 4 を参照して以下に詳細に記述される。

【 0 0 2 2 】

プロセスにおいて第 2 のステップは、アクティブマトリックスアレイ上への L E D 材料

の堆積を含む。

【0023】

図1は、本発明と共に使用するために好適なO-LED製造の典型的な例示を示す。図1を参照すると、第1に、インジウム錫酸化物(ITO)といった透明伝導電極が、堆積され、またパターン形成される。これに、ホール輸送層、ドーブされた放出層、及びAlO₃の背面層の堆積が引き続く。アレイは、図1に示されるO-LEDの「スタック(stack、積層)」に帰着するMgAg上部電極の堆積で完成される。

【0024】

本発明のために、一覧表1はO-LEDスタックの各層のための典型的な厚さを示す。

(一覧表1)

層	厚さ
透明伝導電極	約750オングストローム
輸送層	約800オングストローム
ドーブされた放出層	約400オングストローム
背面層	約400オングストローム
上部電極	約2000オングストローム

【0025】

最後に、表示器はパッケージされ、そしてテストされる。示されてはいないけれども、パッケージングは、表示器の機械的支持、外部電気回路への信頼できる接続を作るための手段、及び被覆保護膜を含む。

【0026】

O-LEDは、著しい効率を実証した。発光効率は、151/wもある。2000cd/m²の輝度の値が、10ボルトより下の動作電圧で且つ20mA/cm²の電流密度で達成された。より高い輝度の大きさのオーダが、より高い電流密度において測定された。

【0027】

図2は、本発明に従ったO-LEDピクセル構造の第1の典型的な具体例の回路図を示す。所与のピクセルのアレイ(例えば1024×1280)における各ピクセル構造は同一であると予期されるので、ひとつのピクセル構造だけが記述される。図2に示されたピクセルの構成は、電流でプログラム可能であり、そしてO-LEDの遷移電圧又はトランジスタのスレッシュホールド電圧のシフトのいずれかと独立である。

【0028】

図2に示されるように、ピクセル構造200は、O-LED210と、2つのトランジスタT1及びT2と、データ方向に走る2つのラインD1及びD2と、セレクト方向に走る2つのラインS1及びS2とを含む。加えて、ピクセル構造200は、キャパシタC1を含む。典型的な具体例では、各トランジスタは、ソース、ゲート、及びドレインと、対応する電極とを含む。

【0029】

詳細には、第1のトランジスタT1のソース電極は、データ電圧ラインD1へ接続されている。第2のトランジスタT2のソース電極は、データ電流ラインD2へ接続されている。第1のトランジスタT1のゲート電極は、第1のセレクトラインS1へ接続されている。第2のトランジスタT2のゲート電極は、キャパシタC1を経由して第2のセレクトラインS2へ接続されている。第1のトランジスタT1のドレイン電極は、格納キャパシタ(C1)へ接続されているだけでなく第2のトランジスタT2のゲート電極へも接続されている。

【0030】

上述したように、データライン及びセレクトラインの組合わせは、書込み選択モード、書込み非選択モード、及び発光モードを含む、ピクセル200のマルチモード動作を提供する。そのモードの各々は、以下に図2及び図3を参照して記述される。ここで図3は、図2のO-LEDピクセルとともに使用される典型的な動作のモードに関するタイミング図を示す。

10

20

30

40

50

【 0 0 3 1 】

第 1 に書込み選択モードに目を向けると、所定の電流レベル（ I_1 ）、そしてこれ故、ピクセル内へ輝度レベル、を書込むために、トランジスタ T_1 はセレクトライン S_1 を經由して導通される。結果として、第 1 のデータライン D_1 上の電圧が、トランジスタ T_1 を通して、トランジスタ T_2 のゲートに加えられる。トランジスタ T_2 のゲートに加えられた電圧が増加されると、トランジスタ T_2 が導通し、そしてその内部インピーダンスは、データ電流ライン D_2 において電流レベル I_1 に到達するまで、継続的に減少して、電流レベル I_1 が $O - LED_{210}$ に加えられることを許容する。

【 0 0 3 2 】

書込み選択モード中には、セレクト信号 S_2 が論理ハイの電位に保持される。

10

【 0 0 3 3 】

データ電流ライン D_2 は、トランジスタ T_2 を通して $O - LED_{210}$ に接続されており、従って、達成された電流レベル I_1 はトランジスタ T_2 及び $O - LED$ の両方を通して流れる。トランジスタ T_2 のスレッシュホールド電圧又は $O - LED_{210}$ の遷移電圧のシフトが存在するならば、シフトはキャパシタ C_1 の両端に蓄積され且つトランジスタ T_2 のゲートに加えられた電圧の増加又は減少によって補償される。このやり方で、 $O - LED$ 若しくはトランジスタ T_2 のいずれか又は双方の動作特性におけるいかなるシフトも、存在したとしても、 $O - LED$ を通る電流に、これ故にピクセルの輝度に、不十分な影響しかもたない。

【 0 0 3 4 】

20

書込み選択モード、書込み非選択モード、及び発光モードのための詳細なタイミングが、図 3 に図示されている。図 3 を参照すると、タイミング図上の 3 番目の期間である書込み選択モードは、両方のセレクトラインが論理ハイであることを要求する。すなわち、第 1 のセレクトライン S_1 が論理ハイになりトランジスタ T_1 を導通して、そしてほかならぬその行（that particular row）のための第 2 のセレクトライン S_2 もまた、論理ハイ（すなわち書込み選択モード）になり、これがトランジスタ T_2 を導通することを許容する。

【 0 0 3 5 】

しかしながら、書込み非選択モードに関しては、すべての他の行のための第 2 のセレクトライン S_2 が、論理ロウ（Low）（すなわち書込み非選択モード）になされる。このやり方で、第 2 のセレクトライン S_2 は、データが書込まれていない、アレイの行上のすべての T_2 トランジスタを非導通にするために使用される。図 2 に示されるように、これは、キャパシタ C_1 を通して第 2 のセレクトライン S_2 を蓄積端子に結合することによって達成される。セレクトライン S_2 が論理ロウであるとき、書込み非選択モードに対しては、キャパシタ C_1 に蓄積された電位に関わりなく、トランジスタ T_2 のゲートの信号は論理ロウになり、電流がトランジスタ T_2 又は $O - LED_{210}$ を通して通過しないことを確実にする。従って、データ電流ライン D_2 上において検出されている電流は、選択された $O - LED$ だけに流入していて、列に沿った他のピクセルには流入していない。

30

【 0 0 3 6 】

図 3 に示されるように、発光モード中は、第 1 のセレクトライン S_1 が論理ロウになされ、それによってトランジスタ T_1 を非導通にする。同時に、第 2 のセレクトライン S_2 が、論理ハイになされる。セレクトライン S_2 上の論理ハイ電位とキャパシタ C_1 上の格納された電位との組み合わせが、トランジスタ T_2 のゲートをその調整された（programmed）レベルに駆動する。このやり方で、 $O - LED$ はそのプログラムされた（programmed）電流レベルで（すなわち、書込み選択モード中にプログラムされたように）又は輝度で発光する。また、発光モード中は、以下に図 4 を参照して記述されるように、データライン D_2 の一定の制御が実行される。

40

【 0 0 3 7 】

ピクセル構造 200 は特定の電流レベルでプログラムされることを必要とするので、独特な電流発生回路が典型的なピクセル構造とつなぎ合わせる（interface、インタフェイ

50

スする)ために開発されてきた。図4は、図2のO-LEDピクセル構造とともに使用するのが好適な典型的な電流発生回路400の回路図を示す。

【0038】

図4を参照すると、データラインD1及びD2は、図2に示されたものと同一のデータラインである。示されているように、図4の電流発生回路400から図2のピクセル構造のデータラインへデータラインD1及びD2を結合することによって、選択された行のピクセルを含む閉じた定電流ループが形成されることができる。

【0039】

図4に見られるように、トランジスタT3～T5が並列に結合されている。プログラムされたデジタル電圧レベルをひとまとめにして(collectively)表すトランジスタの各々は、そのゲート上に入力を受ける。しかしながら、トランジスタの各々は、要望されたプログラム可能な電流値を発生するために適切に重みづけられたキャパシタと直列してそれぞれ結合されている。キャパシタ(C2、0.5C2、及び0.25C2)の組み合わせられた出力は、トランジスタT6のゲートだけでなくトランジスタT8のソースにも結合される。トランジスタT8は、発光モード中にデータ電流ラインD2上の電圧を制御するために使用される。T6への接続が閉ループを完成させるために採用され、そうしてデータ電流ラインD2上に供給された電流を制御できる。

【0040】

詳細には、ピクセルにデータを書込むために、プログラム・デジタル電圧レベルG1～G3がトランジスタT3～T5に与えられ、そして負電圧の傾斜(ramp)(R1)がトランジスタT3～T5のソースに接続される。傾斜R1に関して時間に対する電圧の変化の速度は、実効容量倍($C^* \times dV/dT$)されて、D2に結合された独特の電流レベルを設定する。有効容量は、それぞれのトランジスタを経由して結合された各キャパシタのひとまとまりの容量値(すなわちC2、0.5C2、及び0.25C2)に基づいていることが注記される。理想的には、データ電流ラインD2上の電圧レベルは、接地電位に近く維持されるであろう。なぜならこれがデータ電流ラインD2上の発光電圧レベルになるであろうからである。(発光モードでは、論理ハイの信号L1が、トランジスタT8を通してデータ電流ラインD2を接地電位に結合する)。

【0041】

データ電圧ラインD1に関しては、トランジスタT6およびトランジスタT7は、インバータを形成しデータ電流ラインD2上の電流源によって提供された電圧を増幅して、またこの反転された電圧レベルはデータ電圧ラインD1に接続される。データ電圧ラインD1上の電圧は、さらに、正の電圧の傾斜R2とキャパシタC3の「ブートストラップ」効果を通して増加される。この回路は、信号G1、G2及びG3によって規定されプログラムされた電流によってO-LED210が駆動される平衡条件に達する。

【0042】

上述したように、発光モード中に、データラインD2の一定の制御が実行される。詳細には、発光モード中に、データ電流ラインD2を接地電位にもっていくために、トランジスタT8は導通される。トランジスタT8は特定のデータラインに接続されたO-LEDのすべてを通る全電流を取扱うために、トランジスタT8が比較的大きなトランジスタであることが注記される。

【0043】

図4に示された例によれば、動作中に、書込みモード中にD2上の典型的な電流は、1マイクロアンペアであり、発光モード中には1mAである。また、T8のソースにおける電圧は、1ボルトである。D1上における典型的な電圧は、書込みモード中には8Vであり、発光モードには「関心なし(don't care)」である。

【0044】

ピクセル構造200と電流発生回路400との組み合わせは、良好なグレースケール均一性とLED又はTFETのいずれかの不安定性にもかかわらず長い寿命とを持つ高品位O-LED表示器を設計することを可能にする。回路400は、ポリシリコン及びアモルファ

10

20

30

40

50

スシリコン A M O L E D 表示器を駆動するために特に良く適していることが注記される。

【 0 0 4 5 】

図 5 は、本発明に従った O - L E D ピクセル要素の第 2 の典型的な実施例の回路図を示す。図 5 に示されたピクセル構造 5 0 0 は、図 2 に示された構造と類似して、マルチモード動作を含んでいる。しかしながら、予測されるように、ピクセル構造 2 0 0 とピクセル構造 5 0 0 との間にはいくつかの相違点が存在する。例えば、図 2 のデータライン及びセレクトラインの対は、図 5 に示されたピクセル構造において単一のデータライン及び単一のセレクトラインに置換えられた。

【 0 0 4 6 】

図 5 に目を向けると、ピクセル構造 5 0 0 は、O - L E D 5 1 0 と、2 つのトランジスタ T 1 及び T 2 と、データ方向に走る 1 本のライン D 1 と、セレクト方向に走る 1 本のライン S 1 とを含む。典型的な具体例では、各トランジスタはソース、ゲート、及びドレインと、対応する電極とを含む。加えて、そしてピクセル構造 2 0 0 に類似して、ピクセル構造 5 0 0 は、ピクセルの発光レベルを決定する電位のレベルが格納されるキャパシタ C 1 を含む。第 1 のトランジスタ T 1 のソースは、データライン D 1 に接続されている。第 2 のトランジスタ T 2 のソース電極は、データライン D 1 に接続されている。第 1 のトランジスタ T 1 のゲート電極は、セレクトライン S 1 に接続されている。第 2 のトランジスタ T 2 のゲート電極は、キャパシタ C 1 を経由してセレクトライン S 1 に接続されている。第 1 のトランジスタ T 1 のドレイン電極は、蓄積キャパシタ C 1 に接続されるだけでなく第 2 のトランジスタ T 2 のゲート電極にも接続されている。さらに、スイッチングパワーラインが、トランジスタ T 2 のゲート、トランジスタ T 1 のドレイン、及びキャパシタ C 1 に、すべてキャパシタ C 2 を通して結合されている。

【 0 0 4 7 】

ピクセル構造 2 0 0 の動作のように、データライン及びセレクトラインの組合わせが、書込み選択モード、書込み非選択モード、及び発光モードを含むピクセル 5 0 0 のマルチモード動作を提供する。

【 0 0 4 8 】

書込み選択モードに関しては、ピクセル構造 2 0 0 は両方のセレクトラインが論理ハイになされることを要求したのに対して、ピクセル構造 5 0 0 では、単一のセレクトラインを論理ハイにする。そのようすると、ピクセル構造 2 0 0 内の両セレクトラインを論理ハイにするのと類似して、キャパシタ C 1 の端子が論理ハイに結合する。そして、また、そのようすると、トランジスタ T 1 が導通し、ピクセル構造 5 0 0 を書込み選択モードに置く。この点で、望まれる電流が、ピクセル 5 1 0 を駆動しようと試みに際し、データライン D 1 上に印加される。しかしながら、トランジスタ T 2 が十分に導通するまで、データライン D 1 からの電流は、トランジスタ T 1 を通ってトランジスタ T 2 のゲートへ通過する。トランジスタ T 2 のゲートが十分な電圧に達し、トランジスタ T 2 を介して望まれる電流を通す平衡点に速やかに到達する。この点に到達すると、そのとき、ピクセル構造 5 0 0 は、望まれる電流レベルにプログラムされる。なぜなら、セレクトライン S 1 上とキャパシタ C 1 上との組み合わせられた電位が、プログラムされた電流を伝導するために十分な電位にトランジスタ T 2 のゲートを保持するからである。

【 0 0 4 9 】

書込み非選択モードに関しては、セレクトライン S 1 が論理ロウになされるとき、トランジスタ T 1 は非導通にされ、ピクセル構造 2 0 0 において生じたのと同じ負の偏移が C 1 上に生じて、どの選択されていないピクセルをも無条件にスイッチオフにする。

【 0 0 5 0 】

発光モードに関しては、セレクトライン S 1 が論理ハイになされ、また D 1 が論理ロウになされる。加えて、スイッチングパルスが電流源に分路をつくり、データラインを動作電位源に結合させる。同時に、スイッチングパルスは、動作電位源をキャパシタ C 2 に接続する。キャパシタ C 1 と C 2 の接合点に蓄積された電荷およびセレクトライン S 1 上の論理ハイレベルは、トランジスタ T 2 がプログラムされた電流だけを O - L E D 5 1 0 を

10

20

30

40

50

通して伝導するようにさせる。T 2 のゲートは、それによって、書込み選択モード中にプログラムされた電流に近い値に戻される。

【 0 0 5 1 】

図 5 に示された例によれば、動作中に、書込みモード中の典型的な D 1 上の電流は 1 マイクロアンペアであり、発光モード中は 1 m A である。再び、D 1 上の典型的な電圧は、書込みモード中では 8 V である。

【 0 0 5 2 】

詳細には記述されていないけれども、代替的なピクセル構造の追加的な予期される実施例が、図 6 ~ 図 9 に示されている。本開示を手にした当業者は、図 2 及び図 5 に関連して述べられた実施例の記述された動作と図 4 の電流発生回路とが与えられると、どのように各々の典型的な具体例が動作するかを認識するだろう。特定の実施例に依存して、電流発生源 4 0 0 は、相互接続とタイミングの必要性の便宜をはかるために些細な変形を必要とするかもしれない。

10

【 0 0 5 3 】

詳細には、図 6 は、本発明に従った O - L E D ピクセル要素の第 3 の典型的な実施例の回路図を示す。端的には、データライン及びセレクトラインは、プログラムされた電流レベルに関連した電位を C 1 上に設置するために操作される。その後、発光モード中には、格納された電位がトランジスタ T 2 のゲートを適正なレベルに駆動し、電流の適正量が O - L E D 6 1 0 を通過することを許容する。

20

【 0 0 5 4 】

図 7 は、本発明に従った O - L E D ピクセル要素の第 4 の典型的な実施例の回路図を示す。端的には、図 7 に見られるように、トランジスタ T 1、T 2 及び T 3 は P M O S 技術を使用して製造される。データラインだけでなく、セレクトラインおよび電流源も、プログラムされた電流レベルに関連した電位を C 1 上に設定するために操作される。発光モード中には、格納された負の電位が、トランジスタ T 2 のゲートを適正なレベルに駆動し、電流の適正量が O - L E D 7 1 0 に通過することを許容する。加えて、ピクセル構造 7 0 0 は、T 3 の形式でのリセット機構を含み、この機構は、導通されたときに、C 1 上に格納された電位が放電することを引き起こす。

【 0 0 5 5 】

図 8 は、本発明に従った O - L E D ピクセル構造の第 5 の典型的な実施例の回路図を示す。第 5 の典型的な実施例は、類似したやり方でプログラムを行う。しかしながら、この実施例は、フレーム蓄積を含まず、従ってより小さな表示器に対してのみ好適である。

30

【 0 0 5 6 】

図 9 は、本発明に従った O - L E D ピクセル構造の第 6 の典型的な実施例の回路図を示す。図 7 の実施例と類似して、本実施例は P M O S トランジスタを採用する。端的には、データライン及びセレクトラインは、プログラムされた電流レベルに関連した電位を、本実施例においては一電極が接地されている C 1 上に設定すべく動作される。その後、発光モード中には、格納された電位はトランジスタ T 2 のゲートを適正なレベルに駆動し、電流の適正量が V d d から O - L E D 9 1 0 を通過することを許容する。

40

【 0 0 5 7 】

本発明は特定の実施例を参照してここで図示され記述されたけれども、本発明は示された詳細に制限されるべきことを意図されていない。むしろ、本発明の精神から離れることなく、そして請求項の均等物の領域および範囲内において詳細には様々な変形がなされる可能性がある。

【 符号の説明 】

【 0 0 5 8 】

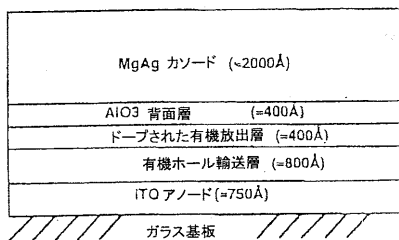
2 0 0 ... ピクセル構造、
2 1 0 ... O - L E D、
T 1、T 2、T 3、T 4、T 5、T 6、T 7、T 8 ... トランジスタ、
D 1、D 2 ... データライン、

50

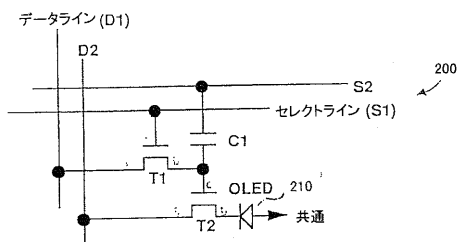
S 1、S 2 ... セレクトライン、
 4 0 0 ... 電流発生回路、
 5 0 0 ... ピクセル構造、
 5 1 0 ... O - L E D、
 6 0 0 ... ピクセル構造、
 6 1 0 ... O - L E D、
 7 0 0 ... ピクセル構造、
 7 1 0 ... O - L E D、
 8 0 0 ... ピクセル構造、
 8 1 0 ... O - L E D、
 9 0 0 ... ピクセル構造、
 9 1 0 ... O - L E D

10

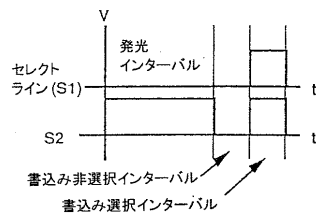
【図 1】



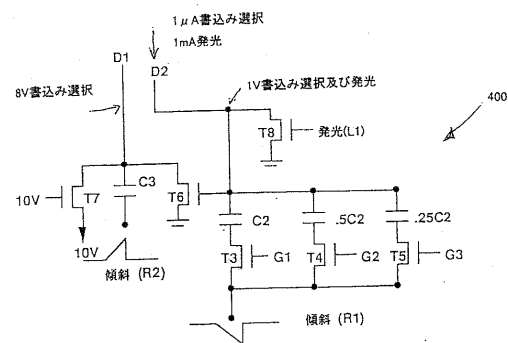
【図 2】



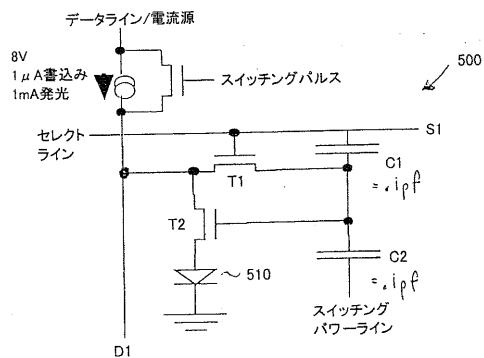
【図 3】



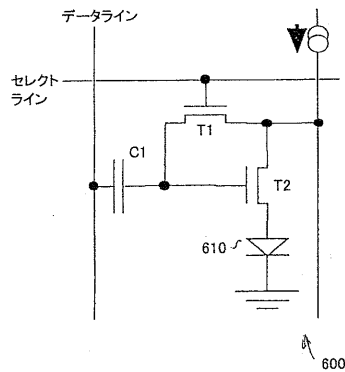
【図 4】



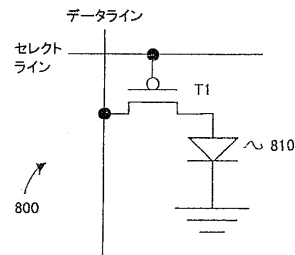
【図 5】



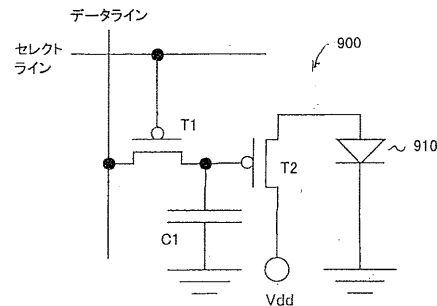
【図 6】



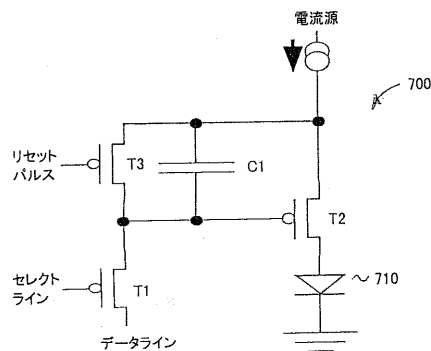
【図 8】



【図 9】



【図 7】



【手続補正書】

【提出日】平成22年1月8日(2010.1.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ピクセル構造のアレイを含むディスプレイであって、各ピクセル構造は、
 第 1 及び第 2 のデータラインと、
 第 1 及び第 2 のセレクトラインと、
 第 1 及び第 2 のトランジスタであって、各トランジスタは、ソース電極、ゲート電極、
 及びドレイン電極を有し、
 電流のレベルを表す電位を格納するためのキャパシタと、
 発光ダイオード (LED) と、
 書き込み電圧が前記第 1 のデータラインへと書き込まれた場合には、前記 LED を流れる
 電流を検出して、該検出した電流に基づいて前記書き込み電圧を調整するように構成され
 た、閉じた定電流ループと、を備え、
 前記第 1 のトランジスタのソース電極は前記第 1 のデータラインに結合され、前記第 2
 のトランジスタのソース電極は前記第 2 のデータラインに結合され、前記第 1 のトランジ
 スタのゲート電極は前記第 1 のセレクトラインに結合され、前記第 2 のトランジスタのゲ
 ート電極は前記キャパシタを経由して前記第 2 のセレクトラインと前記第 1 のトランジス
 タのドレイン電極とに結合され、前記第 2 のトランジスタのドレインは前記 LED に結合
 されている、ピクセル構造のアレイを含むディスプレイ。

【請求項 2】

各ピクセル構造を、書込み選択モード、書込み非選択モード、及び発光モードを含む 3 つのモードで駆動するための手段を更に備え、

異なる列にある第 2 のピクセル構造が該第 2 のピクセル構造に書き込まれるべき書込み電圧を有する場合には、第 1 のピクセル構造は前記書込み非選択モードに切り替えられるように構成されており、

前記書込み非選択モードでは、前記第 1 のピクセル構造の前記発光ダイオードに前記電流が流れないようにする、請求項 1 に記載のディスプレイ。

【請求項 3】

前記閉じた定電流ループは、

前記ピクセル構造と、

並列に結合された複数のトランジスタと、

前記複数のトランジスタに対して直列に結合された複数のキャパシタと、

を備える、請求項 1 に記載のディスプレイ。

【請求項 4】

前記複数のキャパシタが異なる容量のキャパシタである、請求項 3 に記載のディスプレイ。

【請求項 5】

前記複数のキャパシタは 3 つのキャパシタを備えており、該 3 つのキャパシタの第 1 のキャパシタが第 1 の容量を有し、該 3 つのキャパシタの第 2 のキャパシタが該第 1 の容量の 2 分の 1 である第 2 の容量を有し、該 3 つのキャパシタの第 3 のキャパシタが該第 1 の容量 4 分の 1 である第 3 の容量を有する、請求項 4 に記載のディスプレイ。

【請求項 6】

前記発光ダイオード (LED) は有機発光ダイオード (OLED) である、請求項 1 に記載のディスプレイ。

【請求項 7】

前記発光ダイオード (LED) をプログラムされた発光レベルで発光させるために、前記 LED に電流を与える電流生成手段を前記アレイの各行に更に備える、請求項 1 に記載のディスプレイ。

【請求項 8】

前記発光ダイオードに与えられる前記電流に従う書込み電圧を生成するための電圧生成手段を各行に更に備え、

書込み選択モードと書込み非選択モードと発光モードとを選択するための選択手段を各列に更に備える、請求項 7 に記載のディスプレイ。

【請求項 9】

前記選択手段は、前記第 1 及び第 2 のセレクトラインを含んでおり、該第 1 及び第 2 のセレクトラインは、

書込みが選択された行のピクセル構造には前記書込み電圧が書き込まれるように構成され、

前記ピクセル構造を前記書込み非選択モードに設定するために、書込みが選択されていない行のピクセル構造には前記書込み電圧が書き込まれないように構成され、

前記書込み電圧に従う発光電流が、前記発光モードである行のピクセル構造内の前記発光ダイオード (LED) を流れるように構成されている、請求項 8 に記載のディスプレイ。

【請求項 10】

前記ピクセル構造は、複数のキャパシタと第 3 のトランジスタとを更に含み、該第 3 のトランジスタは、前記第 1 または第 2 のセレクトラインによってオンオフされ、前記書込み電圧は、該第 3 のトランジスタを介して該複数のキャパシタの 1 つに書き込まれて格納される、請求項 1 に記載のディスプレイ。

【請求項 11】

ディスプレイ内のピクセル構造を駆動するための方法であって、該ピクセル構造は有機発光ダイオード（O - L E D）を備えており、

第 1 の電圧を第 1 のピクセル構造に書込むことができるように、第 1 の行にある該第 1 のピクセル構造が書込み選択されるようにし、前記第 1 の電圧は、前記 O - L E D に与えられるべき電流のレベルを表していて、

前記 O - L E D を流れる電流を検出し、

前記第 1 のピクセル構造が書込み選択されている場合には、前記検出した電流に基づいて前記第 1 の書込み電圧を調整し、

第 1 の行とは異なる第 2 の行にある第 2 のピクセル構造がそれには書き込まれた第 2 の書込み電圧を有している場合には、前記第 1 のピクセル構造を書込み非選択にし、前記第 1 の電圧が前記第 1 のピクセル構造に書き込まれない場合には、前記電流が前記 O - L E D に流れないようにし、

前記書込み電圧が前記第 1 のピクセル構造に書き込まれる場合には、前記電流を前記 O - L E D に与え、該 O - L E D を発光させる、

ことを含んでなる、ディスプレイ内のピクセル構造を駆動するための方法。

【請求項 1 2】

前記第 1 のピクセル構造は 2 本のセレクトラインを含み、両セレクトラインは、前記第 1 のピクセル構造が書込み選択されるとき論理ハイにされ、前記第 1 のピクセル構造が書込み非選択されるとき論理ロウにされる、請求項 1 1 に記載の方法。

【請求項 1 3】

前記第 1 のピクセル構造は 2 本のセレクトラインを含み、前記第 1 のピクセル構造が発光されるとき、他のセレクトラインは論理ロウにされる一方で、あるセレクトラインは論理ハイにされる、請求項 1 1 に記載の方法。

【請求項 1 4】

書込み選択された行にある書込み選択されたピクセルに、前記有機発光ダイオード（O - L E D）を流れる発光電流の電流レベルを表す前記第 1 の書込み電圧を書き込むことを更に含む、請求項 1 1 に記載の方法。

【請求項 1 5】

書込み非選択された前記ピクセル構造に、前記書込み選択された行以外の行にあるピクセル構造に前記第 1 の書込み電圧を書き込まないことを含む、請求項 1 4 に記載の方法。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 9 G 3/20 6 2 3 C
 H 0 5 B 33/14 A

(74)代理人 100118407

弁理士 吉田 尚美

(74)代理人 100125380

弁理士 中村 綾子

(74)代理人 100125036

弁理士 深川 英里

(74)代理人 100142996

弁理士 森本 聡二

(72)発明者 ロジャー グリーン スチュワート

アメリカ合衆国, ニュー ジャージー州, プリンストン, シーエヌ 5 3 0 0 ワシントン
 ロード 2 0 1

(72)発明者 アルフレッド チャールズ イプリ

アメリカ合衆国, ニュー ジャージー州, プリンストン, シーエヌ 5 3 0 0 ワシントン
 ロード 2 0 1

F ターム(参考) 3K107 AA01 BB01 BB08 CC03 CC12 EE03 HH00 HH04 HH05
 5C080 AA06 BB05 CC03 DD14 DD27 EE30 FF07 FF11 HH09 JJ02
 JJ03 JJ04 JJ06
 5C380 AA01 AA03 AB06 AB22 AB23 AB32 BA05 BA28 BA37 BA39
 CB31 CC02 CC12 CC26 CC27 CC33 CC35 CC39 CC46 CC62
 CC63 CD012 CD022 CD071 DA02 DA06 DA58 FA03

专利名称(译)	显示有源矩阵有机发光二极管 (AMOLED) 的像素结构和数据负载/发光电路		
公开(公告)号	JP2010092067A	公开(公告)日	2010-04-22
申请号	JP2009280798	申请日	2009-12-10
申请(专利权)人(译)	跨太平洋英菲尼迪，有限责任公司		
[标]发明人	ロジャーグリーン スチュワート アルフレッドチャールズイプリ		
发明人	ロジャー グリーン スチュワート アルフレッド チャールズ イプリ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08 G09G3/32 H01L33/00 H05B33/12 H05B33/14		
CPC分类号	G09G3/3233 G09G3/3283 G09G3/3291 G09G2300/0842 G09G2300/0852 G09G2300/0866 G09G2300/0876 G09G2310/0259 G09G2310/0262 G09G2310/027 G09G2310/066 G09G2320/043		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.621.H G09G3/30.J G09G3/20.622.C G09G3/20.623.C H05B33/14.A G09G3/3241 G09G3/3266		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB08 3K107/CC03 3K107/CC12 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD14 5C080/DD27 5C080/EE30 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB32 5C380/BA05 5C380/BA28 5C380/BA37 5C380/BA39 5C380/CB31 5C380/CC02 5C380/CC12 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC35 5C380/CC39 5C380/CC46 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD022 5C380/CD071 5C380/DA02 5C380/DA06 5C380/DA58 5C380/FA03		
代理人(译)	河村 英文 吉田直美 中村綾子		
优先权	08/834067 1997-04-14 US		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种更好的显示器类型，它需要较低的电压，更有效，并且通常对所有类型的显示器应用都更有利。描述了在使用有机发光二极管 (O-LED) 210 的显示器中使用的像素结构。阵列的每个像素结构包括O-LED 210。该结构包括用于允许以三种基本模式，写选择模式，写非选择模式和发光模式操作的电路部分。导致选择像素结构的电路，以便可以将数据写入像素结构，并将数据表示的编程电流电平应用于O-LED，而另一行中的像素结构具有该像素。它包括用于在写入数据时引起像素结构中的取消选择的电路，以及用于向OLED提供编程的电流水平并使O-LED发光的电路。[选择图]图2

