

【特許請求の範囲】

【請求項 1】

所定区間ごとに所定の色を具現する表示装置のピクセル回路であって、
前記所定区間内で発光する複数の発光素子と、
前記複数の発光素子に共通接続され、前記複数の発光素子を駆動する能動素子と、
を具備し、
前記能動素子は、前記所定区間の所定期間ごとに、前記複数の発光素子を順に駆動させ、
前記複数の発光素子は、前記所定期間ごとに発光することを特徴とする、表示装置のピクセル回路。

10

【請求項 2】

前記所定区間は、一つのフレームであり、前記所定期間は、サブフレームであり、
前記フレームは、複数のサブフレームで構成され、
前記複数の発光素子は、前記サブフレームごとに、順に駆動されることを特徴とする、
請求項 1 に記載の表示装置のピクセル回路。

【請求項 3】

前記複数の発光素子のうち少なくとも一つの発光素子は、前記複数のサブフレームのうち二つ以上のサブフレームにおいて発光することを特徴とする、請求項 2 に記載の表示装置のピクセル回路。

【請求項 4】

前記複数のサブフレームのうちいずれかのサブフレームでは二つ以上の前記発光素子が発光することを特徴とする、請求項 2 または 3 に記載の表示装置のピクセル回路。

20

【請求項 5】

前記複数の発光素子の各発光時間を調節して、全体のホワイトバランスを調節することを特徴とする、請求項 1 ～ 4 のいずれかに記載の表示装置のピクセル回路。

【請求項 6】

前記各発光素子は、発光ダイオードまたはプラズマ発光素子であることを特徴とする、
請求項 1 ～ 5 のいずれかに記載の表示装置のピクセル回路。

【請求項 7】

前記各発光素子は、電界発光素子であることを特徴とする、請求項 1 ～ 5 のいずれかに記載の表示装置のピクセル回路。

30

【請求項 8】

前記複数の発光素子の各第 1 電極は、前記能動素子に接続され、前記複数の発光素子の各第 2 電極は、接地されることを特徴とする、請求項 1 ～ 7 のいずれかに記載の表示装置のピクセル回路。

【請求項 9】

前記複数の発光素子は、ストライプタイプまたはデルタタイプに配列されることを特徴とする、請求項 1 ～ 8 のいずれかに記載の表示装置のピクセル回路。

【請求項 10】

前記能動素子は、前記複数の発光素子を駆動するための一つ以上のスイッチング素子で構成されることを特徴とする、請求項 1 ～ 9 のいずれかに記載の表示装置のピクセル回路。

40

【請求項 11】

前記スイッチング素子は、トランジスタ、薄膜ダイオード、ダイオード、または T R S で構成されることを特徴とする、請求項 10 に記載の表示装置のピクセル回路。

【請求項 12】

赤色電界発光素子と、
緑色電界発光素子と、
青色電界発光素子と、
データ信号を伝達する 1 または 2 以上のスイッチングトランジスタと、

50

少なくとも２つの発光制御信号によってオン／オフ制御され，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子が共通接続され，前記データ信号によって，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子を発光させる１または２以上の駆動トランジスタと，

前記データ信号を貯蔵する貯蔵素子と，
を具備することを特徴とする，表示装置のピクセル回路。

【請求項１３】

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子は，一つのフレームを構成する複数のサブフレームそれぞれにおいて，順に駆動されることを特徴とする，表示装置のピクセル回路。

10

【請求項１４】

前記複数のサブフレームのうちいずれかのサブフレームでは，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子のうちの少なくとも二つが駆動されることを特徴とする，請求項１３に記載の表示装置のピクセル回路。

【請求項１５】

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子の各発光時間を調節して，全体のホワイトバランスを調節することを特徴とする，請求項１２～１４のいずれかに記載の表示装置のピクセル回路。

【請求項１６】

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子の各第１電極は，前記駆動トランジスタに共通接続され，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子の第２電極は，接地されることを特徴とする，請求項１２～１５のいずれかに記載の表示装置のピクセル回路。

20

【請求項１７】

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子は，ストライプタイプまたはデルタタイプで配列されることを特徴とする，請求項１２～１６のいずれかに記載の表示装置のピクセル回路。

【請求項１８】

赤色電界発光素子と，
緑色電界発光素子と，
青色電界発光素子と，

30

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子が共通接続され，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子を駆動する駆動手段と，

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子の駆動を制御する制御手段と，
を含むことを特徴とする，表示装置のピクセル回路。

【請求項１９】

前記駆動手段は，

データ信号をスイッチングする１または２以上のスイッチングトランジスタと，

40

前記データ信号に対応する駆動電流を前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子に供給する１または２以上の駆動トランジスタと，

前記データ信号を貯蔵するキャパシタと，

を含むことを特徴とする，請求項１８に記載の表示装置のピクセル回路。

【請求項２０】

前記駆動手段は，前記駆動トランジスタのスレッシュホールド電圧を補償するためのスレッシュホールド電圧補償手段をさらに含むことを特徴とする，請求項１９に記載の表示装置のピクセル回路。

【請求項２１】

前記駆動トランジスタとキャパシタには，共通の電源ラインを通じて同一の電源電圧が

50

供給される，または，個別の電源ラインを通じて同一若しくは別個の電源電圧が供給されることを特徴とする，請求項 19 または 20 に記載の表示装置のピクセル回路。

【請求項 22】

前記制御手段は，

発光制御信号に応じて前記駆動トランジスタが出力する駆動電流を前記赤色電界発光素子に与える第 1 制御手段と，

前記発光制御信号に応じて前記駆動トランジスタが出力する駆動電流を前記緑色電界発光素子に与える第 2 制御手段と，

前記発光制御信号に応じて前記駆動トランジスタが出力する駆動電流を前記青色電界発光素子に与える第 3 制御手段と，

を含むことを特徴とする，請求項 18 ～ 21 のいずれかに記載の表示装置のピクセル回路。

10

【請求項 23】

前記発光制御信号は，第 1 発光制御信号と第 2 発光制御信号を含み，

前記第 1 制御手段は，前記駆動手段と前記赤色電界発光素子との間に直列に接続され，前記第 1 発光制御信号と前記第 2 発光制御信号によってオン / オフ制御される少なくとも 2 つのトランジスタで構成され，

前記第 2 制御手段は，前記駆動手段と前記緑色電界発光素子との間に直列に接続され，前記第 1 発光制御信号と前記第 2 発光制御信号によってオン / オフ制御される少なくとも 2 つのトランジスタで構成され，

20

前記第 3 制御手段は，前記駆動手段と前記青色電界発光素子との間に直列に接続され，前記第 1 発光制御信号と前記第 2 発光制御信号によってオン / オフ制御される少なくとも 2 つのトランジスタで構成されたことを特徴とする，請求項 22 に記載の発光表示装置のピクセル回路。

【請求項 24】

前記発光制御信号のアクティブオン時間を調整することによって，全体のホワイトバランスを調節することを特徴とする，請求項 22 または請求項 23 に記載の発光表示装置のピクセル回路。

【請求項 25】

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子は，ストライプタイプまたはデルタタイプで配列されることを特徴とする，請求項 18 ～ 24 のいずれかに記載の表示装置のピクセル回路。

30

【請求項 26】

制御端がゲートラインに接続され，第 1 電源端がデータラインに接続された第 1 トランジスタと，

制御端が前記第 1 トランジスタの第 2 電源端に接続され，第 1 電源端が電源ラインに接続された第 2 トランジスタと，

前記第 2 トランジスタの制御端と前記電源ラインとの間に接続されたキャパシタと，

第 1 電源端が前記第 2 トランジスタの第 2 電源端に接続され，制御端が第 1 発光制御信号の伝送ラインに接続された第 3 トランジスタと，

40

第 1 電源端が前記第 3 トランジスタの第 2 電源端に接続され，制御端が第 2 発光制御信号の伝送ラインに接続された第 4 トランジスタと，

第 1 電源端が前記第 2 トランジスタの第 2 電源端に接続され，制御端が第 1 発光制御信号の伝送ラインに接続された第 5 トランジスタと，

第 1 電源端が前記第 5 トランジスタの第 2 電源端に接続され，制御端が第 2 発光制御信号の伝送ラインに接続された第 6 トランジスタと，

第 1 電源端が前記第 2 トランジスタの第 2 電源端に接続され，制御端が第 1 発光制御信号の伝送ラインに接続された第 7 トランジスタと，

第 1 電源端が前記第 7 トランジスタの第 2 電源端に接続され，制御端が第 2 発光制御信号の伝送ラインに接続された第 8 トランジスタと，

50

第 1 電極が前記第 4 トランジスタの第 2 電源端に接続され、第 2 電極が接地された赤色電界発光素子と、

第 1 電極が前記第 6 トランジスタの第 2 電源端に接続され、第 2 電極が接地された緑色電界発光素子と、

第 1 電極が前記第 8 トランジスタの第 2 電源端に接続され、第 2 電極が接地された青色電界発光素子と、

を含むことを特徴とする、表示装置のピクセル回路。

【請求項 27】

所定区間内でそれぞれ一つの色を放出する複数の発光素子を備える複数の画素を含み、前記複数の発光素子は、前記所定区間内で時分割的に順次駆動され一つの色を放出して、前記各画素は、前記所定区間内で所定の色を具現することを特徴とする、表示装置。 10

【請求項 28】

前記所定区間は、一つのフレームであり、
前記フレームは、複数のサブフレームで構成され、
前記複数の発光素子は、前記サブフレームごとに、順次駆動されることを特徴とする、請求項 27 に記載の表示装置。

【請求項 29】

前記複数の発光素子のうち少なくとも一つの発光素子は、前記複数のサブフレームのうち二つ以上のサブフレームにおいて発光する、及び / 又は、前記複数のサブフレームのうちいずれかのサブフレームでは二つ以上の発光素子が発光することを特徴とする、請求項 27 または 28 に記載の表示装置。 20

【請求項 30】

前記複数の発光素子の各発光時間を調節して、全体のホワイトバランスを調節することを特徴とする、請求項 27 ~ 29 のいずれかに記載の表示装置。

【請求項 31】

所定区間において、それぞれ発光する複数の発光素子を備える複数の画素を含み、前記複数の発光素子は、前記所定区間内に設定された複数の所定期間において一つずつ発光して、前記各画素は、前記所定区間内で所定の色を具現することを特徴とする、表示装置。

【請求項 32】

前記所定区間は、一つのフレームであり、前記所定期間は、サブフレームであり、
前記 1 フレームは、複数のサブフレームで構成され、
前記複数の発光素子は、前記サブフレームごとに、順に駆動されることを特徴とする、請求項 31 に記載の表示装置。 30

【請求項 33】

前記複数の発光素子のうち少なくとも一つの発光素子は、前記複数のサブフレームのうち二つ以上のサブフレームにおいて発光することを特徴とする、請求項 31 または 32 に記載の表示装置。

【請求項 34】

前記複数の発光素子の各発光時間を調節して、全体のホワイトバランスを調節することを特徴とする、請求項 31 ~ 33 のいずれかに記載の表示装置。 40

【請求項 35】

一方の電極が接地されている赤色電界発光素子と、
一方の電極が接地されている緑色電界発光素子と、
一方の電極が接地されている青色電界発光素子と、
前記赤色電界発光素子の他方の電極、前記緑色電界発光素子の他方の電極、及び前記青色電界発光素子の他方の電極が共通接続され、前記赤色電界発光素子、前記緑色電界発光素子、及び前記青色電界発光素子を駆動する少なくとも一つのトランジスタと、
を具備する複数の画素を含むことを特徴とする、表示装置。

【請求項 36】

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子は，少なくとも三つのサブフレームで構成されるフレーム内において，前記各サブフレームごと順に駆動されることを特徴とする，表示装置。

【請求項 37】

前記各画素は，ストライプタイプまたはデルタタイプで配列されることを特徴とする，請求項 35 または 36 に記載の表示装置。

【請求項 38】

複数のゲートラインと，
複数のデータラインと，
複数の電源ラインと，

前記複数のゲートライン，前記複数のデータライン，及び前記複数の電源ラインのうち，対応する一つ以上のゲートライン，データライン，及び電源ラインに接続される複数の画素と，

を含み，

前記各画素は，
赤色電界発光素子と，
緑色電界発光素子と，
青色電界発光素子と，

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子が共通接続され，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子を駆動する少なくとも一つのトランジスタと，

前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子と，前記トランジスタとの間に配置され，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子を，複数のサブフレームで構成される一つのフレーム内で前記サブフレームごとに順に発光するように制御する発光制御用トランジスタと，

を含むことを特徴とする，表示装置。

【請求項 39】

複数のゲートラインと，
複数のデータラインと，
複数の電源ラインと，

前記複数のゲートライン，前記複数のデータライン，及び前記複数の電源ラインのうち，対応する一つのゲートライン，データライン，及び電源ラインに接続される複数の画素と，

を含み，

前記各画素は，

制御端が前記ゲートラインに接続され，第 1 電源端が前記データラインに接続された第 1 トランジスタと，

制御端が前記第 1 トランジスタの第 2 電源端に接続され，第 1 電源端が電源ラインに接続された第 2 トランジスタと，

前記第 2 トランジスタの制御端と前記電源ラインとの間に接続されたキャパシタと，

第 1 電源端が前記第 2 トランジスタの第 2 電源端に接続され，制御端が第 1 発光制御信号の伝送ラインに接続された第 3 トランジスタと，

第 1 電源端が前記第 3 トランジスタの第 2 電源端に接続され，制御端が第 2 発光制御信号の伝送ラインに接続された第 4 トランジスタと，

第 1 電源端が前記第 2 薄膜トランジスタの第 2 電源端に接続され，制御端が第 1 発光制御信号の伝送ラインに接続された第 5 トランジスタと，

第 1 電源端が前記第 5 トランジスタの第 2 電源端に接続され，制御端が第 2 発光制御信号の伝送ラインに接続された第 6 トランジスタと，

第 1 電源端が前記第 2 トランジスタの第 2 電源端に接続され，制御端が第 1 発光制御信号の伝送ラインに接続された第 7 トランジスタと，

10

20

30

40

50

第 1 電源端が前記第 7 トランジスタの第 2 電源端に接続され、制御端が第 2 発光制御信号の伝送ラインに接続された第 8 トランジスタと、

第 1 電極が前記第 4 トランジスタの第 2 電源端に接続され、第 2 電極が接地された赤色電界発光素子と、

第 1 電極が前記第 6 トランジスタの第 2 電源端に接続され、第 2 電極が接地された緑色電界発光素子と、

第 1 電極が前記第 8 トランジスタの第 2 電源端に接続され、第 2 電極が接地された青色電界発光素子と、

を含むことを特徴とする、表示装置。

【請求項 40】

複数のゲートライン、複数のデータライン、複数の発光制御ライン、及び複数の電源ライン、並びに、前記複数のゲートライン、前記複数のデータライン、前記複数の発光制御ライン、及び前記複数の電源ラインのうち、対応する一つ以上のゲートライン、データライン、発光制御ライン、及び電源ラインにそれぞれ接続される複数の画素を具備する画素部と、

前記複数のゲートラインを通じてスキャン信号を供給する少なくとも一つのゲートライン駆動回路と、

前記複数のデータラインを通じてデータ信号を供給する少なくとも一つのデータライン駆動回路と、

前記複数の発光制御ラインを通じて発光制御信号を供給する少なくとも一つの発光制御信号発生回路と、

を具備し、

前記各画素は、

赤色電界発光素子と、

緑色電界発光素子と、

青色電界発光素子と、

前記赤色電界発光素子、前記緑色電界発光素子、及び前記青色電界発光素子が共通接続され、前記赤色電界発光素子、前記緑色電界発光素子、及び前記青色電界発光素子を駆動する少なくとも一つのトランジスタと、

前記赤色電界発光素子、前記緑色電界発光素子、及び前記青色電界発光素子と、前記トランジスタとの間に配置され、前記赤色電界発光素子、前記緑色電界発光素子、及び前記青色電界発光素子を、複数のサブフレームで構成される一つのフレーム内で前記サブフレームごとに順に発光するように制御する発光制御用トランジスタと、

を含むことを特徴とする、表示装置。

【請求項 41】

前記ゲートライン駆動回路、前記データライン駆動回路、及び前記発光制御信号発生回路は、冗長機能を有することを特徴とする、請求項 40 に記載の表示装置。

【請求項 42】

複数のゲートライン、複数のデータライン、及び複数の電源ラインと、

前記複数のゲートライン、前記複数のデータライン、及び前記複数の電源ラインのうち、対応する一つのゲートライン、データライン、及び電源ラインにそれぞれ接続され、それぞれ少なくとも赤色電界発光素子、緑色電界発光素子、及び青色電界発光素子を備えた複数の画素と、

を含む表示装置の駆動方法であって、

所定区間を構成する複数の所定期間ごとに、一のデータラインを通して前記各画素にデータ信号が順に提供され、前記赤色電界発光素子、前記緑色電界発光素子、及び前記青色電界発光素子が時分割的に順に駆動されることによって、前記所定区間内で所定の色を具現することを特徴とする、表示装置の駆動方法。

【請求項 43】

複数のゲートライン、複数のデータライン、及び複数の電源ラインと、

10

20

30

40

50

前記複数のゲートライン，前記複数のデータライン，及び前記複数の電源ラインのうち，対応する一つのゲートライン，データライン，及び電源ラインにそれぞれ接続され，それぞれ少なくとも赤色電界発光素子，緑色電界発光素子，及び青色電界発光素子を備えた複数の画素と，

を含む表示装置の駆動方法であって，

前記複数のゲートラインのうち，一のゲートラインに対して，所定区間内の所定期間ごとにスキャン信号を与えること，

前記スキャン信号が前記一のゲートラインに与えられるたびに，前記複数のデータラインのうち，一のデータラインに対して，データ信号を与えて，駆動電流を発生させること

10

，
発光制御信号に応じて，前記一のゲートラインに接続された画素に含まれる赤色電界発光素子，緑色電界発光素子，及び青色電界発光素子に対して前記駆動電流を与えて，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子を駆動すること，を特徴とする，表示装置の駆動方法。

【請求項 4 4】

前記所定期間は，三つの所定期間を含み，

前記三つの所定期間において，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子は一つずつ発光し，

前記所定期間において，前記赤色電界発光素子，前記緑色電界発光素子，及び前記青色電界発光素子は，順に発光することを特徴とする，請求項 4 2 または 4 3 に記載の表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は，表示装置のピクセル回路，表示装置，及びその駆動方法に関する。

【背景技術】

【0002】

最近，携帯用情報機器には，軽量，薄型などの特性に優れた液晶表示装置（LCD）や有機電界発光表示装置（OLED：Organic Light Emitting Diode）などがよく使用されている。有機電界発光表示装置は，液晶表示装置に比べて輝度特性及び視野角特性が優れているため次世代平板表示装置として注目を浴びている。

30

【0003】

通常，アクティブマトリクス有機電界発光表示装置において，一つの画素は，R，G，B 単位画素で構成されており，各 R，G，B 単位画素は，EL 素子を有する。各 EL 素子は，アノード電極とカソード電極との間に各 R，G，B 有機発光層を備えている。そして，アノード電極とカソード電極に印加される電圧により，R，G，B 有機発光層から光が出射される。

【0004】

図 1 は，従来のアクティブマトリクス有機電界発光表示装置 10 の構成を示している。

【0005】

40

従来のアクティブマトリクス有機電界発光表示装置 10 は，画素部 100，ゲートライン駆動回路 110，データライン駆動回路 120，及び制御部（図示せず）を備える。画素部 100 は，ゲートライン駆動回路 110 からスキャン信号 S1～Sm が提供される多数のゲートライン 111～11m と，データライン駆動回路 120 からデータ信号 DR1，DG1，DB1，…，DRn，D Gn，DBn を提供するための多数のデータライン 121～12n，及び電源電圧 VDD1～VDDn を提供する多数の電源ライン 131～13n を備える。

【0006】

画素部 100 には，多数のゲートライン 111～11m，多数のデータライン 121～12n，及び多数の電源ライン 131～13n に連結される多数の画素 P11～Pmn が

50

マトリクス形態で配列されている。各画素 $P_{11} \sim P_{mn}$ は、三つの単位画素、つまり R 、 G 、 B 単位画素 P_{R11} 、 P_{G11} 、 P_{B11} 、...、 P_{Rmn} 、 P_{Gmn} 、 P_{Bmn} で構成されており、多数のゲートライン、データライン、及び電源供給ラインのうち、対応する一つのゲートライン、データライン、及び電源供給ラインにそれぞれ接続されている。

【0007】

例えば、画素 P_{11} は、 R 単位画素 P_{R11} 、 G 単位画素 P_{G11} 、 B 単位画素 P_{B11} を備え、多数のゲートライン $111 \sim 11m$ の中の第1スキャン信号 S_1 を提供する第1ゲートライン 111 、多数のデータライン $121 \sim 12n$ の中の第1データライン 121 、そして多数の電源ライン $131 \sim 13n$ の中の第1電源ライン 131 に接続されている。 10

【0008】

すなわち、画素 P_{11} に備えられた R 単位画素 P_{R11} は、第1ゲートライン 111 と、第1データライン 121 の中の R データ信号 DR_1 が提供される R データライン $121R$ 、及び第1電源ライン 131 の中の R 電源ライン $131R$ に接続されている。また、画素 P_{11} に備えられた G 単位画素 P_{G11} は、第1ゲートライン 111 と、第1データライン 121 の中の G データ信号 DG_1 が提供される G データライン $121G$ 、及び第1電源ライン 131 の中の G 電源ライン $131G$ に接続されている。また、画素 P_{11} に備えられた B 単位画素 P_{B11} は、第1ゲートライン 111 と、第1データライン 121 の中の B データ信号 DB_1 が提供される B データライン $121B$ 、及び第1電源ライン 131 20 の中の B 電源ライン $131B$ に接続されている。

【0009】

図2は、従来の有機電界発光表示装置10が備えるピクセル回路を示したものである。このピクセル回路とは、図1に示した R 、 G 、 B 単位画素で構成される一つの画素 P_{11} の回路に対応するものである。

【0010】

画素 P_{11} を構成する R 、 G 、 B 単位画素 P_{R11} 、 P_{G11} 、 P_{B11} のうち、 R 単位画素 P_{R11} は、第1ゲートライン 111 から印加されるスキャン信号 S_1 がゲートに提供され、ソースに R データライン $121R$ からデータ信号 DR_1 が提供されるスイッチングトランジスタ $M1_R$ と、このスイッチングトランジスタ $M1_R$ のドレインにゲートが接続され、ソースに電源ライン $131R$ から電源電圧 VDD_1 が提供される駆動トランジスタ $M2_R$ と、この駆動トランジスタ $M2_R$ のゲートとソースに接続されたキャパシタ $C1_R$ と、駆動トランジスタ $M2_R$ のドレインにアノードが接続され、カソードが接地電圧 VSS に接続された R - EL 素子 $EL1_R$ で構成される。 30

【0011】

また、画素 P_{11} を構成する G 単位画素 P_{G11} は、第1ゲートライン 111 から印加されるスキャン信号 S_1 がゲートに提供され、ソースに G データライン $121G$ からデータ信号 DG_1 が提供されるスイッチングトランジスタ $M1_G$ と、このスイッチングトランジスタ $M1_G$ のドレインにゲートが連結され、ソースに電源ライン $131G$ から電源電圧 VDD_1 が提供される駆動トランジスタ $M2_G$ と、この駆動トランジスタ $M2_G$ 40 のゲートとソースに連結されたキャパシタ $C1_G$ と、駆動トランジスタ $M2_G$ のドレインにアノードが連結され、カソードが接地電圧 VSS に連結された G - EL 素子 $EL1_G$ で構成される。

【0012】

また、画素 P_{11} を構成する B 単位画素 P_{B11} は、第1ゲートライン 111 から印加されるスキャン信号 S_1 がゲートに提供され、ソースに B データライン $121B$ からデータ信号 DB_1 が提供されるスイッチングトランジスタ $M1_B$ と、このスイッチングトランジスタ $M1_B$ のドレインにゲートが連結され、ソースに電源ライン $131B$ から電源電圧 VDD_1 が提供される駆動トランジスタ $M2_B$ と、この駆動トランジスタ $M2_B$ 50 のゲートとソースに連結されたキャパシタ $C1_B$ と、駆動トランジスタ $M2_B$ のドレ

インにアノードが連結され、カソードが接地電圧 V_{SS} に連結された B - EL 素子 $EL1_B$ で構成される。

【0013】

この 픽セル回路の動作は次の通りである。ゲートライン 111 にスキャン信号 $S1$ が印加されると、画素 $P11$ を構成する R, G, B 単位画素のスイッチングトランジスタ $M1_R$, $M1_G$, $M1_B$ が駆動し、R, G, B データライン 121 R, 121 G, 121 B から R, G, B データ $DR1$, $DG1$, $DB1$ が駆動トランジスタ $M2_R$, $M2_G$, $M2_B$ のゲートにそれぞれ入力される。

【0014】

駆動トランジスタ $M2_R$, $M2_G$, $M2_B$ は、ゲートに印加されるデータ信号 $DR1$, $DG1$, $DB1$ と R, G, B 電源ライン 131 R, 131 G, 131 B からそれぞれ提供される電源電圧 $VDD1$ との差に相応する駆動電流を EL 素子 $EL1_R$, $EL1_G$, $EL1_B$ に提供する。各 EL 素子 $EL1_R$, $EL1_G$, $EL1_B$ は、駆動トランジスタ $M2_R$, $M2_G$, $M2_B$ を通って印加される駆動電流により動作する。このようにして画素 $P11$ が駆動する。キャパシタ $C1_R$, $C1_G$, $C1_B$ は、各 R, G, B データライン 121 R, 121 G, 121 B に入力されたデータ信号 $DR1$, $DG1$, $DB1$ を貯蔵するための手段である。

【0015】

次に、以上のような構成を有する従来の有機電界発光表示装置 10 の動作を、図 3 の駆動波形図を参照しながら説明する。

【0016】

まず、第 1 ゲートライン 111 にスキャン信号 $S1$ が印加されると、第 1 ゲートライン 111 が駆動し、第 1 ゲートライン 111 に接続された画素 $P11 \sim P1n$ が駆動する。

【0017】

つまり、第 1 ゲートライン 111 に印加されるスキャン信号 $S1$ によって、第 1 ゲートライン 111 に接続された画素 $P11 \sim P1n$ の R, G, B 単位画素 $PR11 \sim PR1n$, $PG11 \sim PG1n$, $PB11 \sim PB1n$ のスイッチングトランジスタが駆動する。スイッチングトランジスタの駆動により、第 1 $\sim n$ データライン 121 $\sim 12n$ を構成する R, G, B データライン 121 R $\sim 12n$ R, 121 G $\sim 12n$ G, 121 B $\sim 12n$ B から R, G, B データ信号 $D(S1)DR1 \sim DRn$, $DG1 \sim DGn$, $DB1 \sim DBn$ が R, G, B 単位画素の駆動トランジスタのゲートに同時にそれぞれ入力される。

【0018】

R, G, B 単位画素の駆動トランジスタは、R, G, B データライン 121 R $\sim 12n$ R, 121 G $\sim 12n$ G, 121 B $\sim 12n$ B にそれぞれ印加される R, G, B データ信号 $D(S1)DR1 \sim DRn$, $DG1 \sim DGn$, $DB1 \sim DBn$ に対応する駆動電流を R, G, B - EL 素子に提供する。したがって、第 1 ゲートライン 111 に接続された画素 $P11 \sim P1n$ の R, G, B 単位画素 $PR11 \sim PR1n$, $PG11 \sim PG1n$, $PB11 \sim PB1n$ を構成する各 EL 素子は、第 1 ゲートライン 111 にスキャン信号 $S1$ が印加されると、同時に駆動する。

【0019】

これと同様に、第 2 ゲートライン 112 を駆動するためのスキャン信号 $S2$ が印加されると、第 2 ゲートライン 112 に接続された画素 $P21 \sim P2n$ の R, G, B 単位画素 $PR21 \sim PR2n$, $PG21 \sim PG2n$, $PB21 \sim PB2n$ には、第 1 $\sim n$ データライン 121 $\sim 12n$ を構成する R, G, B データライン 121 R $\sim 12n$ R, 121 G $\sim 12n$ G, 121 B $\sim 12n$ B からデータ信号 $D(S2)DR1 \sim DRn$, $DG1 \sim DGn$, $DB1 \sim DBn$ が印加される。

【0020】

この結果、第 2 ゲートライン 112 に接続された画素 $P21 \sim P2n$ の R, G, B 単位画素 $PR21 \sim PR2n$, $PG21 \sim PG2n$, $PB21 \sim PB2n$ を構成する EL 素子が、データ信号 $D(S2)DR1 \sim DRn$, $DG1 \sim DGn$, $DB1 \sim DBn$ に対応する

10

20

30

40

50

駆動電流によって同時に駆動する。

【0021】

このような動作を繰り返し、最終的にm番目のゲートライン11mにスキャン信号Smが印加されると、R、G、Bデータライン121R~12nR、121G~12nG、121B~12nBに印加されるR、G、Bデータ信号D(Sm)DR1~DRn、DG1~DGn、DB1~DBnにより、m番目のゲートライン11mに接続された画素Pm1~PmnのR、G、B単位画素PRm1~PRmn、PGm1~PGmn、PBm1~PBmnを構成するEL素子が同時に駆動する。

【0022】

したがって、第1ゲートライン111から第mゲートライン11mにまで、順々にスキャン信号S1~Smが印加されると、各ゲートライン111~11mに接続された画素P11~P1n、...、Pm1~Pmnが順に駆動し、第1フレーム1Fの間、画素を駆動して、画像が表示されるようになる。

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかし、上述したように、従来の有機電界発光表示装置は、各画素が三つのR、G、B単位画素で構成されており、各R、G、B単位画素は、R、G、B-EL素子を駆動させるための駆動素子、すなわち、スイッチング薄膜トランジスタ、駆動薄膜トランジスタ、及びキャパシタを備えている。さらに、従来の有機電界発光表示装置には、各R、G、B単位画素に備えられた駆動素子に対してデータ信号と共通電源(ELVDD)を提供するためのデータライン及び共通電源ラインが単位画素別に配列される。

【0024】

すなわち、従来の有機電界発光表示装置によれば、各画素に3本のデータラインと3本の電源ラインが配置され、また、6個のトランジスタ(3個のスイッチング薄膜トランジスタと3個の駆動薄膜トランジスタ)と3個のキャパシタが要求されていた。しかも、各画素が発光制御信号によってコントロールされる場合には、発光制御信号を提供するための別途の発光制御ラインが必要であるため、R、G、B単位画素毎に少なくとも4本の信号ラインが要求される。このように、各画素に多数の配線と多数の素子が配列されると、回路構成が複雑となり、欠陥も発生しやすくなる。また、収率(製造歩留まり)が低下するという問題点がある。しかも、回路構成が複雑化して、信号ラインの本数が増加した場合や信号ラインが長くなった場合には、信号の伝送遅延(RCディレイ)や信号の電圧レベルの低下が起こり得る。

【0025】

また、近年では、表示装置が更に高精細化され、各画素の面積が減少している。このため、一つの画素に多くの回路要素を配列することは困難となっている。加えて、開口率が減少するという問題点がある。

【0026】

そこで、本発明は、このような問題に鑑みてなされたもので、その目的は、高精細化に適した表示装置のピクセル回路、表示装置、及びその駆動方法を提供することにある。

【0027】

本発明の他の目的は、開口率及び収率を向上させることができる表示装置のピクセル回路、表示装置、及びその駆動方法を提供することにある。

【0028】

本発明のもう一つの他の目的は、RCディレイ及び電圧降下を防ぐことができる表示装置のピクセル回路、表示装置、及びその駆動方法を提供することにある。

【0029】

本発明のまたもう一つの他の目的は、画素構成及び配線を単純化することができる表示装置のピクセル回路、表示装置、及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0030】

上記課題を解決するために、本発明の第1の観点によれば、所定期間ごとに所定の色を具現する表示装置のピクセル回路において、所定期間内でそれぞれ一つの色を放出する、少なくとも2個以上の発光素子と、少なくとも2個以上の発光素子に共通連結されて、少なくとも2個以上の発光素子を駆動するための能動素子を備え、能動素子は、所定期間内で所定期間ごとに少なくとも2個以上の発光素子を順に駆動し、少なくとも2個以上の発光素子は、所定期間ごとに順次に該当する一つの色を放出して所定期間で所定の色を具現する表示装置のピクセル回路が提供される。

【0031】

所定期間は1フレームであり、所定期間はサブフレームであるため、1フレームは、少なくとも3個以上のサブフレームに分けられて、少なくとも2個以上の発光素子は、1フレーム内で各サブフレームごとに順に駆動し、残ったもので少なくとも一つのサブフレームでは、少なくとも2個以上の発光素子のうち、一つが再び駆動されるか、または少なくとも二つの発光素子が同時に駆動されて明るさを調節する。残ったもので少なくとも一つのサブフレームは、多数のサブフレームのうち、任意的に選択される。

10

【0032】

少なくとも二つの発光素子の発光時間を調節してホワイトバランスを調節する。発光素子はFED、またはPDPであるか、または発光素子はR、G、BまたはホワイトEL素子であり、少なくとも二つ以上のEL素子は第1電極が能動素子に共通連結され、第2電極が接地電圧に共通連結される。発光素子はストライプタイプまたはデルタタイプで配列

20

【0033】

能動素子は発光素子を駆動するための少なくとも一つ以上のスイッチング素子で構成され、能動素子を構成するスイッチング素子は薄膜トランジスタ、薄膜ダイオード、ダイオード、またはTRS (Triodic Rectifier Switch: 3整流スイッチ) で構成される。

【0034】

また、上記課題を解決するために、本発明の第2の観点によれば、R、G、B-EL素子(赤色電界発光素子、緑色電界発光素子、青色電界発光素子)と、R、G、Bデータ信号(赤色データ信号、緑色データ信号、青赤色データ信号)を順に伝達するための一つまたはそれ以上のスイッチングトランジスタと、R、G、Bデータ信号によりR、G、B-EL素子を順に駆動するための一つまたはそれ以上の駆動トランジスタと、R、G、Bデータ信号を貯蔵するための貯蔵素子と、を備え、R、G、B-EL素子は駆動トランジスタに共通連結され、2つの発光制御信号により駆動トランジスタから順に伝達されるR、G、Bデータ信号に相応して順に発光する表示装置のピクセル回路が提供される。

30

【0035】

また、上記課題を解決するために、本発明の第3の観点によれば、R、G、B-EL素子と、R、G、B-EL素子に共通連結されて、R、G、B-EL素子を駆動するための駆動手段と、R、G、B-EL素子の駆動を順に制御するための制御手段と、を有する有機電界発光表示装置のピクセル回路が提供される。駆動手段は少なくともデータ信号をスイッチングするための一つ、またはそれ以上のスイッチングトランジスタと、データ信号に相応する駆動電流をR、G、B-EL素子として提供するための一つ、またはそれ以上の駆動トランジスタと、データ信号を貯蔵するためのキャパシタと、を有する。駆動手段は駆動トランジスタのスレッシュホールド電圧を補償するためのスレッシュホールド電圧補償手段をさらに有する。駆動トランジスタとキャパシタには、共通の電源ラインを通じて同一な電源電圧を提供するか、または個別の電源ラインを通じて同一な電源電圧を個別的に提供する。

40

【0036】

制御手段は、該当する発光制御信号(第1発光制御信号と第2発光制御信号を含む)によって駆動トランジスタからR、G、B-EL素子に駆動電流が提供されるのを制御して

50

、R、G、B-E L素子の発光を順に制御する第1制御手段、第2制御手段、及び第3制御手段で成り立つ。第1制御手段は、駆動手段と赤色電界発光素子(R-E L素子)との間に直列に接続され、第1発光制御信号と第2発光制御信号によってオン/オフ制御される少なくとも2つのトランジスタで構成されている。また、第2制御手段は、駆動手段と緑色電界発光素子(G-E L素子)との間に直列に接続され、第1発光制御信号と第2発光制御信号によってオン/オフ制御される少なくとも2つのトランジスタで構成されている。また、第3制御手段は、駆動手段と青色電界発光素子(B-E L素子)との間に直列に接続され、第1発光制御信号と第2発光制御信号によってオン/オフ制御される少なくとも2つのトランジスタで構成されている。制御手段に印加される該当発光制御信号のアクティブオン時間を調節して該当するE L素子に駆動電流が印加される時間を調節し、全体のホワイトバランスを調節する。 10

【0037】

また、上記課題を解決するために、本発明の第4の観点によれば、ゲート(制御端)がゲートラインに連結され、ソース/ドレイン(第1電源端)がデータラインに連結された第1薄膜トランジスタと、第1薄膜トランジスタのドレイン/ソース(第1電源端)にゲート(制御端)が連結され、ソース/ドレイン(第1電源端)に電源ラインが連結された第2薄膜トランジスタと、第2薄膜トランジスタのゲート(制御端)とソース/ドレイン(第1電源端)に連結されたキャパシタと、第2薄膜トランジスタのドレイン/ソース(第2電源端)にソース/ドレイン(第1電源端)が連結され、ゲート(制御端)に第1発光制御信号が印加される第3薄膜トランジスタと、第3薄膜トランジスタのドレイン/ソース(第2電源端)にドレイン/ソース(第1電源端)が連結され、ゲート(制御端)に第2発光制御信号が印加される第4薄膜トランジスタと、第2薄膜トランジスタのドレイン/ソース(第2電源端)にドレイン/ソース(第1電源端)が連結され、ゲート(制御端)に第1発光制御信号が印加される第5薄膜トランジスタと、第5薄膜トランジスタのソース/ドレイン(第2電源端)にソース/ドレイン(第1電源端)が連結され、ゲート(制御端)に第2発光制御信号が印加される第6薄膜トランジスタと、第2薄膜トランジスタのドレイン/ソース(第2電源端)にドレイン/ソース(第1電源端)が連結され、ゲート(制御端)に第1発光制御信号が印加される第7薄膜トランジスタと、第7薄膜トランジスタのソース/ドレイン(第2電源端)にドレイン/ソース(第1電源端)が連結され、ゲート(制御端)に第2発光制御信号が印加される第8薄膜トランジスタと、第1電極が第4トランジスタの第2電源端に接続され、第2電極が接地された赤色電界発光素子と、第1電極が第6トランジスタの第2電源端に接続され、第2電極が接地された緑色電界発光素子と、第1電極が第8トランジスタの第2電源端に接続され、第2電極が接地された青色電界発光素子と、を有する有機電界発光表示装置のピクセル回路が提供される。 20 30 40

【0038】

また、上記課題を解決するために、本発明の第5の観点によれば、それぞれ所定区間ごとに所定の色を具現し、所定区間内でそれぞれ一つの色を放出する少なくとも二つ以上の発光素子を備える多数の画素を含み、少なくとも二つ以上の発光素子は所定期間内で時分割的に順に駆動されて一つの色を放出して、各画素は所定期間内で所定の色を具現する表示装置が提供される。 40

【0039】

また、上記課題を解決するために、本発明の第6の観点によれば、それぞれ所定区間ごとに所定の色を具現し、所定期間内でそれぞれ一つの色を放出する少なくとも二つ以上の発光素子を備える多数の画素を含み、少なくとも二つ以上の発光素子は所定期間の間に一つだけ発光して、所定期間の間少なくとも二つ以上の発光素子が順に一つの色を放出することによって、各画素は所定期間の間所定の色を具現する表示装置が提供される。

【0040】

また、上記課題を解決するために、本発明の第7の観点によれば、R、G、B-E L素子と、R、G、B-E L素子に連結されてR、G、B発光素子を駆動するための少なくとも 50

も一つの薄膜トランジスタを備える多数の画素と、を含み、各画素の R、G、B - E L 素子は、第 1 電極が少なくとも一つの薄膜トランジスタに共通連結され、第 2 電極が接地に共通連結されるうえ、各画素は少なくとも一つの薄膜トランジスタによって R、G、B - E L 素子が順に発光する表示装置が提供される。

【0041】

また、上記課題を解決するために、本発明の第 8 の観点によれば、多数のゲートライン、多数のデータライン及び多数の電源ラインと、多数のゲートライン、データライン及び電源ラインのうち、該当する一つのゲートライン、データライン及び電源ラインにそれぞれ連結される多数の画素を含め、各画素は R、G、B - E L 素子と、R、G、B - E L 素子に共通連結されて、R、G、B - E L 素子を順に駆動するための少なくとも一つ以上の薄膜トランジスタと、薄膜トランジスタと R、G、B - E L 素子の間にそれぞれ連結され、R、G、B - E L 素子が多数のサブフレームで構成される一つのフレーム内で各サブフレームごとに順に発光するように制御する R、G、B 発光制御用薄膜トランジスタと、を有する平板表示装置が提供される。

10

【0042】

また、上記課題を解決するために、本発明の第 9 の観点によれば、多数のゲートライン、多数のデータライン及び多数の電源ラインと、多数のゲートライン、データライン及び電源ラインのうち、該当する一つのゲートライン、データライン及び電源ラインにそれぞれ連結される多数の画素を含め、各画素は、ゲートがゲートラインに連結され、ソースがデータラインに連結された第 1 薄膜トランジスタと、第 1 薄膜トランジスタのドレインにゲートが連結され、ソースに電源ラインが連結された第 2 薄膜トランジスタと、第 2 薄膜トランジスタのゲートとソースに連結されたキャパシタと、第 2 薄膜トランジスタのドレインにソースが連結され、ゲートに第 1 発光制御信号が印加される第 3 薄膜トランジスタと、第 3 薄膜トランジスタのドレインにドレインが連結され、ゲートに第 2 発光制御信号が印加される第 4 薄膜トランジスタと、第 2 薄膜トランジスタのドレインにドレインが連結され、ゲートに第 1 発光制御信号が印加される第 5 薄膜トランジスタと、第 5 薄膜トランジスタのソースにソースが連結され、ゲートに第 2 発光制御信号が印加される第 6 薄膜トランジスタと、第 2 薄膜トランジスタのドレインにドレインが連結され、ゲートに第 1 発光制御信号が印加される第 7 薄膜トランジスタと、第 7 薄膜トランジスタのソースにドレインが連結され、ゲートに第 2 発光制御信号が印加される第 8 薄膜トランジスタと、第 1 電極が第 4 トランジスタの第 2 電源端に接続され、第 2 電極が接地された赤色電界発光素子と、第 1 電極が第 6 トランジスタの第 2 電源端に接続され、第 2 電極が接地された緑色電界発光素子と、第 1 電極が第 8 トランジスタの第 2 電源端に接続され、第 2 電極が接地された青色電界発光素子と、を有する平板表示装置が提供される。

20

30

【0043】

また、上記課題を解決するために、本発明の第 10 の観点によれば、多数のゲートライン、多数のデータライン、多数の発光制御ライン及び多数の電源ラインと、多数のゲートライン、データライン、発光制御ライン及び電源ラインのうち、該当する一つのゲートライン、データライン、発光制御ライン及び電源ラインにそれぞれ連結される多数の画素を備える画素部と、多数のゲートラインに多数のスキャン信号を提供するための少なくとも一つのゲートライン駆動回路と、多数のデータラインに R、G、B データ信号を順に提供するための少なくとも一つのデータライン駆動回路と、多数の発光制御ラインに発光制御信号を提供するための少なくとも一つの発光制御信号発生回路を備え、各画素は R、G、B - E L 素子と、R、G、B - E L 素子に共通連結されて、R、G、B - E L 素子を順に駆動するための少なくとも一つ以上の薄膜トランジスタと、薄膜トランジスタと R、G、B - E L 素子間にそれぞれ連結されて、R、G、B - E L 素子が多数のサブフレームで構成される一つのフレーム内で各サブフレームごとに順に発光するように制御する R、G、B 発光制御用薄膜トランジスタと、を有する平板表示装置が提供される。

40

【0044】

また、上記課題を解決するために、本発明の第 11 の観点によれば、多数のゲートライ

50

ン、多数のデータライン及び多数の電源ラインと、多数のゲートライン、データライン及び電源ラインのうち、該当する一つのゲートライン、データライン及び電源ラインにそれぞれ連結された多数の画素を含め、各画素は少なくとも R、G、B 発光素子を備える平板表示装置を駆動する方法において、各画素には所定区間内で所定期間ごとに同一なデータラインを通じて R、G、B データが順に提供されて、R、G、B 発光素子が時分割的に順に駆動されることによって、所定区間内で所定の色を具現する平板表示装置の駆動方法が提供される。

【0045】

また、上記課題を解決するために、本発明の第12の観点によれば、多数のゲートライン、多数のデータライン及び多数の電源ラインと、多数のゲートライン、データライン及び電源ラインのうち、該当する一つのゲートライン、データライン及び電源ラインにそれぞれ連結された多数の画素を含め、各画素は少なくとも R、G、B 発光素子を備える平板表示装置を駆動する方法において、多数のゲートラインのうち、該当する一つのゲートラインに所定区間内に所定期間ごとにスキャン信号を発生し、スキャン信号が発生するたびに多数のデータラインのうち、該当する一つのデータラインに R、G、B データを順に印加して R、G、B 駆動電流を発生させ、発光制御信号に該当する一つのゲートラインに連結された画素の R、G、B 発光素子を順に駆動して所定区間内で所定の色を具現する平板表示装置の駆動方法が提供される。

10

【発明の効果】

【0046】

本発明によれば、表示画像の高精細化が可能となる。また、開口率及び収率を向上させるとともに、画素構成及び配線を単純化することができる。さらに、伝送信号のディレイ及び電流電圧降下を防ぐことができる。

20

【発明を実施するための最良の形態】

【0047】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0048】

図4は、本発明の第1の実施の形態に係る有機電界発光表示装置50の構成を示すブロック図である。

30

【0049】

有機電界発光表示装置50は、画素部500、ゲートライン駆動回路510、データライン駆動回路520、及び発光制御信号発生回路590を備える。ゲートライン駆動回路510は、画素部500のゲートラインに対して、スキャン信号S1～Smを一つのフレームの間、順に供給する。データライン駆動回路520は、画素部500のデータラインに対して、R、G、Bデータ信号D1～Dnを一つのフレームの間、スキャン信号が印加されるごとに順に提供する。発光制御信号発生回路590は、画素部500の発光制御ライン591～59mに対して、R、G、B-EL素子の発光を制御するための発光制御信号EC__11、EC__21～EC__1m、EC__2mを一つのフレームの間、スキャン信号が印加されるごとに順に供給する。

40

【0050】

図5は、画素部500の構成の一例を示したブロック図である。

【0051】

画素部500は、ゲートライン駆動回路510からスキャン信号S1～Smがそれぞれ提供される多数のゲートライン511～51mと、データライン駆動回路520からデータ信号D1～Dnがそれぞれ提供される多数のデータライン521～52nと、発光制御信号発生回路590から発光制御信号EC__11、EC__21～EC__1m、EC__2mがそれぞれ提供される多数の発光制御ライン591～59mと、電源(図示せず)から電源電圧VDD1～VDDnが提供される多数の電源ライン531a、531b～53na

50

、53nbを備える。

【0052】

画素部500は、多数のゲートライン511～51m、多数のデータライン521～52n、多数の発光制御ライン591～59m、及び多数の電源ライン531a、531b～53na、53nbに接続され、マトリクス形態に配列される多数の画素P11～Pmnをさらに含む。各画素P11～Pmnは、多数のゲートライン511～51mの中の対応する一つのゲートラインに接続され、多数のデータライン521～52nの中の対応する一つのデータラインに接続され、多数の発光制御ライン591～59mの中の対応する一つの発光制御ラインに接続され、多数の電源ライン531a、531b～53na、53nbの中の対応する一つの電源ラインに接続されている。

10

【0053】

例えば、画素P11は、多数のゲートライン511～51mのうち、第1スキャン信号S1を提供する第1ゲートライン511に接続され、多数のデータライン521～52nのうち、第1データ信号D1を提供する第1データライン521に接続され、多数の発光制御ライン591～59mのうち、第1発光制御信号EC__11、第2発光制御信号EC__21が伝送される発光制御ライン591に接続され、多数の電源ライン531a、531b～53na、53nbのうち、第1電源ライン531a、531bに接続されている。

【0054】

したがって、それぞれの画素P11～Pmnには、対応するスキャンラインを通じて対応するスキャン信号が印加され、対応するデータラインを通じて対応するR、G、Bデータ信号が順に提供されるうえ、対応する発光制御ラインを通じて対応する発光制御信号が順に提供され、対応する電源ラインを通じて対応する電源電圧が印加される。故に、各画素は、対応するスキャン信号が印加されるごとに対応するR、G、Bデータ信号が順に印加され、発光制御信号によりR、G、B-EL素子が順に駆動されてR、G、Bデータ信号に相応な光を順に出射する。この結果、一つのフレームの間、所定の色、つまり、画像が表示されるようになる。

20

【0055】

図7は、本発明の第1の実施の形態に係る順次駆動方式の有機電界発光表示装置に備えられた一つの画素に対応するピクセル回路を概念的に示したものである。図7は、多数の画素のうち、代表的に一つの画素P11の構成を示している。

30

【0056】

図7に示したように、画素P11は、第1ゲートライン511、第1データライン521、第1発光制御ライン591、及び第1共通電源ライン531に接続された能動素子570と、能動素子570と接地VSSの間に並列接続されるR、G、B-EL素子EL1__R、EL1__G、EL1__Bを備える。三つのR、G、B-EL素子EL1__R、EL1__G、EL1__Bは、第1電極、例えばアノード電極が能動素子570にそれぞれ接続され、第2電極、例えばカソード電極が接地電圧VSSに共通接続される。

【0057】

このような構成を有するピクセル回路は、三つのR、G、B-EL素子EL1__R、EL1__G、EL1__Bが一つ能動素子570を共有するため、1フレームの間に画素P11が所定の色を表示するためには、R、G、B-EL素子EL1__R、EL1__G、EL1__Bが順に駆動しなければならない。そこで、一つのフレームを三つのサブフレームに分割し、サブフレームごとにR、G、B-EL素子EL1__R、EL1__G、EL1__Bを駆動させる。これによって、1フレームの間、R、G、B-EL素子EL1__R、EL1__G、EL1__Bが時分割的に順に駆動し、画素P11が所定の色を具現する。

40

【0058】

まず、第1サブフレームにおいて、ゲートライン511にスキャン信号S1が印加され、データライン521にデータD1としてRデータDR1が印加されると、能動素子570は、発光制御信号発生回路590が発光制御ライン591に出力する発光制御信号EC

50

__ 1 1, E C __ 2 1 に応じて R - E L 素子 E L 1 __ R を駆動させ, R データに相応な R 色 (赤色) を発光する。

【 0 0 5 9 】

次に, 第 2 サブフレームにおいて, ゲートライン 5 1 1 にスキャン信号 S 1 が印加され, データライン 5 2 1 にデータ D 1 として G データ D G 1 が印加されると, 能動素子 5 7 0 は, 発光制御信号発生回路 5 9 0 が発光制御ライン 5 9 1 に出力する発光制御信号 E C __ 1 1, E C __ 2 1 に応じて G - E L 素子 E L 1 __ G を駆動させ, G データに相応な G 色 (緑色) を発光する。

【 0 0 6 0 】

最後に, 第 3 サブフレームにおいて, ゲートライン 5 1 1 にスキャン信号 S 1 が印加され, データライン 5 2 1 にデータ D 1 として G データ D B 1 が印加されると, 能動素子 5 7 0 は, 発光制御信号発生回路 5 9 0 が発光制御ライン 5 9 1 に出力する発光制御信号 E C __ 1 1, E C __ 2 1 に応じて B - E L 素子 E L __ B を駆動させ, B データに相応な B 色 (青色) を発光する。このように, 1 フレームの間に R, G, B - E L 素子が時分割的に順に駆動される。そして, 各画素が所定の色を発光して画像が表示されるようになる。

【 0 0 6 1 】

本実施の形態では, 1 フレームを 3 サブフレームに分割し, 各サブフレームにおいて, R, G, B - E L 素子が順に駆動して R, G, B 色を発光し, 所定の色を具現する。この他, 色度, 明るさ, または輝度等を調整するために, R, G, B - E L 素子, または R, G, B, W (W h i t e) - E L 素子の発光順を任意的に変更する, または 1 フレームを 3 サブフレーム以上に分割して他のサブフレームで R, G, B, W 色のうち, 少なくとも一つをさらに発光させることもできる。例えば, 1 フレームを 4 サブフレームに分割して, R R G B, R G G B, R G B B, R G B W のように余分の 1 サブフレームの間に R, G, B, または W のうち, 一つの色をさらに発光させることもできる。そして, 余分に発光させる色は, 多数のサブフレームのうち, 適当なサブフレームにおいて発光される。このとき, 余分のサブフレームにおいて R, G, B, W の色のうち, 一つをさらに発光させるために, R, G, B, W - E L 素子のうち, 一つの E L 素子を駆動させるか, またはこれらの中で少なくとも二つの E L 素子を駆動させることもできる。

【 0 0 6 2 】

また, 本実施の形態では, 1 フレームを 3 サブフレームに分割し, 各サブフレームにおいて R, G, B - E L 素子が順に駆動されるが, 各 E L 素子の駆動方法についてはこれに限定されない。例えば, 1 フレームを 4 以上のサブフレームに分割して, R, G, B, W を時分割的に順に駆動させる, または R, G, B, W のうち, 少なくとも二つの色を各サブフレームにおいて時分割的に順に駆動させるようにしてもよい。

【 0 0 6 3 】

図 8 は, 本実施の形態に係る順次駆動方式の有機電界発光表示装置が備えるピクセル回路の構成例を示したブロック図である。図 1 0 は, 図 8 のピクセル回路の具体例を示している。図 8 及び図 1 0 に示したピクセル回路は, R, G, B - E L 素子 E L 1 __ R, E L 1 __ G, E L 1 __ B を 1 フレームの間に時分割的に順次駆動させる。

【 0 0 6 4 】

図 8 及び図 1 0 に示したように, 画素 P 1 1 は, 一つのゲートライン 5 1 1, データライン 5 2 1, 二つの発光制御ライン 5 9 1 a, 5 9 1 b, 及び電源供給ライン 5 3 1, 並びに, 各ラインを通じて入力される信号によって順に駆動される表示手段 5 6 0 を備える。表示手段 5 6 0 は, 光を自ら放出する発光素子で構成され, 発光素子は R, G, B の色を発光する R, G, B - E L 素子 E L 1 __ R, E L 1 __ G, E L 1 __ B を備える。

【 0 0 6 5 】

また, 画素 P 1 1 は, R, G, B - E L 素子 E L 1 __ R, E L 1 __ G, E L 1 __ B を時分割的に順に駆動するための能動素子 5 7 0 をさらに備える (図 7 参照)。

【 0 0 6 6 】

能動素子 5 7 0 は, 駆動手段 5 4 0 と順次制御手段 5 5 0 を備えている。駆動手段 5 4

10

20

30

40

50

0 は、スキャン信号 S 1 が印加されるたびに R, G, B データ信号 D 1 (D R 1, D G 1, D B 1) に対応する駆動電流を出力する。順次制御手段 5 5 0 は、発光制御信号 E C _ 1 1, E C _ 2 1 に応じて、駆動手段 5 4 0 から出力された駆動電流を順に表示手段 5 6 0 に備えられた R, G, B - E L 素子 E L 1 _ R, E L 1 _ G, E L 1 _ B に供給する。
【 0 0 6 7 】

図 1 0 に示したように、駆動手段 5 4 0 は、ゲートにゲートライン 5 1 1 からスキャン信号 S 1 が提供され、ソースにデータライン 5 2 1 から R, G, B データ信号 D R 1, D G 1, D B 1 が順に提供されるスイッチングトランジスタ M 5 1 (第 1 トランジスタ) と、スイッチングトランジスタ M 5 1 のドレインにゲートが接続され、ソースに電源電圧ライン 5 3 1 から電源電圧 V D D 1 が提供され、ドレインが順次制御手段 5 5 0 に接続される駆動トランジスタ M 5 2 (第 2 トランジスタ)、及び駆動トランジスタ M 5 2 のゲートとソースの間に接続されたキャパシタ C 5 1 (貯蔵素子) で構成される。

【 0 0 6 8 】

本実施の形態では、駆動手段 5 4 0 は、二つの薄膜トランジスタ (スwitchングトランジスタと駆動トランジスタ) と、一つのキャパシタで構成されているが、表示手段 5 6 0 を構成する発光素子を駆動することができるその他の回路構成を採用することが可能である。また、表示手段 5 6 0 の発光素子を駆動する駆動特性を向上させることができるすべての手段、例えばスレッシュホールド電圧補償手段等を追加することも好ましい。

【 0 0 6 9 】

また、駆動手段 5 4 0 は、Pチャネル型薄膜トランジスタのみで構成されているが、Nチャネル型薄膜トランジスタで構成してもよい。Nチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタを混在させることも可能である。またさらに、各薄膜トランジスタは、デプレションモード (d e p l e t i o n m o d e) であってもよいし、エンハンスメントモード (e n h a n c e m e n t m o d e) であってもよい。また、駆動手段 5 4 0 を薄膜トランジスタで構成する代わりに、薄膜ダイオード (T F D : T h i n F i l m D i o d e)、ダイオード、T R S のような各種スイッチング素子を使用することができる。

【 0 0 7 0 】

順次制御手段 5 5 0 は、駆動手段 5 4 0 と表示手段 5 6 0 の間に接続されており、発光制御信号発生回路 5 9 0 から発光制御ライン 5 9 1 a, 5 9 1 b を通じて提供される第 1 発光制御信号 E C _ 1 1 及び第 2 発光制御信号 E C _ 2 1 に応じて、表示手段 5 6 0 の R, G, B - E L 素子 E L 1 _ R, E L 1 _ G, E L 1 _ B を順に駆動する。

【 0 0 7 1 】

図 1 0 に示したように、順次制御手段 5 5 0 は、駆動手段 5 4 0 に属する駆動トランジスタ M 5 2 のドレインと R, G, B - E L 素子 E L 1 _ R, E L 1 _ G, E L 1 _ B のアノードとの間に接続されており、発光制御信号 E C _ 1 1, E C _ 2 1 に応じて R, G, B - E L 素子 E L 1 _ R, E L 1 _ G, E L 1 _ B の駆動を順に制御する第 1 制御手段、第 2 制御手段、及び第 3 制御手段を備える。

【 0 0 7 2 】

本実施の形態では、順次制御手段 5 5 0 が二つの発光制御信号 E C _ 1 1, E C _ 2 1 だけを利用して R, G, B - E L 素子 E L 1 _ R, E L 1 _ G, E L 1 _ B を順に制御する。

【 0 0 7 3 】

すなわち、第 1 制御手段は、Pチャネル型のトランジスタ (F E T : F i e l d - E f f e c t T r a n s i s t o r) M 5 5 _ R 1 (第 3 トランジスタ) と Nチャネル型のトランジスタ M 5 5 _ R 2 (第 4 トランジスタ) から構成されている。トランジスタ M 5 5 _ R 1 は、第 1 発光制御信号 E C _ 1 1 によってオン / オフ制御され、駆動トランジスタ M 5 2 を通じて入力される R データ信号をトランジスタ M 5 5 _ R 2 に与える。トランジスタ M 5 5 _ R 2 は、第 2 発光制御信号 E C _ 2 1 によってオン / オフ制御され、トランジスタ M 5 5 _ R 1 を介して入力される R データ信号を R - E L 素子 E L 1 _ R に与え

10

20

30

40

50

て、R - E L 素子 E L 1 __ R を駆動する。具体的には、トランジスタ M 5 5 __ R 1 のゲートは第 1 発光制御信号 E C __ 1 1 の伝送ラインに接続されており、トランジスタ M 5 5 __ R 2 のゲートは第 2 発光制御信号 E C __ 2 1 が接続されており、トランジスタ M 5 5 __ R 1 のソースは駆動トランジスタ M 5 2 のドレインに接続されており、トランジスタ M 5 5 __ R 2 のドレインはトランジスタ M 5 5 __ R 1 のドレインに接続されており、トランジスタ M 5 5 __ R 2 のソースは R - E L 素子 E L 1 __ R のアノードに接続されている。

【 0 0 7 4 】

第 2 制御手段は、N チャンネル型のトランジスタ M 5 5 __ G 1 (第 5 トランジスタ) と P チャンネル型のトランジスタ M 5 5 __ G 2 (第 6 トランジスタ) から構成されている。トランジスタ M 5 5 __ G 1 は、第 1 発光制御信号 E C __ 1 1 によってオン / オフ制御され、駆動トランジスタ M 5 2 を通じて入力される G データ信号をトランジスタ M 5 5 __ G 2 に与える。トランジスタ M 5 5 __ G 2 は、第 2 発光制御信号 E C __ 2 1 によってオン / オフ制御され、トランジスタ M 5 5 __ G 1 を介して入力される G データ信号を G - E L 素子 E L 1 __ G に与えて、G - E L 素子 E L 1 __ R を駆動する。具体的には、トランジスタ M 5 5 __ G 1 のゲートは第 1 発光制御信号 E C __ 1 1 の伝送ラインに接続されており、トランジスタ M 5 5 __ G 2 のゲートは第 2 発光制御信号 E C __ 2 1 が接続されており、トランジスタ M 5 5 __ G 1 のドレインは駆動トランジスタ M 5 2 のドレインに接続されており、トランジスタ M 5 5 __ G 2 のソースはトランジスタ M 5 5 __ G 1 のソースに接続されており、トランジスタ M 5 5 __ G 2 のドレインは G - E L 素子 E L 1 __ G のアノードに接続されている。

10

20

【 0 0 7 5 】

第 3 制御手段は、N チャンネル型のトランジスタ M 5 5 __ B 1 (第 7 トランジスタ) と N チャンネル型のトランジスタ M 5 5 __ B 2 (第 8 トランジスタ) から構成されている。トランジスタ M 5 5 __ B 1 は、第 1 発光制御信号 E C __ 1 1 によってオン / オフ制御され、駆動トランジスタ M 5 2 を通じて入力される B データ信号をトランジスタ M 5 5 __ B 2 に与える。トランジスタ M 5 5 __ B 2 は、第 2 発光制御信号 E C __ 2 1 によってオン / オフ制御され、トランジスタ M 5 5 __ B 1 を介して入力される B データ信号を B - E L 素子 E L 1 __ B に与えて、B - E L 素子 E L 1 __ B を駆動する。具体的には、トランジスタ M 5 5 __ B 1 のゲートは第 1 発光制御信号 E C __ 1 1 の伝送ラインに接続されており、トランジスタ M 5 5 __ B 2 のゲートは第 2 発光制御信号 E C __ 2 1 が接続されており、トランジスタ M 5 5 __ B 1 のドレインは駆動トランジスタ M 5 2 のドレインに接続されており、トランジスタ M 5 5 __ B 2 のドレインはトランジスタ M 5 5 __ B 1 のソースに接続されており、トランジスタ M 5 5 __ B 2 のソースは B - E L 素子 E L 1 __ B のアノードに接続されている。

30

【 0 0 7 6 】

順次制御手段 5 5 0 は、P チャンネル型薄膜トランジスタと N チャンネル型薄膜トランジスタの組み合わせで構成されているが、P チャンネル型薄膜トランジスタのみ、または、N チャンネル型薄膜トランジスタのみで構成してもよい。N チャンネル型薄膜トランジスタと P チャンネル型薄膜トランジスタを異なる組み合わせとすることも可能である。また、各薄膜トランジスタは、デプレションモードであってもよいし、エンハンスメントモードであってもよい。また、順次制御手段 5 5 0 を薄膜トランジスタで構成する代わりに、薄膜ダイオード、ダイオード、T R S のような各種スイッチング素子を使用することができる。そして、R、G、B - E L 素子を順に駆動する多様な形態でこれらのスイッチング素子が回路構成される。

40

【 0 0 7 7 】

本実施の形態では、一つの能動素子によって順次駆動される発光素子として R、G、B - E L 素子が採用されているが、この他、F E D (F i e l d E m i s s i o n D i s p l a y)、P D P (P l a s m a D i s p l a y P a n e l) のような発光素子を採用することも可能である。

【 0 0 7 8 】

50

本実施の形態に係る有機電界発光表示装置のピクセル回路の順次駆動方式を説明すると次のようである。

【0079】

従来は、図3に示したように、多数のゲートラインに対して、ゲートライン駆動回路110から一つのスキャン信号 $S_1 \sim S_m$ がそれぞれ順に印加される。そして、1フレームの間に m 個のスキャン信号が印加され、各スキャン信号 $S_1 \sim S_m$ が印加されるたびにデータライン駆動回路120から R, G, B 、データ信号 $DR_1 \sim DR_n, DG_1 \sim DG_n, DB_1 \sim DB_n$ が同時に R, G, B データラインに印加される。これによって画素が駆動する。

【0080】

これに対して、本実施の形態によれば、1フレームが3サブフレームに分割され、各サブフレームにおいて、各ゲートラインにゲートライン駆動回路510からスキャン信号がそれぞれ印加される。このため、1フレームの間に、 $3m$ 個のスキャン信号が印加される。第1画素については、まず、第1サブフレームにおいて、第1ゲートライン511にスキャン信号 S_1 が印加され、スイッチングトランジスタ M_{51} がターンオンしてデータライン521から R データ信号 DR_1 が駆動トランジスタ M_{52} に提供される。このとき、順次制御手段550において、論理的低レベル（以下、「Lレベル」という）の第1発光制御信号 EC_11 と論理的高レベル（以下、「Hレベル」という）の第2発光制御信号 EC_21 に応じて第1制御手段であるトランジスタ M_{55_R1} とトランジスタ M_{55_R2} がターンオンしているため、 R データ信号 DR_1 が $R-EL$ 素子 EL_1_R に供給され、 $R-EL$ 素子 EL_1_R が駆動する。

【0081】

次に、第2サブフレームにおいて、第1ゲートライン511にスキャン信号 S_1 が印加され、データライン521から G データ信号 DG_1 が駆動トランジスタ M_{52} に提供される。このとき、順次制御手段550において、Hレベルの第2発光制御信号 EC_11 とLレベルの第2発光制御信号 EC_21 に応じて第2制御手段であるトランジスタ M_{55_G1} とトランジスタ M_{55_G2} がターンオンしているため、 G データ信号 DG_1 が $G-EL$ 素子 EL_1_G に供給され、 $G-EL$ 素子 EL_1_G が駆動する。

【0082】

最後に、第3サブフレームにおいて、第1ゲートライン511にスキャン信号 S_1 が印加され、データライン521から B データ信号 DB_1 が駆動トランジスタ M_{52} に提供される。このとき、順次制御手段550において、Hレベルの第3発光制御信号 EC_11 とHレベルの第2発光制御信号 EC_21 に応じて第3制御手段であるトランジスタ M_{55_B1} とトランジスタ M_{55_B2} がターンオンしているため、 B データ信号 DB_1 が $B-EL$ 素子 EL_1_B に供給され、 $B-EL$ 素子 EL_1_B が駆動する。

【0083】

このように、1フレームを構成する各サブフレームにおいて、スキャン信号 $S_1 \sim S_m$ が印加されると、その度に各データラインに R データ信号 $DR_1 \sim DR_n, G$ データ信号 $DG_1 \sim DG_n, B$ データ信号 $DB_1 \sim DB_n$ が順に印加される。この結果、画素 $P_{11} \sim P_{mn}$ の $R, G, B-EL$ 素子 EL_R, EL_G, EL_B が時分割的に順次駆動する。

【0084】

このように、本実施の形態に係るピクセル回路は、画素 $P_{11} \sim P_{mn}$ それぞれに属する $R, G, B-EL$ 素子 EL_1_R, EL_1_G, EL_1_B は、能動素子570を共有することになる。したがって、各画素 $P_{11} \sim P_{mn}$ において、一つのゲートライン、一つのデータライン、そして、一つの電源供給ラインだけが必要となり、回路構成の単純化が実現する。また、二つの発光制御ラインだけが必要となるため、ピクセル回路の配線がさらに単純化され、 $R, G, B-EL$ 素子の発光をさらに簡単に制御できる。

【0085】

図6は、本発明の第1の実施の形態に係る有機電界発光表示装置が備える画素部の他の

10

20

30

40

50

例を示したブロック図である。図 9 は、図 6 に示した順次駆動方式の有機電界発光表示装置のピクセル回路の、また他のブロック構成を示したものであり、図 11 は、図 9 のピクセル回路の詳細回路の例を示したものである。図 6、図 9、及び図 11 に示すピクセル回路は、図 5、図 8、及び図 10 のピクセル回路に類似している。相違点としては、図 6、図 9、及び図 11 に示したピクセル回路では、駆動手段 540 のキャパシタ C51 と駆動トランジスタ M52 のソースに対して、同じ電源ライン 531 を通じて同じ電源電圧 VDD1 が提供されたが、図 5、図 8、及び図 10 に示したピクセル回路には、個別の電源ラインが備えられており、キャパシタ C51 には電源ライン 531b を通じて電源電圧 VDD1b が提供され、駆動トランジスタ M52 のソースには電源ライン 531a を通じて電源電圧 VDD1a が提供される。このように、キャパシタ C51 に供給される電源ラインと駆動トランジスタに供給される電源ラインを分離することによって、キャパシタ C51 にデータ信号をより安定的に貯蔵できるようになる。

10

【0086】

次に、前述したような構成を有する本発明の第 1 の実施の形態に係る有機電界発光表示装置を時分割的に順次駆動する方法について、図 12 の駆動波形図を参照しながら詳しく説明する。

【0087】

まず、第 1 フレーム 1F の第 1 サブフレーム 1SF_R において、ゲートライン駆動回路 510 から第 1 ゲートライン 511 にスキャン信号 S1(R) が印加されると、第 1 ゲートライン 511 が活性化し、データライン駆動回路 520 からデータ信号 D1 ~ Dn として R データ信号 DR1 ~ DRn が第 1 ゲートライン 511 に接続された画素 P11 ~ P1n の駆動トランジスタ M52 のゲートに提供される。このとき、発光制御信号発生回路 590 から発光制御ライン 591a、591b を通って、第 1 ゲートライン 511 に接続された画素 P11 ~ P1n の R - EL 素子 EL_R を制御するための L レベルの第 1 発光制御信号 EC_11 と H レベルの第 2 発光制御信号 EC_21 が順次制御手段 550 に印加され、トランジスタ M55_R1 とトランジスタ M55_R2 がターンオンする。これによって、R データ信号 DR1 ~ DRn に応じた駆動電流が R - EL 素子に提供され、R - EL 素子が駆動する。

20

【0088】

続いて、第 1 フレーム 1F の第 2 サブフレーム 1SF_G において、第 1 ゲートライン 511 に二つ目のスキャン信号 S1(G) が印加されると、データライン 521 ~ 52n に流れる G データ信号 DG1 ~ DGn が駆動トランジスタ M52 のゲートに提供される。このとき、発光制御信号発生回路 590 から発光制御ライン 591a、591b を通って、第 1 ゲートライン 511 に接続された画素 P11 ~ P1n の G - EL 素子 EL_G を制御するための H レベルの第 1 発光制御信号 EC_11 と L レベルの第 2 発光制御信号 EC_21 が順次制御手段 550 に印加され、トランジスタ M55_G1 とトランジスタ M55_G2 がターンオンする。これによって、G データ信号 DG1 ~ DGn に応じた駆動電流が G - EL 素子に提供され、G - EL 素子が駆動する。

30

【0089】

そして、第 1 フレーム 1F の第 3 サブフレーム 1SF_B において、第 1 ゲートライン 511 に三つ目のスキャン信号 S1(B) が印加されると、データライン 521 ~ 52n に流れる B データ信号 DB1 ~ DBn が駆動トランジスタ M52 のゲートに提供される。このとき、発光制御信号発生回路 590 から発光制御ライン 591a、591b を通って、第 1 ゲートライン 511 に接続された画素 P11 ~ P1n の B - EL 素子 EL_B を制御するための H レベルの第 1 発光制御信号 EC_11 と H レベルの第 2 発光制御信号 EC_21 が順次制御手段 550 に印加され、トランジスタ M55_B1 とトランジスタ M55_B2 がターンオンする。これによって、B データ信号 DB1 ~ DBn に応じた駆動電流が B - EL 素子に提供され、B - EL 素子が駆動する。

40

【0090】

同様に、第 1 フレーム 1F の各サブフレームにおいて、第 2 ゲートライン 512 にスキ

50

ヤン信号 S_2 が印加されると、前述のようにデータライン $521 \sim 52n$ に R, G, B データ信号 $DR_1 \sim DR_n, DG_1 \sim DG_n, DB_1 \sim DB_n$ が順次印加される。また、発光制御信号発生回路 590 から発光制御ライン $591a, 591b$ を通って、第2ゲートライン 512 に接続された画素 $P_{21} \sim P_{2n}$ の R, G, B - EL 素子を制御するための第1発光制御信号 EC_{12} 、第2発光制御信号 EC_{22} が順次制御手段 550 に順次入力される。これによって、トランジスタ M_{55_R1} とトランジスタ M_{55_R2} 、トランジスタ M_{55_G1} とトランジスタ M_{55_G2} 、トランジスタ M_{55_B1} とトランジスタ M_{55_B2} が順次ターンオンし、 R, G, B データ信号 $DR_1 \sim DR_n, DG_1 \sim DG_n, DB_1 \sim DB_n$ に応じた駆動電流が R, G, B - EL 素子に順次提供され、 R, G, B - EL 素子が駆動する。

10

【0091】

このような動作は、第1フレーム $1F$ の各サブフレームにおいて、第 m ゲートライン $51m$ まで繰り返し行われる。第 m ゲートライン $51m$ にスキャン信号 S_m が印加されると、データライン $521 \sim 52n$ に R, G, B データ信号 $DR_1 \sim DR_n, DG_1 \sim DG_n, DB_1 \sim DB_n$ が順次印加される。また、発光制御信号発生回路 590 から発光制御ライン $59ma, 59mb$ を通って、第 m ゲートライン $51m$ に接続された画素 $P_{m1} \sim P_{mn}$ の R, G, B - EL 素子を制御するための第1発光制御信号 EC_{1m} 、第2発光制御信号 EC_{2m} が順次制御手段 550 に順次入力される。これによって、トランジスタ M_{55_R1} とトランジスタ M_{55_R2} 、トランジスタ M_{55_G1} とトランジスタ M_{55_G2} 、トランジスタ M_{55_B1} とトランジスタ M_{55_B2} が順次ターンオンし、 R, G, B データ信号 $DR_1 \sim DR_n, DG_1 \sim DG_n, DB_1 \sim DB_n$ に応じた駆動電流が R, G, B - EL 素子に順次提供され、 R, G, B - EL 素子が駆動する。

20

【0092】

以上のように、本実施の形態にかかる有機電界発光表示装置の駆動方法によれば、1つのフレームは3つのサブフレームに分割され、各サブフレームにおいて、 R, G, B - EL 素子を順次駆動させることによって画素が表示されるようになる。このとき、 R, G, B - EL 素子は順に駆動されるが、 R, G, B - EL 素子の順次駆動サイクルを短く調整すれば、人間の目には R, G, B - EL 素子があたかも同時に駆動されているように認識される。つまり、各画素はちらつくことなく正常に画像表示される。

【0093】

また、本発明の第1の実施の形態に係る有機電界発光表示装置によれば、 R, G, B - EL 素子の発光時間を調節してホワイトバランスを調節できる。 R, G, B - EL 素子の発光時間を調節するためには、図10及び図11の順次制御手段 550 のトランジスタ M_{55_R1} とトランジスタ M_{55_R2} 、トランジスタ M_{55_G1} とトランジスタ M_{55_G2} 、トランジスタ M_{55_B1} とトランジスタ M_{55_B2} の各ターンオン時間を調節すればよい。

30

【0094】

具体的には、図13に示したように、各サブフレームにおいて、発光制御信号発生手段 590 が出力する第1発光制御信号 EC_{11} と第2発光制御信号 EC_{21} の論理レベルの組み合わせの時間を調節する。この時間に応じて順次制御手段 550 のトランジスタ M_{55_R1} とトランジスタ M_{55_R2} 、トランジスタ M_{55_G1} とトランジスタ M_{55_G2} 、トランジスタ M_{55_B1} とトランジスタ M_{55_B2} のターンオン時間 t_r, t_g, t_b が決定される。

40

【0095】

本実施の形態では、二つの発光制御信号、すなわち第1発光制御信号 EC_{11} と第2発光制御信号 EC_{21} によって、 R, G, B - EL 素子の順次発光が制御される。例えば図13に示したように、 R, G, B - EL 素子のうち、 R - EL 素子のターンオン時間 t_r (発光時間) と G - EL 素子のターンオン時間 t_g (発光時間) を定常状態から変更することによってホワイトバランスを調節することが可能となる。このように、 R - EL 素子のターンオン時間 t_r 、 G - EL 素子のターンオン時間 t_g 、及び B - EL 素子のタ

50

ーンオン時間 t_b を適宜調節すれば、最適なホワイトバランスを得ることができる。

【0096】

本実施の形態によれば、前述したように R、G、B 発光時間を調整してホワイトバランスを調整するだけでなく、図 13 のように、R、G、B 発光時間を 1 次に調整してホワイトバランスを調整した上で、明るさを最適化するために、R、G、B 発光時間をさらに調整するようにしてもよい。

【0097】

以上のように、本発明の第 1 の実施の形態によれば、R、G、B - EL 素子が駆動薄膜トランジスタとスイッチング薄膜トランジスタを共有して時分割的に駆動するため、高精度化が可能であり、素子数及び配線数を減少させ開口率及び収率を向上することができる。また、本実施の形態は、順次駆動方式を採用しているため、RC ディレイ及び電圧降下 (IR drop) を防止することも可能となる。

【0098】

しかも、本実施の形態によれば、各 R、G、B - EL 素子は、2 つの発光制御信号によって駆動制御される。このため、回路構成の一層の簡素化が実現する。

【0099】

(第 2 の実施の形態)

図 14 は、本発明の第 2 の実施の形態に係る有機電界発光表示装置の構成を示すブロック図である。図 14 に示した第 2 の実施の形態に係る有機電界発光表示装置は、図 4 に示した第 1 の実施の形態に係る有機電界発光表示装置に対して、ゲートライン駆動回路 510 が二つのゲートライン駆動回路 510a、510b に置き換えられ、発光制御信号発生回路 590 が二つの発光制御信号発生回路 590a、590b に置き換えられた構成を有する。

【0100】

すなわち、本実施の形態にかかる有機電界発光表示装置は、多数のゲートライン 511 ~ 51n のうち、第 1 ゲートライン駆動回路 510a から一のゲートライン群にスキャン信号が提供され、第 2 ゲートライン駆動回路 510b から他のゲートライン群にスキャン信号が提供されるように構成されている。このとき、ゲートライン 511 ~ 51n のうち、上段にレイアウトされているゲートラインには第 1 ゲートライン駆動回路 510a からスキャン信号 $S_1 \sim S_{k-1}$ ($1 < k < m$) が印加され、下段にレイアウトされているゲートラインには第 2 ゲートライン駆動回路 510b からスキャン信号 $S_k \sim S_m$ が順に印加されるように構成することが可能である。また、偶数番目にレイアウトされているゲートラインには第 1 ゲートライン駆動回路 510a からスキャン信号が印加され、奇数番目にレイアウトされているゲートラインには第 2 ゲートライン駆動回路 510b からスキャン信号が印加されるように構成することも好ましい。これによって、画素部に配列されるゲートラインの密度を減少させることができる。また、第 1 ゲートライン駆動回路 510a 及び第 2 ゲートライン駆動回路 510b から同時にゲートラインにスキャン信号を供給することによって信号の伝送遅延を防止することが可能となる。さらに、第 1 ゲートライン駆動回路 510a と第 2 ゲートライン駆動回路 510b を備えることによって、冗長性を高めることも可能となる。すなわち、第 1 ゲートライン駆動回路 510a と第 2 ゲートライン駆動回路 510b のうち一方が故障しても他方によって冗長救済することができる。

【0101】

また、本実施の形態にかかる有機電界発光表示装置は、多数の発光制御ライン 591 ~ 59n のうち、第 1 発光制御信号発生回路 590a から一の発光制御ライン群に発光制御信号が提供され、第 2 発光制御信号発生回路 590b から他の発光制御ライン群に発光制御信号が提供されるように構成されている。このとき、発光制御信号ライン 591 ~ 59n のうち、上段にレイアウトされている発光制御ラインには第 1 発光制御信号発生回路 590a から発光制御信号が印加され、下段にレイアウトされている発光制御ラインには第 2 発光制御信号発生回路 590b から発光制御信号が順に印加されるように構成すること

が可能である。また、偶数番目にレイアウトされている発光制御ラインには第1発光制御信号発生回路590aから発光制御信号が印加され、奇数番目にレイアウトされている発光制御ラインには第2発光制御信号発生回路590bから発光制御信号が印加されるように構成することも好ましい。これによって、画素部に配列される発光制御ラインの密度を減少させることができる。また、第1発光制御信号発生回路590a及び第2発光制御信号発生回路590bから同時に発光制御ラインに発光制御信号を供給することによって信号の伝送遅延を防止することが可能となる。さらに、第1発光制御信号発生回路590aと第2発光制御信号発生回路590bを備えることによって、冗長性を高めることも可能となる。すなわち、第1発光制御信号発生回路590aと第2発光制御信号発生回路590bのうち一方が故障しても他方によって冗長救済することができる。

10

【0102】

(第3の実施の形態)

図15は、本発明の第3の実施の形態に係る有機電界発光表示装置の構成を示すブロック図である。図15に示した第3の実施の形態に係る有機電界発光表示装置は、図14に示した第2の実施の形態に係る有機電界発光表示装置に対して、二つのゲートライン駆動回路510a、510bと二つの発光制御信号発生回路590a、590bのレイアウト位置が相違している。このように、ゲートライン駆動回路や発光制御信号発生回路を2以上に分割することによって、基板上のレイアウト位置の自由度が高まる。これは、有機電界発光表示装置の小型化にも有利である。

【0103】

20

なお、本発明の第2の実施の形態及び第3の実施の形態では、ゲートライン駆動回路と発光制御信号発生回路が二つ(またはそれ以上)に分割され、各回路が多段に配列されているが、データライン駆動回路を複数備えて各データライン駆動回路を多段に配列することもできる。

【0104】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【産業上の利用可能性】

30

【0105】

本発明は、EL表示装置、FED(Field Emission Display)、PDP(Plasma Display Panel)のような発光素子を採用する表示装置に適用可能である。

【図面の簡単な説明】

【0106】

【図1】一般的な有機電界発光表示装置を示す構成図である。

【図2】図1の有機電界発光表示装置のピクセル回路を示す構成図である。

【図3】図1の有機電界発光表示装置の動作波形図である。

【図4】本発明の第1の実施の形態に係る有機電界発光表示装置を示すブロック構成図である。

40

【図5】図4の有機電界発光表示装置の画素部の構成例を示す図である。

【図6】図4の有機電界発光表示装置の画素部の他の構成例を示す図である。

【図7】同実施の形態に係る有機電界発光表示装置のピクセル回路を示す概略図である。

【図8】図5の有機電界発光表示装置のピクセル回路を示すブロック構成図である。

【図9】図6の有機電界発光表示装置のピクセル回路を示すブロック構成図である。

【図10】図8の有機電界発光表示装置のピクセル回路を示す詳細回路図である。

【図11】図9の有機電界発光表示装置のピクセル回路を示す詳細回路図である。

【図12】同実施の形態に係る有機電界発光表示装置のピクセル回路の駆動波形を示す図である。

50

【図 1 3】同実施の形態に係る有機電界発光表示装置におけるホワイトバランスの具現例を説明するための駆動波形を示す図である。

【図 1 4】本発明の第 2 の実施の形態に係る有機電界発光表示装置のブロック構成図である。

【図 1 5】本発明の第 3 の実施の形態に係る有機電界発光表示装置のブロック構成図である。

【符号の説明】

【 0 1 0 7 】

5 0 0 : 画素部

5 1 0 , 5 1 0 a , 5 1 0 b : ゲートライン駆動回路

5 1 1 ~ 5 1 m : ゲートライン

5 2 0 : データライン駆動回路

5 2 1 ~ 5 2 n : データライン

5 3 1 ~ 5 3 n : 電源ライン

5 4 0 : 駆動手段

5 5 0 : 順次制御手段

5 7 0 : 能動素子

5 9 0 , 5 9 0 a , 5 9 0 b : 発光制御信号発生回路

P 1 1 ~ P m n : 画素

E C _ 1 1 : 第 1 発光制御信号

E C _ 2 1 : 第 2 発光制御信号

E L 1 _ R : R - E L 素子

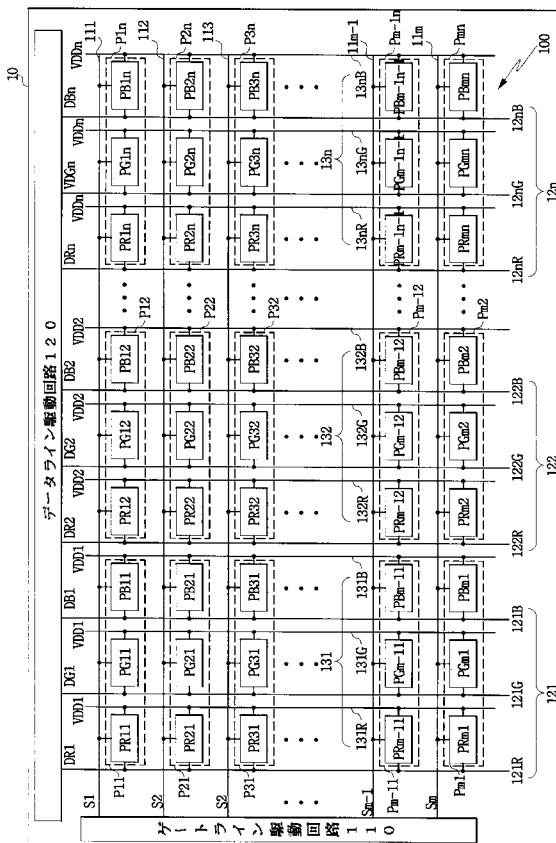
E L 1 _ G : G - E L 素子

E L 1 _ B : B - E L 素子

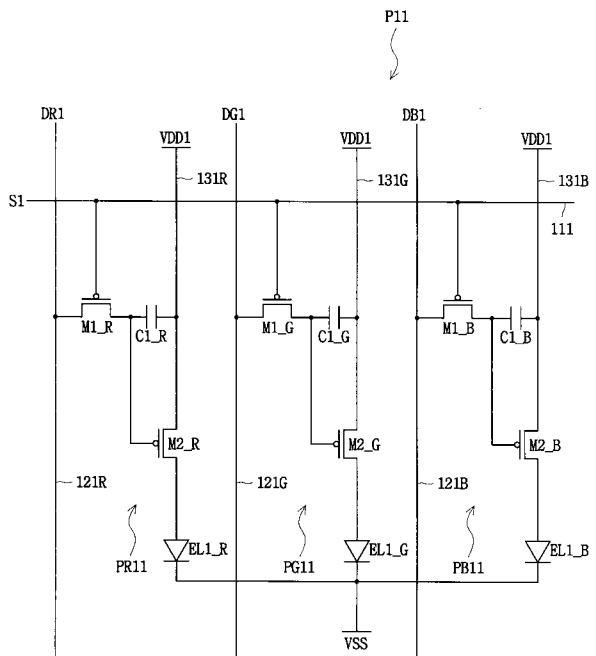
10

20

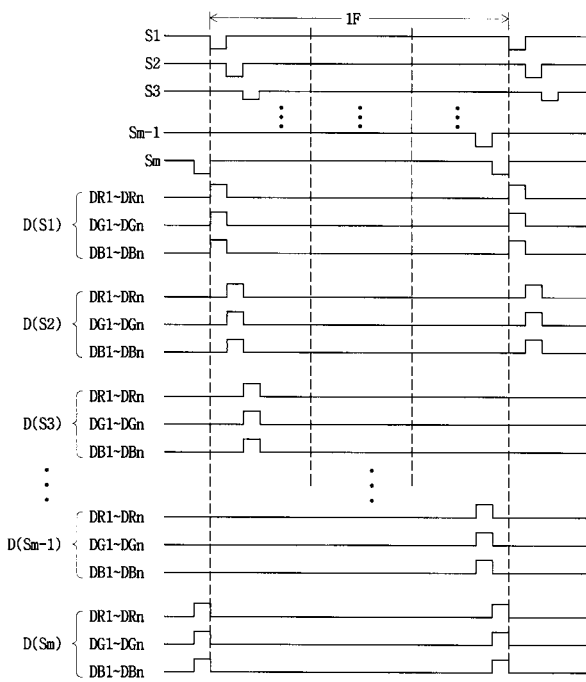
【 図 1 】



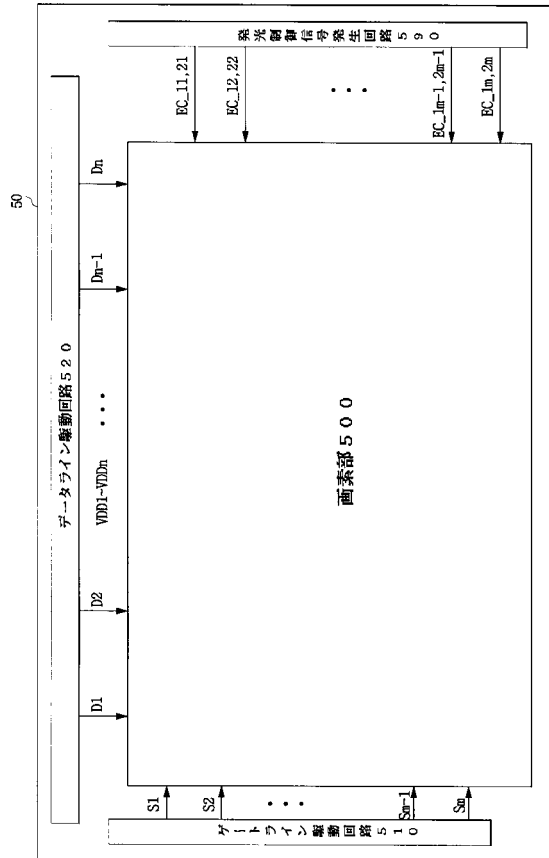
【 図 2 】



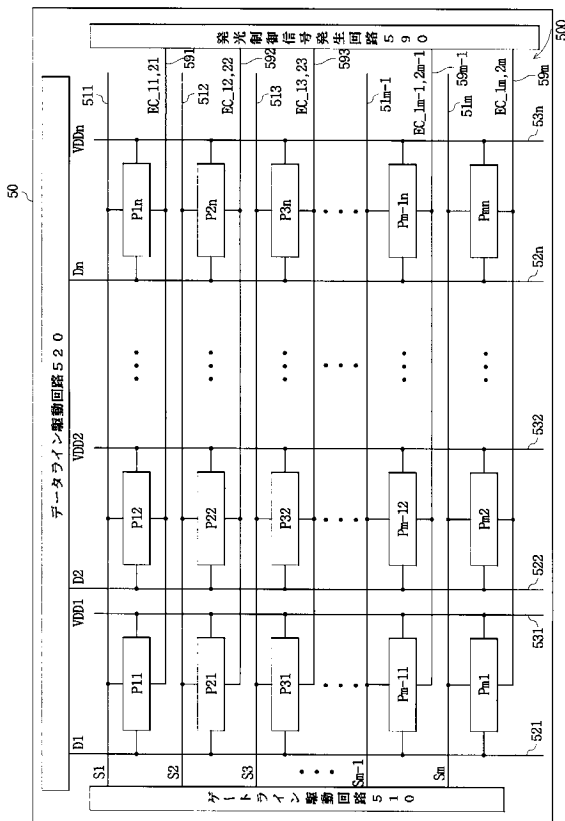
【図 3】



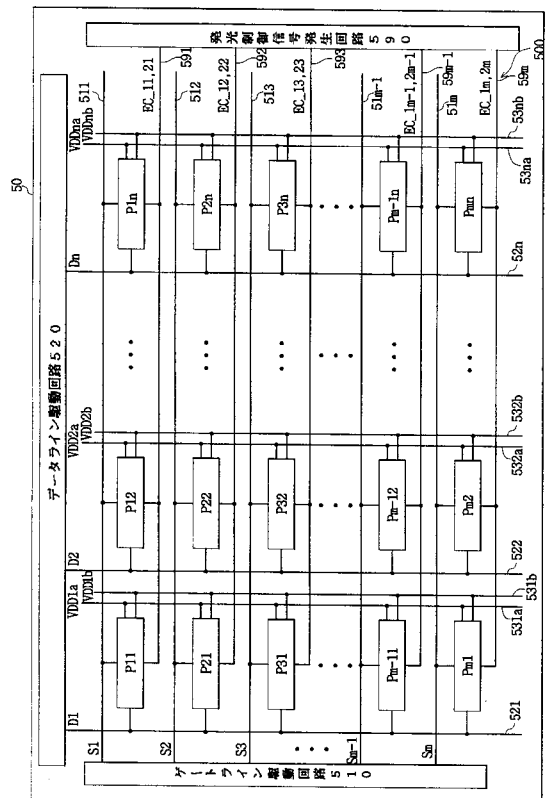
【図 4】



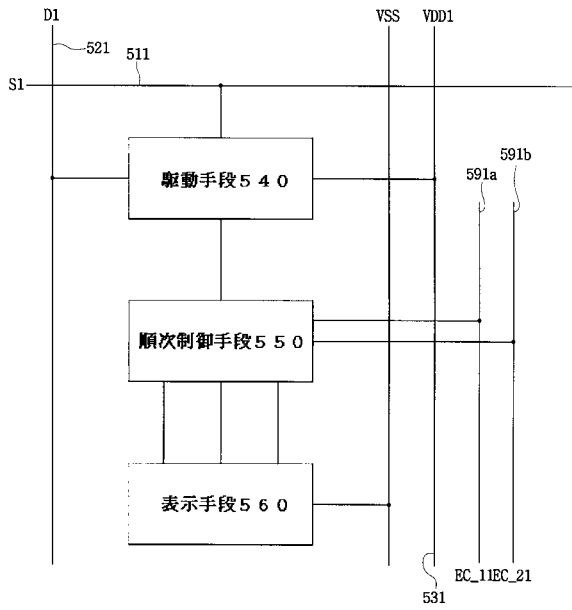
【図 5】



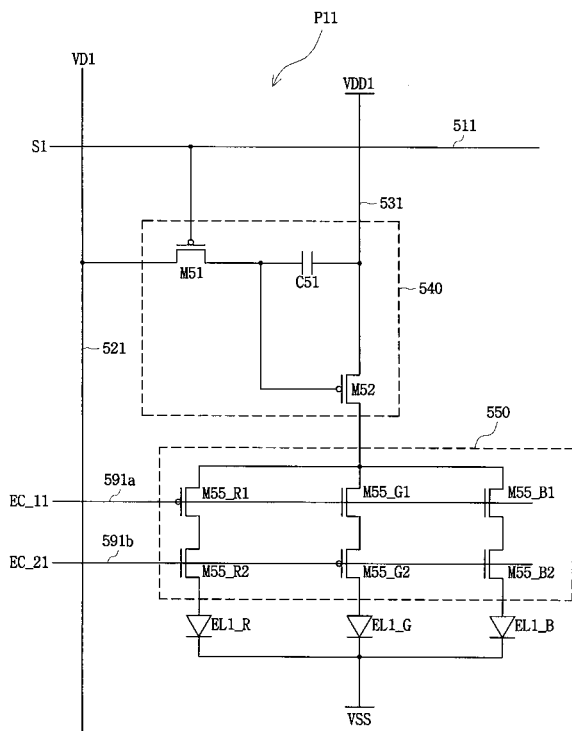
【図 6】



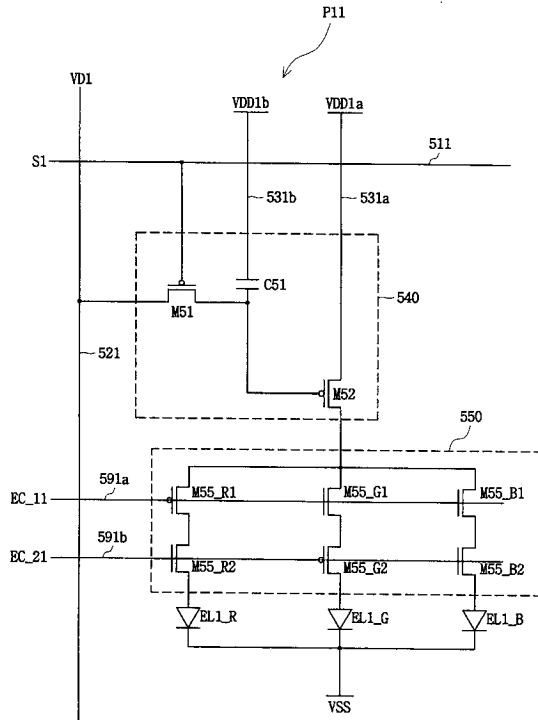
【 図 8 】



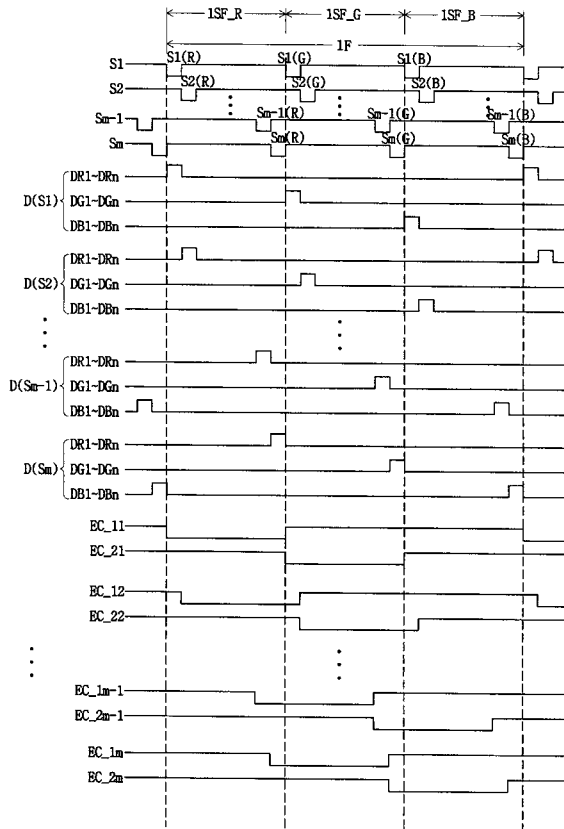
【 図 1 0 】



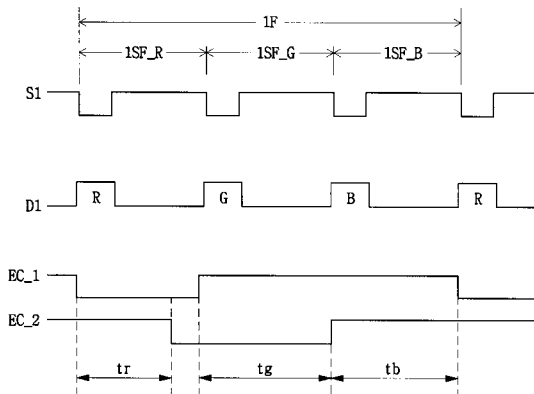
【 図 1 1 】



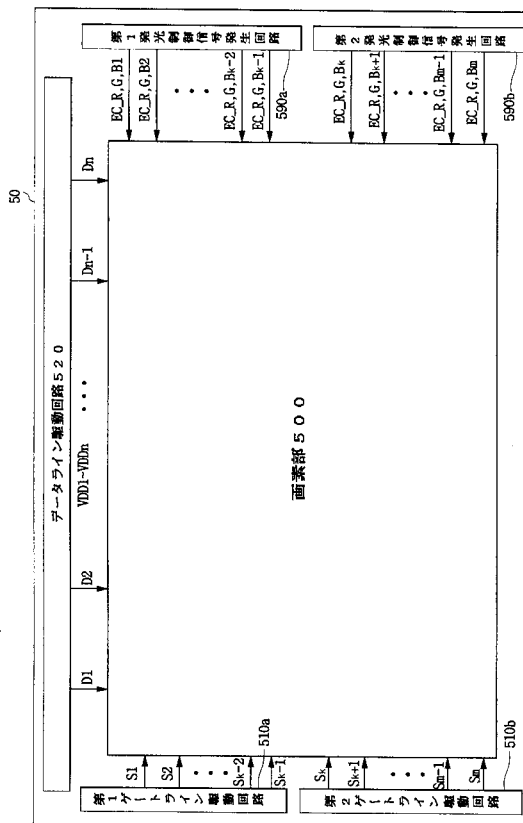
【 図 1 2 】



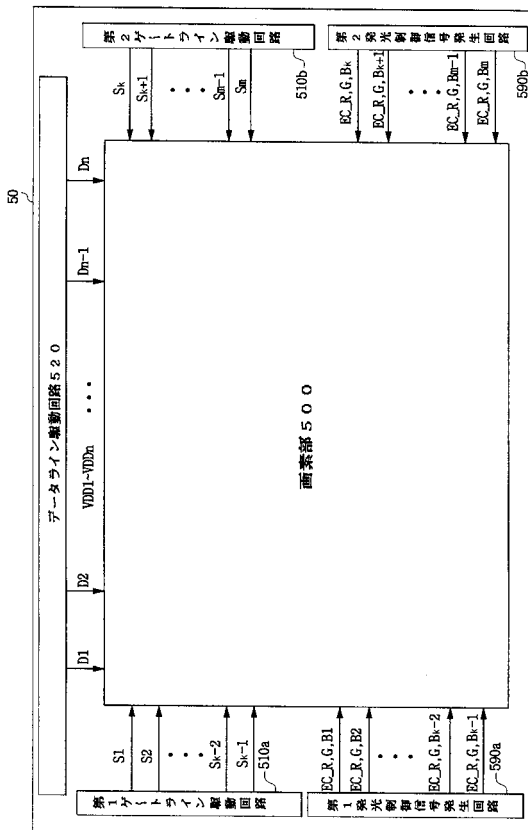
【 図 1 3 】



【 図 1 4 】



【図 15】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 2 K
G 0 9 G	3/20	6 4 2 L
G 0 9 G	3/22	E
H 0 5 B	33/14	A
G 0 9 G	3/28	H

F ターム(参考) 5C080 AA05 AA06 AA08 AA18 BB05 CC03 DD05 DD08 DD23 DD28
EE29 EE30 FF11 HH09 JJ02 JJ03 JJ04 KK07

专利名称(译)	显示装置的像素电路，显示装置及其驱动方法		
公开(公告)号	JP2005148750A	公开(公告)日	2005-06-09
申请号	JP2004330894	申请日	2004-11-15
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	郭源奎		
发明人	郭 源奎		
IPC分类号	H01L51/50 G09G3/20 G09G3/22 G09G3/291 G09G3/296 G09G3/30 G09G3/32 G09G3/28 H05B33/14		
CPC分类号	G09G3/222 G09G3/3233 G09G2300/0465 G09G2300/0814 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/0235 G09G2310/06 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.F G09G3/20.611.J G09G3/20.621.A G09G3/20.621.J G09G3/20.624.B G09G3/20.641.E G09G3/20.642.K G09G3/20.642.L G09G3/22.E H05B33/14.A G09G3/28.H G09G3/296 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA05 5C080/AA06 5C080/AA08 5C080/AA18 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD23 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 3K107/AA01 3K107/BB01 3K107/CC08 3K107/CC35 3K107/CC36 3K107/CC45 3K107/DD39 3K107/EE04 3K107/EE07 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB36 5C380/AB41 5C380/AB46 5C380/AC12 5C380/BA12 5C380/BA13 5C380/BA19 5C380/BA20 5C380/BA27 5C380/BA29 5C380/BA39 5C380/BB12 5C380/BB14 5C380/BB22 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB02 5C380/CB18 5C380/CB24 5C380/CB25 5C380/CB26 5C380/CB31 5C380/CC03 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC53 5C380/CC59 5C380/CC61 5C380/CC64 5C380/CD014 5C380/CF54 5C380/DA02 5C380/DA10 5C380/DA19 5C380/DA35 5C580/BB21 5C580/BB27 5C580/CA06 5C580/CB01 5C580/CB10		
优先权	1020030080739 2003-11-14 KR		
其他公开文献	JP4209832B2		
外部链接	Espacenet		

摘要(译)

提供一种显示装置的像素电路及其驱动方法，其可以实现高清晰度，提高开口率，提高成品率，防止RC延迟和电压降以及简化像素配置和布线。有机发光显示装置包括多个发光装置（EL1_R，EL1_G，EL1_B），每个发光装置在显示装置的像素电路中的预定区段中发射一种颜色，该像素装置在每个预定区段中实现预定颜色。有源元件（540、550）通常连接到这些发光元件以驱动每个发光元件。有源元件在预定区间内的每个预定时间段内依次驱动每个发光元件，从而每个发光元件在每个预定时间段内依次发光。[选择图]图10

