



## 【特許請求の範囲】

## 【請求項 1】

入力電圧に応じた出力電流を信号線へ供給する電流供給回路であって、  
前記出力電流を前記信号線へ供給するために設けられ、通過電流が制御ノードの電圧に応じて変化する電流駆動部と、  
前記制御ノードの電圧を保持するための電圧保持部と、  
入力ノードが所定の初期電圧に設定される第 1 の動作モードにおいて、前記電流駆動部に基準電流を通過させて、前記制御ノードを前記基準電流に対応する電圧に設定するための電流補償部と、  
前記第 1 のモードの後に実行され、前記入力ノードが前記入力電圧の伝達を受ける第 2 の動作モードにおいて、前記第 1 および第 2 の動作モード間での前記入力ノードの電圧変化に応じて、前記制御ノードの電圧を変化させる入力伝達部とを備える、電流供給回路。

## 【請求項 2】

前記信号線は、少なくとも前記第 2 の動作モードにおいて、第 1 の電圧と電気的に結合され、  
前記電流駆動部は、第 2 の電圧および第 1 のノードの間に電気的に結合されて、前記制御ノードと結合されたゲートを有する第 1 のトランジスタを有し、  
前記電圧保持部は、前記制御ノードおよび前記第 2 の電圧の間に接続された第 1 の容量素子を有し、  
前記電流補償部は、  
前記第 1 のノードと前記基準電流を供給する配線との間に電気的に結合されて、前記第 1 の動作モードにおいてターンオンする第 2 のトランジスタと、  
前記第 1 のノードおよび前記制御ノードの間に電気的に結合され、前記第 1 の動作モードにおいてターンオンする第 3 のトランジスタとを有し、  
前記入力伝達部は、前記入力ノードおよび前記制御ノードの間に接続された第 2 の容量素子を有し、  
前記電流供給回路は、  
前記第 1 のノードおよび前記信号線の間に電気的に結合されて、少なくとも前記第 2 の動作モードにおいてターンオンする第 4 のトランジスタをさらに備える、請求項 1 に記載の電流供給回路。

## 【請求項 3】

前記第 1 の電圧は、正電圧であり、  
前記第 1、第 2、第 3 および第 4 のトランジスタの各々は、n 型ポリシリコン薄膜トランジスタで形成される、請求項 2 に記載の電流供給回路。

## 【請求項 4】

前記第 1 の電圧は、接地電圧または負電圧であり、  
前記第 1、第 2、第 3 および第 4 のトランジスタの各々は、p 型ポリシリコン薄膜トランジスタで形成される、請求項 2 に記載の電流供給回路。

## 【請求項 5】

前記出力電流は電流駆動型発光素子へ供給され、  
前記入力電圧は、前記電流駆動型発光素子の表示輝度に対応したレベルに設定される、請求項 1 に記載の電流供給回路。

## 【請求項 6】

前記電流駆動部および前記信号線の間に設けられ、前記第 2 の動作モードにおいてオンするスイッチ部をさらに備え、  
前記スイッチ部のオン期間において、前記入力ノードの電圧が所定期間前記初期電圧に維持された後に、前記入力電圧は前記入力ノードへ伝達される、請求項 1 に記載の電流供給回路。

## 【請求項 7】

行列状に配置され、各々が電流駆動型発光素子を有する複数の画素と、

前記複数の画素の行にそれぞれ対応して配置され、一定周期で順に選択される複数の走査線と、

前記複数の画素の列にそれぞれ対応して配置された複数のデータ線と、

各前記データ線に対応して配置され、それぞれが相補的に第1および第2の動作モードを実行して、前記複数の画素のうちの走査対象の画素での表示輝度に対応して設定されるデータ電圧に応じたデータ電流に対応するデータ線へ供給するための第1および第2の電流供給回路とを備え、

前記第1および第2の電流供給回路の各々は、

前記データ電流を前記対応するデータ線へ供給するために設けられ、通過電流が制御ノードの電圧に応じて変化する電流駆動部と、

10

前記制御ノードの電圧を保持するための第1の電圧保持部と、

前記第1の動作モードにおいて所定の初期電圧に設定されるとともに、前記第2の動作モードにおいて前記データ電圧が伝達される入力ノードと、

前記第1のモードにおいて、前記電流駆動部に基準電流を通過させて、前記制御ノードを前記基準電流に対応する電圧に設定するための電流補償部と、

前記第2のモードにおいて、前記第1および第2の動作モード間での前記入力ノードの電圧変化に応じて、前記制御ノードの電圧を変化させる入力伝達部とを含み、

各前記画素は、対応する走査線の活性化期間において対応するデータ線によって伝達された前記データ電流に応じた電流を前記電流駆動型発光素子へ供給するとともに、前記対応する走査線の非活性化期間においても、前記データ電流に応じた電流を前記電流駆動型発光素子へ継続的に供給するための駆動回路を含む、エレクトロルミネッセンス表示装置。

20

【請求項8】

前記データ電圧は、前記表示輝度に対応するデータ電流の設定値と前記基準電流との差に応じて設定される、請求項7に記載のエレクトロルミネッセンス表示装置。

【請求項9】

前記駆動回路は、前記第2の動作モードにおいて、前記対応するデータ線を第1の電圧と電氣的に結合し、

前記電流駆動部は、第2の電圧および第1のノードの間に電氣的に結合されて、前記制御ノードと結合されたゲートを有する第1のトランジスタを有し、

前記第1の電圧保持部は、前記制御ノードおよび前記第2の電圧の間に接続された第1の容量素子を有し、

30

前記電流補償部は、

前記第1のノードと前記基準電流を供給する配線との間に電氣的に結合されて、前記第1の動作モードにおいてターンオンする第2のトランジスタと、

前記第1のノードおよび前記制御ノードの間に電氣的に結合され、前記第1の動作モードにおいてターンオンする第3のトランジスタとを有し、

前記入力伝達部は、前記入力ノードおよび前記制御ノードの間に接続された第2の容量素子を有し、

前記第1および第2の電流供給回路の各々は、前記第1のノードおよび前記対応するデータ線の間に電氣的に結合されて、少なくとも前記第2の動作モードにおいてターンオンする第4のトランジスタをさらに含む、請求項7に記載のエレクトロルミネッセンス表示装置。

40

【請求項10】

前記第1および第2の電流供給回路の各々は、

前記データ電圧をデータノードに保持するための第2の電圧保持部と、

前記第1の動作モードにおいて前記データノードおよび前記入力ノードの間を切離すとともに、前記第2の動作モードにおいて前記データノードおよび前記入力ノードの間を接続するスイッチ回路とをさらに含み、

前記第1および第2の電流供給回路の各々において、前記データノードは、前記第1の動作モードにおいて、以降に走査対象となる画素に対応するデータ電圧を伝達される、請求

50

項 7 に記載のエレクトロルミネッセンス表示装置。

【請求項 1 1】

前記第 1 および第 2 の電流供給回路において、前記第 1 および第 2 の動作モードは、前記複数の走査線の選択対象の切換わりに対応して切換えられる、請求項 1 0 に記載のエレクトロルミネッセンス表示装置。

【請求項 1 2】

前記表示輝度に対応するデータ電流の設定値に応じて、前記基準電流のレベルを調整するための基準電流調整部をさらに備える、請求項 7 に記載のエレクトロルミネッセンス表示装置。

【請求項 1 3】

前記基準電流調整部は、予め用意された複数の電流レベルのうちの 1 つを選択的に前記基準電流として出力する、請求項 1 2 に記載のエレクトロルミネッセンス表示装置。

【請求項 1 4】

前記データ電流供給回路は、前記電流駆動部および前記対応するデータ線の間設けられ、前記第 2 の動作モードにおいてオンするスイッチ部をさらに含み、前記スイッチ部のオン期間において、前記入力ノードの電圧が所定期間前記初期電圧に維持された後に、前記入力電圧は前記入力ノードへ伝達される、請求項 7 に記載のエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】  
この発明は、電流供給回路に関し、より特定的には、電流駆動型発光素子に対して指示された表示輝度に応じた電流を供給するための電流供給回路、およびそれを備えたエレクトロルミネッセンス ( E L ) 表示装置に関する。

【0002】

【従来の技術】

近年、代表的に液晶ディスプレイが用いられていたフラットパネル・ディスプレイの分野において、有機 E L 表示装置が注目されている。有機 E L 表示装置は、液晶ディスプレイと比較して、高いコントラスト比、速い応答性および広い視野角を有することが利点である。有機 E L 表示装置においては、画素ごとに電流駆動型発光素子である、有機 E L 素子が配置される。有機 E L 素子の代表例としては、有機発光ダイオードが知られている。

【0003】

特に近年では、このような有機 E L 表示装置のうちでも、画像の高精細化および低消費電力化の観点から、低温多結晶シリコン ( ポリシリコン ) を用いた薄膜トランジスタ ( T F T ) を有機発光ダイオードの駆動素子とする、低温ポリシリコン型 T F T ディスプレイが注目されている。しかし、低温ポリシリコン型 T F T には、移動度 ( m o b i l i t y ) やしきい値電圧等のトランジスタ特性の製造ばらつきが、従来の T F T よりも比較的大きくなる傾向にある。

【0004】

このような背景から、有機 E L 表示装置の問題点の 1 つとして、画素ごとの表示輝度特性の非一様性、すなわち表示輝度ばらつきの問題が指摘されており、この問題点を指摘するための構成として、たとえば " P i x e l - D r i v i n g M e t h o d s f o r L a r g e - S i z e d P o l y - S i A M - O L E D D i s p l a y s " , A k i r a Y u m o t o e t a l . , A s i a D i s p l a y / I D W ' 0 1 ( 2 0 0 1 ) p p . 1 3 9 5 - 1 3 9 8 において、いわゆる「電流プログラム型画素回路」の構成が開示されている。

【0005】

図 1 1 は、従来の技術に従う電流プログラム型画素回路の構成を説明する回路図である。

【0006】

図 1 1 を参照して、従来の技術の電流プログラム型画素回路は、発光素子として設けられ

10

20

30

40

50

た有機発光ダイオードOLEDに対して、指示された表示輝度に対応した電流を供給するための画素駆動回路PDCを含む。画素駆動回路PDCは、n型TFT素子T1、T4と、p型TFT素子T2、T3と、電圧保持キャパシタCaとを有する。

【0007】

詳細は図示しないが、有機EL表示装置全体においては、図11に示した画素回路が行列状に配置されており、各画素は、1本ずつの走査線SLおよびデータ線DLと対応づけられている。走査線SLは、対応する画素回路の走査期間に対応してハイレベル（以下、「Hレベル」とも表記する）に活性化され、それ以外の期間にはローレベル（以下、「Lレベル」とも表記する）へ非活性化される。データ線DLには、走査対象となった画素回路の表示輝度に対応するデータ電流I<sub>dat</sub>が流される。

10

【0008】

n型TFT素子T1は、対応するデータ線DLおよびノードNaの間に電氣的に結合され、そのゲートは対応する走査線SLと結合されている。p型TFT素子T2およびT3は、電源電圧V<sub>dd</sub>および有機発光ダイオードOLEDの間に直列に接続される。n型TFT素子T4は、p型TFT素子T2およびT3の接続ノードとノードNaとの間に電氣的に結合される。p型TFT素子T2のゲートはノードNaと接続され、p型TFT素子T3およびn型TFT素子T4の各ゲートは対応する走査線SLと結合されている。ノードNaの電圧、すなわちp型TFT素子T2のゲート・ソース間電圧（以下、単に「ゲート電圧」とも称する）は、ノードNaおよび電源電圧V<sub>dd</sub>の間に接続された電圧保持キャパシタCaによって保持される。

20

【0009】

有機発光ダイオードOLEDは、p型TFT素子T3および共通電極の間に接続される。図11においては、有機発光ダイオードOLEDのカソードが共通電極と接続される「カソードコモン構成」が示される。共通電極には、所定電圧V<sub>ss</sub>が供給される。所定電圧V<sub>ss</sub>としては、接地電圧または負電圧が用いられる。

【0010】

次に、表示輝度に対応したデータ電流I<sub>dat</sub>を生成するための、電流供給回路の構成について説明する。

【0011】

図12は、電流プログラム型画素回路に対してデータ電流I<sub>dat</sub>を供給するための従来の技術に従う電流供給回路の構成を示す回路図である。

30

【0012】

図12を参照して、従来の技術に従う電流供給回路は、n型TFT素子T5～T8と、電圧保持キャパシタCbとを有する。n型TFT素子T5およびT6は、データ線DLおよび所定電圧V<sub>ss</sub>の間に直列に接続される。n型TFT素子T7は、指示された表示輝度に応じた電圧を有するデータ電圧V<sub>dat</sub>が伝達されるノードとノードNmとの間に電氣的に結合される。n型TFT素子T8は、ノードNbおよびノードNmとの間に電氣的に結合される。ノードNmは、n型TFT素子T5およびT6の接続ノードに相当する。

【0013】

電圧保持キャパシタCbは、ノードNbおよび所定電圧V<sub>ss</sub>の間に接続される。n型TFT素子T6のゲートはノードNbと接続され、n型TFT素子T5のゲートには制御信号S<sub>scn</sub>が入力され、n型TFT素子T7およびT8の各ゲートには制御信号S<sub>adj</sub>が入力される。

40

【0014】

次に、従来の技術の電流供給回路の動作について説明する。

まず、制御信号S<sub>scn</sub>がLレベルに設定され、制御信号S<sub>adj</sub>がHレベルに設定される動作モードにおいて、n型TFT素子T5がターンオフするとともに、n型TFT素子T7およびT8がターンオンする。これにより、n型TFT素子T6にはデータ電圧V<sub>dat</sub>に応じた電流が流され、かつ、このような電流を流すためのn型TFT素子T6のゲート電圧が、電圧保持キャパシタCbによってノードNbに保持される。このようにして

50

、電流供給回路にデータ電圧  $V_{dat}$  が取込まれて、 $n$ 型TFT素子  $T_6$  のゲート電圧は、データ電圧  $V_{dat}$  に応じたデータ電流  $I_{dat}$  を供給するためのレベルに設定され、かつノード  $N_b$  に保持される。

【0015】

この後、制御信号  $S_{adj}$  が  $L$ レベルに設定され、制御信号  $S_{scn}$  が  $H$ レベルに設定される動作モードにおいて、 $n$ 型TFT素子  $T_5$  がターンオンするとともに、 $n$ 型TFT素子  $T_7$  および  $T_8$  がターンオフする。これにより、 $n$ 型TFT素子  $T_6$  は、取込まれたデータ電圧  $V_{dat}$  に対応するデータ電流  $I_{dat}$  を供給するためのレベルにゲート電圧が保持された状態で、データ線  $DL$  および所定電圧  $V_{ss}$  の間に電氣的に接続される。

【0016】

再び図11を参照して、対応する走査線の活性化 ( $H$ レベル) に応答して、画素駆動回路  $PDC$  において、 $n$ 型TFT素子  $T_1$  および  $T_4$  がターンオンし、 $n$ 型TFT素子  $T_3$  はターンオフされる。これにより、電源電圧  $V_{dd}$  ~  $p$ 型TFT素子  $T_2$  ~  $n$ 型TFT素子  $T_4$  ~  $n$ 型TFT素子  $T_1$  ~ データ線  $DL$  ~  $n$ 型TFT素子  $T_5$ ,  $T_6$  (図12) ~ 所定電圧  $V_{ss}$  の電流経路が形成されて、当該電流経路に、 $n$ 型TFT素子  $T_6$  のゲート電圧に応じた、データ電圧  $V_{dat}$  に対応するデータ電流  $I_{dat}$  が流される。

【0017】

このとき、画素回路においては、 $p$ 型TFT素子  $T_2$  のドレインおよびゲート間が  $n$ 型TFT素子  $T_4$  によって電氣的に接続されているため、 $p$ 型TFT素子  $T_2$  にデータ電流  $I_{dat}$  が通過するときのゲート電圧が、電圧保持キャパシタ  $C_a$  によってノード  $N_a$  に保持される。このように、走査線  $SL$  の活性化期間において、表示輝度に応じたデータ電流  $I_{dat}$  が画素駆動回路  $PDC$  によってプログラムされる。

【0018】

その後、走査対象が切替わり、走査線  $SL$  が  $L$ レベルに非活性化されると、 $n$ 型TFT素子  $T_1$  および  $T_4$  はターンオフされ、 $p$ 型TFT素子  $T_3$  がターンオンされる。これにより、電源電圧  $V_{dd}$  ~  $p$ 型TFT素子  $T_2$  ~  $p$ 型TFT素子  $T_3$  ~ 有機発光ダイオード  $OLED$  ~ 共通電極 (所定電圧  $V_{ss}$ ) の電流経路が形成されて、走査線  $SL$  の活性化期間にプログラムされたデータ電流  $I_{dat}$  を、走査線  $SL$  の非活性化期間においても有機発光ダイオード  $OLED$  へ継続的に供給することができる。

【0019】

以上説明したように、電流プログラム型画素回路においては、電流駆動型発光素子 (すなわち  $OLED$ ) への供給電流を、表示輝度を示すデータ電圧  $V_{dat}$  のプログラムではなく、データ電圧  $V_{dat}$  を変換して得られるデータ電流  $I_{dat}$  のプログラムに基づいて設定する。したがって、画素回路間でTFT素子のトランジスタ特性に差異が生じても、画素間の表示輝度特性を非一様性を抑制できる。言換えれば、少なくとも、図12に示した電流供給回路を共有する画素間において、画素間の表示輝度特性の一様化が期待できる。

【0020】

【発明が解決しようとする課題】

しかしながら、電流プログラム型画素回路に対応する図12に示した電流供給回路は、データ線  $DL$  ごとに設ける必要があるため、画素間の表示輝度特性が一様となるかどうかは、有機  $EL$  表示装置全体で複数個設けられた電流供給回路間において、データ電圧  $V_{dat}$  からデータ電流  $I_{dat}$  への変換特性が一様であるかどうか依存している。

【0021】

具体的には、図12に示した電流供給回路において、データ電流  $I_{dat}$  を駆動する  $n$ 型TFT素子  $T_6$  のトランジスタ特性 (特に、しきい値電圧または移動度) がばらついて、同一レベルのデータ電圧  $V_{dat}$  に対応して各電流供給回路で一様なデータ電流  $I_{dat}$  が生成できなくなると、画素間の表示輝度特性の一様性を維持することができなくなってしまう。

【0022】

10

20

30

40

50

また、図12に示した従来の技術に従う電流供給回路においては、制御信号 $S_{scn}$ の活性化(Hレベル)にตอบสนองして、データ線DLと当該電流供給回路とが接続されたタイミングにおいて、n型TFT素子T6のドレイン電圧が非連続的に変化するため、データ電流 $I_{dat}$ が過渡的に変動してしまうことも問題点の1つであった。

**【0023】**

この発明は、このような問題点を解消するためになされたものであって、この発明の目的は、一様な電圧-電流変換特性を有する電流供給回路および、それを用いた、画素間で表示輝度特性が一様なEL表示装置を提供することである。

**【0024】****【課題を解決するための手段】**

この発明に従う電流供給回路は、入力電圧に応じた出力電流を信号線へ供給する電流供給回路であって、出力電流を信号線へ供給するために設けられ、通過電流が制御ノードの電圧に応じて変化する電流駆動部と、制御ノードの電圧を保持するための電圧保持部と、入力ノードが所定の初期電圧に設定される第1の動作モードにおいて、電流駆動部に基準電流を通過させて制御ノードを基準電流に対応する電圧に設定するための電流補償部と、第1のモードの後に実行され、入力ノードが入力電圧の伝達を受ける第2の動作モードにおいて、第1および第2の動作モード間での入力ノードの電圧変化に応じて制御ノードの電圧を変化させる入力伝達部とを備える。

**【0025】**

好ましくは、信号線は、少なくとも第2の動作モードにおいて、第1の電圧と電気的に結合され、電流駆動部は、第2の電圧および第1のノードの間に電気的に結合されて、制御ノードと結合されたゲートを有する第1のトランジスタを有する。電圧保持部は、制御ノードおよび第2の電圧の間に接続された第1の容量素子を有し、電流補償部は、第1のノードと基準電流を供給する配線との間に電気的に結合されて、第1の動作モードにおいてターンオンする第2のトランジスタと、第1のノードおよび制御ノードの間に電気的に結合され、第1の動作モードにおいてターンオンする第3のトランジスタとを有し、入力伝達部は、入力ノードおよび制御ノードの間に接続された第2の容量素子を有する。電流供給回路は、第1のノードおよび信号線の間に電気的に結合されて、少なくとも第2の動作モードにおいてターンオンする第4のトランジスタをさらに備える。

**【0026】**

さらに好ましくは、第1の電圧は、正電圧であり、第1、第2、第3および第4のトランジスタの各々は、n型ポリシリコン薄膜トランジスタで形成される。

**【0027】**

あるいは、さらに好ましくは、第1の電圧は、接地電圧または負電圧であり、第1、第2、第3および第4のトランジスタの各々は、p型ポリシリコン薄膜トランジスタで形成される。

**【0028】**

また好ましくは、出力電流は電流駆動型発光素子へ供給され、入力電圧は、電流駆動型発光素子の表示輝度に対応したレベルに設定される。

**【0029】**

あるいは好ましくは、電流駆動部および信号線の間に設けられ、第2の動作モードにおいてオンするスイッチ部をさらに備え、スイッチ部のオン期間において、入力ノードの電圧が所定期間初期電圧に維持された後に、入力電圧は入力ノードへ伝達される。

**【0030】**

この発明に従うエレクトロルミネッセンス表示装置は、行列状に配置され、各々が電流駆動型発光素子を有する複数の画素と、複数の画素の行にそれぞれ対応して配置され、一定周期で順に選択される複数の走査線と、複数の画素の列にそれぞれ対応して配置された複数のデータ線と、各データ線に対応して配置され、それぞれが相補的に第1および第2の動作モードを実行して、複数の画素のうちの走査対象の画素での表示輝度に対応して設定されるデータ電圧に応じたデータ電流に対応するデータ線へ供給するための第1および第

10

20

30

40

50

2の電流供給回路とを備える。第1および第2の電流供給回路の各々は、データ電流を対応するデータ線へ供給するために設けられ、通過電流が制御ノードの電圧に応じて変化する電流駆動部と、制御ノードの電圧を保持するための第1の電圧保持部と、第1の動作モードにおいて所定の初期電圧に設定されるとともに、第2の動作モードにおいてデータ電圧が伝達される入力ノードと、第1のモードにおいて、電流駆動部に基準電流を通過させて、制御ノードを基準電流に対応する電圧に設定するための電流補償部と、第2のモードにおいて、第1および第2の動作モード間での入力ノードの電圧変化に応じて、制御ノードの電圧を変化させる入力伝達部とを含む。各画素は、対応する走査線の活性化期間において対応するデータ線によって伝達されたデータ電流に応じた電流を電流駆動型発光素子へ供給するとともに、対応する走査線の非活性化期間においても、データ電流に応じた電流を電流駆動型発光素子へ継続的に供給するための駆動回路を含む。

10

## 【0031】

好ましくは、データ電圧は、表示輝度に対応するデータ電流の設定値と基準電流との差に応じて設定される。

## 【0032】

また好ましくは、駆動回路は、第2の動作モードにおいて、対応するデータ線を第1の電圧と電氣的に結合し、電流駆動部は、第2の電圧および第1のノードの間に電氣的に結合されて、制御ノードと結合されたゲートを有する第1のトランジスタを有し、電圧保持部は、制御ノードおよび第2の電圧の間に接続された第1の容量素子を有し、電流補償部は、第1のノードと基準電流を供給する配線との間に電氣的に結合されて、第1の動作モードにおいてターンオンする第2のトランジスタと、第1のノードおよび制御ノードの間に電氣的に結合され、第1の動作モードにおいてターンオンする第3のトランジスタとを有する。入力伝達部は、入力ノードおよび制御ノードの間に接続された第2の容量素子を有し、データ電流供給回路は、第1のノードおよび対応するデータ線の間に電氣的に結合されて、少なくとも第2の動作モードにおいてターンオンする第4のトランジスタをさらに含む。

20

## 【0033】

また好ましくは、第1および第2の電流供給回路の各々は、データ電圧をデータノードに保持するための第2の電圧保持部と、第1の動作モードにおいてデータノードおよび入力ノードの間を切離すとともに、第2の動作モードにおいてデータノードおよび入力ノードの間を接続するスイッチ回路とをさらに含む。第1および第2の電流供給回路の各々において、データノードは、第1の動作モードにおいて、以降に走査対象となる画素に対応するデータ電圧を伝達される。

30

## 【0034】

さらに好ましくは、第1および第2の電流供給回路において、第1および第2の動作モードは、複数の走査線の選択対象の切替わりに対応して切替えられる。

## 【0035】

あるいは好ましくは、エレクトロルミネッセンス表示装置は、表示輝度に対応するデータ電流の設定値に応じて、基準電流のレベルを調整するための基準電流調整部をさらに備える。

40

## 【0036】

さらに好ましくは、基準電流調整部は、予め用意された複数の電流レベルのうちの1つを選択的に基準電流として出力する。

## 【0037】

また好ましくは、データ電流供給回路は、電流駆動部および対応するデータ線の間設けられ、第2の動作モードにおいてオンするスイッチ部をさらに含み、スイッチ部のオン期間において、入力ノードの電圧が所定期間初期電圧に維持された後に、入力電圧は入力ノードへ伝達される。

## 【0038】

## 【発明の実施の形態】

50

以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、以下における同一符号は、同一または相当部分を示すものとする。

【0039】

[実施の形態1]

図1は、本発明の実施の形態1に従う電流供給回路を備えたEL表示装置の全体構成を示すブロック図である。

【0040】

図1を参照して、EL表示装置1は、EL表示部2を備える。EL表示部2には、複数の画素5が行列状に配置される。カラー表示のためのEL表示部2においては、隣接する3個の画素5ごとに、1つの表示単位6が形成される。すなわち、各表示単位6は、赤(R)、緑(G)および青(B)をそれぞれ表示するための3つの画素5から構成される。

10

【0041】

画素の行(以下、「ライン」とも称する)にそれぞれ対応して、走査線SLが配置され、画素の列(以下、「画素列」とも称する)にそれぞれ対応してデータ線が配置される。図1においては、第nライン(n:自然数)および第(n+1)ライン中の第m列および第(m+1)列の表示単位、ならびに、それらに対応する、走査線SL(n)、SL(n+1)、赤(R)表示画素に対応するデータ線DL-R(m)、DL-R(m+1)、緑(G)表示画素に対応するデータ線DL-G(m)、DL-G(m+1)、青(B)表示画素に対応するデータ線DL-B(m)、DL-B(m+1)が代表的に示される。なお、以下においては、これらのデータ線を総称して、単にデータ線DLとも称する。

20

【0042】

各画素5の構成は、たとえば、図11に示した従来の技術に従う画素回路の構成と同様である。すなわち、本願発明が適用されるEL表示装置において、各画素5は電流駆動型発光素子(たとえば有機発光ダイオード)を有し、それへの供給電流は、電流プログラム型構成に基づいて設定される。

【0043】

EL表示装置1は、さらに、垂直走査回路7と、水平走査回路8と、データ電圧線9R、9G、9Bと、各データ線DLに対応して設けられたデータ電流供給部10と、基準電流供給回路12R、12G、12Bと、基準電流配線13R、13G、13Bとを有する。

【0044】

垂直走査回路7は、スタートパルスSTVおよびシフトクロックCLKVに応答して、複数のラインを一定周期で順に選択する。すなわち、ラインにそれぞれ対応して設けられた複数の走査線SLは、一定周期で順にHレベルに活性化される。以下においては、対応する走査線が活性化されたラインを「走査対象ライン」とも称する。

30

【0045】

水平走査回路8は、スタートパルスSTHおよびシフトクロックCLKHに応答して、複数の画素列を、順に1つずつ選択するための走査信号SHを生成する。図1においては、第m列および第(m+1)列にそれぞれ対応する走査信号SH(m)およびSH(m+1)が代表的に示される。データ電圧線9R、9G、9Bの各々は、表示単位6でのR、G、B表示輝度を示すためのデータ電圧Vdat(R)、Vdat(G)、Vdat(B)を伝達する。データ電圧Vdat(R)、Vdat(G)、Vdat(B)の各々は、表示輝度に応じた電圧レベルを有する。なお、以下においては、データ電圧Vdat(R)、Vdat(G)、Vdat(B)を総称して、単にデータ電圧Vdatとも称し、データ電圧線9R、9G、9Bを総称して、単にデータ電圧線9とも称する。

40

【0046】

各データ線DLに対応して配置されたデータ電流供給部10は、走査対象ラインの各画素5に対して、データ電圧Vdatに応じたデータ電流Idatを供給する。なお、後の説明で明らかになる様に、各データ電流供給部10は、データ電圧Vdatからデータ電流Idatへの変換特性を一様化するための素子特性補償動作を実行する。データ電流供給部10の回路構成および動作については、後程詳細に説明する。

50

## 【0047】

基準電流供給回路12R, 12G, 12Bは、上述の素子特性補償動作に用いられる基準電流 $I_{ref}(R)$ ,  $I_{ref}(G)$ ,  $I_{ref}(B)$ をそれぞれ生成する。基準電流 $I_{ref}(R)$ ,  $I_{ref}(G)$ ,  $I_{ref}(B)$ は、基準電流配線13R, 13G, 13Bによって、データ電流供給部10へ伝達される。以下においては、基準電流 $I_{ref}(R)$ ,  $I_{ref}(G)$ ,  $I_{ref}(B)$ を総称して単に基準電流 $I_{ref}$ とも称し、基準電流配線13R, 13G, 13B総称して単に基準電流配線13とも称する。

## 【0048】

各走査期間において、データ電圧線9によって、走査対象ラインの次のラインに属する画素5に対応するデータ電圧 $V_{dat}$ が、時分割方式で順次伝達される。たとえば、第 $n$ ラインの走査期間においては、データ電圧線9R, 9G, 9Bには、第 $(n+1)$ ラインでの表示画像に対応するデータ電圧 $V_{dat}(R)$ ,  $V_{dat}(G)$ ,  $V_{dat}(B)$ が伝達される。この走査期間では、各画素列においてデータ電流供給部10は、水平走査回路8からの走査信号SHに应答して表示単位ごとに順に選択されて第 $(n+1)$ ラインに対応するデータ電圧 $V_{dat}$ をデータ電圧線9から順次取込むとともに、第 $(n-1)$ ラインの走査期間に取りこんだ第 $n$ ラインに対応するデータ電圧 $V_{dat}$ に応じたデータ電流 $I_{dat}$ を対応するデータ線DLへ供給する。

10

## 【0049】

次に、実施の形態1に従う電流供給回路の構成について、図1に示したデータ電流供給部10を用いて詳細に説明する。

20

## 【0050】

図2は、実施の形態1に従う電流供給回路の構成を示す回路図である。図2には、第 $m$ 列に対応するデータ電流供給部10が代表的に示される。

## 【0051】

図2を参照して、実施の形態1に従うデータ電流供給部10は、相補的に異なる動作モードに設定される電流供給回路10aおよび10bを含む。電流供給回路10aは、 $n$ 型TFT素子 $T10a \sim T15a$ と、伝達キャパシタ $C1a$ と、電圧保持キャパシタ $C2a$ ,  $C3a$ と、論理ゲートNOT1a, AND1a, AND2aとを有する。電流供給回路10bは、電流供給回路10aと同様の構成を有し、 $n$ 型TFT素子 $T10b \sim T15b$ と、伝達キャパシタ $C1b$ と、電圧保持キャパシタ $C2b$ ,  $C3b$ と、論理ゲートNOT1b, AND1b, AND2bとを有する。

30

## 【0052】

なお、本実施の形態において、各TFT素子は、好ましくは、低温ポリシリコンを用いて形成される。また、 $n$ 型TFT素子 $T11a$ ,  $T11b$ は、ノード $N2(a)$ ,  $N2(b)$ のそれぞれの電圧に応じた通過電流をデータ線DLへ供給するための電流駆動部として動作する。したがって、以下においては、 $n$ 型TFT素子 $T11a$ ,  $T11b$ を「駆動トランジスタ」とも称する。

## 【0053】

電流供給回路10aおよび10bの動作モードは、選択信号STに応じて「補償モード」および「供給モード」の一方ずつに設定される。各電流供給回路は、補償モードにおいては、データ電圧線9から次の走査対象ラインのデータ信号 $V_{dat}$ を取込むとともに、基準電流 $I_{ref}$ に基づいて素子特性補償動作を実行する。また、供給モードにおいて、各電流供給回路は、前回の補償モード時に取り込んだデータ信号 $V_{dat}$ および補償された変換特性に応じて、データ電流 $I_{dat}$ を供給する。

40

## 【0054】

選択信号STのHレベル期間では、各データ電流供給部10において、電流供給回路10aが補償モードに設定され、電流供給回路10bが供給モードに設定される。一方、選択信号STのLレベル期間では、各データ電流供給部10において、電流供給回路10aが供給モードに設定され、電流供給回路10bが補償モードに設定される。選択信号STのレベル設定は、走査対象ラインが切替わるたびに、すなわち各走査期間ごとに交互に切換

50

えられる。

【0055】

次に、各電流供給回路の構成および動作について説明する。既に述べた様に電流供給回路10aおよび10bの構成は同様であるので、以下においては、電流供給回路10aについて代表的に説明する。

【0056】

n型TFT素子T10aおよびT11aは、データ線DLおよび所定電圧Vssの間に直列に接続される。すでに説明したように、所定電圧Vssには、接地電圧または負電圧が用いられる。n型TFT素子T12aは、基準電流配線13およびノードN1(a)の間に電氣的に結合され、n型TFT素子T13aはノードN1(a)およびN2(a)の間に電氣的に結合される。n型TFT素子T14aは入力ノードNi(a)およびデータノードDi(a)の間に電氣的に結合される。n型TFT素子T15aは入力ノードNi(a)および電圧供給線14の間に電氣的に結合される。電圧供給線14は、所定の初期電圧Vintを供給する。n型TFT素子T16aはデータノードDi(a)およびデータ電圧線9の間に電氣的に結合される。

10

【0057】

伝達キャパシタC1aは、入力ノードNi(a)とノードN2(a)との間に接続され、電圧保持キャパシタC2aは、ノードN2(a)および所定電圧Vssの間に接続される。電圧保持キャパシタC3aは、データノードDi(a)および所定電圧Vssの間に接続される。

20

【0058】

論理ゲートAND1aは、走査信号SH(m)および選択信号STのAND論理演算結果を、制御信号Sadj(a)として出力する。論理ゲートAND2aは、論理ゲートNOT1aによって反転された選択信号STと制御信号WRとのAND論理演算結果を、制御信号Sscn(a)として出力する。制御信号WRは、各走査期間におけるデータ電流Idatの供給期間を規定する。

【0059】

従って、補償モード時には、当該走査期間において、走査信号SH(m)の活性化期間に合わせて制御信号Sadj(a)がHレベルに活性化される。なお、走査信号SH(m)の活性化期間には、データ電圧線9上に第m列に対応するデータ信号Vdatが伝達されている。一方、供給モード時には、当該走査期間において、制御信号WRの活性化期間に合わせて制御信号Sscn(a)がHレベルに活性化される。

30

【0060】

n型TFT素子T10a, T14aの各ゲートには制御信号Sscn(a)が入力され、n型TFT素子T12a, T13a, T15a, T16aの各ゲートには、制御信号Sadj(a)が入力される。

【0061】

次に、図3を用いて、電流供給回路10aの動作について説明する。図3には、第m列および第(m+1)列における電流供給回路10aの動作が代表的に示される。

【0062】

図3を参照して、第nラインの走査期間において、選択信号STはHレベルに設定されて電流供給回路10aは補償モードに設定される。したがって、走査信号SH(m), SH(m+1)の活性化期間に合わせて、第m列および第(m+1)列の電流供給回路10aのそれぞれにおいて、制御信号Sadj(a)が順次活性化される(Hレベル)。一方、各画素列の電流供給回路10aにおいて、制御信号Sscn(a)は非活性化される。したがって、第nラインの走査期間においては、各データ電流供給部10において、データ電流Idatの供給は、電流供給回路10aではなく電流供給回路10bによって実行される。

40

【0063】

再び図2を参照して、補償モードにおいては、制御信号Sadj(a)の活性化に回答し

50

て、 $n$ 型TFT素子 $T12a$ 、 $T13b$ 、 $T15a$ 、 $T16a$ がターンオンする一方で、 $n$ 型TFT素子 $T10a$ 、 $T14a$ はターンオフする。 $n$ 型TFT素子 $T16a$ のターンオンに応答して、データ電圧線9上を伝達されるデータ信号 $Vdat$ がデータノード $Di(a)$ に取込まれ、かつ電圧保持キャパシタ $C3a$ によってラッチされる。

【0064】

$n$ 型TFT素子 $T12a$ および $T13a$ は、補償モードにおいて、駆動トランジスタである $n$ 型TFT素子 $T11a$ に基準電流 $Iref$ を通過させて、ノード $N2(a)$ の電圧を基準電流 $Iref$ に対応するレベルに設定するための電流補償部として動作する。ターンオンした $n$ 型TFT素子 $T13a$ によって駆動トランジスタ $T11$ のドレインおよびゲートが接続されているので、補償モードにおいては、基準電流 $Iref$ が基準電流配線13～ $n$ 型TFT素子 $T10a$ ～駆動トランジスタ $T11a$ ～所定電圧 $Vss$ の経路を流されるとともに、駆動トランジスタ $T11a$ の通過電流(ソース・ドレイン電流)が基準電流 $Iref$ であるときのゲート電圧がノード $N2(a)$ に保持される。このように、電圧保持キャパシタ $C2a$ は、ノード $N2$ の電圧を保持する電圧保持部として動作する。さらに、補償モードにおいて、ターンオンした $n$ 型TFT素子 $T15a$ によって、入力ノード $Ni(a)$ の電圧は初期電圧 $Vint$ に設定される。

【0065】

再び図3を参照して、補償モードにおいては、データ電圧線9に伝達される第 $(n+1)$ ラインの表示画像に対応するデータ電圧 $Vdat$ が、各画素列の各電流供給回路10aに順次取込まれる。たとえば、第 $m$ 列の電流供給回路10a中のデータノード $Di(a)$ の電圧 $V(Di(a))$ は、第 $(n+1)$ ライン-第 $m$ 列に対応するデータ電圧 $Vdat(m)(n+1)$ に応じたレベルへ設定され、かつ維持される。同様に、第 $(m+1)$ 列の電流供給回路10a中のデータノード $Di(a)$ の電圧 $V(Di(a))$ は、第 $(n+1)$ ライン-第 $(m+1)$ 列に対応するデータ電圧 $Vdat(m+1)(n+1)$ に応じたレベルへ設定され、かつ維持される。

【0066】

また、第 $m$ 列および第 $(m+1)$ 列の電流供給回路10aの各々において、入力ノード $Ni(a)$ は初期電圧 $Vint$ に設定される。すなわち、補償モード期間においては、 $V(Ni(a)) = Vint$ に設定される。

【0067】

さらに、第 $m$ 列および第 $(m+1)$ 列の電流供給回路10aのそれぞれにおいて、対応する制御信号 $Sadj(a)$ の活性化に응答して、駆動トランジスタ $T11a$ の通過電流(ソース・ドレイン電流)である $I(T11b)$ は、対応する制御信号 $Sadj(a)$ の活性化期間において、基準電流 $Iref$ となり、この際の駆動トランジスタ $T11a$ のゲート電圧はノード $N2(a)$ に保持される。

【0068】

すなわち、補償モードにおいては、ノード $N2(a)$ の電圧 $V(N2(a))(m)$ および電圧 $V(N2(a))(m+1)$ は、駆動トランジスタ $T11a$ を基準電流 $Iref$ が通過するときのゲート電圧に設定され、対応する制御信号 $Sadj(a)$ の非活性化後においても、電圧保持キャパシタ $C2a$ によって保持される。

【0069】

一方で、図2に示された、データ線 $DL$ と駆動トランジスタ $T11a$ の間に設けられたスイッチとして動作する $n$ 型TFT素子 $T10a$ は、ターンオフされているので、補償モードに設定された電流供給回路10aによるデータ線 $DL$ への電流供給は実行されない。

【0070】

次の走査期間、すなわち第 $(n+1)$ ラインの走査期間において、選択信号 $ST$ は $L$ レベルに設定されて、電流供給回路10aは供給モードに設定される。したがって、制御信号 $WR$ の活性化期間において、第 $m$ 列および第 $(m+1)$ 列の電流供給回路10aの各々で制御信号 $Sscn(a)$ が活性化される( $H$ レベル)。一方、各画素列の電流供給回路10aにおいて、制御信号 $Sadj(a)$ は非活性化される。したがって、第 $(n+1)$ ラ

10

20

30

40

50

インの走査期間においては、各データ電流供給部 10 において、データ電流  $I_{dat}$  の供給は、電流供給回路 10 a によって実行される。

【0071】

再び図 2 を参照して、供給モードにおいては、制御信号  $S_{scn}(a)$  の活性化にตอบสนองして、 $n$  型 T F T 素子  $T_{10a}$ 、 $T_{14a}$  はターンオンする。一方、 $n$  型 T F T 素子  $T_{12a}$ 、 $T_{13b}$ 、 $T_{15a}$ 、 $T_{16a}$  がターンオフする。 $n$  型 T F T 素子  $T_{10a}$  のターンオンにより、駆動トランジスタ  $T_{11a}$  とデータ線  $DL$  とが電氣的に接続される。

【0072】

$n$  型 T F T 素子  $T_{14a}$  のターンオンにตอบสนองして、入力ノード  $N_i(a)$  と  $D_i(a)$  とが接続される。すなわち、 $n$  型 T F T 素子  $T_{14a}$  は、補償モードにおいて入力ノード  $N_i(a)$  と  $D_i(a)$  とを切離し、供給モードにおいて入力ノード  $N_i(a)$  と  $D_i(a)$  とを接続するスイッチとして動作する。この結果、入力ノード  $N_i(a)$  は、初期電圧  $V_{int}$  から、前の補償モード時に取込まれたデータ電圧  $V_{dat}$  に応じた電圧レベル  $V_{dat}'$  へ変化する。

【0073】

補償モードおよび供給モード間での入力ノード  $N_i(a)$  の電圧変化  $V_{dat}$  は、 $V_{dat} = V_{dat}' - V_{int}$  で示される。伝達キャパシタ  $C_{1a}$  は、容量結合によって、入力ノード  $N_i(a)$  の電圧変化に応じてノード  $N_2(a)$  の電圧を変化させる入力伝達部として動作する。

【0074】

これに応じて、図 3 に示されるように、ノード  $N_2(a)$  の電圧は  $V_{dat}$  に応じて  $V_g$  変化する。たとえば、第  $m$  列の電流供給回路 10 a において、ノード  $N_2(a)$  の電圧  $V(N_2(a))$  は、データ電圧  $V_{dat}(m)(n+1)$  に応じた電圧  $V_{dat}'(m)(n+1)$  と初期電圧  $V_{int}$  との電圧差  $V_{dat}(m)$  に応じて  $V_g(m)$  変化し、第  $(m+1)$  列の電流供給回路 10 a において、ノード  $N_2(a)$  の電圧  $V(N_2(a))$  は、データ電圧  $V_{dat}(m+1)(n+1)$  に応じた電圧  $V_{dat}'(m+1)(n+1)$  と初期電圧  $V_{int}$  との電圧差  $V_{dat}(m+1)$  に応じて  $V_g(m+1)$  変化する。

【0075】

さらに、ノード  $N_2(a)$  の電圧に応じた電流が、駆動トランジスタ  $T_{11a}$  によって対応するデータ線  $DL$  へ供給される。すなわち、第  $(n+1)$  ライン走査期間におけるデータ線  $DL$  への供給電流  $I(DL(m))$  および  $I(DL(m+1))$  は、データ電圧  $V_{dat}(m)(n+1)$  および  $V_{dat}(m+1)(n+1)$  にそれぞれ対応するレベル  $I_{dat}(m)$ 、 $I_{dat}(m+1)$  となる。

【0076】

この結果、電流供給回路 10 a からデータ線  $DL$  へ、データ電圧  $V_{dat}$  に応じたデータ電流  $I_{dat}$  を供給することができる。したがって、データ電流  $I_{dat}$  の供給を受ける画素の表示輝度を、データ電圧  $V_{dat}$  によって制御できる。すなわち、データ電圧  $V_{dat}$  について、上述の電圧差  $V_{dat}$  は、表示輝度に対応するデータ電流の設定値(目標値)と基準電流  $I_{ref}$  との差に応じて設定される。

【0077】

また、図 2 において、論理ゲート  $AND_{2a}$  および  $AND_{2b}$  と、 $n$  型 T F T 素子  $T_{14a}$  および  $T_{14b}$  との間に、制御信号  $S_{scn}(a)$  および  $S_{scn}(b)$  の伝達を遅延させるための遅延回路をそれぞれ配置する構成とすることもできる。このような構成とすれば、供給モードの初期において、上記遅延回路での遅延時間に相当する所定期間、入力ノード  $N_i(a)$ 、 $N_i(b)$  の電圧が初期電圧  $V_{int}$  に維持された後に、データ電圧  $V_{dat}$  の伝達を受けることができる。これにより、データ電流  $I_{dat}$  の供給開始時に駆動トランジスタ  $T_{11a}$  のドレイン電圧の変動が過大になるのを防止して、データ電流  $I_{dat}$  の過渡的な変動を抑制できる。

【0078】

10

20

30

40

50

次に、図4を用いて、電流供給回路10aと相補的に動作モードが設定される電流供給回路10bの動作について説明する。図4には、第m列および第(m+1)列における電流供給回路10bの動作が代表的に示される。

【0079】

図4を参照して、第(n-1)ラインの走査期間において、選択信号STはHレベルに設定されて、電流供給回路10bは、補償モードに設定される。したがって、走査信号SH(m), SH(m+1)の活性化期間に合わせて、第m列および第(m+1)列の電流供給回路10bのそれぞれにおいて、制御信号Sadj(b)が順次活性化される(Hレベル)。一方、各画素列の電流供給回路10bにおいて、制御信号Sscn(b)は非活性化される。

10

【0080】

補償モードにおける電流供給回路10bの動作は、図3で説明した、電流供給回路10aの第nライン走査期間における動作と同様であるので、詳細な説明は繰り返さない。すなわち、この走査期間において、データ電圧線9に伝達される次の走査対象ライン(第nライン)の表示画像に対応するデータ電圧Vdatが、各画素列の各電流供給回路10bに順次取込まれる。さらに、各電流供給回路10bの内部において、入力ノードNi(b)は初期電圧Vintに設定されるとともに、素子特性補償動作が実行されて、駆動トランジスタT11bの通過電流が基準電流Irefであるときのゲート電圧がノードN2(b)に保持される。

【0081】

次の走査期間である、第nライン走査期間において、選択信号STはLレベルに設定されて、電流供給回路10bは、電流供給回路10aと相補的に供給モードに設定される。したがって、制御信号WRの活性化期間において、第m列および第(m+1)列の電流供給回路10aの各々で制御信号Sscn(b)が活性化される(Hレベル)。一方、各画素列の電流供給回路10bにおいて、制御信号Sadj(b)は非活性化される。

20

【0082】

供給モードにおける電流供給回路10bの動作は、図3で説明した、電流供給回路10aの第(n+1)ライン走査期間における動作と同様であるので、詳細な説明は繰り返さない。すなわち、第nライン走査期間で取込まれたデータ電圧Vdatに応じたデータ電流Idatが電流供給回路10bからデータ線DLへ供給される。

30

【0083】

特に、図3および図4での第nライン走査期間における動作波形から、相補的に補償モードおよび供給モードに設定される2つの電流供給回路10a, 10bの各走査期間における動作が理解される。

【0084】

このように、各データ電流供給部10において、電流供給回路10a, 10bの各々は、補償モードで共通の基準電流Irefを用いた素子特性補償を実行した後に供給モードに設定されて、データ電流Idatの供給を開始する。この結果、データ電流供給部10間での駆動トランジスタT11a, T11bのトランジスタ特性ばらつきが補償される。

【0085】

図5は、実施の形態1に従う電流供給回路における補償モードでの素子特性補償動作を説明する概念図である。

40

【0086】

図5を参照して、電流供給回路10a, 10b中の駆動トランジスタT11a, T11bの特性として、ゲート・ソース間電圧Vgsおよびソース・ドレイン間電流Ids間の関係を示す素子特性線が示される。ゲート・ソース間電圧Vgsは、電流供給回路10a, 10bにおけるノードN2(a), N2(b)の電圧に相当する。ソース・ドレイン間電流Idsは、データ線DLへの供給電流I(DL)に相当する。

【0087】

素子特性線15および16は、異なる電流供給回路に含まれる駆動トランジスタにそれぞ

50

れ対応する。設計段階では、各データ電流供給回路において、駆動トランジスタのトランジスタ特性が同一となるように考慮されるが、実際の工程で生じる製造ばらつきによって、各駆動トランジスタの素子特性線は、必ずしも一致しなくなる。特に、低温ポリシリコンを用いたTFTにおいては、製造ばらつきが発生し易い傾向にあるので、このような素子特性線の不一致が生じ易い。

#### 【0088】

このように、特性の異なる駆動トランジスタを用いてデータ電流 $I_{dat}$ を生成すると、それぞれの電流供給回路において、データ電圧 $V_{dat}$ からデータ電流 $I_{dat}$ への電圧-電流変換特性が異なってしまう。すなわち、同一レベルのデータ電圧 $V_{dat}$ に対応する表示輝度が、同一の電流供給回路と対応する画素のグループ毎に非一様となってしまう。この結果、EL表示装置全体における表示輝度特性の一様性が損なわれてしまう。

10

#### 【0089】

たとえば、図5に示されるように、共通のデータ電圧の入力を受けて、そのゲート電圧が $V_{g1}$ に設定された場合にも、素子特性線15および16にそれぞれ対応する駆動トランジスタの間では、ソース・ドレイン間電流 $I_{ds}$ 、すなわち供給されるデータ電流 $I_{dat}$ に $I_v$ の差が生じてしまう。

#### 【0090】

これに対して、実施の形態1に従う電流供給回路の各々においては、共通の基準電流 $I_{ref}$ に基づく補償モードが実行される。これにより、各データ電流供給部10において、基準電流 $I_{ref}$ を供給するためのゲート電圧が得られる。たとえば、素子特性線15および16にそれぞれ対応する駆動トランジスタにおいて、基準電流 $I_{ref}$ を通過させるためのゲート電圧 $V_{g1}$ および $V_{g2}$ が得られ、かつ保持されることになる。

20

#### 【0091】

さらに、供給モードにおいて、データ電圧 $V_{dat}$ は、各駆動トランジスタのゲート電圧における補償モード時からの電圧変化として反映されるので、同一レベルのデータ電圧によって生じる電圧変化 $V_{dat}$ に応じた、素子特性線15および16にそれぞれ対応する駆動トランジスタによって供給されるデータ電流 $I_{dat}$ は、トランジスタ特性の相違を補償して同一レベルに設定できる。

#### 【0092】

なお、上述した基準電流 $I_{ref}$ は、各画素における表示輝度範囲に対応するデータ電流 $I_{dat}$ の変化範囲内において設定されることが望ましい。

30

#### 【0093】

以上説明したように、実施の形態1に従う電流供給回路によれば、駆動トランジスタトランジスタ特性にばらつきが存在する場合にも、電圧-電流変換特性を一様に維持できる。したがって、このような電流供給回路を用いたEL表示装置においては、各画素間の表示特性を一様化して、表示品質を向上させることができる。

#### 【0094】

##### [実施の形態2]

実施の形態2においては、実施の形態1に従う構成のバリエーションとして、TFT素子の極性を入換えた構成について説明する。

40

#### 【0095】

図6は、実施の形態2に従う電流供給回路の構成を示す回路図である。図6には、第 $m$ 列に対応するデータ電流供給部10#が代表的に示される。

#### 【0096】

図6を参照して、実施の形態2に従うデータ電流供給部10#は、相補的に異なる動作モードに設定される電流供給回路10#aおよび10#bを含む。電流供給回路10#aは、p型TFT素子 $T_{20a} \sim T_{25a}$ と、伝達キャパシタ $C_{21a}$ と、電圧保持キャパシタ $C_{22a}$ 、 $C_{23a}$ と、論理ゲート $NOT_{21a}$ 、 $NAND_{1a}$ 、 $NAND_{2a}$ とを有する。電流供給回路10#bは、電流供給回路10#aと同様の構成を有し、p型TFT素子 $T_{20b} \sim T_{25b}$ と、伝達キャパシタ $C_{21b}$ と、電圧保持キャパシタ $C_{22b}$ 、

50

C 2 3 b と、論理ゲート N O T 2 1 b , N A N D 1 b , N A N D 2 b とを有する。

【 0 0 9 7 】

電流供給回路 1 0 # a および 1 0 # b の動作モードも、選択信号 S T によって「補償モード」および「供給モード」の一方ずつに設定される。電流供給回路 1 0 # a および 1 0 # b の構成は同様であるので、以下においては、電流供給回路 1 0 # a について代表的に説明する。

【 0 0 9 8 】

p 型 T F T 素子 T 2 0 a および T 2 1 a は、データ線 D L および電源電圧 V d d の間に直列に接続される。p 型 T F T 素子 T 2 2 a は、基準電流配線 1 3 およびノード N 2 1 ( a ) の間に電氣的に結合され、p 型 T F T 素子 T 2 3 a はノード N 2 1 ( a ) および N 2 2 ( a ) の間に電氣的に結合される。p 型 T F T 素子 T 2 4 a は入力 N i ( a ) およびデータノード D i ( a ) の間に電氣的に結合される。p 型 T F T 素子 T 2 5 a は、入力ノード N i ( a ) および初期電圧 V i n t を供給する電圧供給線 1 4 の間に電氣的に結合される。p 型 T F T 素子 T 2 6 a はデータノード D i ( a ) およびデータ電圧線 9 の間に電氣的に結合される。

10

【 0 0 9 9 】

伝達キャパシタ C 2 1 a は、入力ノード N i ( a ) とノード N 2 2 ( a ) との間に接続され、電圧保持キャパシタ C 2 2 a は、ノード N 2 2 ( a ) および電源電圧 V d d の間に接続される。電圧保持キャパシタ C 2 3 a は、データノード D i ( a ) および電源電圧 V d d の間に接続される。

20

【 0 1 0 0 】

論理ゲート N A N D 1 a は、走査信号 S H ( m ) および選択信号 S T の N A N D 論理演算結果を、制御信号 / S a d j ( a ) として出力する。論理ゲート N A N D 2 a は、論理ゲート N O T 2 1 a によって反転された選択信号 S T と制御信号 W R との N A N D 論理演算結果を、制御信号 / S s c n ( a ) として出力する。すなわち、電流供給回路 1 0 # a において、補償モードでは制御信号 / S a d j ( a ) が L レベルへ活性化され、供給モードでは制御信号 / S s c n ( a ) が L レベルへ活性化される。p 型 T F T 素子 T 2 0 a , T 2 4 a の各ゲートには制御信号 / S s c n ( a ) が入力され、n 型 T F T 素子 T 2 2 a , T 2 3 a , T 2 5 a , T 2 6 a の各ゲートには、制御信号 S a d j ( a ) が入力される。

30

【 0 1 0 1 】

このように、実施の形態 2 に従う電流供給回路 1 0 # a においては、p 型 T F T 素子 T 2 0 a ~ T 2 6 a が、図 2 に示した n 型 T F T 素子 T 1 0 a ~ T 1 6 b に代えて配置される。また、電流供給回路 1 0 a は、所定電圧 V s s ではなく電源電圧 V d d と接続されている。

【 0 1 0 2 】

さらに、電流供給回路 1 0 a , 1 0 # b によって、データ線 D L が電源電圧 V d d によって駆動されることから、実施の形態 2 に従う構成においては、各画素の構成についても実施の形態 1 とは異なる。

【 0 1 0 3 】

図 7 は、実施の形態 2 に従う画素の構成を説明する回路図である。

40

図 7 を参照して、実施の形態 2 に従う構成において、画素 5 は、有機発光ダイオード O L E D と、画素駆動回路 P D C # とを含む。画素駆動回路 P D C # は、p 型 T F T 素子 T 3 1 ~ T 3 4 と、電圧保持キャパシタ C a とを有する。

【 0 1 0 4 】

p 型 T F T 素子 T 3 2 および T 3 3 は、電源電圧 V d d および有機発光ダイオード O L E D の間に直列に接続される。p 型 T F T 素子 T 3 1 は、対応するデータ線 D L と、p 型 T F T 素子 T 3 2 および T 3 3 の接続ノードとの間に電氣的に結合され、p 型 T F T 素子 T 3 4 は、ノード N a ' および有機発光ダイオード O L E D のアノードの間に電氣的に結合される。p 型 T F T 素子 T 3 1 および T 3 4 の各ゲートは、対応する走査線 / S L と結合されている。走査線 / S L は、選択された走査ラインにおいて L レベルへ活性化され、そ

50

れ以外のラインではHレベルへ非活性化される。p型TFET素子T32のゲートは、対応する走査線/SLの反転レベルを受ける。p型TFET素子T33のゲートは、ノードNa'と結合される。電圧保持キャパシタCaは、p型TFET素子T32およびT33の接続ノードとノードNa'との間に接続される。ノードNa'の電圧、すなわちp型TFET素子T33のゲート電圧は、電圧保持キャパシタCaによって保持される。

【0105】

有機発光ダイオードOLEDは、p型TFET素子T33および共通電極の間に、図11の画素回路と同様にカソードコモン構成で配置される。すなわち、有機発光ダイオードOLEDのカソードは、所定電圧Vssが供給される共通電極と接続される。

【0106】

次に、実施の形態2に従う電流供給回路の動作を説明する。

再び図6を参照して、電流供給回路10#aにおいて、補償モードには、p型TFET素子T22a, T23a, T25a, T26aがターンオンする一方で、p型TFET素子T20a, T24aがターンオフする。したがって、データ電流供給部10#aにおいては、TFET素子の極性の入換えに伴って、駆動トランジスタT21aのゲート電圧変化および入力ノードNi(a)の電圧変化の極性が、図3に示した動作波形図における電圧V(Ni(a))および電圧V(N2(a))と反対に設定されるが、それ以外については図3と同様の動作が行なわれて、データ電圧Vdatの取込みと駆動トランジスタの素子特性補償動作とが実行される。なお、実施の形態2に従う構成においては、データ電圧Vdatは、実施の形態1に従う構成とは異なり、入力ノードNi(a)における初期電圧Vintからの電圧変化Vdatが負である場合に、データ電流Idatが基準電流Irefよりも大きくなる点を考慮して設定する必要がある。

【0107】

次に、供給モードにおいては、電流供給回路10#aでは、p型TFET素子T22a, T23a, T25a, T26aがターンオフする一方で、p型TFET素子T20a, T24aがターンオンする。したがって、p型TFET素子T21aは、補償モードで取込まれたデータ電圧Vdatに対応するデータ電流Idatを供給するためのレベルにそのゲート電圧(ノードN22(a)の電圧)が保持された状態で、電源電圧Vddおよびデータ線DLの間に電氣的に接続される。供給モードにおける電流供給回路10#aも、駆動トランジスタT21aのゲート電圧変化および入力ノードNi(a)の電圧変化の極性が反対方向である点以外は、図3に示した動作波形図における電流供給回路10#aの動作と同様であるので、詳細な説明は繰り返さない。

【0108】

再び図7を参照して、対応する走査線/SLの活性化(Lレベル)にตอบสนองして、画素駆動回路PDC#において、p型TFET素子T31およびT34がターンオンし、n型TFET素子T32はターンオフされる。これにより、電源電圧Vdd~駆動トランジスタT21a(図6)~データ線DL~p型TFET素子T31~p型TFET素子T33~有機発光ダイオードOLED~所定電圧Vssの電流経路が形成されて、当該電流経路に、駆動トランジスタT21aのゲート電圧に応じた、データ電圧Vdatに対応するデータ電流Idatが流される。

【0109】

このとき、p型TFET素子T33のドレインおよびゲート間がp型TFET素子T34によって電氣的に接続されているため、p型TFET素子T33にデータ電流Idatを通過させるためのゲート電圧が、電圧保持キャパシタCaによってノードNa'に保持される。このように、走査線/SLの活性化期間において、表示輝度に応じたデータ電流Idatが画素駆動回路PDC#によってプログラムされる。

【0110】

その後、走査対象が切替わり、走査線/SLがHレベルに非活性化されると、p型TFET素子T31およびT34はターンオフされ、p型TFET素子T32がターンオンされる。これにより、電源電圧Vdd~p型TFET素子T32~p型TFET素子T33~有機発光

10

20

30

40

50

ダイオード O L E D ~ 共通電極 ( 所定電圧  $V_{ss}$  ) の電流経路が形成されて、走査線 / S L の活性化期間にプログラムされたデータ電流  $I_{dat}$  を、走査線 S L の非活性化期間においても有機発光ダイオード O L E D へ継続的に供給することができる。

【 0 1 1 1 】

電流供給回路 1 0 # b の動作モードは、電流供給回路 1 0 # a と相補的に設定されるが、それぞれの動作モードにおける回路動作は、電流供給回路 1 0 # a と同様である。実施の形態 2 に従う構成においても、各データ電流供給部を構成する電流供給回路 1 0 # a , 1 0 # b が各走査期間ごとに交互に、補償モードおよび供給モードに設定されて、走査対象ラインの画素へのデータ電流供給が実行される。

【 0 1 1 2 】

このように、電流供給回路および画素駆動回路において、T F T 素子の極性を n 型から p 型へ変更した構成としても、実施の形態 1 と同様の効果を楽しむことができる。

【 0 1 1 3 】

[ 実施の形態 3 ]

実施の形態 3 においては、データ電流供給部 1 0 の補償モードで用いられる基準電流  $I_{ref}$  をより細密に設定して、各画素における表示特性をさらに一様化するための構成について説明する。

【 0 1 1 4 】

図 8 は、実施の形態 3 に従う基準電流の生成および伝達を説明する回路図である。

【 0 1 1 5 】

図 8 を参照して、実施の形態 3 に従う構成においては、図 1 に示した実施の形態 1 に従う構成と比較して、表示輝度に対応したデータ電流設定値 ( 目標値 ) に応じて基準電流  $I_{ref}$  を調整するための基準電流調整回路 3 0 が、基準電流供給回路 1 2 R , 1 2 G , 1 2 B の各々に代えて備えられる点異なる。

【 0 1 1 6 】

図 9 は、基準電流調整回路 3 0 の構成を説明する回路図である。

図 9 を参照して、基準電流調整回路 3 0 は、データ電流設定値に応じた選択を行なうための選択回路 3 5 と、それぞれ異なるレベルの定電流  $I_{r1} \sim I_{r4}$  をそれぞれ生成するための電流生成回路 3 6 a ~ 3 6 d と、電流生成回路 3 6 a ~ 3 6 d と基準電流配線 1 3 との間にそれぞれ設けられるスイッチ 3 8 a ~ 3 8 d を有する。選択回路 3 5 は、データ電流設定値、すなわち供給すべきデータ電流が範囲 4 1 ~ 4 4 のいずれに属するかを示す信号  $S_{sl}$  に応答して、スイッチ 3 8 a ~ 3 8 d のうちのいずれか 1 個を選択的にオンさせる。信号  $S_{sl}$  は、たとえば、データ電圧  $V_{dat}$  に応じて生成することができる。

【 0 1 1 7 】

図 1 0 は、選択回路 3 5 の動作を説明するための概念図である。

図 1 0 には、データ電流供給部 1 0 中の駆動トランジスタの代表的な素子特性曲線 ( たとえば設計値 ) に相当する、ゲート電圧 ( データ電圧  $V_{dat}$  ) と通過電流 ( データ電流  $I_{dat}$  ) との関係が示されている。

【 0 1 1 8 】

素子特性曲線において、接線の傾きが大きく変化する領域、すなわち駆動トランジスタにおいて、ゲート電圧変化に対する通過電流 ( ソース・ドレイン電流 ) 変化の割合が大きく変化する領域間を分割するように、データ電流  $I_{dat}$  のレベルは、たとえば 4 つの範囲 4 1 ~ 4 4 に分割される。さらに、電流生成回路 3 6 a ~ 3 6 d が生成する定電流  $I_{r1} \sim I_{r4}$  は、範囲 4 1 ~ 4 4 のそれぞれにおいて、範囲 4 1 ~ 4 4 のそれぞれの中央点に相当するように定められる。

【 0 1 1 9 】

たとえば、データ電流設定値が範囲 4 2 に属する場合には、基準電流  $I_{ref}$  を  $I_{r2}$  に設定することが適当であるので、スイッチ 3 8 b が選択的にオンされる。データ電圧  $V_{dat}$  は、範囲 4 1 ~ 4 4 のそれぞれにおいて、データ電流設定値と対応する基準電流  $I_{ref}$  との差に応じて、対応する基準電流  $I_{ref}$  供給時の駆動トランジスタのゲート電圧

10

20

30

40

50

に基づいて設定される。

【0120】

このような構成とすることにより、補償モードにおける、電流供給回路中の駆動トランジスタのトランジスタ特性をより細密に補償して、電圧 - 電流変換特性の一様性を向上できる。この結果、EL表示装置の表示品質をさらに向上させることができる。

【0121】

なお、実施の形態3に従う構成は、実施の形態2の従う電流供給回路および画素の構成に対しても、同様に適用することができる。すなわち、データ電流供給部10から後段の動作については、基準電流 $I_{ref}$ が一意的に定まっているため、そこから後の動作は区別する必要がないからである。

10

【0122】

なお、本実施の形態においては、カソードコモン構成の画素を例示したが、本願発明は、アノードコモン構成の画素に対しても適用可能である。この場合には、各画素および各電流供給回路において、所定電圧 $V_{ss}$ および電源電圧 $V_{dd}$ の配置を入換え、必要に応じてTFT素子の極性やゲート電圧極性をさらに入換えることで対応可能である。

【0123】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

20

【0124】

【発明の効果】

請求項1から4に記載の電流供給回路は、基準電流に基づいて電流駆動部の特性を補償した後に出力量を供給するので、製造時に素子特性のばらつきが生じた場合にも、電圧 - 電流変換特性を一様に維持できる。

【0125】

請求項5に記載の電流供給回路は、素子特性差によらず電圧 - 電流変換特性が一様化された電流供給回路からの出力電流を電流駆動型発光素子へ供給するので、請求項1に記載の電流供給回路が奏する効果に加えて、当該電流駆動型発光素子の表示特性を一様化できる。

30

【0126】

請求項6に記載の電流供給回路は、請求項1に記載の電流供給回路が奏する効果に加えて、出力電流の供給開始時において、出力電流の過渡的な変動を抑制できる。

【0127】

請求項7から11に記載のエレクトロルミネッセンス表示装置は、走査対象の画素での表示輝度を示すデータ電圧に応じたデータ電流を供給するための第1および第2の電流供給回路において、基準電流に基づいて電流駆動部の特性を補償した後に出力量を供給するので、製造時に素子特性のばらつきが生じた場合にも、電流供給回路ごとの電圧 - 電流変換特性を一様に維持できる。したがって、各画素間の表示特性を一様化して、表示品質を向上させることができる。

40

【0128】

請求項12および13に記載のエレクトロルミネッセンス表示装置は、指示さえた表示輝度に対応するデータ電流の設定値に応じて基準電流を調整できるので、データ電流供給回路における電圧 - 電流変換特性をさらに一様化できる。したがって、請求項7に記載のエレクトロルミネッセンス表示装置が奏する効果に加えて、表示品質をさらに向上させることができる。

【0129】

請求項14に記載のエレクトロルミネッセンス表示装置は、請求項7に記載のエレクトロルミネッセンス表示装置が奏する効果に加えて、データ電流の供給開始時において、過渡的な変動を抑制できる。

50

## 【図面の簡単な説明】

【図 1】本発明の実施の形態 1 に従う電流供給回路をデータ電流供給回路として備えた EL 表示装置の全体構成を示すブロック図である。

【図 2】実施の形態 1 に従う電流供給回路の構成を示す回路図である。

【図 3】実施の形態 1 に従う電流供給回路の動作を示す第 1 の動作波形図である。

【図 4】実施の形態 1 に従う電流供給回路の動作を示す第 2 の動作波形図である。

【図 5】実施の形態 1 に従う電流供給回路における補償モードの素子特性補償動作を説明する概念図である。

【図 6】実施の形態 2 に従うデータ電流供給回路の構成を示す回路図である。

【図 7】実施の形態 2 に従う画素の構成を説明する回路図である。

10

【図 8】実施の形態 3 に従う EL 表示装置の構成を説明する回路図である。

【図 9】図 8 に示された基準電流調整回路の構成を説明する回路図である。

【図 10】図 9 に示された選択回路の動作を説明するための概念図である。

【図 11】従来技術に従う電流プログラム型画素回路の構成を説明する回路図である。

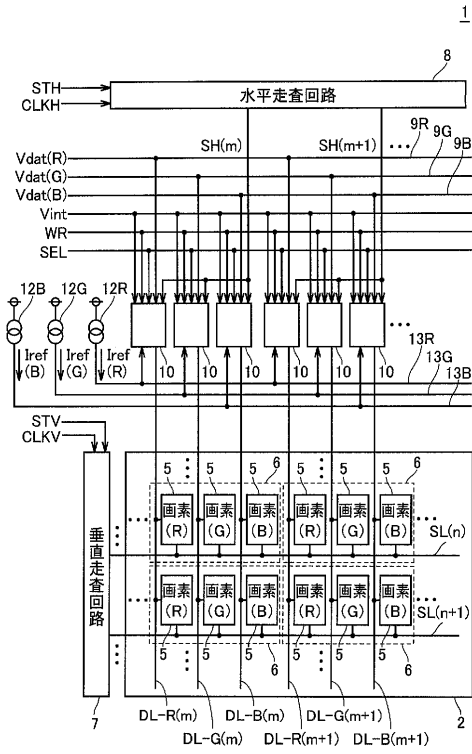
【図 12】電流プログラム型画素回路に対して表示輝度に応じたデータ電流を供給するための従来技術に従う電流供給回路の構成を示す回路図である。

## 【符号の説明】

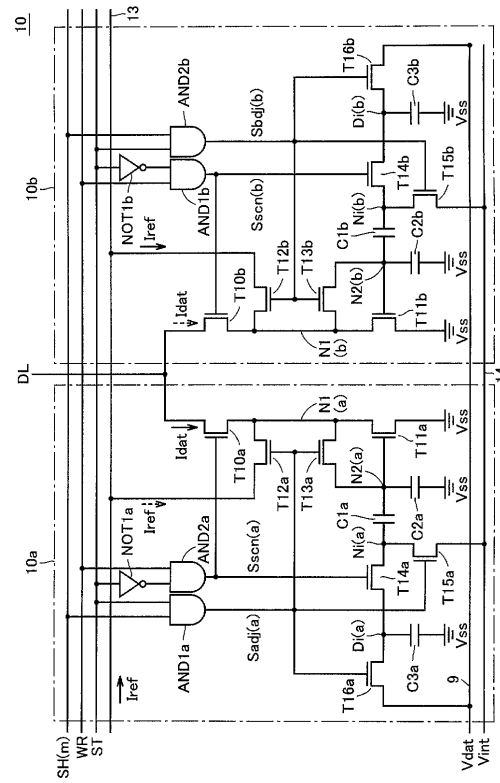
1 EL 表示装置、5, 5# 画素、6 表示単位、7 垂直走査回路、8 水平走査回路、9 データ電圧線、10, 10# データ電流部、10a, 10b, 10#a, 10#b 電流供給回路、12 基準電流供給回路、13R, 13B, 13G 基準電流配線、14 電圧供給線、15, 16 素子特性線、30 基準電流調整回路、41~44 データ電流範囲、C1a, C1b, C21a, C21b 伝達キャパシタ、C2a, C2b, C3a, C3b, C22a, C23a, C22b, C23b 電圧保持キャパシタ、DL データ線、I<sub>dat</sub> データ電流、I<sub>ref</sub> 基準電流、OLED 有機発光ダイオード、PDC, PDC# 画素駆動回路、SL, /SL 走査線、V<sub>dd</sub> 電源電圧、V<sub>int</sub> 初期電圧、V<sub>ss</sub> 所定電圧。

20

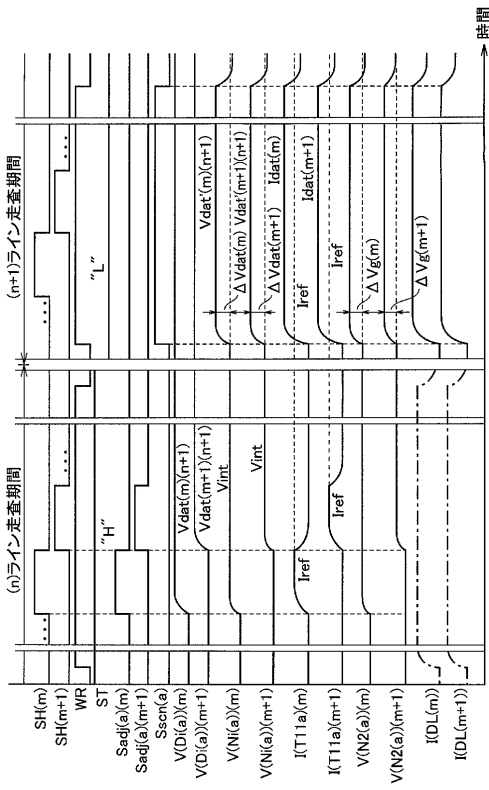
【 図 1 】



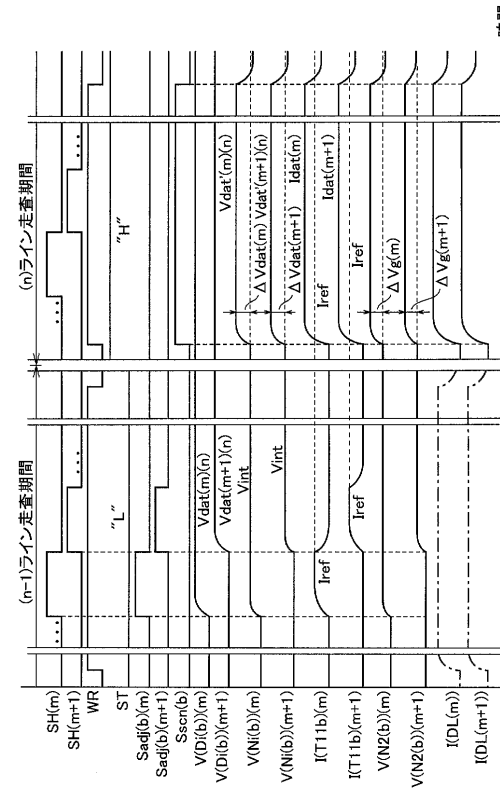
【 図 2 】



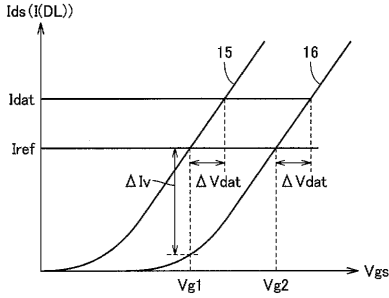
【 図 3 】



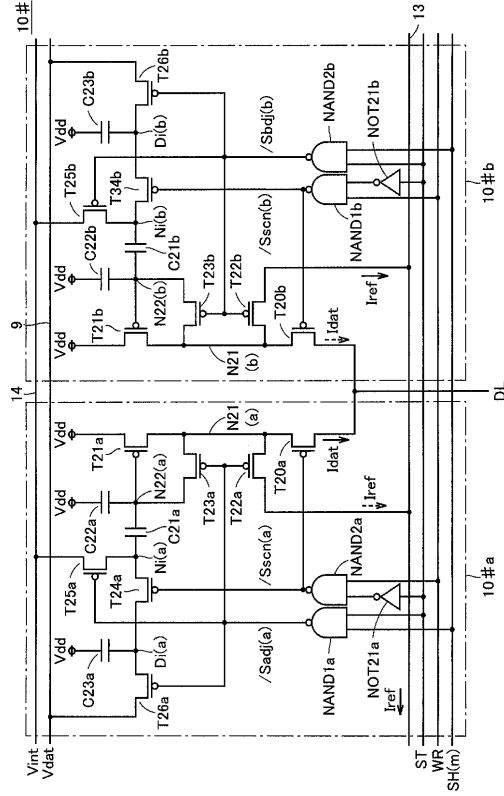
【 図 4 】



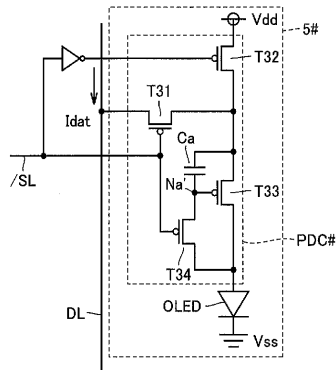
【 図 5 】



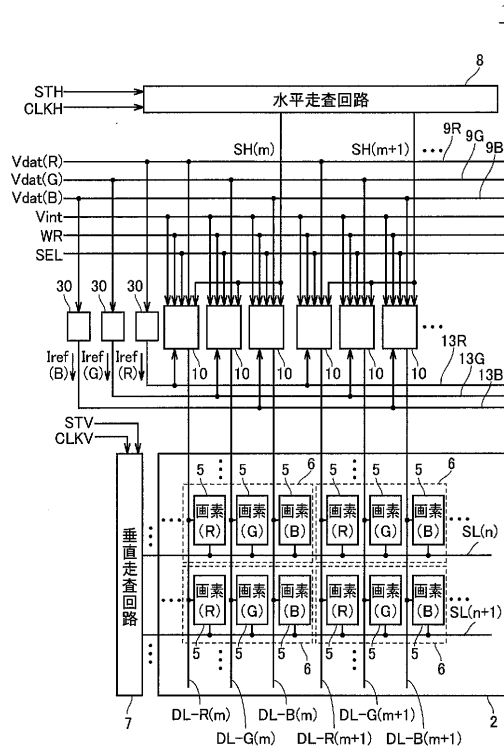
【 図 6 】



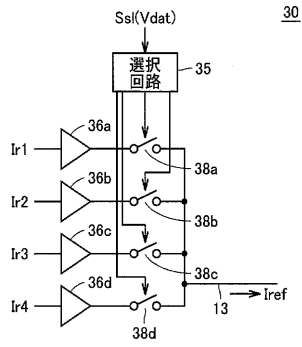
【 図 7 】



【 図 8 】

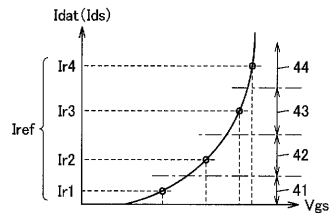


【 図 9 】

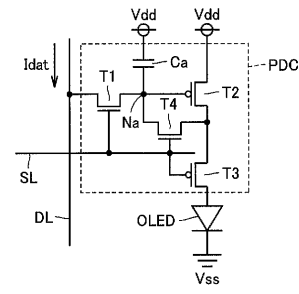


30

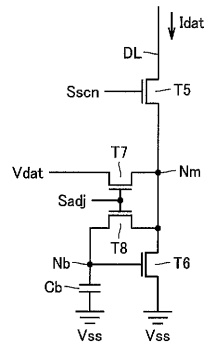
【 図 10 】



【 図 11 】



【 図 12 】



## フロントページの続き

(51) Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
	G 0 9 G 3/20 6 4 2 A	
	H 0 5 B 33/14 A	
	H 0 3 K 17/687 A	

(72)発明者 時岡 秀忠  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 橋戸 隆一  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 浦壁 隆浩  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 上里 将史  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 岡部 正志  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 井上 満夫  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA04  
5C080 AA06 BB05 DD05 EE28 FF11 JJ02 JJ03 JJ04 JJ05  
5J055 AX49 AX52 BX16 CX29 DX20 EX07 EY10 EY21 EZ03 EZ68  
FX04 FX12 GX01

专利名称(译)	电流供应电路和具有该电流供应电路的电致发光显示装置		
公开(公告)号	<a href="#">JP2004029219A</a>	公开(公告)日	2004-01-29
申请号	JP2002182868	申请日	2002-06-24
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	時岡秀忠 橋戸隆一 浦壁隆浩 上里将史 岡部正志 井上満夫		
发明人	時岡 秀忠 橋戸 隆一 浦壁 隆浩 上里 将史 岡部 正志 井上 満夫		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H03K17/687 H05B33/14		
CPC分类号	G09G3/3283 G09G3/325 G09G2300/0814 G09G2300/0842 G09G2320/0233 G09G2320/0295 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.612.F G09G3/20.623.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A H03K17/687.A G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080 /EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5J055/AX49 5J055/AX52 5J055 /BX16 5J055/CX29 5J055/DX20 5J055/EX07 5J055/EY10 5J055/EY21 5J055/EZ03 5J055/EZ68 5J055 /FX04 5J055/FX12 5J055/GX01 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH01 3K107/HH04 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA37 5C380 /BA38 5C380/BA39 5C380/BA46 5C380/BB02 5C380/BB15 5C380/CA02 5C380/CA08 5C380/CA13 5C380/CA24 5C380/CA52 5C380/CA53 5C380/CB01 5C380/CC13 5C380/CC26 5C380/CC33 5C380 /CC39 5C380/CC51 5C380/CC52 5C380/CC53 5C380/CC62 5C380/CD014 5C380/CE04 5C380/CE08 5C380/CF15 5C380/CF32 5C380/CF43 5C380/CF51 5C380/CF52 5C380/DA02 5C380/DA06 5C380 /DA32 5C380/DA47		
代理人(译)	森田俊夫 伊藤英彦 堀井裕		
其他公开文献	JP2004029219A5 JP3875594B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：通过使用电流供应电路，提供具有均匀电压 - 电流转换特性的电流供应电路和在像素之间具有均匀显示亮度特性的EL显示装置。ZOLUTION：用于将与显示亮度对应的数据电流提供给电流驱动型发光元件的电流供应电路10a允许参考电流Iref通过驱动晶体管T11a，用于将数据电流Idat提供给电源中的数据总线DL在供电模式之前执行的补偿模式时的模式。连接到驱动晶体管T11a的栅极的节点N2(a)的电压由电压保持电容器C2a保持。在供电模式中，节点N2(a)的电压根据数据信号Vdat而改变。根

