

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6117232号  
(P6117232)

(45) 発行日 平成29年4月19日(2017.4.19)

(24) 登録日 平成29年3月31日(2017.3.31)

(51) Int. Cl.

F I

G09G 3/3233 (2016.01)

G09G 3/3233

G09G 3/3275 (2016.01)

G09G 3/3275

G09G 3/20 (2006.01)

G09G 3/20 624B

H01L 51/50 (2006.01)

G09G 3/20 611H

G09G 3/20 642A

請求項の数 8 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2014-543757 (P2014-543757)  
 (86) (22) 出願日 平成24年11月1日(2012.11.1)  
 (65) 公表番号 特表2015-505980 (P2015-505980A)  
 (43) 公表日 平成27年2月26日(2015.2.26)  
 (86) 国際出願番号 PCT/CN2012/083927  
 (87) 国際公開番号 W02013/078931  
 (87) 国際公開日 平成25年6月6日(2013.6.6)  
 審査請求日 平成27年9月18日(2015.9.18)  
 (31) 優先権主張番号 201110393996.3  
 (32) 優先日 平成23年12月1日(2011.12.1)  
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 510280589  
 京東方科技集團股▲ふん▼有限公司  
 BOE TECHNOLOGY GROU  
 P CO., LTD.  
 中華人民共和国100015北京市朝陽區  
 酒仙橋路10號  
 No. 10 Jiuxianqiao R  
 d., Chaoyang Distric  
 t, Beijing 100015, CH  
 INA

(73) 特許権者 511121702  
 成都京東方光電科技有限公司  
 中華人民共和国611731四川省成都市  
 高新區(西區)合作路1188號

最終頁に続く

(54) 【発明の名称】 画素ユニット駆動回路と方法、画素ユニット及び表示装置

(57) 【特許請求の範囲】

【請求項1】

OLEDを駆動するための画素ユニット駆動回路であって、前記画素ユニット駆動回路は、駆動薄膜トランジスタ、第1のスイッチ素子、格納コンデンサ及び駆動制御部を有し、

前記格納コンデンサの第1端は前記駆動薄膜トランジスタのゲート電極に接続され、その第2端は駆動電源の高レベル出力端に接続され、

前記駆動薄膜トランジスタのソース電極は、前記第1のスイッチ素子を通じてデータラインに接続され、

前記駆動薄膜トランジスタのドレイン電極は前記駆動制御部を通じて前記OLEDのアニード及び駆動電源の低レベル出力端にそれぞれ接続され、そのソース電極は前記駆動制御部を通じて前記駆動電源の高レベル出力端に接続され、そのゲート電極は前記駆動制御部を通じて前記駆動薄膜トランジスタのドレイン電極に接続され、

前記駆動制御部は、前記格納コンデンサの放充電を制御することにより、前記駆動薄膜トランジスタが飽和帯で作業し、前記駆動薄膜トランジスタのゲート・ソース電圧を利用して前記駆動薄膜トランジスタの閾値電圧 $V_{th}$ を補償するよう制御するために用いられ、

前記駆動制御部は、第2のスイッチ素子、第3のスイッチ素子、第4のスイッチ素子、及び第5のスイッチ素子を有し、

前記駆動薄膜トランジスタのドレイン電極と前記駆動電源の低レベル出力端の間に前記

10

20

第 2 のスイッチ素子が接続され、

前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極の間に前記第 3 のスイッチ素子が接続され、

前記駆動薄膜トランジスタのドレイン電極と前記 O L E D のアノードの間に前記第 4 のスイッチ素子が接続され、

前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端の間に前記第 5 のスイッチ素子が接続される画素ユニット駆動回路。

【請求項 2】

前記駆動薄膜トランジスタは P 型薄膜トランジスタである請求項 1 に記載の画素ユニット駆動回路。

10

【請求項 3】

前記第 1 のスイッチ素子は P 型薄膜トランジスタであり、

前記第 1 のスイッチ素子のゲート電極は制御信号を伝送するためのスキャンラインに接続され、そのソース電極はデータラインに接続され、そのドレイン電極は前記駆動薄膜トランジスタのソース電極に接続される請求項 1 又は 2 に記載の画素ユニット駆動回路。

【請求項 4】

前記第 2 のスイッチ素子、前記第 3 のスイッチ素子、前記第 4 のスイッチ素子、及び前記第 5 のスイッチ素子は P 型 T F T であり、

前記第 2 のスイッチ素子のゲート電極は第 1 の制御ラインに接続され、そのソース電極は前記駆動薄膜トランジスタのドレイン電極に接続され、そのドレイン電極は前記駆動電源の低レベル出力端に接続され、

20

前記第 3 のスイッチ素子のゲート電極はスキャンラインに接続され、そのソース電極は前記駆動薄膜トランジスタのゲート電極に接続され、そのドレイン電極は前記駆動薄膜トランジスタのドレイン電極に接続され、

前記第 4 のスイッチ素子のゲート電極は第 2 の制御ラインに接続され、そのソース電極は前記駆動薄膜トランジスタのドレイン電極に接続され、そのドレイン電極は前記 O L E D のアノードに接続され、

前記第 5 のスイッチ素子のゲート電極は前記第 2 の制御ラインに接続され、そのソース電極は前記駆動電源の高レベル出力端に接続され、そのドレイン電極は前記駆動薄膜トランジスタのソース電極に接続される請求項 1 に記載の画素ユニット駆動回路。

30

【請求項 5】

請求項 1 に記載する画素ユニット駆動回路に應用する画素ユニット駆動方法であって、格納コンデンサが充電されるよう駆動制御部が制御する画素充電ステップと、

前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧  $V_{th}$  になるまで前記格納コンデンサに前記駆動薄膜トランジスタを通じて放電させるよう駆動制御部が制御する画素放電ステップと、

駆動薄膜トランジスタのゲート電極電圧の安定を維持するよう駆動制御部が制御するバッファ切替ステップと、

前記駆動薄膜トランジスタが飽和帯で作業するよう制御し、且つ前記格納コンデンサの両端の電圧差が変化しないよう制御することによって、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧  $V_{th}$  を補償するようにして、前記駆動薄膜トランジスタを通じて O L E D の発光を駆動させるよう駆動制御部が制御する O L E D 発光表示駆動ステップと、を有する画素ユニット駆動方法。

40

【請求項 6】

前記画素充電ステップは、第 1 のスイッチ素子が駆動薄膜トランジスタのソース電極とデータラインとの接続をオンにするステップと、前記駆動制御部が前記駆動薄膜トランジスタのドレイン電極と前記 O L E D のカソードとの接続をオンにし、前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極との接続をオンにし、前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端との接続をオフにし、前記格納コンデンサが充電されるよう制御するステップとを有し、

50

前記画素放電ステップは、前記駆動制御部が前記駆動薄膜トランジスタのドレイン電極と前記OLEDのカソードとの接続をオフにし、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 $V_{th}$ になるまで前記格納コンデンサに前記駆動薄膜トランジスタを通じて放電させるよう前記駆動制御部が制御するステップを有し、

前記バッファ切替ステップは、前記第1のスイッチ素子が駆動薄膜トランジスタのソース電極とデータラインとの接続をオフにし、前記駆動制御部が前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極との接続をオフにするステップを有し、

前記OLED発光表示駆動ステップは、駆動制御部が前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端との接続をオンにし、前記駆動薄膜トランジスタのドレイン電極と前記OLEDのアノードとの接続をオンにし、前記駆動薄膜トランジスタが飽和帯で作業するよう制御し、且つ前記格納コンデンサの両端の電圧差が変化しないよう制御することによって、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 $V_{th}$ を補償するようにして、前記駆動薄膜トランジスタを通じてOLEDの発光を駆動させるステップを有する請求項5に記載の画素ユニット駆動方法。

#### 【請求項7】

画素ユニットであって、OLEDと請求項1ないし請求項4のいずれか1項に記載の画素ユニット駆動回路を有し、当該画素ユニット駆動回路はOLEDのアノードに接続され、前記OLEDのカソードは駆動電源の低レベル出力端に接続される画素ユニット。

#### 【請求項8】

表示装置であって、請求項7に記載の画素ユニットを有する表示装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は有機発光表示分野に関するものであり、特にAMOLED（アクティブマトリックス有機発光ダイオード）の画素ユニット駆動回路と方法、画素ユニット及び表示装置に関する。

#### 【背景技術】

#### 【0002】

従来の画素ユニット駆動回路を図1に示しているが、当該駆動回路は、二つのトランジスタと一つのコンデンサを有し、一つのトランジスタはスイッチトランジスタT1であり、スキャンラインの出力するスキャン信号 $V_{SCAN}$ によって制御され、データライン上のデータ信号 $V_{DATA}$ の入力を制御するために用いられ、もう一つのトランジスタは駆動トランジスタT2であり、OLEDの発光を制御し、 $C_s$ は格納コンデンサであり、非スキャン期間にて駆動トランジスタT2に印加する電圧を維持するために用いられ、以上の回路は2T1C画素ユニット駆動回路と呼ばれる。

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0003】

AMOLED（Active Matrix Organic Light Emitting Diode、アクティブマトリックス有機発光ダイオード）が発光できるのは、駆動トランジスタが飽和状態のときに発生する電流によって駆動されるからである。同一のグレーレベル電圧を入力した場合、前記駆動トランジスタの異なる閾値電圧では異なる駆動電流が発生するため、電流の不一致性を引き起こす。LTPS（低温多結晶シリコン技術）の製造プロセスにおいて、閾値電圧 $V_{th}$ の均一性は非常に悪く、同時に閾値電圧 $V_{th}$ にオフセットが生じることもあり、そのため従来の2T1C画素ユニット駆動回路の輝度の均一性は非常に悪かった。

#### 【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 4 】

本発明はO L E Dパネルの輝度の均一性を向上させるための画素ユニット駆動回路と方法、画素ユニット及び表示装置を提供する。

## 【 0 0 0 5 】

上記の目的を果たすために、本発明の実施例はO L E Dを駆動するための画素ユニット駆動回路であって、画素ユニット駆動回路は駆動薄膜トランジスタ、第1のスイッチ素子、格納コンデンサ及び駆動制御部を有し、

前記格納コンデンサの第1端は前記駆動薄膜トランジスタのゲート電極に接続され、その第2端は駆動電源の高レベル出力端に接続され、

前記駆動薄膜トランジスタのソース電極は、前記第1のスイッチ素子を通じてデータラインに接続され、

前記駆動薄膜トランジスタのドレイン電極は前記駆動制御部を通じて前記O L E Dのアノード及び駆動電源の低レベル出力端にそれぞれ接続され、そのソース電極は前記駆動制御部を通じて前記駆動電源の高レベル出力端に接続され、そのゲート電極は前記駆動制御部を通じて前記駆動薄膜トランジスタのドレイン電極に接続され、

前記駆動制御部は、前記格納コンデンサの放充電を制御することにより、前記駆動薄膜トランジスタが飽和帯で作業し、前記駆動薄膜トランジスタのゲート・ソース電圧を利用して前記駆動薄膜トランジスタの閾値電圧 $V_{th}$ を補償するよう制御するために用いられる画素ユニット駆動回路を提供する。

## 【 0 0 0 6 】

一つの実施例において、前記駆動薄膜トランジスタはP型薄膜トランジスタである。

## 【 0 0 0 7 】

一つの実施例において、前記第1のスイッチ素子はP型薄膜トランジスタであり、

前記第1のスイッチ素子のゲート電極は制御信号を伝送するためのスキャンラインに接続され、そのソース電極はデータラインに接続され、そのドレイン電極は前記駆動薄膜トランジスタのソース電極に接続される。

## 【 0 0 0 8 】

一つの実施例において、前記駆動制御部は、第2のスイッチ素子、第3のスイッチ素子、第4のスイッチ素子、及び第5のスイッチ素子を有し、

前記駆動薄膜トランジスタのドレイン電極と前記駆動電源の低レベル出力端の間に前記第2のスイッチ素子が接続され、

前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極の間に前記第3のスイッチ素子が接続され、

前記駆動薄膜トランジスタのドレイン電極と前記O L E Dのアノードの間に前記第4のスイッチ素子が接続され、

前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端の間に前記第5のスイッチ素子が接続される。

## 【 0 0 0 9 】

一つの実施例において、前記第2のスイッチ素子、前記第3のスイッチ素子、前記第4のスイッチ素子、及び前記第5のスイッチ素子はP型T F Tであり、

前記第2のスイッチ素子のゲート電極は第1の制御ラインに接続され、そのソース電極は前記駆動薄膜トランジスタのドレイン電極に接続され、そのドレイン電極は前記駆動電源の低レベル出力端に接続され、

前記第3のスイッチ素子のゲート電極は前記スキャンラインに接続され、そのソース電極は前記駆動薄膜トランジスタのゲート電極に接続され、そのドレイン電極は前記駆動薄膜トランジスタのドレイン電極に接続され、

前記第4のスイッチ素子のゲート電極は第2の制御ラインに接続され、そのソース電極は前記駆動薄膜トランジスタのドレイン電極に接続され、そのドレイン電極は前記O L E Dのアノードに接続され、

前記第5のスイッチ素子のゲート電極は前記第2の制御ラインに接続され、そのソース

10

20

30

40

50

電極は前記駆動電源の高レベル出力端に接続され、そのドレイン電極は前記駆動薄膜トランジスタのソース電極に接続される。

【0010】

本発明の実施例は、更に、上記画素ユニット駆動回路に応用する画素ユニット駆動方法であって、

格納コンデンサが充電されるよう駆動制御部が制御する画素充電ステップと、

前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧  $V_{th}$  になるまで前記格納コンデンサに前記駆動薄膜トランジスタを通じて放電させるよう駆動制御部が制御する画素放電ステップと、

駆動薄膜トランジスタのゲート電極電圧の安定を維持するよう駆動制御部が制御するバッファ切替ステップと、

前記駆動薄膜トランジスタが飽和帯で作業するよう制御し、且つ前記格納コンデンサの両端の電圧差が変化しないよう制御することによって、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧  $V_{th}$  を補償するようにして、前記駆動薄膜トランジスタを通じてOLEDの発光を駆動させるよう駆動制御部が制御するOLED発光表示駆動ステップと、を有する画素ユニット駆動方法を提供する。

【0011】

一つの実施例において、前記画素充電ステップは、第1のスイッチ素子が駆動薄膜トランジスタのソース電極とデータラインとの接続をオンにするステップと、前記駆動制御部が前記駆動薄膜トランジスタのドレイン電極と前記OLEDのカソードとの接続をオンにし、前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極との接続をオンにし、前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端との接続をオフにし、前記格納コンデンサが充電されるよう制御するステップとを有し、

前記画素放電ステップは、前記駆動制御部が前記駆動薄膜トランジスタのドレイン電極と前記OLEDのカソードとの接続をオフにし、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧  $V_{th}$  になるまで前記格納コンデンサに前記駆動薄膜トランジスタを通じて放電させるよう前記駆動制御部が制御するステップを有し、

前記バッファ切替ステップは、前記第1のスイッチ素子が駆動薄膜トランジスタのソース電極とデータラインとの接続をオフにし、前記駆動制御部が前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極との接続をオフにするステップを有し、

前記OLED発光表示駆動ステップは、駆動制御部が前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端との接続をオンにし、前記駆動薄膜トランジスタのドレイン電極と前記OLEDのアノードとの接続をオンにし、前記駆動薄膜トランジスタが飽和帯で作業するよう制御し、且つ前記格納コンデンサの両端の電圧差が変化しないよう制御することによって、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧  $V_{th}$  を補償するようにして、前記駆動薄膜トランジスタを通じてOLEDの発光を駆動させるステップを有する。

【0012】

本発明の実施例は、更に、画素ユニットであって、OLEDと前記の画素ユニット駆動回路を有し、当該画素ユニット駆動回路はOLEDのアノードに接続され、前記OLEDのカソードは駆動電源の低レベル出力端に接続される画素ユニットを提供する。

【0013】

本発明の実施例は、更に、複数の上記画素ユニットを有する表示装置を提供する。

【0014】

本発明の実施例が提供する画素ユニット駆動回路と方法、画素ユニット及び表示装置は、従来技術と比べて、駆動薄膜トランジスタのゲート・ソース電圧がOLEDの駆動薄膜トランジスタの閾値電圧を補償するよう前記駆動制御部が格納コンデンサ  $C_s$  を制御する

10

20

30

40

50

ことによって、O L E Dパネルの輝度の不均一と輝度の劣化の問題を解決する。

【図面の簡単な説明】

【0015】

【図1】従来の2T1C画素ユニット駆動回路の回路図である。

【図2】本発明の第1の実施例に係る画素ユニット駆動回路の回路図である。

【図3A】本発明の第2の実施例に係る画素ユニット駆動回路の回路図である。

【図3B】本発明の第2の実施例に係る画素ユニット駆動回路の第1の時間帯での等価回路図である。

【図3C】本発明の第2の実施例に係る画素ユニット駆動回路の第2の時間帯での等価回路図である。

10

【図3D】本発明の第2の実施例に係る画素ユニット駆動回路の第3の時間帯での等価回路図である。

【図3E】本発明の第2の実施例に係る画素ユニット駆動回路の第4の時間帯での等価回路図である。

【図4】当該実施例に係る画素ユニット駆動回路における各信号のシーケンス図である。

【発明を実施するための形態】

【0016】

本発明は、画素ユニット駆動回路と方法、画素ユニット及び表示装置を提供し、ダイオード接続(Diode Connection)を利用し、且つ格納コンデンサの放電の制御により、駆動薄膜トランジスタのゲート・ソース電圧がO L E Dの駆動薄膜トランジスタの閾値電圧を補償するようにし、よってO L E Dパネルの輝度の不均一と輝度の減衰の問題を解決する。

20

【0017】

図2は本発明の第1の実施例に係る画素ユニット駆動回路の回路図を示すが、当該実施例に係る画素ユニット駆動回路は、O L E Dの駆動に用いられ、駆動薄膜トランジスタD T F T、第1のスイッチ素子21、格納コンデンサ $C_s$ 及び駆動制御部22を有し、

前記格納コンデンサ $C_s$ の第1端は前記駆動薄膜トランジスタD T F Tのゲート電極に接続され、第2端は出力電圧がV D Dである駆動電源の高レベル出力端に接続され、

前記駆動薄膜トランジスタD T F Tのソース電極は前記第1のスイッチ素子21を通じてデータラインD a t aに接続され、

30

前記駆動薄膜トランジスタD T F Tのドレイン電極は前記駆動制御部22を通じて前記O L E Dのアノード及び出力電圧がV S Sである前期駆動電源の低レベル出力端にそれぞれ接続され、そのソース電極は前記駆動制御部22を通じて前記駆動電源の高レベル出力端に接続され、そのゲート電極は前記駆動制御部22を通じて前記駆動薄膜トランジスタD T F Tのドレイン電極に接続され、

前記駆動制御部22は、前記格納コンデンサ $C_s$ の放電を制御することにより、前記駆動薄膜トランジスタD T F Tが飽和帯で作業し、前記駆動薄膜トランジスタD T F Tのゲート・ソース電圧を利用して前記駆動薄膜トランジスタD T F Tの閾値電圧 $V_{th}$ を補償するよう制御するために用いられ、

前記駆動制御部22は更に制御信号を伝送するためのスキャンラインS C A N及び制御ラインC Rにそれぞれ接続される。

40

【0018】

図2に示すように、本発明の第1の実施例に係る画素ユニット駆動回路において、前記第1のスイッチ素子21は記号がT1である第1のスイッチT F Tであり、T1はP型薄膜トランジスタであり、

前記第1のスイッチ素子21のゲート電極は制御信号を伝送するためのスキャンラインS C A Nに接続され、そのソース電極はデータラインD a t aに接続され、そのドレイン電極は前記駆動薄膜トランジスタD T F Tのソース電極に接続される。

【0019】

図3Aは本発明の第2の実施例に係る画素ユニット駆動回路の回路図を示すが、当該実

50

施例に係る画素ユニット駆動回路は6T1C回路を採用し、 $V_{th}$ を補償することにより前記駆動TF Tの駆動電流を前記駆動TF Tの閾値電圧 $V_{th}$ と無関係にし、電流の一致を図り、均一性と信頼性を改善する。

【0020】

当該実施例において、前記第1のスイッチ素子は記号がT1である第1のスイッチTF Tであり、前記第2のスイッチ素子は記号がT2である第2のスイッチTF Tであり、前記第3のスイッチ素子は記号がT3である第3のスイッチTF Tであり、前記第4のスイッチ素子は記号がT4である第4のスイッチTF Tであり、前記第5のスイッチ素子は記号がT5である第5のスイッチTF Tであり、前記駆動TF Tの記号はDTF Tであり、

前記第1のスイッチTF T、前記第2のスイッチTF T、前記第2のスイッチTF T、前記第4のスイッチTF T及び前記駆動TF TはP型TF Tであり、P型TF Tの閾値電圧は $V_{th} < 0$ であり、

T4のドレイン電極は前記OLEDのアノードに接続され、T4のソース電極はDTF Tのドレイン電極に、T2のソース電極はT3のドレイン電極に接続され、T4のゲート電極はT5のゲート電極に接続され、

T2のドレイン電極は前記OLEDのアノードに接続され且つ接地され、

T3のソース電極は前記DTF Tのゲート電極及び前記格納コンデンサ $C_s$ の第1端に接続され、前記T3のゲート電極はT1のゲート電極に接続され、

T1のドレイン電極はT5のドレイン電極に接続され、T1のソース電極はデータラインDataに接続され、

T5のソース電極は出力電圧がVDDである前記駆動電源の高レベル出力端に接続され、T5のドレイン電極はDTF Tのソース電極に接続され、

T3のゲート電極はT1のゲート電極と制御信号を伝送するためのスキャンラインSCANとに接続され、

T2のゲート電極は制御ラインCR1に接続され、

T4のゲート電極はT5のゲート電極と制御ラインCR2に接続される。

【0021】

図3Bに示すように、本発明の第2の実施例に係る画素ユニット駆動回路が作業している時、第1の時間帯即ちプレチャージ段階において、前記スキャンラインSCANと前記制御ラインCR1は低レベルを出力し、T2、T3及びT1を制御してオンにし、前記制御ラインCR2は高レベルとなり、T4、T5を制御してオフにし、このとき前記格納コンデンサ $C_s$ の第1端は接地され、前記格納コンデンサ $C_s$ の第2端は出力電圧がVDDである前期駆動電源の高レベル出力端に接続され、よって前記格納コンデンサ $C_s$ は充電され、A点(即ち前記DTF Tのドレイン電極)の電圧とB点(即ち前記DTF Tのゲート電極)の電圧は0となり、C点(即ち前記DTF Tのソース電極)の電圧は前記データラインDataが出力する電圧 $V_{data}$ となる。

【0022】

図3Cに示すように、本発明の第2の実施例にかかる画素ユニット駆動回路が作業している時、第2の時間帯即ちデータ書込及び放電補償段階において、前記スキャンラインSCANは低レベルを出力し、T3及びT1を制御してオンにし、前記制御ラインCR1及び前記制御ラインCR2は高レベルを出力し、T4、T2、T5を制御してオフにし、前記DTF Tのゲート電極とドレイン電極を短絡し、よって前記DTF Tはダイオードの役割と等価になり、前記格納コンデンサ $C_s$ の第1端はDTF Tのゲート電極に接続され、前記格納コンデンサ $C_s$ の第2端は出力電圧がVDDである駆動電源の高レベル出力端に接続され、同時に前記DTF Tのソース電極(即ちC点)は出力電圧が $V_{data}$ である前記データラインDataに接続される。

DTF Tのゲート・ソース電極の電圧 $V_{gs}$ (即ち $V_B - V_C$ )は $-V_{data}$ であり、 $V_{th}$ より小さいため、DTF Tはオンになり、前記格納コンデンサ $C_s$ はDTF Tの $V_{gs}$ がDTF Tの閾値電圧 $V_{th}$ に増大するまでDTF Tを通じて前記データラインDataに放電し、このときDTF Tはサブスレッショルド伝導の状態に入り、C点の電圧

10

20

30

40

50

は  $V_{data}$  に維持され、B点とC点間の電圧差（即ち  $V_{gs}$ ）はDTFTの閾値電圧  $V_{th}$  であるため、DTFTのゲート電極（即ちB点）の電圧は  $V_C + V_{th} = V_{data} + V_{th}$  となり、前記格納コンデンサ  $C_S$  の第2端と第1端の間の電圧差は  $V_{DD} - V_B$  即ち  $V_{DD} - V_{data} - V_{th}$  となる。

【0023】

図3Dに示すように、本発明の第2の実施例にかかる画素ユニット駆動回路が作業している時、第3の時間帯即ちバッファ切換段階において、前記スキャンラインSCAN、前記制御ラインCR1及び前記制御ラインCR2は高レベルを出力し、T1、T2、T3、T4、T5を制御してオフにし、DTFTのゲート電極（即ちB点）の電圧は前記格納コンデンサ  $C_S$  によって  $V_{data} + V_{th}$  に安定化される。

10

【0024】

図3Eに示すように、本発明の第2の実施例にかかる画素ユニット駆動回路が作業している時、第4の時間帯即ちOLED駆動段階において、前記制御ラインCR2は低レベルを出力し、T4、T5を制御してオンにし、前記制御ラインCR1及び前記スキャンラインSCANは高レベルを出力し、T2、T3、T1を制御してオフにし、このときDTFTは飽和帯で作業し、前記OLEDに駆動電流が流れて、OLEDを発光させる。

【0025】

DTFTのゲート電極（即ちB点）の電圧は  $V_{data} + V_{th}$  であり、DTFTのソース電極はT5を通じて出力電圧が  $V_{DD}$  である前記駆動電源の高レベル出力端に接続され、即ちDTFTのゲート・ソース電極の電圧  $V_{gs}$  は  $V_{data} + V_{th} - V_{DD}$  となり、このとき前記OLEDに流れる電流  $I$  の計算式は式(1)に示すとおりである。

20

【0026】

【数1】

$$\begin{aligned} I &= K \times (V_{gs} - V_{th})^2 \\ &= K \times (V_{data} + V_{th} - V_{DD} - V_{th})^2 \\ &= K \times (V_{data} - V_{DD})^2; \end{aligned} \quad \text{式(1)}$$

30

KはDTFTの電流係数であり、

$$K = C_{ox} \cdot \mu \cdot \frac{W}{L};$$

【0027】

$\mu$ 、 $C_{ox}$ 、 $W$ 、 $L$ はそれぞれDTFTの電界効果移動度、ゲート絶縁層単位面積の蓄電容量、チャンネル幅、チャンネル長を示す。

当該第4の時間帯はOLED発光段階であり、前記OLEDは前記データラインDataに次のフレームのデータが書き込まれるまで発光する。

40

【0028】

このように、前記駆動DTFTの駆動電流、即ち前記OLEDに流れる電流を  $V_{data} - V_{DD}$  のみによって決定されるようにすることで、前記駆動DTFTの閾値電圧  $V_{th}$  及びOLEDのアノード電圧  $V_{th-oled}$  の影響を受けず、当該駆動電流が前記駆動DTFTの閾値電圧及び前記OLEDのアノード電圧のオフセットによって変化することを回避し、流れ込んでゆく電流の均一性を改善し、OLEDパネルの輝度の均一を図ることができる。

【0029】

図4は当該実施例にかかる画素ユニット駆動回路におけるスキャンラインSCANが出力するスキャン信号  $V_{SCAN}$ 、データラインDataが出力するデータ信号  $V_{data}$

50

、第1の制御ラインCR1が出力する制御信号 $V_{CR1}$ 及び第2の制御ラインCR2が出力する制御信号 $V_{CR2}$ のシーケンス図である。図4において、D、E、F、Gはそれぞれ第1の時間帯、第2の時間帯、第3の時間帯、第4の時間帯を示している。

【0030】

以上は本発明に対する説明に過ぎず、限定するものではない。当業者が理解するように、添付の特許請求の範囲が限定する精神及び範囲を離脱しない場合、多数の修正、変化、または等価手段を行ってもよく、これらすべては本発明の保護範囲に含まれるものとする。

【符号の説明】

【0031】

- 21 第1のスイッチ素子
- 22 駆動制御部
- T1 第1のスイッチ素子
- T2 第2のスイッチ素子
- T3 第3のスイッチ素子
- T4 第4のスイッチ素子
- T5 第5のスイッチ素子
- DTFT 駆動薄膜トランジスタ
- Cs 格納コンデンサ
- DATA データライン
- SCAN スキャンライン

10

20

【図1】

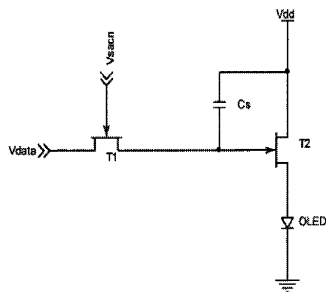
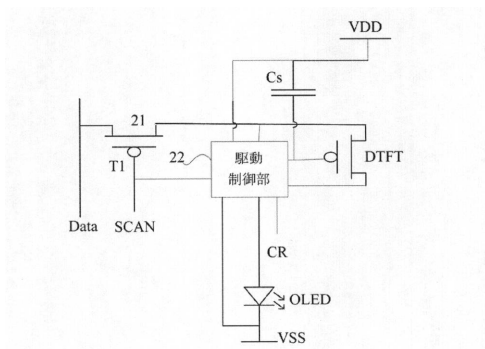


図1

【図2】



【図3A】

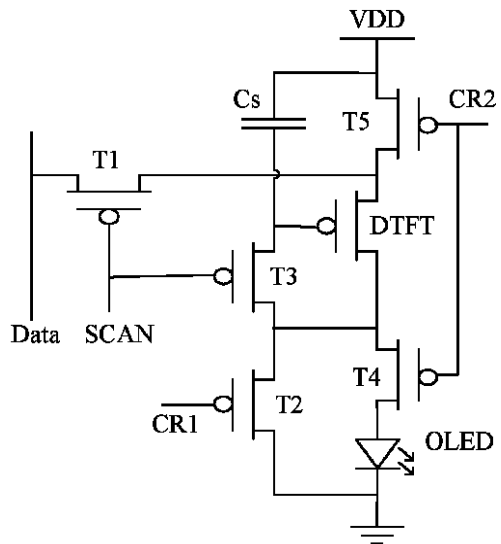


図3A

【图 3 B】

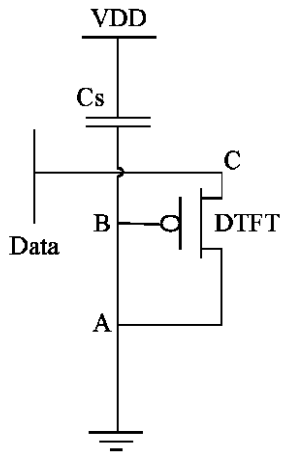


图 3B

【图 3 C】

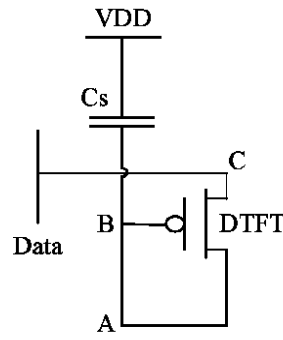


图 3C

【图 3 D】

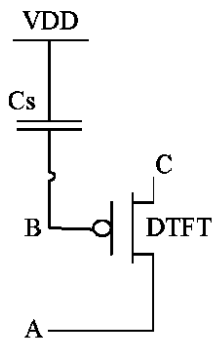


图 3D

【图 3 E】

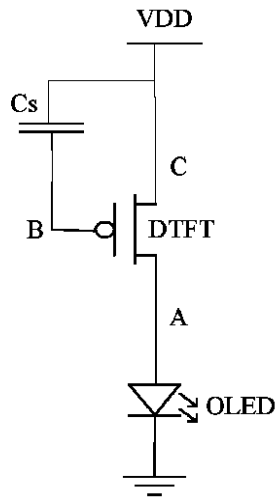


图 3E

【 图 4 】

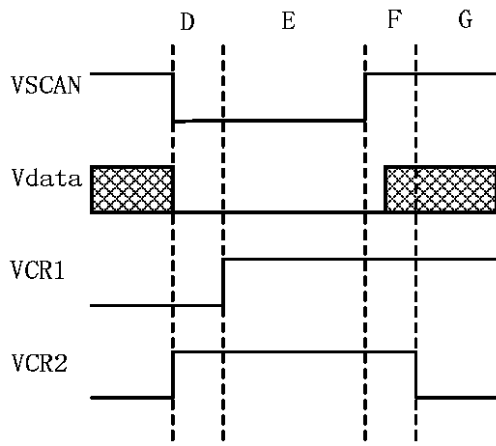


图 4

## フロントページの続き

(51)Int.Cl. F I  
H 0 5 B 33/14 A

(74)代理人 100108453  
弁理士 村山 靖彦

(74)代理人 100089037  
弁理士 渡邊 隆

(74)代理人 100110364  
弁理士 実広 信哉

(72)発明者 譚 文  
中華人民共和国100176北京市 經 濟 技 術 開 發 区地 澤 路9号

(72)発明者 祁 小敬  
中華人民共和国100176北京市 經 濟 技 術 開 發 区地 澤 路9号

(72)発明者 胡 理科  
中華人民共和国100176北京市 經 濟 技 術 開 發 区地 澤 路9号

(72)発明者 高 永益  
中華人民共和国100176北京市 經 濟 技 術 開 發 区地 澤 路9号

審査官 中村 直行

(56)参考文献 特開2011-081336(JP,A)  
特開2009-288767(JP,A)  
特開2005-031630(JP,A)  
特開2006-065282(JP,A)  
特開2006-039544(JP,A)  
特開2009-222838(JP,A)  
国際公開第2011/013409(WO,A1)  
特開2008-151963(JP,A)  
特開2004-333594(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
H 0 1 L 5 1 / 5 0

专利名称(译)	像素单元驱动电路和方法，像素单元和显示装置		
公开(公告)号	<a href="#">JP6117232B2</a>	公开(公告)日	2017-04-19
申请号	JP2014543757	申请日	2012-11-01
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司 成都京东方光电科技有限公司		
[标]发明人	祁小敬 胡理科 高永益		
发明人	▲譚▼文 祁小敬 胡理科 高永益		
IPC分类号	G09G3/3233 G09G3/3275 G09G3/20 H01L51/50		
CPC分类号	G09G3/3225 G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0233 G09G2320/045		
FI分类号	G09G3/3233 G09G3/3275 G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A H05B33/14.A		
代理人(译)	村山彦 渡边隆		
审查员(译)	中村直之		
优先权	201110393996.3 2011-12-01 CN		
其他公开文献	JP2015505980A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种用于像素单元的驱动电路和方法，像素单元和显示装置。用于像素单元的驱动电路包括：驱动薄膜晶体管，第一开关元件，存储电容器和驱动控制单元；驱动薄膜晶体管的源极通过第一开关元件连接到数据线；驱动薄膜晶体管的漏极分别通过所述驱动控制单元连接到OLED的阳极和驱动电源的低电平输出，所述驱动薄膜晶体管的源极连接到高电平输出驱动电源的栅极和驱动薄膜晶体管的栅极连接到驱动薄膜晶体管的漏极；所述驱动控制单元用于控制所述待充电/放电的存储电容，以控制所述驱动薄膜晶体管工作在饱和区，从而利用所述驱动薄膜晶体管的阈值电压Vth进行补偿。所述驱动薄膜晶体管的栅极-源极电压。本发明可以解决OLED面板亮度不均匀和衰减的问题。

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6117232号 (P6117232)
(45) 発行日 平成29年4月19日(2017.4.19)	(24) 登録日 平成29年3月31日(2017.3.31)	
(51) Int. Cl.	F I	
G09G 3/3233 (2016.01)	G09G 3/3233	
G09G 3/3275 (2016.01)	G09G 3/3275	
G09G 3/20 (2006.01)	G09G 3/20 624 B	
H01L 51/50 (2006.01)	G09G 3/20 611 H	
	G09G 3/20 642 A	
	請求項の数 8 (全 12 頁) 最終頁に続く	
(21) 出願番号 特願2014-543757 (P2014-543757)	(73) 特許権者 510280589	
(86) (22) 出願日 平成24年11月1日(2012.11.1)	京東方科技集團股▲ふん▼有限公司	
(65) 公表番号 特表2015-505980 (P2015-505980A)	BOE TECHNOLOGY GROUP CO., LTD.	
(43) 公表日 平成27年2月26日(2015.2.26)	中華人民共和國100015北京市朝陽區酒仙橋路10號	
(86) 国際出願番号 PCT/CN2012/083927	No. 10 Jiuxianqiao Rd., Chaoyang District, Beijing 100015, CHINA.	
(87) 国際公開番号 W02013/078931		
(87) 国際公開日 平成25年6月6日(2013.6.6)	(73) 特許権者 511121702	
審査請求日 平成27年9月18日(2015.9.18)	成都京東方光電科技有限公司	
(31) 優先権主張番号 201110393996.3	中華人民共和國611731四川省成都市高新區(西區)合作路1188號	
(32) 優先日 平成23年12月1日(2011.12.1)		
(33) 優先権主張国 中国(CN)		
	最終頁に続く	

(54) 【発明の名称】 画素ユニット駆動回路と方法、画素ユニット及び表示装置