

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6084616号
(P6084616)

(45) 発行日 平成29年2月22日 (2017.2.22)

(24) 登録日 平成29年2月3日 (2017.2.3)

(51) Int.Cl.	F I
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 624B
HO1L 51/50 (2006.01)	G09G 3/20 621F
	G09G 3/20 611H
	G09G 3/20 642A
	請求項の数 9 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2014-530087 (P2014-530087)
 (86) (22) 出願日 平成24年9月12日 (2012.9.12)
 (65) 公表番号 特表2014-530372 (P2014-530372A)
 (43) 公表日 平成26年11月17日 (2014.11.17)
 (86) 国際出願番号 PCT/CN2012/081304
 (87) 国際公開番号 W02013/037295
 (87) 国際公開日 平成25年3月21日 (2013.3.21)
 審査請求日 平成27年9月2日 (2015.9.2)
 (31) 優先権主張番号 201110271117.X
 (32) 優先日 平成23年9月14日 (2011.9.14)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 510280589
 京東方科技集團股▲ふん▼有限公司
 BOE TECHNOLOGY GROU
 P CO., LTD.
 中華人民共和国100015北京市朝陽區
 酒仙橋路10號
 No. 10 Jiuxianqiao R
 d., Chaoyang Distric
 t, Beijing 100015, CH
 INA
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆

最終頁に続く

(54) 【発明の名称】 O L E D画素構造及び駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1から第5の薄膜トランジスタ、コンデンサ及び有機発光表示素子を有する有機発光表示素子の画素構造であって、第1の薄膜トランジスタのドレイン電極は有機発光表示素子を通じてバックプレートの負レベルに接続され、第1の薄膜トランジスタのソース電極は第3の薄膜トランジスタのドレイン電極に接続され、第3の薄膜トランジスタのソース電極はバックプレートの正レベルに接続され、コンデンサの一端は第1の薄膜トランジスタと第3の薄膜トランジスタの間に接続され、コンデンサの他端は第2の薄膜トランジスタと第4の薄膜トランジスタのソース電極に接続され、第2の薄膜トランジスタのドレイン電極は第1の薄膜トランジスタのドレイン電極と有機発光表示素子に接続され、第4の薄膜トランジスタのドレイン電極は第5の薄膜トランジスタのドレイン電極及び第1の薄膜トランジスタのゲート電極に接続され、第5の薄膜トランジスタのソース電極はデータラインに接続され、第5の薄膜トランジスタ及び第2の薄膜トランジスタのゲート電極はスキャンラインに接続され、第1の制御信号 (EM) は第3の薄膜トランジスタのゲート電極に提供され、第2の制御信号 (EMD) は第4の薄膜トランジスタのゲート電極に提供される画素構造。

【請求項2】

プレチャージ周期内でスキャンライン上のラインスキャン電圧及び第1の制御信号は低レベルとなり、第2の制御信号は高レベルとなり、第4の薄膜トランジスタがオフとなり、第1の薄膜トランジスタ、第2の薄膜トランジスタ、第3の薄膜トランジスタ及び第5

の薄膜トランジスタがオンとなり、データ電圧は第5の薄膜トランジスタを通じて第1の薄膜トランジスタのゲート電極に伝送される請求項1に記載の画素構造。

【請求項3】

前記プレチャージ周期の直後の補償周期内で、スキャンラインのラインスキャン電圧が低レベルとなり、第1の制御信号及び第2の制御信号は高レベルとなり、第3の薄膜トランジスタ及び第4の薄膜トランジスタはオフとなり、第1の薄膜トランジスタ、第2の薄膜トランジスタ及び第5の薄膜トランジスタがオンとなり、データ電圧は第5の薄膜トランジスタを通じて第1の薄膜トランジスタのゲート電極に伝送される請求項2に記載の画素構造。

【請求項4】

前記補償周期の直後の発光周期内で、スキャンラインのラインスキャン電圧が高レベルとなり、第1の制御信号及び第2の制御信号は低レベルとなり、第2の薄膜トランジスタ及び第5の薄膜トランジスタがオフとなり、第1の薄膜トランジスタ、第3の薄膜トランジスタ及び第4の薄膜トランジスタがオンとなる請求項3に記載の画素構造。

【請求項5】

プレチャージ周期と補償周期内で、前記データライン上の信号(DATA)は実際のデータ電圧である請求項1から請求項4のいずれかに記載の画素構造。

【請求項6】

前記第1から第5の薄膜トランジスタは低温多結晶シリコン薄膜トランジスタである請求項1から請求項5のいずれかに記載の画素構造。

【請求項7】

第1の薄膜トランジスタの幅長比を設定することで、有機発光表示素子に流れる電流の曲線の傾斜度を調整し、それを有機発光表示素子の輝度と有機発光表示素子の閾値電圧のドリフティング量との差の曲線と補完関係にさせる請求項1から請求項6のいずれかに記載の画素構造。

【請求項8】

請求項1の画素構造を駆動するための方法であって、

それぞれのフレームの画像リフレッシュ過程において、

プレチャージ周期にスキャンラインと第1の制御信号(EM)は低レベルとなり、第2の制御信号(EMD)は高レベルとなって第4の薄膜トランジスタをオフさせ、第1の薄膜トランジスタ、第2の薄膜トランジスタ、第3の薄膜トランジスタ及び第5の薄膜トランジスタをオンさせるステップと、

補償周期にスキャンラインは低レベルとなり、第1の制御信号(EM)及び第2の制御信号(EMD)が高レベルとなって、第3の薄膜トランジスタ及び第4の薄膜トランジスタをオフさせ、第1の薄膜トランジスタ、第2の薄膜トランジスタ及び第5の薄膜トランジスタをオンさせるステップと、

発光周期にスキャンラインは高レベルとなり、第1の制御信号(EM)及び第2の制御信号(EMD)は低レベルとなって第2の薄膜トランジスタ及び第5の薄膜トランジスタをオフさせ、第1の薄膜トランジスタ、第3の薄膜トランジスタ、第4の薄膜トランジスタをオンさせるステップとを有する方法。

【請求項9】

プレチャージ周期及び補償周期内で、前記データライン上の信号(DATA)は実際のデータ電圧である請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有機発光ディスプレイ素子の画素構造及びその駆動方法に関する。

【背景技術】

【0002】

電流型発光素子として、有機発光ダイオード(OLED)はますます高性能表示に応用

10

20

30

40

50

されていく。表示サイズの増大に伴い、従来のパッシブ・マトリクス有機発光表示素子 (Passive Matrix OLED、PMOLED) は、更なる短い1つの画素あたりの駆動時間が要求されるので、瞬間電流を大きくして電力消費を増大する必要がある。それとともに、大きい電流の使用によってインジウムスズ酸化物 (ITO) ラインに電圧降下が大きすぎるようになり、OLEDの作業電圧が高すぎるようになり、OLEDの効率が下降してしまう。アクティブマトリクス有機発光表示素子 (Active Matrix OLED、AMOLED) は、スイッチトランジスタによって入力OLED電流をラインずつにスキャンすることで、上記問題をうまく解決した。

【0003】

AMOLEDバックプレートを設計するとき、主に解決すべき課題は画素と画素との間の輝度が不均一なことである。

10

【0004】

まず、AMOLEDは、OLED素子に対応する電流を供給するよう低温多結晶シリコン薄膜トランジスタ (LTFT) で画素回路を構成することが多い。LTFTは、一般的な非結晶シリコン薄膜トランジスタ (amorphous-Si TFT) に比べ、より高い移動率及びより安定する特性を有するので、AMOLED表示により適合する。然し、結晶化技術の制限により、大面積のガラス基板に形成されるLTFTは、例えば、閾値電圧、移動率等の電気パラメータに常に不均一性を有する。この不均一性は、OLEDの電流差異及び輝度差異になってしまい、肉眼に感知される。即ち、ムラ (mura) 現象が生じてしまう。

20

【0005】

第二に、大きいサイズの表示に、バックプレート電源線にある程度電気抵抗を有し、かつ全ての画素の駆動電流がARVDDにより供給されるので、バックプレートにおいて、ARVDD電源の供电位置領域に近い電源電圧は供电位置から遠い領域の電源電圧より高い。このような現象はIR Dropと称する。ARVDDの電圧は電流に関わるので、IR Dropによって異なる領域の電流が異なるようになり、表示の時にムラ現象が生じてしまう。

【0006】

第三に、OLED素子が蒸着されるとき、膜厚の不均一によって電気性能の不均一性ももたらす。また、長時間の作業を行った後、OLED内部の電気学性能の劣化によって閾値電圧が高くなり、発光効率が低下し、輝度が低下する。図6(a)に示すように、OLED素子は使用時間の増加に伴って、輝度は次第に低下する一方、閾値電圧は次第に上昇する。

30

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】「Current programming pixel circuit and data-driver design for active-matrix organic light-emitting diodes」Journal of the Society for Information Display 12(2004)227

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

現在、如何にOLED素子の劣化を補償するかは1つの重要課題になった。OLEDの劣化によって、固定画面を長時間に表示する領域に画像残像 (Image Sticking) が生じ、表示効果が影響される。

【0009】

図6b、図6cに示すように、OLEDの閾値電圧の上昇は輝度損失とほぼリニア関係をなし、OLED電流と輝度の関係もリニア関係であるので、OLEDの劣化を補償する

50

とき、O L E Dの閾値電圧の増大に従って、O L E Dの駆動電流をリニア増加させることで、輝度損失を補償することができる。

【 0 0 1 0 】

A M O L E Dは駆動の種類によってデジタル型、電流型及び電圧型の三種類に分けられる。デジタル型駆動法は、T F Tをスイッチとして駆動時間を制御することでグレーレベルを実現し、不均一性を補償する必要がないが、作業頻度が表示サイズの増大に伴って倍に上昇し、電力消費が大きくなり、一定の範囲内に設計が物理の極限になるので、大きいサイズの表示に適合しない。電流型駆動法は、駆動トランジスタに大きさの異なる電流を直接に供給することでグレーレベルを実現し、T F T不均一性及びI R D r o pを比較的によく補償できるが、低いグレーレベル信号を書き込むとき、小さい電流でデータラインにおけるより大きい寄生容量を充電することで、書き込み時間が長すぎてしまう。この問題は、大きいサイズ表示で特に厳しくて克服しがたい。電圧型駆動方法は従来のA M L C D駆動方法に類似し、駆動I Cによって1つのグレーレベルを示す電圧信号を供給し、該電圧信号は画素回路内で駆動トランジスタの電流信号に変換し、O L E Dを駆動して輝度グレーレベルを実現する。このような方法は、駆動速度が速く、簡単に実現できるメリットを有し、大きいサイズのパネルの駆動に適合するので、業界に広く採用されたが、別途のT F T及びコンデンサ素子を設計してT F T不均一性及びI R D r o pを補償する必要がある。

10

【 0 0 1 1 】

図7は従来の2つのT F Tトランジスタ及び1つのコンデンサからなる電圧駆動型画素ユニット回路構造(2 T 1 C)を示す。それにおいて、スイッチトランジスタT 2はデータラインにおける電圧を駆動トランジスタT 1のゲート電極に伝送し、駆動トランジスタT 1はこのデータ電圧を対応する電流に転換してO L E Dに供給する。正常に作業するとき、駆動トランジスタT 1は飽和領域にあり、1つのラインのスキャン時間内に定電流を供給する。その駆動電流は下式(1)で表す。

20

【 0 0 1 2 】

【数1】

$$I_{OLED} = \frac{1}{2} \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{Data} - ARVDD - V_{th})^2 \quad (1)$$

30

【 0 0 1 3 】

それにおいて、

【 0 0 1 4 】

【数2】

$$\mu_p$$

【 0 0 1 5 】

はキャリアー移動率であり、

【 0 0 1 6 】

【数3】

$$C_{ox}$$

40

【 0 0 1 7 】

はゲート酸化層容量であり、W/Lはトランジスタの幅と長さの比であり、V_{data}はデータ電圧であり、ARVDDはAMOLEDバックプレートの電源であって全ての画素ユニットに共有され、V_{TH}はトランジスタの閾値電圧である。上式から分かるように、異なる画素ユニット間のV_{TH}が異なれば、電流が異なるようになる。また、O L E D素子の劣化に従って、定電流を供給しても、O L E Dの発光輝度が低減する。

【 0 0 1 8 】

文献1は、図8に示すように、V_{TH}均一性、I R d r o pを補償できる画素構造及

50

び制御シーケンスを公開している。図8に示す構造はVTH不均一性、IR Drop及びOLEDの劣化による影響を補償できるが、電流型駆動であるので、大きいサイズのパネルに応用に適しない。従って、従来技術は、OLED素子の劣化、TFT駆動トランジスタの閾値電圧の不均一性、及びバックプレート電源のIR Dropによる発光不均一をどのように補償するか、という前記技術的課題を解決する有効な手段を提供していない。

【課題を解決するための手段】

【0019】

本発明の実施例は、改良された有機発行表示素子(OLED)の画素構造を提供し、当該画素構造は前記OLED素子に流れる駆動電流を薄膜トランジスタの閾値電圧及びバックプレート電源と無関係にさせることによって、TFT駆動トランジスタの閾値電圧の不均一性、及びバックプレート電源の電圧降下(IR drop)による発光不均一の問題を除去するものである。

本発明の一つの実施例によれば、当該画素構造は第1から第5の薄膜トランジスタ、コンデンサ及びOLED素子を有し、第1の薄膜トランジスタのドレイン電極はOLED素子を通じて負電源に接続され、第1の薄膜トランジスタのソース電極は第3の薄膜トランジスタのドレイン電極に接続され、第3の薄膜トランジスタのソース電極は正電源に接続され、コンデンサの一端は第1の薄膜トランジスタと第3の薄膜トランジスタの間にある第3のノードN3に接続され、コンデンサの他端は第2の薄膜トランジスタと第4の薄膜トランジスタのソース電極の間にある第2のノードN2に接続され、第2の薄膜トランジスタのドレイン電極は第1薄膜トランジスタとOLED素子の間にある第4のノードN4に接続され、第4の薄膜トランジスタのドレイン電極は第5の薄膜トランジスタのドレイン電極及び第1の薄膜トランジスタのゲート電極の間にある第1のノードN1に接続され、第5の薄膜トランジスタのソース電極はデータラインに接続され、第5の薄膜トランジスタ及び第2の薄膜トランジスタのゲート電極はスキャンラインに接続され、第1の制御信号(EM)は第3の薄膜トランジスタのゲート電極に提供され、第2の制御信号(EMD)は第4の薄膜トランジスタのゲート電極に提供される。

【0020】

本発明のもう一つの実施例によれば、例えば、当該画素構造は、プレチャージ周期内でスキャンライン上のラインスキャン電圧及び第1の制御信号は低レベルとなり、第2の制御信号は高レベルとなり、第4の薄膜トランジスタがオフとなり、第1の薄膜トランジスタ、第2の薄膜トランジスタ、第3の薄膜トランジスタ及び第5の薄膜トランジスタがオンとなり、データ電圧は第5の薄膜トランジスタを通じて第1の薄膜トランジスタのゲート電極に伝送される。

【0021】

本発明のもう一つの実施例によれば、例えば、当該画素構造の補償周期内で、スキャンラインのラインスキャン電圧が低レベルとなり、第1の制御信号及び第2の制御信号は高レベルとなり、第3の薄膜トランジスタ及び第4の薄膜トランジスタはオフとなり、第1の薄膜トランジスタ、第2の薄膜トランジスタ及び第5の薄膜トランジスタがオンとなり、データ電圧は第5の薄膜トランジスタを通じて第1の薄膜トランジスタのゲート電極に伝送される。

【0022】

本発明のもう一つの実施例によれば、例えば、当該画素構造の発光周期内で、スキャンラインのラインスキャン電圧が高レベルとなり、第1の制御信号及び第2の制御信号は低レベルとなり、第2の薄膜トランジスタ及び第5の薄膜トランジスタがオフとなり、第1の薄膜トランジスタ、第3の薄膜トランジスタ及び第4の薄膜トランジスタがオンとなる。

【0023】

本発明のもう一つの実施例によれば、例えば、当該画素構造のプレチャージ周期と補償周期内で、データライン上の信号(DATA)は実際のデータ電圧である。

10

20

30

40

50

【0024】

本発明のもう一つの実施例によれば、例えば、当該画素構造にある第1から第5の薄膜トランジスタは低温多結晶シリコン薄膜トランジスタである。

【0025】

本発明のもう一つの実施例によれば、例えば、当該画素構造にある第1の薄膜トランジスタの幅長比はOLED素子の劣化による輝度損失を補償できるように設定されている。

【0026】

本発明の実施例によれば、上記画素を駆動するための駆動方法であって、それぞれのフレームの画像リフレッシュ過程において、プレチャージ周期にスキャンラインと第1の制御信号(EM)は低レベルとなり、第2の制御信号(EMD)は高レベルとなって第4の薄膜トランジスタをオフにさせ、第1の薄膜トランジスタ、第2の薄膜トランジスタ、第3の薄膜トランジスタ及び第5の薄膜トランジスタをオンさせるステップと、補償周期にスキャンラインは低レベルとなり、第1の制御信号(EM)及び第2の制御信号(EMD)が高レベルとなって、第3の薄膜トランジスタ及び第4の薄膜トランジスタをオフさせ、第1の薄膜トランジスタ、第2の薄膜トランジスタ及び第5の薄膜トランジスタをオンさせるステップと、発光周期にスキャンラインは高レベルとなり、第1の制御信号(EM)及び第2の制御信号(EMD)は低レベルとなって第2の薄膜トランジスタ及び第5の薄膜トランジスタをオフさせ、第1の薄膜トランジスタ、第3の薄膜トランジスタ、第4の薄膜トランジスタをオンさせるステップとを有する駆動方法を提供する。

【0027】

上記のAMOLED画素構造及び駆動方法によれば、OLED素子の劣化及びTFT駆動トランジスタの閾値電圧の不均一性、バックプレート電源の電圧降下を有効的に補償でき、表示効果及び消費電力の改善を図ることができる。

【図面の簡単な説明】

【0028】

【図1a】本発明の画素構造を示す図である。

【図1b】図1aの画素構造の制御手順を示す図である。

【図2a】図1の画素構造の三つの異なる周期での回路状態を示す図である。

【図2b】図1の画素構造の三つの異なる周期での回路状態を示す図である。

【図2c】図1の画素構造の三つの異なる周期での回路状態を示す図である。

【図3】薄膜トランジスタ駆動トランジスタの閾値電圧に対する均一性補償をシミュレートしたグラフである。

【図4】バックプレート電源の電圧降下に対する補償をシミュレートしたグラフである。

【図5】OLED素子の劣化に対する補償をシミュレートしたグラフである。

【図6a】OLED素子の輝度及び閾値電圧の使用時間の増加に伴う変化を示すグラフである。

【図6b】OLED素子の輝度及び閾値電圧の使用時間の増加に伴う変化を示すグラフである。

【図6c】OLED素子の輝度及び閾値電圧の使用時間の増加に伴う変化を示すグラフである。

【図7】従来の画素構造を示す回路図である。

【図8a】参考文献1の画素補償回路図及び制御シーケンス図である。

【図8b】参考文献1の画素補償回路図及び制御シーケンス図である。

【発明を実施するための形態】

【0029】

図1(a)に示すように、当該画素回路構造はP型TFTトランジスタ1~5、コンデンサ6及びOLED7によって構成され、ARVDD及びARVSSはそれぞれバックプレートの直流正、負レベルであり、DATAはデータ電圧信号であり、SCANはラインスキャン電圧信号であり、EM、EMDは制御信号であり、同一の行の画素部はSCAN及びEM、EMD制御信号を共用し、同一の列の画素部はDATAデータ電圧信号を共用

する。本発明に基づく画素回路構成において、第1の薄膜トランジスタ1のドレイン電極はOLED素子を通じてバックプレートの負レベルに接続され、第1の薄膜トランジスタ1のソース電極は第3の薄膜トランジスタ3のドレイン電極に接続され、第3の薄膜トランジスタ3のソース電極はバックプレートの正レベルに接続され、コンデンサ6の一端は第1の薄膜トランジスタ1と第3の薄膜トランジスタ3の間(N3)に接続され、コンデンサ6の他端は第2の薄膜トランジスタ2と第4の薄膜トランジスタ4のソース電極(N2)に接続され、第2の薄膜トランジスタ2のドレイン電極は第1薄膜トランジスタ1のドレイン電極とOLED素子7(N4)に接続され、第4の薄膜トランジスタ4のドレイン電極は第5の薄膜トランジスタ5のドレイン電極及び第1の薄膜トランジスタ1のゲート電極(N1)に接続され、第5の薄膜トランジスタ5のソース電極はデータラインに接続され、第5の薄膜トランジスタ5及び第2の薄膜トランジスタ2のゲート電極はスキャンラインに接続され、第1の制御信号(EM)は第3のトランジスタ3のゲート電極に提供され、第2の制御信号(EMD)は第4のトランジスタに提供される画素構造である。

10

【0030】

当該画素回路の作業プロセスはプレチャージ、補償、発光の三段階に分かれ、その制御信号のシーケンスは図1(b)に示すとおりである。

【0031】

図2(a)に示すように、第1の段階はプレチャージ段階である。この段階では、SCAN、EMは低レベルとなり、EMDは高レベルとなり、DATAは実際のデータ電圧である。このときトランジスタ4はオフとなり、トランジスタ1、2、3、5はオンとなる。データ電圧はトランジスタ5を通じてトランジスタ1のゲート電極にある第1のノードN1に伝送される。第3のノードN3はトランジスタ3を通じてARVDDに接続され、そのレベルはARVDDである。第4のノードN4の電圧はARVSSにOLED駆動電圧を加えたものとなる。トランジスタ2がオンであるため、このときコンデンサ6は第3のノードN3と第4のノードN4の間に接続されていることになる。プレチャージの役割は第3のノードN3をあらかじめ高レベルにするようにして、第2段階の補償プロセスでトランジスタ1に正確な初期電圧を確立させることである。

20

【0032】

図2(b)に示すように、第2の段階は補償段階である。この段階では、SCANは低レベルとなり、EM、EMDは高レベルとなり、Vdataは実際のデータ電圧となる。このときトランジスタ3、4はオフとなり、トランジスタ1、2、5はオンとなる。データ電圧はトランジスタ5を通じてトランジスタ1のゲート電極にある第1のノードN1に伝送される。EMが高レベルになる前に第3のノードN3はトランジスタ3を通じてARVDDに接続されるため、第3のノードN3はトランジスタがオフとなる瞬間の初期電圧は高レベルであるARVDDとなる。トランジスタ3がオフになった後、第3のノードN3はフローティングし、トランジスタ1はオンとなり、第3のノードN3はARCVSSに対して放電し、よって第3のノードN3の電位はトランジスタ1がオフ臨界点に達するまで次第に低下する。このとき第3のノードN3の電圧はV_{DATA}-V_{TH}であり、V_{TH}はトランジスタ1の閾値電圧となる。このプロセスにおいて、トランジスタ1とOLEDに流れる電流はだんだん小さくなり、第4のノードN4の電位もこれに伴って小さくなり、トランジスタ1がオフとなると、電流がゼロになる。このとき、第4のノードN4の電圧はV_{OLED_0}、即ちOLED7の閾値電圧となる。こうして、コンデンサ6に $(V_{DATA} - V_{TH} - V_{OLED_0}) \cdot C$ の電荷が蓄えられる。

30

40

【0033】

図2(c)に示すように、第2の段階は発光段階である。この段階では、SCANは高レベルとなり、EM、EMDは低レベルとなる。このときトランジスタ2、5はオフとなり、トランジスタ1、3、4はオンとなる。第3のノードN3はトランジスタ3を通じてARVDDと接続され、その電位はARVDDとなる。トランジスタ5がオフとなり、第1のノードN1に直流の通路がなくなるため、当該点の電荷総量は第2の段階と変わらず、下記の式(2)のようになる。

50

【 0 0 3 4 】

【数 4】

$$(V_{DATA} - V_{TH} - V_{OLED_0}) \cdot C = (ARVDD - V_{N1}) \cdot C \quad (2)$$

【 0 0 3 5 】

計算の結果、以下の式が得られる。

【 0 0 3 6 】

【数 5】

$$V_{N1} = ARVDD - V_{DATA} + V_{TH} + V_{OLED_0} \quad (3)$$

10

【 0 0 3 7 】

このとき、トランジスタ 1 に流れる電流は以下のとおりである。

【 0 0 3 8 】

【数 6】

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \cdot \mu_p \cdot Cox \cdot \frac{W}{L} \cdot (ARVDD - V_{DATA} + V_{TH} + V_{OLED_0} - ARVDD - V_{TH})^2 \\ &= \frac{1}{2} \cdot \mu_p \cdot Cox \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}]^2 \end{aligned} \quad (4)$$

20

【 0 0 3 9 】

上記の式(4)から分かるように、その電流は閾値電圧及びARVDDと関係なく、閾値電圧の不均一性及びIR Dropの影響を基本的になくした。図3は閾値電圧の不均一性を補償する場合をシミュレートした結果を示す図である。補償を行わない従来の構造では、閾値電圧が±0.6Vドリフティングしたとき、その電流は最大で1.8倍以上もドリフティングすることがあるが、本発明の構造においては、電流のバラツキは3%より小さい。図4はIR Dropを補償する場合をシミュレートした結果を示す図である。補償を行わない従来の構造では、ARVDD電圧降下が±0.5Vドリフティングしたとき、電流は最大で81%ドリフティングする。これに対して、本発明の構造において、電流のバラツキは3.4%より小さい。

30

【 0 0 4 0 】

同時に、 I_{OLED} 電流はOLEDの閾値電圧 V_{OLED_0} と関連しており、OLED劣化による輝度の損失を補償することができる。OLED素子が劣化するとき、 V_{OLED_0} は次第に増大し、発光効率が低減し、第1の薄膜トランジスタ(駆動トランジスタ)1が更に大きな電流を提供して同様の輝度を維持する必要がある。そして、応用にあたって、 $V_{DATA} < 0$ 且つ $V_{DATA} < V_{OLED_0}$ とする場合、 V_{OLED_0} の増大に伴い、 $|V_{DATA} - V_{OLED_0}|$ も増大し、 I_{OLED} を増加させることによって、OLED輝度の損失を補償する。

テイラー級数の展開により、閾値電圧にドリフティングが発生した場合、ドリフティング後の閾値電圧を $V'_{OLED_0} = V_{OLED_0} + \Delta V_{OLED_0}$ と表すことができ、したがって I_{OLED} の V_{OLED_0} に対する1次近似展開式は以下のとおりとなる。

40

【 0 0 4 1 】

【数 7】

$$I_{OLED} = \frac{1}{2} \cdot \mu_p \cdot Cox \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}]^2 + \mu_p \cdot Cox \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}] \cdot \Delta V_{OLED_0} \quad (5)$$

【 0 0 4 2 】

I_{OLED} は V_{OLED_0} とリニア関係であり、設計するとき、OLED劣化の測定結果にしたがって、第1の薄膜トランジスタ1の幅長比を設定することで、 I_{OLED} 曲線の傾斜度

50

を調整し、それを輝度 V_{OLED_0} 曲線と補完関係にさせて、丁度 OLED 劣化による輝度損失を補償するようにする。図 5 は OLED 劣化を補償する場合をシミュレートした結果を示す図である。補償を行わない従来の構造では、OLED 閾値電圧が 0 ~ 8 V ドリフティングしたとき、その電流は緩やかに減少する傾向があり、表示輝度の低減を深刻化させる。しかし、本発明の構造においては、電流は OLED 閾値電圧の増大と同時にリニアに増加するので、OLED 輝度の損失を効果的に補償することができる。第 1 の薄膜トランジスタ 1 の幅長比を調節することによって、電流の速度や範囲を制御することができる。

【符号の説明】

【0043】

- 1、2、3、4、5 薄膜トランジスタ
- 6、コンデンサ
- 7 OLED

【図 1 a】

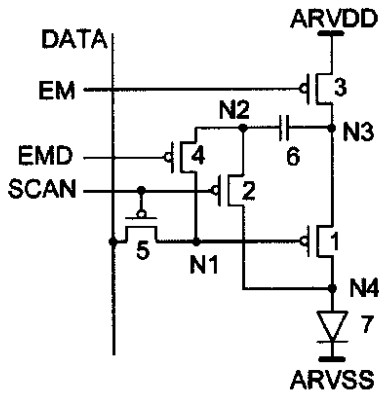


图 1a

【図 3】

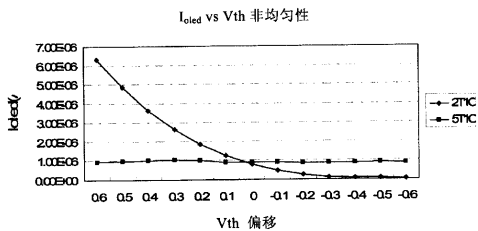


图 3

【図 4】

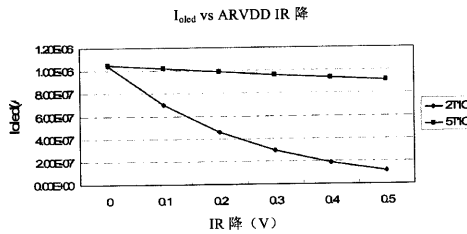


图 4

【図 5】

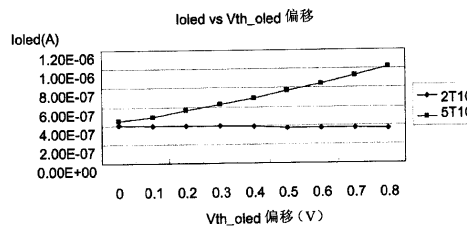


图 5

【 図 7 】

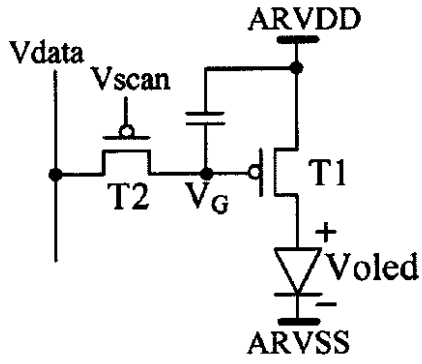


图 7

【 图 8 a 】

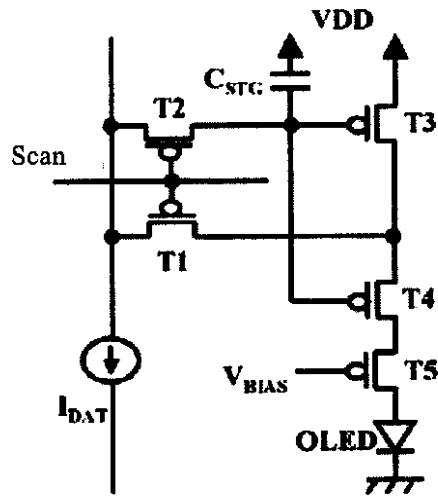


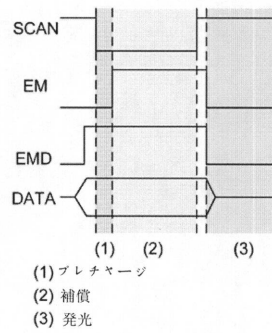
图 8a

【 图 8 b 】

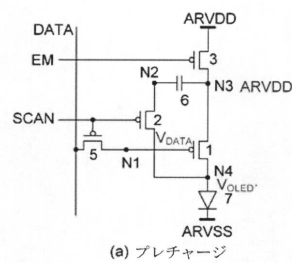


图 8b

【 图 1 b 】

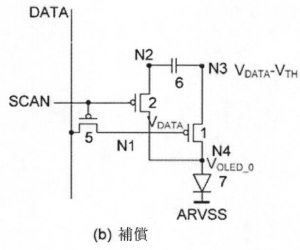


【 图 2 a 】

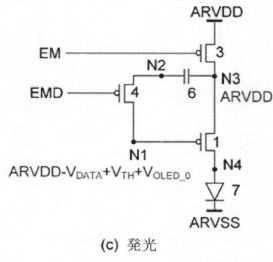


(a) プレチャージ

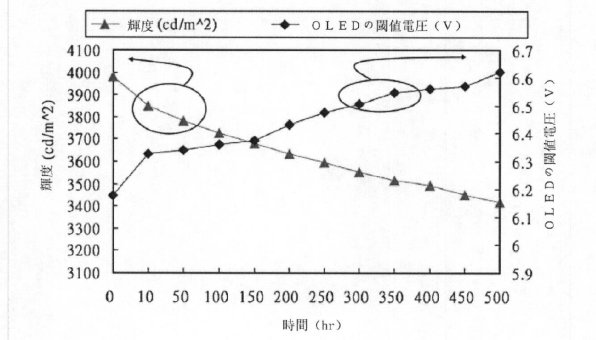
【図 2 b】



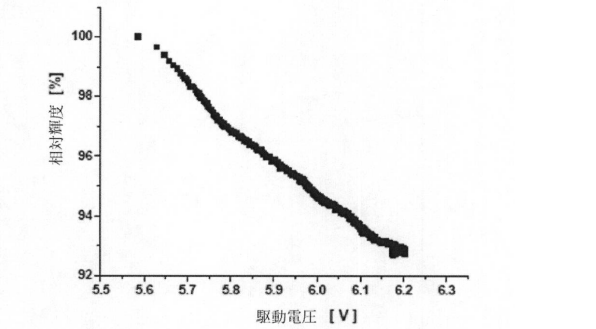
【図 2 c】



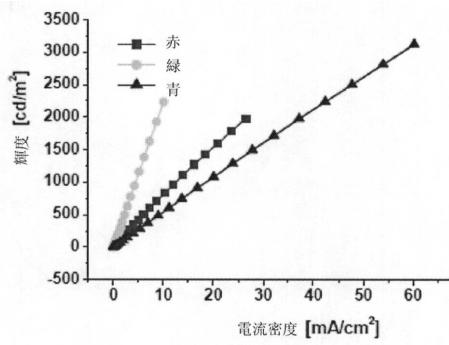
【図 6 a】



【図 6 b】



【図 6 c】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 D
G 0 9 G 3/20 6 7 0 J
H 0 5 B 33/14 A

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 呉 仲 遠

中華人民共和国100176北京市 經 濟 技 術 開 發 区地 澤 路9号

審査官 西島 篤宏

(56)参考文献 特開2008-052279(JP,A)
中国特許出願公開第102651195(CN,A)
中国特許出願公開第1949342(CN,A)

(58)調査した分野(Int.Cl.,DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0

专利名称(译)	OLED像素结构和驱动方法		
公开(公告)号	JP6084616B2	公开(公告)日	2017-02-22
申请号	JP2014530087	申请日	2012-09-12
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
当前申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	吳仲遠		
发明人	▲吳▼仲▲遠▼		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/02 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2320/0223 G09G2320/043		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.621.F G09G3/20.611.H G09G3/20.642.A G09G3/20.611.D G09G3/20.670.J H05B33/14.A		
代理人(译)	村山彦 渡边 隆		
优先权	201110271117.X 2011-09-14 CN		
其他公开文献	JP2014530372A		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示装置的像素结构及其驱动方法。像素结构包括第一至第五薄膜晶体管，电容器和OLED元件，并且第一薄膜晶体管的宽长比被设置为能够补偿由于OLED元件的劣化导致的亮度损失。在每帧的图像刷新处理中，扫描线和第一控制信号(EM)被设置为低电平，并且第二控制信号(EMD)在相对于像素结构的预充电时段中被设置为高电平。扫描线在补偿期间变为低电平，第一控制信号(EM)和第二控制信号(EMD)变为高电平，扫描线在发光周期变为高电平，并且第一控制信号(EM)和第二控制信号(EMD)变为低电平。

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6084616号 (P6084616)
(45) 発行日 平成29年2月22日(2017.2.22)		(24) 登録日 平成29年2月3日(2017.2.3)
(51) Int. Cl.	F I	
G09G 3/3233 (2016.01)	G09G 3/3233	
G09G 3/20 (2006.01)	G09G 3/20	624 B
H01L 51/50 (2006.01)	G09G 3/20	621 F
	G09G 3/20	611 H
	G09G 3/20	642 A
		請求項の続 9 (全 12 頁) 最終頁に続く
(21) 出願番号 特願2014-530087 (P2014-530087)	(73) 特許権者 510280589	
(86) (22) 出願日 平成24年9月12日(2012.9.12)	京東方科技集團股▲ふん▼有限公司	
(65) 公表番号 特表2014-530372 (P2014-530372A)	BOE TECHNOLOGY GROU	
(43) 公表日 平成26年11月17日(2014.11.17)	P CO., LTD.	
(86) 国際出願番号 PCT/CN2012/081304	中華人民共和國100015北京市朝陽區	
(87) 国際公開番号 W02013/037295	酒仙橋路10號	
(87) 国際公開日 平成25年3月21日(2013.3.21)	No.10 Jiuxianqiao R	
審査請求日 平成27年9月2日(2015.9.2)	d., Chaoyang Distric	
(31) 優先権主張番号 201110271117.X	t, Beijing 100015, CH	
(32) 優先日 平成23年9月14日(2011.9.14)	INA	
(33) 優先権主張国 中国(CN)	(74) 代理人 100108453	
	弁理士 村山 彦彦	
	(74) 代理人 100089037	
	弁理士 渡邊 隆	
		最終頁に続く

(54) 【発明の名称】 OLED画素構造及び駆動方法