

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5227442号
(P5227442)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 K
G09G 3/20 624B
G09G 3/30 J
G09G 3/20 670K
G09G 3/20 611H

請求項の数 14 (全 19 頁)

(21) 出願番号 特願2011-98648 (P2011-98648)
 (22) 出願日 平成23年4月26日(2011.4.26)
 (65) 公開番号 特開2011-242767 (P2011-242767A)
 (43) 公開日 平成23年12月1日(2011.12.1)
 審査請求日 平成23年4月26日(2011.4.26)
 (31) 優先権主張番号 10-2010-0046610
 (32) 優先日 平成22年5月18日(2010.5.18)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル、ヨンドゥンポグ、ヨ
 ウィーテロ 128
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100147566
 弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス有機発光ダイオード表示装置の電圧補償型画素回路

(57) 【特許請求の範囲】

【請求項 1】

発光素子を駆動する有機発光ダイオード表示装置の電圧補償型画素回路であって、
 高電位電源ラインと低電位電源ラインとの間に前記発光素子と直列接続され、第1ノ
 ードに供給された電圧にตอบสนองして前記発光素子を駆動する駆動トランジスタと、

スキャンラインのスキャン信号にตอบสนองして、データラインのデータ電圧を第2ノードに
 供給する第1プログラムトランジスタと、

前記スキャンラインのスキャン信号にตอบสนองして、基準電圧供給ラインからの基準電圧を
 前記第1ノードに供給する第2プログラムトランジスタと、

マージラインのマージ信号にตอบสนองして前記第1ノードと第2ノードとを接続させるマ
 ジトランジスタと、

前記駆動トランジスタと前記発光素子間の第3ノードと前記第2ノードとの間に接続さ
 れ、前記データ電圧に相応し、前記駆動トランジスタのしきい値電圧が補償された電圧を
 記憶するストレージキャパシタと、

リセットラインのリセット信号にตอบสนองして、前記第1ノードと前記第2ノードのうちの
 少なくとも1個のノードと前記第3ノードとを、初期化電圧ラインの初期化電圧に初期化
 させる第1及び第2リセットトランジスタと、
 を備え、

前記電圧補償型画素回路は、初期化期間、プログラム期間及び発光期間の順に駆動され

10

20

前記初期化期間で、前記第 1 及び第 2 リセットトランジスタと前記マージトランジスタがターンオンされて、前記第 1、第 2、第 3 ノードを前記初期化電圧に初期化させ、

前記プログラム期間で、前記第 1 及び第 2 プログラムトランジスタと前記駆動トランジスタがターンオンされ、前記発光素子をキャパシタとして用いて、前記第 3 ノードで前記駆動トランジスタのしきい値電圧を検出すると同時に、前記ストレージキャパシタが前記しきい値電圧の補償された前記データ電圧に相応する電圧を記憶し、

前記発光期間で、前記マージトランジスタがターンオンされ、前記ストレージキャパシタに記憶された電圧に应答して、前記駆動トランジスタが前記発光素子に供給される電流を制御することを特徴とする、有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 2】

前記初期化期間で、前記第 1 リセットトランジスタは、前記リセット信号に应答して前記第 3 ノードと前記第 1 ノードまたは第 2 ノードとを接続させ、前記第 2 リセットトランジスタは、前記リセット信号に应答して前記初期化電圧ラインと前記第 2 ノードまたは第 3 ノードとを接続させ、前記マージトランジスタは、前記第 1 及び第 2 ノードを接続させることを特徴とする、請求項 1 に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 3】

前記初期化電圧ラインは、前段のマージラインを用いて、前記初期化電圧として前段のマージ信号のゲートオフ電圧を供給することを特徴とする、請求項 2 に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 4】

前記スキャン信号と前記マージ信号は反対極性を有し、前記スキャン信号にゲートオン電圧が供給される期間は、前記マージ信号にゲートオフ電圧が供給される期間よりも短いことを特徴とする、請求項 3 に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 5】

発光素子を駆動する有機発光ダイオード表示装置の電圧補償型画素回路であって、
高電位電源ラインと低電位電源ラインとの間に前記発光素子と直列接続され、第 1 ノードに供給された電圧に应答して前記発光素子を駆動する駆動トランジスタと、

スキャンラインのスキャン信号に应答して、データラインのデータ電圧を第 2 ノードに供給する第 1 プログラムトランジスタと、

前記スキャンラインのスキャン信号に应答して、基準電圧供給ラインからの基準電圧を前記第 1 ノードに供給する第 2 プログラムトランジスタと、

マージラインのマージ信号に应答して前記第 1 ノードと第 2 ノードとを接続させるマージトランジスタと、

前記駆動トランジスタと前記発光素子間の第 3 ノードと前記第 2 ノードとの間に接続され、前記データ電圧に相応し、前記駆動トランジスタのしきい値電圧が補償された電圧を記憶するストレージキャパシタと、

リセットラインのリセット信号に应答して、前記第 1 ノードと前記第 2 ノードのうちの少なくとも 1 個のノードと前記第 3 ノードとを、初期化電圧ラインの初期化電圧に初期化させる第 1 及び第 2 リセットトランジスタと、
を備え、

前記電圧補償型画素回路は、初期化期間、プログラム期間及び発光期間の順に駆動され、

前記初期化期間で、前記第 1 及び第 2 リセットトランジスタがターンオンされて前記第 1 及び第 3 ノードは前記初期化電圧に初期化され、第 3 リセットトランジスタが前記リセット信号に应答して前記第 2 ノードを前記高電位電源ラインからの高電位電圧に初期化させ、

前記プログラム期間で、前記第 1 及び第 2 プログラムトランジスタと前記駆動トランジスタがターンオンされ、前記発光素子をキャパシタとして用いて、前記第 3 ノードで前記

10

20

30

40

50

駆動トランジスタのしきい値電圧を検出すると同時に、前記ストレージキャパシタが前記しきい値電圧の補償された前記データ電圧に相応する電圧を記憶し、

前記発光期間で、前記マージトランジスタがターンオンされ、前記ストレージキャパシタに記憶された電圧にตอบสนองして、前記駆動トランジスタが前記発光素子に供給される電流を制御することを特徴とする、有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 6】

前記リセットラインは、前段のスキャンラインを用いて前記リセット信号として前段のスキャン信号を供給することを特徴とする、請求項 2 または 5 に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 7】

前記基準電圧として前記低電位電源ラインからの低電位電圧を用いることを特徴とする、請求項 2 または 5 に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 8】

発光素子を駆動する有機発光ダイオード表示装置の電圧補償型画素回路であって、
高電位電源ラインと低電位電源ラインとの間に前記発光素子と直列接続され、第 1 ノードに供給された電圧にตอบสนองして前記発光素子を駆動する駆動トランジスタと、
スキャンラインのスキャン信号にตอบสนองしてデータラインのデータ電圧を第 2 ノードに供給するプログラムトランジスタと、

マージラインのマージ信号にตอบสนองして前記第 1 ノードと第 2 ノードとを接続させるマージトランジスタと、

前記駆動トランジスタ及び前記発光素子間の第 3 ノードと前記第 2 ノードとの間に接続され、前記データ電圧に相応し、前記駆動トランジスタのしきい値電圧が補償された電圧を記憶するストレージキャパシタと、

リセットラインのリセット信号にตอบสนองして、前記第 1 ノードと前記第 2 ノードのうちの少なくとも 1 個のノードと前記第 3 ノードとを初期化電圧ラインの初期化電圧に初期化させる第 1 及び第 2 リセットトランジスタと、

前記スキャンラインと前記第 1 ノードとの間に接続され、前記スキャン信号の変動分に従う基準電圧を前記第 1 ノードに供給するキャパシタと、

を備えることを特徴とする、有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 9】

前記発光素子は、前記初期化期間及びプログラム期間で負のバイアスが印加されて前記キャパシタとして用いられ、前記発光期間でのみ正のバイアスが印加されて発光することを特徴とする、請求項 3 または 6 に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 10】

前記プログラム期間で、前記発光素子のキャパシタは、前記第 3 ノードの電位が前記基準電圧 (V_{ref}) と前記しきい値電圧 (V_{th}) との差電圧 ($V_{ref} - V_{th}$) になるまで、前記駆動トランジスタを通じて電荷を蓄積し、前記ストレージキャパシタは、前記プログラム期間で、前記第 2 及び第 3 ノードとの差電圧 ($V_{data} - V_{ref} + V_{th}$) を記憶し、

前記発光期間で、前記駆動トランジスタは、前記データ電圧 (V_{data}) と前記基準電圧 (V_{ref}) との差電圧 ($V_{data} - V_{ref}$) の二乗に比例する電流を前記発光素子に供給することを特徴とする、請求項 9 に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 11】

前記電圧補償型画素回路のトランジスタは n 型に構成され、前記プログラム期間で、正のしきい値電圧または負のしきい値電圧を検出することを特徴とする、請求項 9 に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項 12】

前記電圧補償型画素回路のトランジスタは p 型に構成され、前記プログラム期間で、正

10

20

30

40

50

のしきい値電圧または負のしきい値電圧を検出することを特徴とする、請求項9に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項13】

前記基準電圧を調節して前記発光素子のブラック輝度を調整することを特徴とする、請求項9に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【請求項14】

前記駆動トランジスタは常に飽和領域で駆動されることを特徴とする、請求項9に記載の有機発光ダイオード表示装置の電圧補償型画素回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、アクティブマトリクス有機発光ダイオード(Active Matrix Organic Light Emitting Diode;以下、“AMOLED”という)表示装置に係り、特に、正のしきい値電圧及び負のしきい値電圧を補償できる他、駆動トランジスタが常に飽和領域で動作できるAMOLED表示装置の電圧補償型画素回路に関するものである。

【背景技術】

【0002】

AMOLED表示装置は、電子と正孔との再結合により有機発光層を発光させる自発光素子を有し、輝度が高く、駆動電圧が低く、超薄膜化が可能なことから、次世代表示装置として期待されている。

20

【0003】

AMOLED表示装置を構成する多数の画素のそれぞれは、アノード及びカソード間の有機発光層で構成された発光素子と、発光素子を独立的に駆動する画素回路とを備える。画素回路は、電圧型と電流型に分類することができる。電圧型画素回路は、電流型画素回路に比べて、外部駆動回路が簡単で、高速動作に適合している点から、AMOLED TV用の画素回路への適用可能性が高い。

【0004】

電圧型画素回路は、主に、スイッチング薄膜トランジスタ(Thin Film Transistor;以下、“TFT”という)、キャパシタ及び駆動TFTを含む。スイッチングTFTは、スキャンパルスに応答して、データ信号に対応する電圧をキャパシタに充電し、駆動TFTは、キャパシタに充電された電圧の大きさに応じて、発光素子に供給される電流の大きさを制御して発光素子の輝度を調節する。一般に、発光素子の光度は、駆動TFTから供給される電流に比例する。

30

【0005】

しかし、従来の電圧型画素回路は、工程偏差などによって、位置別に駆動TFTのしきい値電圧(V_{th})が異なり、輝度が不均一になったり、時間によってしきい値電圧が可変して輝度が減少し、寿命が低下するという問題点があった。これを解決するために、電圧型画素回路は、駆動TFTのしきい値電圧を検出して補償する方法を用いている。

【0006】

40

例えば、特許文献1及び2に開示された従来の電圧補償型画素回路は、駆動TFTのゲートとドレインとを接続させてドレイン-ソース間の電流が十分に小さくなるソース-ゲート間電圧をしきい値電圧として検出し、検出されたしきい値電圧分だけデータ電圧を補償して用いる。また、従来の電圧補償型画素回路は、しきい値電圧を検出する時、発光素子の発光をオフにするために、駆動TFTと発光素子との間に直列接続された発光制御TFTを使用する。しかし、この従来の電圧補償型画素回路は、下記のような問題点がある。

【0007】

第一に、n型TFTを適用した画素回路において、駆動TFTをダイオード構造として接続させ、しきい値電圧を検出する時に、駆動TFTのしきい値電圧がネガティブである

50

場合を検出することができない。また、p型TFTを適用した画素回路では、駆動TFTのしきい値電圧がポジティブである場合を検出できない。これは、駆動TFTがゲートとドレインとが接続されたダイオード構造になると、ゲート・ドレイン間電圧が‘0V’になることから、検出可能な最小または最大しきい値電圧が‘0V’に制限されるからである。

【0008】

第二に、駆動TFTと発光素子との間に直列接続された発光制御TFTは、発光時に常に線形領域で動作するから、バイアスストレス影響が大きく、劣化も大きい。一般に、TFTにおいて、ゲート・ソース間電圧(V_{gs})からしきい値電圧(V_{th})を減算した値がドレイン・ソース間電圧(V_{ds})より小さいまたは等しい場合、すなわち、 $V_{gs} - V_{th} < V_{ds}$ の状態を飽和領域といい、ゲート・ソース間電圧(V_{gs})からしきい値電圧(V_{th})を減算した値が、ドレイン・ソース間電圧(V_{ds})より大きいまたは等しい場合、すなわち、 $V_{gs} - V_{th} > V_{ds}$ の状態を線形領域というが、線形領域ではTFTの劣化が早いと知られている。ところが、従来の電圧補償型画素回路では、発光期間中に発光制御TFTは線形領域で動作し、駆動TFTは飽和領域で動作するため、発光制御TFTはバイアスストレス影響により駆動TFTよりも早く劣化するという問題点がある。

10

【0009】

一方、発光制御TFTの問題点を解決する目的で発光制御TFTを省くと、発光期間以外の期間にも発光素子が発光するため、ブラック輝度が上昇してコントラストが低くなるという問題につながる。

20

【先行技術文献】

【特許文献】

【0010】

【特許文献1】韓国特許第10-0636483号

【特許文献2】米国特許第7,649,202号明細書

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明は、上記従来の問題点を解決するために案出されたもので、本発明が解決しようとする課題は、駆動TFTの極性にかかわらず、正のしきい値電圧の他に負のしきい値電圧も補償できるAMOLED表示装置の電圧補償型画素回路を提供することである。

30

【0012】

また、本発明が解決しようとする他の課題は、駆動TFTと発光素子との間に直列接続される発光制御TFTを省いても、発光素子の余分の発光を防止できるAMOLED表示装置の電圧補償型画素回路を提供することである。

【課題を解決するための手段】

【0013】

上記課題を解決するために、本発明による有機発光ダイオード表示装置の電圧補償型画素回路は、発光素子を駆動する有機発光ダイオード表示装置の電圧補償型画素回路であって、高電位電源ラインと低電位電源ラインとの間に前記発光素子と直列接続され、第1ノードに供給された電圧に応答して前記発光素子を駆動する駆動トランジスタと、スキャンラインのスキャン信号に応答して、データラインのデータ電圧を第2ノードに供給する第1プログラムトランジスタと、前記スキャンラインのスキャン信号に応答して、基準電圧供給ラインからの基準電圧を前記第1ノードに供給する第2プログラムトランジスタと、マージラインのマージ信号に応答して前記第1ノードと第2ノードとを接続させるマージトランジスタと、前記駆動トランジスタと前記発光素子間の第3ノードと前記第2ノードとの間に接続され、前記データ電圧に相応し、前記駆動トランジスタのしきい値電圧が補償された電圧を記憶するストレージキャパシタと、リセットラインのリセット信号に応答して、前記第1ノードと前記第2ノードのうちの少なくとも1個のノードと前記第3ノ

40

50

ドとを、初期化電圧ラインの初期化電圧に初期化させる第1及び第2リセットトランジスタと、を備え、前記電圧補償型画素回路は、初期化期間、プログラム期間及び発光期間の順に駆動され、前記初期化期間で、前記第1及び第2リセットトランジスタと前記マージトランジスタがターンオンされて、前記第1、第2、第3ノードを前記初期化電圧に初期化させ、前記プログラム期間で、前記第1及び第2プログラムトランジスタと前記駆動トランジスタがターンオンされ、前記発光素子をキャパシタとして用いて、前記第3ノードで前記駆動トランジスタのしきい値電圧を検出すると同時に、前記ストレージキャパシタが前記しきい値電圧の補償された前記データ電圧に相応する電圧を記憶し、前記発光期間で、前記マージトランジスタがターンオンされ、前記ストレージキャパシタに記憶された電圧にตอบสนองして、前記駆動トランジスタが前記発光素子に供給される電流を制御することを特徴とする。

10

また、本発明による有機発光ダイオード表示装置の電圧補償型画素回路は、発光素子を駆動する有機発光ダイオード表示装置の電圧補償型画素回路であって、高電位電源ラインと低電位電源ラインとの間に前記発光素子と直列接続され、第1ノードに供給された電圧にตอบสนองして前記発光素子を駆動する駆動トランジスタと、スキャンラインのスキャン信号にตอบสนองして、データラインのデータ電圧を第2ノードに供給する第1プログラムトランジスタと、前記スキャンラインのスキャン信号にตอบสนองして、基準電圧供給ラインからの基準電圧を前記第1ノードに供給する第2プログラムトランジスタと、マージラインのマージ信号にตอบสนองして前記第1ノードと第2ノードとを接続させるマージトランジスタと、前記駆動トランジスタと前記発光素子間の第3ノードと前記第2ノードとの間に接続され、前記データ電圧に相応し、前記駆動トランジスタのしきい値電圧が補償された電圧を記憶するストレージキャパシタと、リセットラインのリセット信号にตอบสนองして、前記第1ノードと前記第2ノードのうちの少なくとも1個のノードと前記第3ノードとを、初期化電圧ラインの初期化電圧に初期化させる第1及び第2リセットトランジスタと、を備え、前記電圧補償型画素回路は、初期化期間、プログラム期間及び発光期間の順に駆動され、前記初期化期間で、前記第1及び第2リセットトランジスタがターンオンされて前記第1及び第3ノードは前記初期化電圧に初期化され、第3リセットトランジスタが前記リセット信号にตอบสนองして前記第2ノードを前記高電位電源ラインからの高電位電圧に初期化させ、前記プログラム期間で、前記第1及び第2プログラムトランジスタと前記駆動トランジスタがターンオンされ、前記発光素子をキャパシタとして用いて、前記第3ノードで前記駆動トランジスタのしきい値電圧を検出すると同時に、前記ストレージキャパシタが前記しきい値電圧の補償された前記データ電圧に相応する電圧を記憶し、前記発光期間で、前記マージトランジスタがターンオンされ、前記ストレージキャパシタに記憶された電圧にตอบสนองして、前記駆動トランジスタが前記発光素子に供給される電流を制御することを特徴とする。

20

30

さらに、本発明による有機発光ダイオード表示装置の電圧補償型画素回路は、発光素子を駆動する有機発光ダイオード表示装置の電圧補償型画素回路であって、高電位電源ラインと低電位電源ラインとの間に前記発光素子と直列接続され、第1ノードに供給された電圧にตอบสนองして前記発光素子を駆動する駆動トランジスタと、スキャンラインのスキャン信号にตอบสนองしてデータラインのデータ電圧を第2ノードに供給するプログラムトランジスタと、マージラインのマージ信号にตอบสนองして前記第1ノードと第2ノードとを接続させるマージトランジスタと、前記駆動トランジスタ及び前記発光素子間の第3ノードと前記第2ノードとの間に接続され、前記データ電圧に相応し、前記駆動トランジスタのしきい値電圧が補償された電圧を記憶するストレージキャパシタと、リセットラインのリセット信号にตอบสนองして、前記第1ノードと前記第2ノードのうちの少なくとも1個のノードと前記第3ノードとを初期化電圧ラインの初期化電圧に初期化させる第1及び第2リセットトランジスタと、前記スキャンラインと前記第1ノードとの間に接続され、前記スキャン信号の変動分に従う基準電圧を前記第1ノードに供給するキャパシタと、を備えることを特徴とする。

40

【発明の効果】

50

【0028】

本発明によるAMOLED表示装置の電圧補償型画素回路は、プログラム期間で駆動TFTをダイオード構造にせずにも、発光素子をキャパシタとして用いてしきい値電圧を検出することによって、n型TFTやp型TFTのいずれにおいても、正のしきい値電圧の他に負のしきい値電圧も検出できるので、広範囲の電圧領域でしきい値電圧を正確に検出することができる。

【0029】

また、本発明によるAMOLED表示装置の電圧補償型画素回路は、高電位電源ラインと低電位電源ラインとの間に駆動TFT及び発光素子のみが直列接続された構造を用いながらも、初期化期間及びプログラム期間で発光素子に負のバイアスを印加して発光素子をキャパシタとして用い、発光期間でのみ発光素子を発光させることによって、余分の発光を防止し、コントラストを向上させることができる。

10

【0030】

また、本発明によるAMOLED表示装置の電圧補償型画素回路は、発光期間で駆動TFTが常に飽和領域で動作するので、バイアスストレスによるTFT劣化が小さいという長所がある。

【図面の簡単な説明】

【0031】

【図1】本発明の第1実施例によるAMOLED表示装置の画素回路を示す等価回路図である。

20

【図2】図1に示す画素回路の駆動波形図である。

【図3】図1に示す画素回路が初期化期間で駆動する状態を示す等価回路図である。

【図4】図1に示す画素回路がプログラム期間で駆動する状態を示す等価回路図である。

【図5】図1に示す画素回路が発光期間で駆動する状態を示す等価回路図である。

【図6】図1に示す画素回路がp型TFTで構成された場合を示す等価回路図である。

【図7】図6に示す画素回路の駆動波形図である。

【図8】本発明の第2実施例によるAMOLED表示装置の画素回路を示す等価回路図である。

【図9】本発明の第3実施例によるAMOLED表示装置の画素回路を示す等価回路図である。

30

【図10】本発明の第4実施例によるAMOLED表示装置の画素回路を示す等価回路図である。

【図11】本発明の第5実施例によるAMOLED表示装置の画素回路を示す等価回路図である。

【図12】図11に示す画素回路の駆動波形図である。

【図13】本発明の第6実施例によるAMOLED表示装置の画素回路を示す等価回路図である。

【発明を実施するための形態】

【0032】

図1は、本発明の第1実施例によるAMOLED表示装置の画素回路を示す等価回路図であり、図2は、図1に示す画素回路の駆動波形図である。

40

【0033】

図1に示す画素回路は、発光素子OLEDを駆動させてデータ電圧Vdataに相応する輝度を発生させ、6個のn型TFT及び1個のストレージキャパシタCsで構成される。多数の画素会所たちがAMOLEDディスプレイ装置を構成して、各画素回路は独立的に各OLEDを駆動する。

【0034】

発光素子OLEDは、高電位電源ライン40と低電位電源ライン42との間に、駆動TFTTdと直列に接続される。発光素子OLEDは、駆動TFTTdに接続されたアノード、低電位電源ライン42に接続されたカソード、及びアノードとカソードとの間の

50

発光層を備える。発光層は、カソードとアノードとの間に順次積層された、電子注入層、電子輸送層、有機発光層、正孔輸送層、正孔注入層を備える。発光素子OLEDは、アノードとカソードとの間に正のバイアスが印加されると、カソードからの電子が電子注入層及び電子輸送層を経由して有機発光層に供給され、アノードからの正孔が正孔注入層及び正孔輸送層を経由して有機発光層に供給される。したがって、有機発光層では、供給された電子及び正孔の再結合により蛍光または燐光物質を発光させることで、電流密度に比例する輝度を発生させる。一方、発光素子OLEDは、負のバイアスが印加されると、電荷を蓄積するキャパシタColedの役割を果たす。

【0035】

画素回路は、1個の駆動TFT Td、2個の初期化TFT Tres1, Tres2、2個のプログラムTFT Tref, Tdata、発光開始のための1個のマージTFT Tmeを含む6個のn型TFTと、発光素子OLEDとデータTFT Tdataとの間に接続された1個のストレージキャパシタCsとを備える。

10

【0036】

また、画素回路は、n番目(ここで、nは、正の整数)のスキャン信号SSnを供給するn番目のスキャンライン30n、n番目のマージ信号(Merge Signal)MSnを供給するn番目のマージライン34n、n番目のリセット信号RSnを供給するn番目のリセットライン36nを含む3本の制御ラインを備える。ここで、n番目のリセットライン36nは、前段のスキャンラインであるn-1番目のスキャンライン30n-1に代替可能である。n番目のマージ信号MSnは、n番目のスキャン信号SSnと相反する極性を有する。

20

【0037】

また、画素回路は、高電位電圧Vddを供給する高電位電源ライン40、高電位電圧Vddよりも低い低電位電圧Vssを供給する低電位電源ライン42、及び高電位電圧Vddよりは低く、低電位電圧Vssより高いまたは等しい基準電圧Vrefを供給する基準電圧ライン44を含む3本の固定電源ラインを備える。ここで、基準電圧Vrefは、低電位電圧Vssに代替可能である。

【0038】

また、画素回路は、データ電圧Vdataを供給するデータライン32、及び初期化電圧Viniを供給する初期化ライン38を備える。初期化電圧Viniが固定電位である必要はなく、よって、初期化ライン38は前段のマージラインであるn-1番目のマージライン34n-1に代替可能である。初期化電圧Viniには、低電位電圧Vssより低い電圧、例えば、n-1番目のマージライン34n-1に供給されるゲートオフ電圧Voffが利用される。

30

【0039】

基準TFT Trefは、n番目のスキャンライン30nにゲート電極が接続され、基準電圧ライン44に第1電極が接続され、駆動トランジスタTdのゲート電極に接続された第1ノードN1に第2電極が接続される。第1電極及び第2電極は、電流方向によってソース電極またはドレイン電極となる。基準TFT Trefは、n番目のスキャンライン30nからのスキャン信号SSnに応答して、プログラム期間で、第1ノードN1に基準電圧Vrefを供給する。

40

【0040】

データTFT Tdataは、n番目のスキャンライン30nにゲート電極が接続され、データライン32に第1電極が接続され、ストレージキャパシタCsに接続された第2ノードN2に第2電極が接続される。第1電極及び第2電極は、電流方向によってソース電極またはドレイン電極となる。データTFT Tdataは、n番目のスキャンライン30nからのスキャン信号SSnに応答して、プログラム期間で、第2ノードN2にデータ電圧Vdataを供給する。

【0041】

マージTFT Tmeは、n番目のマージライン34nにゲート電極が接続され、第1

50

ノードN1に第1電極が接続され、第2ノードN2に第2電極が接続される。第1電極及び第2電極は、電流方向によってソース電極またはドレイン電極となる。マージTFT Tmeは、n番目のマージライン34nからのマージ信号MSnに応答して、初期化期間及び発光期間で、第1ノードN1と第2ノードN2とを接続させる。

【0042】

第1リセットTFT Tres1は、n番目のリセットライン36nにゲート電極が接続され、発光素子OLEDのアノードに接続された第3ノードN3に第1電極が接続され、第1ノードN1に第2電極が接続される。第2リセットTFT Tres2は、n番目のリセットライン36nにゲート電極が接続され、初期化ライン38に第1電極が接続され、第3ノードN3に第2電極が接続される。第1電極及び第2電極は、電流方向によってソース電極またはドレイン電極となる。第1及び第2リセットTFT Tres1, Tres2は、n番目のリセットライン36nのリセット信号RSnに応答して、初期化期間で、画素回路20のノードN1, N2, N3のそれぞれを初期化電圧Viniに初期化する。n番目のリセットライン36nとしてn-1番目のスキャンライン30n-1を用い、第1及び第2リセットTFT Tres1, Tres2は、初期化期間で、n-1番目のスキャンライン30n-1のスキャン信号SSn-1に応答してスイッチングされることができる。初期化ライン38にはn-1番目のマージライン34n-1が用いられて、初期化電圧Viniとしては、初期化期間でn-1番目のマージライン34n-1に供給されるマージ信号MSn-1のゲートオフ電圧Voffが供給されることができる。

【0043】

駆動TFT Tdは、第1ノードN1にゲート電極が接続され、高電位電源ライン40に第1電極が接続され、発光素子OLEDのアノードに接続された第3ノードN3に第2電極が接続される。第1電極及び第2電極は、電流方向によってソース電極またはドレイン電極となる。駆動TFT Tdは、第1ノードN1に供給された電圧に応じて、高電位電圧ライン40から第3ノードN3を経由して発光素子OLEDに供給される電流を制御して、発光素子OLEDを駆動する。

【0044】

このような画素回路20は、図2に示すように、初期化期間、プログラム期間、発光期間で順次駆動される。初期化期間は、第1、第2リセットTFT Tres1, Tres2とマージTFT Tmeのアクティブ駆動により第1、第2、第3ノードN1, N2, N3のそれぞれが初期化電圧Viniに初期化される期間である。プログラム期間は、基準TFT Tref、データTFT Tdata、駆動TFT Tdのアクティブ駆動により駆動TFT Tdのしきい値電圧Vthを検出するとともに、ストレージキャパシタCsに、しきい値電圧Vthが補償されたデータ電圧Vdataに対応する電圧を記憶する期間である。発光期間は、マージTFT Tme及び駆動TFT Tdのアクティブ駆動により、ストレージキャパシタCsから供給される電圧に応答して駆動TFT Tdが発光素子OLEDを発光させる期間である。

【0045】

図3は、図1に示す画素回路が初期化期間で駆動される状態を、図4はプログラム期間で駆動される状態を、図5は発光期間で駆動される状態を示す等価回路図である。以下、図2乃至図5を参照して、初期化期間、プログラム期間、発光期間で画素回路20の動作を詳細に説明する。

【0046】

図1に示す画素回路20がn型TFTで構成されるので、図2に示すハイ状態のゲートハイ電圧Vgh、すなわち、ゲートオン電圧Vonによりターンオンされてアクティブ化され、ロー状態のゲートロー電圧Vgl、すなわち、ゲートオフ電圧Voffによりターンオフされる。

【0047】

図2及び図3に示す初期化期間で、第1及び第2リセットTFT Tres1, Tres2とマージTFT Tmeをターンオンして、第1、第2、第3ノードN1, N2, N

10

20

30

40

50

3のそれぞれを初期化電圧 V_{ini} に初期化する。このために、 n 番目のリセットライン $36n$ にはリセット信号 RS_n のゲートオン電圧 V_{on} が供給され、 n 番目のマージライン $34n$ にはマージ信号 MS_n のゲートオン電圧 V_{on} が供給され、 n 番目のスキャンライン $30n$ にはスキャン信号 SS_n のゲートオフ電圧 V_{off} が供給される。これにより、図3に示すように、ゲートオン電圧 V_{on} にตอบสนองして、第1リセットTFT T_{res1} 、第2リセットTFT T_{res2} 、マージTFT T_{me} がターンオンされ、ゲートロー電圧 V_{off} にตอบสนองして基準TFT T_{ref} 及びデータTFT T_{data} はターンオフされ、第1ノード $N1$ に供給されたロー状態の初期化電圧 V_{ini} によって駆動TFT T_d もターンオフされる。したがって、初期化ライン38に供給された初期化電圧 V_{ini} が、ターンオンされた第1リセットTFT T_{res1} 、第2リセットTFT T_{res2} 、マージTFT T_{me} を経由して第1、第2、第3ノード $N1$ 、 $N2$ 、 $N3$ のそれぞれに供給されることによって、第1、第2、第3ノード $N1$ 、 $N2$ 、 $N3$ は同一の初期化電圧 V_{ini} に初期化される。初期化電圧 V_{ini} として、低電位電圧 V_{ss} よりも低いロー状態の電圧が供給される。例えば、初期化ライン38として $n-1$ 番目のマージライン $34n-1$ を使用することで、初期化電圧 V_{ini} として $n-1$ 番目のマージ信号 MS_{n-1} のゲートオフ電圧 V_{off} を供給することができる。その結果、初期化期間で、第3ノード $N3$ には低電位電圧 V_{ss} よりも低い初期化電圧 V_{ini} が供給されて、発光素子OLEDには負のバイアスが印加されるから、発光素子OLEDは発光せず、発光素子OLEDは電荷を蓄積するキャパシタ C_{oled} の役割を果たす。 n 番目のリセットライン $36n$ としては、初期化期間でゲートオン電圧 V_{on} のスキャン信号 SS_{n-1} を供給する $n-1$ 番目のスキャンライン $30n-1$ を用いることができる。

【0048】

一方、この初期化期間で発光素子OLEDの余分の発光を防止するために、図2に示すように、リセットライン $36n$ にゲートオン電圧 V_{on} が供給されるリセット信号 RS_n のアクティブ期間が、ロー状態の初期化電圧($V_{ini} = V_{off}$)が供給される期間内で短く設定される。すなわち、 $n-1$ 番目のスキャンライン $30n-1$ にゲートオン電圧 V_{on} が供給される $n-1$ 番目のスキャン信号 SS_{n-1} のアクティブ期間が、 $n-1$ 番目のマージライン $34n-1$ にゲートオフ電圧 V_{off} が供給されるマージ信号 MS_{n-1} の非アクティブ期間内で該非アクティブ期間よりも短く設定される。

【0049】

図2及び図4に示すプログラム期間で、基準TFT T_{ref} 、データTFT T_{data} 、駆動TFT T_d をターンオンし、発光素子OLEDをキャパシタ C_{oled} として用いて駆動TFT T_d のしきい値電圧 V_{th} を検出すると同時に、ストレージキャパシタ C_s に、しきい値電圧 V_{th} が補償されたデータ電圧 V_{data} に対応する電圧を記憶する。このために、 n 番目のスキャンライン $30n$ には、スキャン信号 SS_n のゲートオン電圧 V_{on} が供給され、 n 番目のマージライン $34n$ にはマージ信号 MS_n のゲートオフ電圧 V_{off} が、 n 番目のリセットライン $36n$ にはリセット信号 RS_n のゲートオフ電圧 V_{off} が供給される。これにより、図4に示すように、ゲートオン電圧 V_{on} にตอบสนองして基準TFT T_{ref} 、データTFT T_{data} がターンオンされ、第1ノード $N1$ に供給された基準電圧 V_{ref} によって駆動TFT T_d も、ソース・ドレイン電流が十分に小さくなるまでターンオンされ、ゲートオフ電圧 V_{off} によって第1リセットTFT T_{res1} 、第2リセットTFT T_{res2} 、マージTFT T_{me} がターンオフされる。ターンオンされたデータTFT T_{data} を通じてデータ電圧 V_{data} が供給されると、第2ノード $N2$ 電圧は、初期化電圧($V_{ini} = V_{off}$)からデータ電圧 V_{data} に変動し、第2ノード $N2$ 電圧の変動分($V_{data} - V_{off}$)に比例して第3ノード $N3$ の電圧 V_{N3} も下記の数学式1のように変動する。

【0050】

【数 1】

$$V_{N3} = V_{ini} + (V_{data} - V_{ini})S\left(\frac{C_s}{C_{oled} + C_s}\right)$$

【0051】

ここで、第3ノードN3の電圧 V_{N3} は、低電位電圧 V_{ss} よりも低いので、発光素子OLEDは負のバイアス印加によりキャパシタ C_{oled} の役割を果たすようになる。キャパシタ C_{oled} として用いられる発光素子OLEDは、第3ノードN3の電位が基準電圧 V_{ref} から駆動TFTTdのしきい値電圧 V_{th} を減算した値($V_{ref} - V_{th}$)になるまで、すなわち、駆動TFTTdのソース-ドレイン電流 I_{ds} が十分に小さくなるまで、駆動TFTTdを通じて電荷を蓄積する。これにより、第3ノードN3では、基準電圧 V_{ref} からしきい値電圧 V_{th} を引いた電圧($V_{ref} - V_{th}$)、すなわち、駆動TFTTdのしきい値電圧(V_{th})を検出することができる。特に、駆動TFTTdのゲート-ドレイン接続されたダイオード構造を利用せず、発光素子OLEDをキャパシタ C_{oled} としてしきい値電圧 V_{th} を検出するので、正のしきい値電圧 V_{th} だけでなく、負のしきい値電圧 V_{th} も正確に検出することができる。その結果、ストレージキャパシタ C_s は、ターンオンされたデータTFTTdataを經由して供給されたデータ電圧 V_{data} と、第3ノードN3に供給された電圧($V_{ref} - V_{th}$)との差電圧($V_{data} - V_{ref} + V_{th}$)を記憶することによって、しきい値電圧 V_{th} が補償されたデータ電圧 V_{data} に相応する電圧($V_{data} - V_{ref} + V_{th}$)を記憶する。

10

20

【0052】

一方、図2で、n番目のスキャンライン30nに供給されるスキャン信号SSnのアクティブ期間が、n番目のマージライン34nに供給されるマージ信号MSnの非アクティブ期間より短く設定される。n番目のリセットライン36nとしては、プログラム期間でゲートオフ電圧Voffのスキャン信号SSn-1を供給するn-1番目のスキャンライン30n-1が用いることができる。

【0053】

図2及び図5に示す発光期間で、マージTFTTmeがターンオンされて、ストレージキャパシタ C_s の電圧に応答して駆動TFTTdが発光素子OLEDを発光させる。このために、n番目のマージライン34nにはマージ信号MSnのゲートオン電圧Vonが供給され、n番目のリセットライン36nにはリセット信号RSnのゲートオフ電圧Voffが、n番目のスキャンライン30nにはスキャン信号SSnのゲートオフ電圧Voffが供給される。これにより、図5に示すように、ゲートオン電圧Vonに応答してマージTFTTmeがターンオンされて第1及び第2ノードN1、N2を接続させ、ゲートオフ電圧Voffに応答して第1リセットTFTTres1、第2リセットTFTTres2、基準TFTTref、データTFTTdataがターンオフされる。駆動TFTTdは、マージTFTTmeを經由して第1ノードN1に供給されたストレージキャパシタ C_s の電圧($V_{data} - V_{ref} + V_{th}$)に応答して、高電位電源ライン40から発光素子OLEDに供給される電流 I_{ds} を制御して発光素子OLEDを発光させ、発光素子OLEDは、駆動TFTTdの出力電流 I_{ds} の密度に比例する輝度を発生する。この時、駆動TFTTdを通じて発光素子OLEDに供給される電流 I_{ds} は、下記の数学式2で示される。

30

40

【0054】

【数 2】

$$\begin{aligned}
 I_{ds} &= \frac{\beta}{2} S (V_{gs} - V_{th})^2 = \frac{\beta}{2} S [(V_{data} - V_{ref} + V_{th}) - V_{th}]^2 \\
 &= \frac{\beta}{2} S (V_{data} - V_{ref})^2
 \end{aligned}$$

【0055】

ここで、 β は、駆動TFT Tdの構造（チャンネル幅及び長さ）と物理特性で決定される比例係数である。上記の数学式2を参照すると、駆動TFT Tdの出力電流Idsを決定する電圧においてしきい値電圧Vthの項目が相殺されるので、出力電流Idsは駆動TFT Tdのしきい値電圧（Vth）のばらつきに影響を受けないことがわかる。また、上記の数学式2を参照すると、出力電流Idsは、データ電圧Vdataと基準電圧Vrefとの差電圧（Vdata - Vref）に比例するので、基準電圧Vrefを調節して発光素子OLEDのブラック輝度を調整することができる。また、発光期間で、駆動TFT Tdは常に、ゲート・ソース間電圧Vgsからしきい値電圧Vthを引いた値が、ドレイン・ソース間電圧Vdsより小さいまたは等しい、すなわち、Vgs - Vth < Vds状態である飽和領域で動作するので、バイアスストレスによる劣化が非常に小さい。

10

20

【0056】

図6は、図1に示す画素回路にp型TFTを適用した場合を示す等価回路図であり、図7は、図6に示す画素回路の駆動波形図である。

【0057】

図1に示す画素回路は、n型TFTのみで構成したが、図6に示す画素回路のようにp型TFTを適用することもできる。図1に示す画素回路と図6に示す画素回路とを対比すると、図6に示す駆動TFT Tdと、この駆動TFT Tdを制御する第1リセットTFT Tres1、第2リセットTFT Tres2、マージTFT Tme、基準TFT Tref、データTFT Tdataがp型TFTで構成されている点、及び、発光素子OLEDの接続構造が逆になって、発光素子OLEDのアノードが高電位電源ライン40に接続され、カソードが駆動TFT Tdに接続された第3ノードN3に接続され、駆動TFT Tdのソース電極が低電位電源ライン42に接続された点のみ異なり、重複する構成についての説明は省略する。

30

【0058】

図6に示す画素回路がp型TFTで構成されるので、図7に示す駆動波形は、図2に示すn型TFTの駆動波形とは相反する極性を有する。すなわち、図7に示す駆動波形ドでは、ロー状態のゲートロー電圧Vglがゲートオン電圧Vonとして用いられ、ハイ状態のゲートハイ電圧Vghがゲートオフ電圧Voffとして用いられる。

【0059】

図7の初期化期間で、n番目のリセット信号RSnとn番目のマージ信号MSnのゲートオン電圧Vonに反応して第1及び第2リセットTFT Tres1, Tres2とマージTFT Tmeがターンオンされることで、第1、第2、第3ノードN1、N2、N3が初期化電圧（Vin1 = Voff = Vgh > Vss）に初期化される。この時、発光素子OLEDは、負のバイアスにより発光せず、キャパシタColeの役割を果たす。

40

【0060】

図7のプログラム期間で、n番目のスキャン信号SSnのゲートオン電圧Vonに反応して、基準TFT Tref、データTFT Tdataがターンオンされ、基準電圧Vrefに反応して、駆動TFT Tdが、ソース・ドレイン電流が十分に小さくなるまでターンオンされ、発光素子OLEDをキャパシタColeとして用いて第3ノードN3で駆動TFT Tdのしきい値電圧Vthを検出すると同時に、ストレージキャパシタC

50

sに、しきい値電圧 V_{th} が補償されたデータ電圧 V_{data} に相応する電圧($V_{data} - V_{ref} + V_{th}$)を記憶する。この時、駆動TFT T_d は、ゲート-ドレインが接続されているダイオード構造でないので、p型駆動TFT T_d の負のしきい値電圧 V_{th} の他に、正のしきい値電圧 V_{th} も正確に検出することができる。

【0061】

図7の発光期間で、n番目のマージ信号 MS_n のゲートオン電圧 V_{on} に応答してマージTFT T_{me} がターンオンされ、マージTFT T_{me} を通じてストレージキャパシタ C_s から第2ノード N_2 に供給された電圧($V_{data} - V_{ref} + V_{th}$)に응答して駆動TFT T_d が発光素子OLEDを発光させる。この時、駆動TFT T_d は飽和領域でのみ動作するので、バイアスストレスによる劣化が小さい。

10

【0062】

図8は、本発明の第2実施例によるAMOLED表示装置の画素回路を示す等価回路図である。

【0063】

図8に示す第2実施例による画素回路は、図1に示す第1実施例による画素回路に対比すると、第1リセットTFT T_{res1} の第2電極が、第1ノード N_1 ではなく第2ノード N_2 に接続されている点のみ異なり、その他の構成は同一なので、同一の構成についての説明は省略する。図8の画素回路において、初期化期間で、リセット信号 RS_n とマージ信号 MS_n のゲートオン電圧 V_{on} によって第1及び第2リセットTFT T_{res1} , T_{res2} とマージTFT T_{me} がターンオンされて、第1、第2、第3ノード N_1 , N_2 , N_3 を初期化電圧 V_{ini} に初期化させる。

20

【0064】

図9は、本発明の第3実施例によるAMOLEDの画素回路を示す等価回路図である。

【0065】

図9に示す第3実施例による画素回路は、図1に示す第1実施例による画素回路と対比すると、第1リセットTFT T_{res1} の第2電極が、第1ノード N_1 ではなく第2ノード N_2 に接続され、第2リセットTFT T_{res2} の第2電極が、第3ノード N_3 ではなく第2ノード N_2 に接続されている点のみが異なり、その他の構成は同一なので、同一の構成についての説明は省略する。図9の画素回路においても、初期化期間で、リセット信号 RS_n とマージ信号 MS_n のゲートオン電圧 V_{on} によって第1及び第2リセットTFT T_{res1} , T_{res2} とマージTFT T_{me} がターンオンされ、第1、第2、第3ノード N_1 , N_2 , N_3 を初期化電圧 V_{ini} に初期化させる。

30

【0066】

図10は、本発明の第4実施例によるAMOLEDの画素回路を示す等価回路図である。

【0067】

図10に示す第4実施例による画素回路は、図1に示す第1実施例による画素回路に対比すると、第1リセットTFT T_{res1} の第2電極が、第1ノード N_1 ではなく第2ノード N_2 に接続され、第2リセットTFT T_{res2} の第2電極が、第3ノード N_3 ではなく第1ノード N_1 に接続されている点のみ異なり、その他の構成は同一なので、同一の構成についての説明は省略する。図10の画素回路においても、初期化期間で、リセット信号 RS_n 及びマージ信号 MS_n のゲートオン電圧 V_{on} によって第1及び第2リセットTFT T_{res1} , T_{res2} とマージTFT T_{me} がターンオンされて、第1、第2、第3ノード N_1 , N_2 , N_3 の全てを初期化電圧 V_{ini} に初期化させる。

40

【0068】

図11は、本発明の第5実施例によるAMOLEDの画素回路を示す等価回路図であり、図12は、図11に示す画素回路の駆動波形図である。

【0069】

図11に示す第5実施例による画素回路は、図1に示す第1実施例による画素回路に対比すると、第3リセットTFT T_{res3} をさらに備えた点以外は同一に構成され、同

50

一の構成についての説明は省略する。第3リセットTFT T_{res3}は、n番目のリセットライン36nにゲート電極が接続され、高電位電源ライン40に第1電極が接続され、第2ノードN2に第2電極が接続される。第1電極及び第2電極は、電流方向によってソース電極またはドレイン電極となる。第3リセットTFT T_{res3}は、n番目のリセットライン36nに供給されるリセット信号R_{Sn}またはn-1番目のスキャンライン30n-1に供給されるスキャン信号S_{Sn-1}のゲートオン電圧V_{on}に応答して、初期化期間で、第2ノードN2を高電位電圧V_{dd}に初期化させる。

【0070】

図2に示す駆動波形図と図12に示す駆動波形図とを対比すると、n番目のマージライン34nに供給されるマージ信号M_{Sn}が、図2ではプログラム期間でのみゲートオフ電圧V_{off}が供給されたのに対し、図12では初期化期間及びプログラム期間でゲートオフ電圧V_{off}が供給されるという点と、図2では初期化電圧V_{ini}として前段のn-1番目のマージ信号M_{Sn-1}のゲートオフ電圧V_{off}を用いたのに対し、図12では、初期化電圧V_{ini}が直流電圧と固定して供給されるという点異なる。

【0071】

図12の初期化期間で、n番目のリセットライン36nに供給されるリセット信号R_{Sn}またはn-1番目のスキャンライン30n-1に供給されるスキャン信号S_{Sn-1}のゲートオン電圧V_{on}に応答して、第1及び第2リセットTFT T_{res1}, T_{res2}は第1及び第3ノードN1, N3を初期化電圧V_{ini}に初期化させ、第3リセットTFT T_{res3}は、第2ノードN2を高電位電圧V_{dd}に初期化させる。この時、n番目のマージライン34nに供給されるマージ信号M_{Sn}のゲートオフ電圧V_{off}に応答してマージTFT T_{me}はターンオフされる。

【0072】

図12のプログラム期間で、n番目のスキャンライン30nに供給されるスキャン信号S_{Sn}のゲートオン電圧V_{on}に応答して、基準TFT T_{ref}は第1ノードN1に基準電圧V_{ref}を供給し、データTFT T_{data}は第2ノードN2にデータ電圧V_{data}を供給する。ターンオンされたデータTFT T_{data}を通じてデータ電圧V_{data}が供給されると、第2ノードN2電圧は高電位電圧V_{dd}からデータ電圧V_{data}に変動して、第2ノードN2電圧の変動分(V_{data} - V_{dd})に比例して第3ノードN3の電圧V_{N3}も次の数学式3のように変動する。

【0073】

【数3】

$$V_{N3} = V_{ini} + (V_{data} - V_{dd})S\left(\frac{C_s}{C_{oled} + C_s}\right)$$

【0074】

ここで、第3ノードN3の電圧V_{N3}は低電位電圧V_{ss}よりも低いので、キャパシタC_{oled}として用いられる発光素子OLEDは、第3ノードN3の電位が、基準電圧V_{ref}から駆動TFT T_dのしきい値電圧V_{th}を引いた値(V_{ref} - V_{th})になるまで、すなわち、駆動TFT T_dの出力電流I_{ds}が十分に小さくなるまで、駆動TFT T_dを通じて電荷を蓄積する。その結果、ストレージキャパシタC_sは、ターンオンされたデータTFT T_{data}を経由して供給されたデータ電圧V_{data}と第3ノードN3に供給された電圧(V_{ref} - V_{th})との差電圧(V_{data} - V_{ref} + V_{th})を記憶することによって、しきい値電圧V_{th}が補償されたデータ電圧V_{data}に相応する電圧(V_{data} - V_{ref} + V_{th})を記憶する。

【0075】

図12に示す発光期間で、n番目のマージライン34nに供給されたマージ信号M_{Sn}のゲートオン電圧V_{on}に応答してマージTFT T_{me}がターンオンされ、ターンオンされたマージTFT T_{me}を通じて第1ノードN1に供給されたストレージキャパシタC_sの電圧(V_{data} - V_{ref} + V_{th})に応答して、駆動TFT T_dがソース -

ドレイン間電流 I_{ds} を制御することによって、発光素子 $OLED$ を発光させる。

【0076】

図13は、本発明の第6実施例による $AMOLED$ の画素回路を示す等価回路図である。

【0077】

図13に示す第6実施例による画素回路は、図1に示す第1実施例による画素回路に対比すると、図1の基準 TFT T_{ref} をキャパシタ C_d に代えた以外は、同様に構成されるので、同一の構成についての説明は省略する。キャパシタ C_d は、 n 番目のスキャンライン $30n$ と第1ノード $N1$ との間に接続される。キャパシタ C_d は、図2に示すプログラム期間で、 n 番目のスキャン信号 SS_n がゲートオフ電圧 V_{off} からゲートオン電圧 V_{on} に変動すると、その変動分と、寄生キャパシタを含む全体容量 C_{total} に対するキャパシタ C_d の容量比 (C_d/C_{total}) との積に比例して第1ノード $N1$ の電圧も上昇する。これにより、プログラム期間で、キャパシタ C_d も図1の基準 TFT T_{ref} と同様に、基準電圧 V_{ref} に類似した電圧を第1ノード $N1$ に供給することによって、駆動 TFT T_d のソース - ドレイン間電流 I_{ds} が十分に小さくなるまで駆動 TFT T_d を駆動させて、しきい値電圧 V_{th} を検出可能にする。

【0078】

このように、本発明による $AMOLED$ 表示装置の電圧補償型画素回路は、プログラム期間で、駆動 TFT T_d をダイオード構造にせずにも、発光素子 $OLED$ をキャパシタ C_{oled} として用いてしきい値電圧 V_{th} を検出することによって、 n 型 TFT や p 型 TFT のいずれにおいても、正のしきい値電圧の他に負のしきい値電圧も検出できるので、広範囲の電圧領域でしきい値電圧 V_{th} を正確に検出することができる。

【0079】

また、本発明による $AMOLED$ 表示装置の電圧補償型画素回路は、高電位電源ライン40と低電位電源ライン42との間に駆動 TFT T_d 及び発光素子 $OLED$ のみが直列接続された構造を用いながらも、初期化期間及びプログラム期間で発光素子 $OLED$ に負のバイアスを印加して発光素子 $OLED$ をキャパシタ C_{oled} として用い、発光期間でのみ発光素子 $OLED$ を発光させることによって、余分の発光を防止し、コントラストを向上させることができる。

【0080】

また、本発明による $AMOLED$ 表示装置の電圧補償型画素回路は、発光期間で駆動 TFT T_d が常に飽和領域で動作するので、バイアスストレスによる TFT 劣化が小さいという長所がある。

【0081】

以上説明した本発明は、上記の実施例及び添付図面に限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で様々な置換、変形及び変更が可能であるということは、本発明の属する技術の分野における通常の知識を有する者には明らかである。

【符号の説明】

【0082】

30n, 30n - 1 スキャンライン
32 データライン
34n, 34n - 1 マージライン
36n リセットライン
38 初期化電圧ライン
40 高電位電源ライン
42 低電位電源ライン
44 基準電圧ライン
 SS_n , $SS_n - 1$ スキャン信号
 MS_n , $MS_n - 1$ マージ信号
 RS_n リセット信号

10

20

30

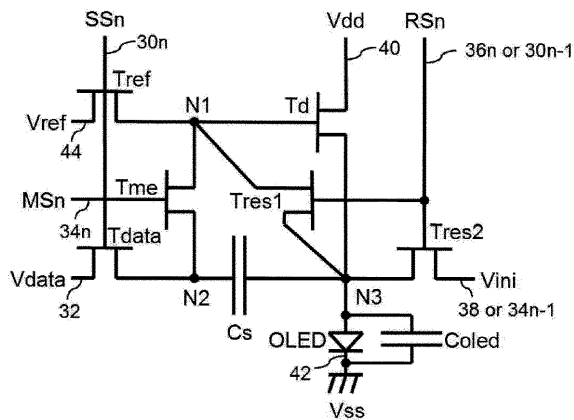
40

50

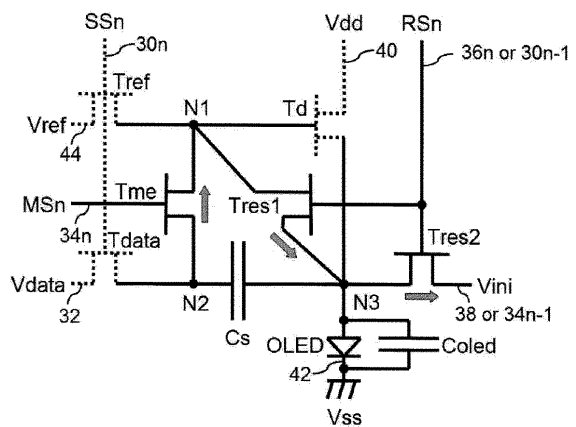
V_{dd} 高電位電圧
 V_{ss} 低電位電圧
 V_{ref} 基準電圧
 V_{ini} 初期化電圧
 V_{data} データ電圧
 T_{ref} 基準TFT
 T_{data} データTFT
 T_{me} マージTFT
 T_d 駆動TFT
 $T_{res1}, T_{res2}, T_{res3}$ リセットTFT
 $OLED$ 発光素子
 C_s, C_d, C_{oled} キャパシタ
 V_{on} ゲートオン電圧
 V_{off} ゲートオフ電圧
 V_{gh} ゲートハイ電圧
 V_{gl} ゲートロー電圧
 V_{th} 駆動TFTのしきい値電圧

10

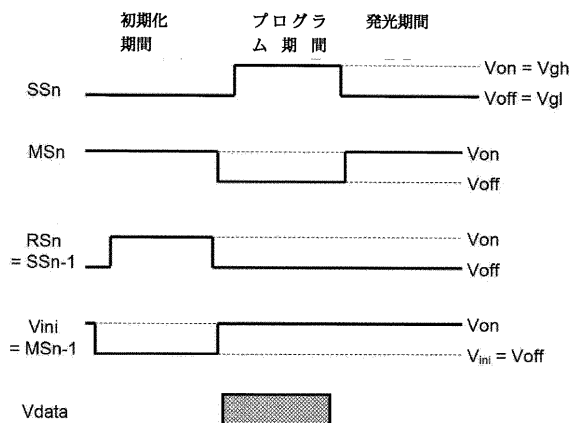
【図1】



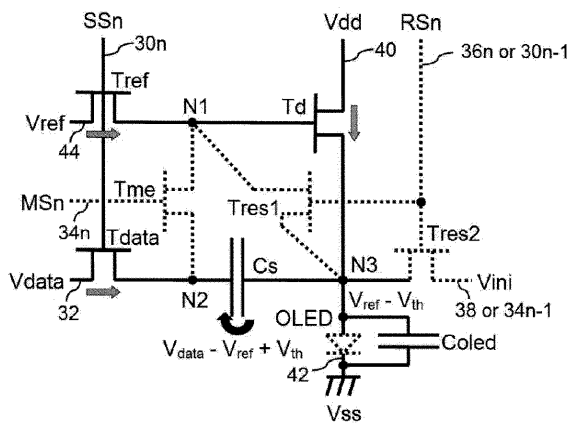
【図3】



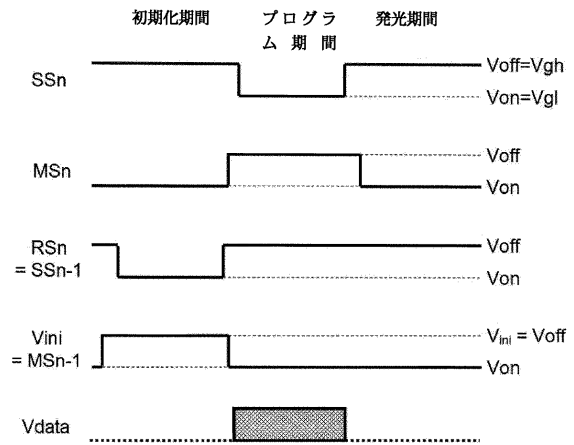
【図2】



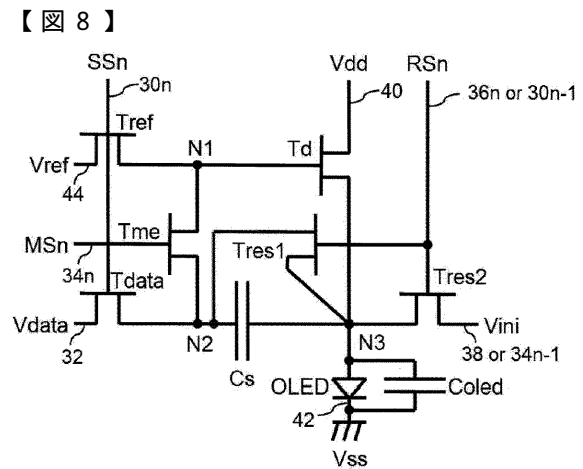
【図4】



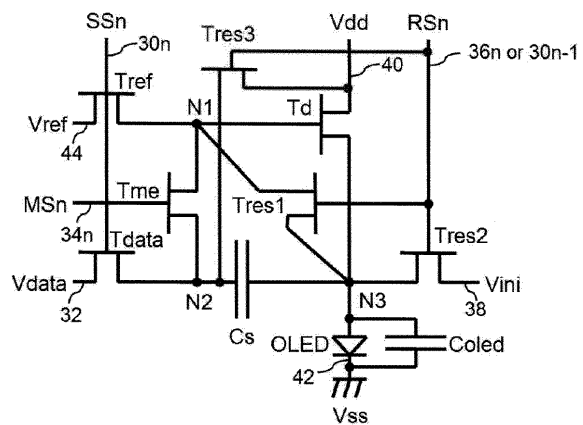
【 図 7 】



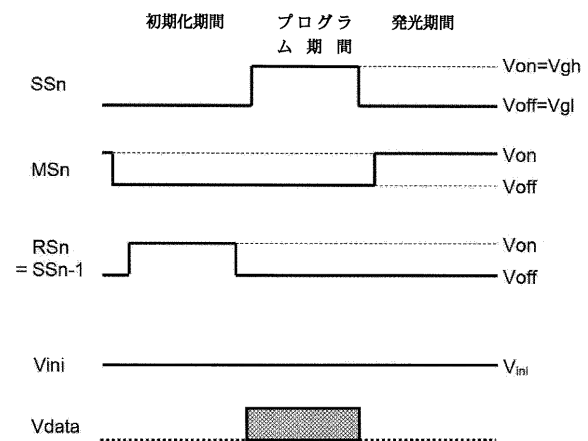
【 図 8 】



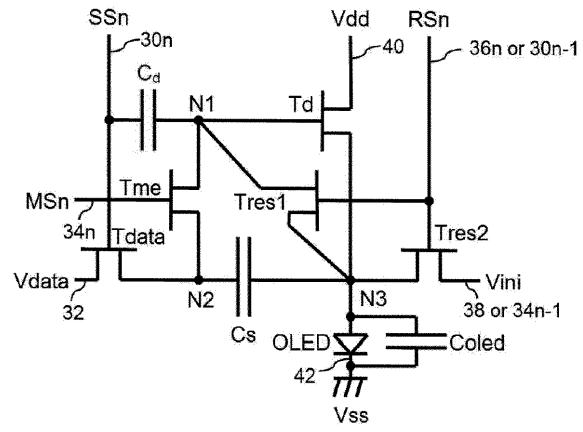
【 図 1 1 】



【 図 1 2 】



【図 13】



フロントページの続き

(72)発明者 高杉 親知

大韓民國京畿道坡州市月籠面徳隠里 1 2 9 1 - 2 番地 2 0 2 號

(72)発明者 蓮見 太朗

大韓民國ソウル特別市麻浦区倉前洞 4 4 4 番地、サンヨン・イエガ・アパートメント 1 1 0 棟 1 4 0 2 號

(72)発明者 谷 領介

大韓民國京畿道坡州市月籠面徳隠里 1 2 9 1 - 2 番地 2 0 1 號

審査官 鳥居 祐樹

(56)参考文献 特開 2 0 0 8 - 1 7 6 2 8 7 (J P , A)

特開 2 0 0 7 - 1 7 9 0 4 2 (J P , A)

特開 2 0 1 0 - 1 2 8 4 9 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 0 8

G 0 9 G 3 / 1 2 - 3 / 1 6

G 0 9 G 3 / 1 9 - 3 / 2 6

G 0 9 G 3 / 3 0 - 3 / 3 4

G 0 9 G 3 / 3 8

专利名称(译)	有源矩阵有机发光二极管显示装置的电压补偿型像素电路		
公开(公告)号	JP5227442B2	公开(公告)日	2013-07-03
申请号	JP2011098648	申请日	2011-04-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	高杉親知 蓮見太朗 谷領介		
发明人	高杉 親知 蓮見 太朗 谷 領介		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3291 G09G3/3233 G09G2300/0861 G09G2310/0251 H01L27/3244		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/30.J G09G3/20.670.K G09G3/20.611.H G09G3/20.642.A G09G3/20.642.E G09G3/3233 G09G3/3291 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC32 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/DD05 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA38 5C380/BA39 5C380/BB01 5C380/BB23 5C380/BD10 5C380/CA12 5C380/CC03 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC52 5C380/CC64 5C380/CC71 5C380/CD026 5C380/CD027 5C380/CD035 5C380/DA02 5C380/DA06 5C380/DA46		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
优先权	1020100046610 2010-05-18 KR		
其他公开文献	JP2011242767A		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得用于AMOLED显示器件的电压补偿像素电路，其中可以补偿正和负阈值电压并且可以始终在饱和区域中驱动驱动晶体管。解决方案：电压补偿像素电路包括：驱动晶体管，其连接到高电位和低电位电源线之间串联的发光元件，并且能够响应于提供给第一节点的电压驱动发光元件；第一编程晶体管，用于响应扫描信号向第二节点提供数据电压；第二编程晶体管，用于响应扫描信号向第一节点提供参考电压；合并晶体管，用于响应合并信号将第一和第二节点彼此连接；存储电容器，连接在驱动晶体管和发光元件之间的第三节点和第二节点之间，并存储其中根据数据电压补偿驱动晶体管的阈值电压的电压；第一和第二复位晶体管，用于响应复位信号将第一至第三节点中的至少两个节点初始化为初始化电压。 Z

[数1]

$$V_{N3} = V_{ini} + (V_{data} - V_{ini})S\left(\frac{C_g}{C_{oled} + C_g}\right)$$