

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4748456号
(P4748456)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int.Cl.

F 1

| | | | | | |
|-------------|---------------|------------------|------|-------|------|
| G09G | 3/30 | (2006.01) | G09G | 3/30 | J |
| G09G | 3/20 | (2006.01) | G09G | 3/20 | 624B |
| H01L | 51/50 | (2006.01) | G09G | 3/20 | 641D |
| H01L | 21/336 | (2006.01) | HO5B | 33/14 | A |
| H01L | 29/786 | (2006.01) | HO1L | 29/78 | 612Z |

請求項の数 18 (全 30 頁) 最終頁に続く

(21) 出願番号

特願2006-260632 (P2006-260632)

(22) 出願日

平成18年9月26日 (2006.9.26)

(65) 公開番号

特開2008-83171 (P2008-83171A)

(43) 公開日

平成20年4月10日 (2008.4.10)

審査請求日

平成21年9月17日 (2009.9.17)

(73) 特許権者 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100096699

弁理士 鹿嶋 英實

(72) 発明者 武居 学

東京都八王子市石川町2951番地の5

カシオ計算機株式会社

八王子技術センター内

審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】 画素駆動回路及び画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

表示画素に設けられ、階調信号として階調電流が供給されて、当該表示画素に設けられた電流制御型の発光素子に対して、前記階調電流に応じた電流値を有する発光駆動電流を供給して、前記階調信号に基づく所定の輝度階調で発光動作させる画素駆動回路において

、
少なくとも、

前記階調電流に基づく電荷を電圧成分として保持する電荷保持手段と、

前記階調電流が電流路に流れて前記電荷保持手段に前記電圧成分を保持させ、該電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する駆動電流制御手段と、

前記駆動電流制御手段への前記階調電流の供給を制御する階調信号制御手段と、
を備え、

前記駆動電流制御手段は、半導体層を挟んで対向して設けられた第1のゲート電極及び第2のゲート電極と、前記半導体層の両端部に設けられたソース電極及びドレイン電極と、を具備するダブルゲート型の薄膜トランジスタ構造の第1の薄膜トランジスタを有し、

前記ソース電極が前記発光素子の一端に接続され、前記第1のゲート電極が前記ソース電極の電位と同一になるように設定され、

前記階調信号制御手段は、電流路の一端が前記ソース電極に接続される第2の薄膜トランジスタを有し、

10

20

前記階調電流は、前記ドレイン電極と前記発光素子の他端間が第1の電位差に設定された状態で、前記ドレイン電極から前記ソース電極を介して前記第2の薄膜トランジスタの電流路に流れ、前記発光駆動電流は、前記ドレイン電極と前記発光素子の他端間が前記第1の電位差より大きい第2の電位差に設定された状態で、前記ドレイン電極から前記ソース電極を介して前記発光素子に流れ、前記ソース電極及び前記第1のゲート電極は、前記ドレイン電極より低電位で、前記階調電流又は前記発光駆動電流の電流値に応じた電位に設定されることを特徴とする画素駆動回路。

【請求項2】

前記駆動電流制御手段は、前記第1のゲート電極と前記ソース電極が電気的に接続されていることを特徴とする請求項1記載の画素駆動回路。

10

【請求項3】

前記発光素子は、画素電極と、該画素電極上に設けられた発光層と、前記発光層を介して前記画素電極に対向するように設けられた対向電極とを備え、

前記駆動電流制御手段は、前記第1のゲート電極と前記ソース電極が前記画素電極に電気的に接続されていることを特徴とする請求項1又は2記載の画素駆動回路。

【請求項4】

前記駆動電流制御手段は、前記第1のゲート電極が前記画素電極と一体的に形成されていることを特徴とする請求項3記載の画素駆動回路。

【請求項5】

前記発光素子は、前記画素電極が光透過特性を有する電極材料により形成されていることを特徴とする請求項3又は4記載の画素駆動回路。

20

【請求項6】

前記発光素子は、前記画素電極が光反射特性を有する電極材料により形成されていることを特徴とする請求項3又は4記載の画素駆動回路。

【請求項7】

前記駆動電流制御手段は、前記ソース電極及び前記ドレイン電極が前記半導体層上に延在するように設けられていることを特徴とする請求項1乃至6のいずれかに記載の画素駆動回路。

【請求項8】

前記駆動電流制御手段は、前記半導体層上にブロック絶縁膜を有し、前記ソース電極及び前記ドレイン電極が前記ブロック絶縁膜上に延在するように設けられていることを特徴とする請求項7記載の画素駆動回路。

30

【請求項9】

前記階調信号制御手段は、ダブルゲート型の薄膜トランジスタ構造を有し、半導体層の上方に設けられたゲート電極が遮光性の電極材料により形成されていることを特徴とする請求項1記載の画素駆動回路。

【請求項10】

前記ダブルゲート型の薄膜トランジスタは、前記半導体層がアモルファスシリコンからなることを特徴とする請求項1又は9記載の画素駆動回路。

【請求項11】

前記階調電流は、前記輝度階調に応じた電流値を有する信号電流であることを特徴とする請求項1乃至10のいずれかに記載の画素駆動回路。

40

【請求項12】

表示パネルに互いに直行するように配設された複数の走査ライン及び複数の信号ラインの各交点近傍に配置された複数の表示画素に対して、前記各信号ラインを介して、表示データに応じた階調信号として階調電流を供給することにより、前記表示パネルに所望の画像情報を表示する画像表示装置において、

前記各表示画素は、電流制御型の発光素子と、前記発光素子の発光動作を制御する画素駆動回路と、を備え、

前記画素駆動回路は、少なくとも、前記階調電流に基づく電荷を電圧成分として保持す

50

る電荷保持手段と、前記階調電流が電流路に流れて前記電荷保持手段に前記電圧成分を保持させ、該電荷保持手段に保持された電圧成分に基づいて、前記階調電流に応じた電流値を有する発光駆動電流を生成して、前記発光素子に供給する駆動電流制御手段と、前記駆動電流制御手段への前記階調電流の供給を制御する階調信号制御手段と、を備え、

前記駆動電流制御手段は、半導体層を挟んで対向して設けられた第1のゲート電極及び第2のゲート電極と、前記半導体層の両端部に設けられたソース電極及びドレイン電極と、を具備するダブルゲート型の薄膜トランジスタ構造の第1の薄膜トランジスタを有し、

前記ソース電極が前記発光素子の一端に接続され、前記第1のゲート電極が前記ソース電極の電位と同一になるように設定され、

前記階調信号制御手段は、電流路の一端が前記ソース電極に接続される第2の薄膜トランジスタを有し、

前記階調電流は、前記ドレイン電極と前記発光素子の他端間が第1の電位差に設定された状態で、前記ドレイン電極から前記ソース電極を介して前記第2の薄膜トランジスタの電流路に流れ、前記発光駆動電流は、前記ドレイン電極と前記発光素子の他端間が前記第1の電位差より大きい第2の電位差に設定された状態で、前記ドレイン電極から前記ソース電極を介して前記発光素子に流れ、前記ソース電極及び前記第1のゲート電極は、前記ドレイン電極より低電位で、前記階調電流又は前記発光駆動電流の電流値に応じた電位に設定されることを特徴とする画像表示装置。

【請求項13】

前記画像表示装置は、少なくとも、

前記走査ラインに選択信号を印加して、前記走査ラインに接続された前記表示画素に設けられた前記階調信号制御手段により、前記階調電流の当該表示画素への書き込みを可能とする選択状態に設定する走査駆動手段と、

前記選択状態に設定された前記表示画素に対応した前記表示データに基づく前記階調電流を生成して、前記信号ラインに供給する信号駆動手段と、

を備えることを特徴とする請求項12記載の画像表示装置。

【請求項14】

前記信号駆動手段から供給される前記階調電流は、前記表示データに応じた電流値を有する信号電流であることを特徴とする請求項13記載の画像表示装置。

【請求項15】

前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第1のゲート電極と前記ソース電極が電気的に接続されていることを特徴とする請求項12乃至14のいずれかに記載の画像表示装置。

【請求項16】

前記発光素子は、画素電極と、該画素電極上に設けられた発光層と、前記発光層を介して前記画素電極に対向するように設けられた対向電極とを備え、

前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第1のゲート電極と前記ソース電極が前記画素電極に電気的に接続されていることを特徴とする請求項14又は15記載の画像表示装置。

【請求項17】

前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第1のゲート電極が前記画素電極と一体的に形成されていることを特徴とする請求項16記載の画像表示装置。

【請求項18】

前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項12乃至17のいずれかに記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素駆動回路及び画像表示装置に関し、特に、階調信号に応じた発光駆動電

10

20

30

40

50

流に基づいて、電流制御型の発光素子を所定の輝度階調で発光動作させるための画素駆動回路、及び、該画素駆動回路と上記発光素子とからなる表示画素を2次元配列した表示パネルを備えた画像表示装置に関する。

【背景技術】

【0002】

従来、有機エレクトロルミネッセント素子（以下、「有機EL素子」と略記する）や発光ダイオード（LED）等のように、供給される駆動電流の電流値に応じて所定の輝度階調で発光動作する電流制御型の発光素子を具備する表示画素を、2次元配列した表示パネルを備えた発光素子型のディスプレイ（画像表示装置）が知られている。

【0003】

特に、アクティブマトリックス駆動方式を適用した発光素子型ディスプレイは、近年携帯機器を始め、様々な電子機器に広く利用されている液晶表示装置（LCD）に比較して、表示応答速度が速く、また、視野角依存性も少なく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるとともに、液晶表示装置の場合のように、バックライトを必要としないので、一層の薄型軽量化が可能である、という極めて優位な特徴を有しており、次世代のディスプレイとして研究開発が盛んに行われている。

【0004】

そして、このような発光素子型ディスプレイにおいては、上述した電流制御型の発光素子を発光制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献1等に記載されているように、表示パネルを構成する各表示画素ごとに、上記発光素子に加えて、該発光素子を発光制御するための複数のスイッチング手段からなる駆動回路（画素駆動回路、又は、発光駆動回路）を備えたものが知られている。

【0005】

以下、従来技術における画素駆動回路を備えた表示装置について簡単に説明する。

図12は、従来技術における発光素子型ディスプレイの要部を示す概略構成図であり、図13は、従来技術における発光素子型ディスプレイに適用可能な表示画素（画素駆動回路及び発光素子）の構成例を示す等価回路図である。

【0006】

特許文献1等に記載されたアクティブマトリックス型の発光素子型ディスプレイは、概略、図12に示すように、行、列方向に配設された複数の走査ライン（選択ライン）SLp及びデータライン（信号ライン）DLpの各交点近傍に、複数の表示画素EMpがマトリックス状に配置された表示パネル110Pと、各走査ラインSLpに接続された走査ドライバ（走査線駆動回路）120Pと、各データラインDLpに接続されたデータドライバ（データ線駆動回路）130Pと、を備え、データドライバ130Pにおいて表示データに応じた階調信号電圧Vpixを生成して、各データラインDLpを介して各表示画素EMpに供給する構成を有している。

【0007】

ここで、各表示画素EMpは、例えば図13に示すように、ゲート端子が走査ラインSLpに、ソース端子及びドレイン端子がデータラインDLp及び接点N111に各々接続された薄膜トランジスタ（TFT）Tr111と、ゲート端子が接点N111に接続され、ソース端子に接地電位Vgndが印加された薄膜トランジスタTr112と、を備えた画素駆動回路DCp、及び、該画素駆動回路DCpの薄膜トランジスタTr112のドレイン端子にアノード端子が接続され、カソード端子に接地電位Vgndよりも低電位の低電源電圧Vssが印加された有機EL素子（電流制御型の発光素子）OLEDを有して構成されている。

【0008】

なお、図13において、Cpは、薄膜トランジスタTr112のゲート-ソース電極間に形成される寄生容量（保持容量）である。また、薄膜トランジスタTr111は、nチャネル型の電界効果型トランジスタにより構成され、薄膜トランジスタTr112は、pチャネル型の電界効果型トランジスタにより構成されている。

10

20

30

40

50

【0009】

そして、このような構成を有する表示画素 E M p からなる表示パネル 1 1 0 P を備えた表示装置においては、まず、走査ドライバ 1 2 0 P から各行の走査ライン S L p に選択レベル（ハイレベル）の走査信号 V sel を順次印加することにより、行ごとの表示画素 E M p （画素駆動回路 D C p ）の薄膜トランジスタ T r 1 1 1 がオン動作して、当該表示画素 E M p が選択状態に設定される。

【0010】

この選択タイミングに同期して、データドライバ 1 3 0 P により表示データに応じた電圧値を有する階調信号 V pix を生成して、各列のデータライン D L p に印加することにより、当該階調信号 V pix が各表示画素 E M p （画素駆動回路 D C p ）の薄膜トランジスタ T r 1 1 1 を介して、接点 N 1 1 1 （すなわち、薄膜トランジスタ T r 1 1 2 のゲート端子）に印加される。これにより、薄膜トランジスタ T r 1 1 2 が当該階調信号 V pix に応じた導通状態でオン動作して、接地電位 V gnd から所定の発光駆動電流が薄膜トランジスタ T r 1 1 2 及び有機 E L 素子 O L E D を介して低電源電圧 V ss に流れ、有機 E L 素子 O L E D が表示データに応じた輝度階調で発光動作する。

10

【0011】

次いで、走査ドライバ 1 2 0 P から走査ライン S L p に非選択レベル（ローレベル）の走査信号 V sel を印加することにより、行ごとの各行の表示画素 E M p の薄膜トランジスタ T r 1 1 1 がオフ動作して、当該表示画素 E M p が非選択状態に設定され、データライン D L p と画素駆動回路 D C p とが電気的に遮断される。このとき、薄膜トランジスタ T r 1 1 2 のゲート端子に印加され、寄生容量 C p に保持された電圧に基づいて、薄膜トランジスタ T r 1 1 2 は、オン状態を持続することになり、上記選択状態と同様に、接地電位 V gnd から所定の発光駆動電流が薄膜トランジスタ T r 1 1 2 を介して有機 E L 素子 O L E D に流れ、発光動作が継続される。この発光動作は、次の表示データに応じた階調信号電圧 V pix が各行の表示画素 E M p に印加される（書き込まれる）まで、例えば、1 フレーム期間継続するように制御される。

20

【0012】

このような駆動制御方法は、各表示画素 E M p （画素駆動回路 D C p の薄膜トランジスタ T r 1 1 2 のゲート端子）に印加する電圧（階調信号電圧 V pix ）を調整することにより、有機 E L 素子 O L E D に流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電圧指定型（又は、電圧印加型）の階調制御方法と呼ばれている。

30

【0013】

ところで、このような電圧指定型の階調制御方法に対応した画素駆動回路 D C p を備えた表示画素 E M p においては、選択機能を有する薄膜トランジスタ T r 1 1 1 や発光駆動機能を有する薄膜トランジスタ T r 1 1 2 の素子特性（チャネル抵抗等）が、外部環境（周囲の温度等）や使用時間等に依存してバラツキや変動（劣化）を生じた場合には、発光素子（有機 E L 素子 O L E D ）に供給される発光駆動電流が変動することになり、長期間にわたり安定的に所望の発光特性（所定の輝度階調での表示）を実現することが困難になるという問題を有している。

40

【0014】

また、表示パネルの高精細化を図るために、各表示画素を微細化すると、画素駆動回路 D C p を構成する薄膜トランジスタ T r 1 1 1 及び T r 1 1 2 の動作特性（ソース - ドレイン間電流等）のバラツキが大きくなるため、適正な階調制御が行えなくなり、各表示画素の発光特性にバラツキが生じて表示画質の劣化を招くという問題を有している。

【0015】

そこで、このような問題点を解決する構成として、電流指定型（又は、電流印加型）の階調制御方法に対応した画素駆動回路の構成が知られている。なお、この電流指定型の階調制御方法に対応した表示画素（画素駆動回路）の具体的な構成例について、後述する「発明を実施するための最良の形態」において詳しく説明するが、概略、以下のような構

50

成及び動作（機能）を有するものである。

【0016】

すなわち、電流指定型の階調制御方法に対応した画素駆動回路においては、例えば、少なくとも、表示画素を選択状態に設定し、表示データに応じた階調信号の表示画素（画素駆動回路）への書き動作を制御する選択制御手段（上述した薄膜トランジスタTr111に対応する）と、書き込まれた階調信号に基づいて、発光素子（有機EL素子等）に供給する発光駆動電流の電流値及びその供給状態を制御する駆動電流制御手段（上述した薄膜トランジスタTr112及び寄生容量Cpに対応する）を備え、上記選択制御手段に選択レベルの走査信号が印加されることにより、選択状態に設定されるタイミングで、表示データに応じた電流値を指定した階調電流（階調信号）を流すことにより、駆動電流制御手段により電圧成分に変換して保持するとともに、非選択状態において該電圧成分に基づく電流値を有する発光駆動電流を発光素子に供給することにより、発光素子を所定の輝度階調で継続的に発光動作させるように構成されている。10

【0017】

したがって、上記駆動電流制御手段において、各表示画素に供給される表示データに応じた階調電流の電流レベルを電圧レベルに変換する機能（電流／電圧変換機能）と、該電圧レベルに基づく所定の電流値を有する発光駆動電流を発光素子に供給する機能（発光駆動機能）の双方が実現されることになるので、該駆動電流制御手段を单一の能動素子（薄膜トランジスタ）により構成することにより、図13に示したような画素駆動回路DCpにおける複数の薄膜トランジスタ間で生じる動作特性のバラツキに起因して、発光駆動電流が変動し、表示画質が劣化するという現象を抑制することができるという利点を有している。20

【0018】

【特許文献1】特開2002-156923号公報（第3頁～第4頁、図1、図2）

【発明の開示】

【発明が解決しようとする課題】

【0019】

しかしながら、上述したような画素駆動回路を有する表示画素が2次元配列された表示パネルを備えた画像表示装置においては、以下に示すような問題を有していた。

すなわち、各表示画素において、画素駆動回路（駆動電流制御手段）により生成された発光駆動電流を発光素子に流すことにより、表示データに応じた輝度階調で発光動作させる駆動制御方法においては、駆動電流制御手段となる薄膜トランジスタの電流路が発光素子（有機EL素子等）に対して直列に接続され、さらに、当該薄膜トランジスタと発光素子からなる直列回路が所定の電圧源（一定の電位差間）に接続された回路構成が採用されている。30

【0020】

このような回路構成においては、駆動電流制御手段となる薄膜トランジスタがオン、オフ動作することにより（スイッチング制御されることにより）、発光素子に印加される電圧が相対的に変動する現象が生じる。具体的には後述するが、例えば上述した電流指定型の階調制御方法において、駆動電流制御手段のスイッチング制御に伴って、薄膜トランジスタに印加される制御電圧（ゲート電圧）が変化するとともに、薄膜トランジスタの電流路の両端に印加される電圧が変化することにより、書き動作における階調電流（書き電流）の指定電流値に対して、発光素子に供給される発光駆動電流の出力電流値に差異が生じるため、表示データに応じた適切な輝度階調で発光素子を発光動作させることができなくなり、コントラストの低下等を生じて表示画質の劣化を招くという問題を有していた。40

【0021】

そこで、本発明は、上述した問題点に鑑み、表示パネルに2次元配列された表示画素（画素駆動回路）の駆動時に生じる電圧変化に起因して生じる書き電流（指定電流）と発光駆動電流（出力電流）の差異を抑制して、表示データに応じた適切な輝度階調で発光素子を発光動作させることができる画素駆動回路、及び、表示画質の劣化を抑制することができる50

きる画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0022】

請求項1記載の発明は、表示画素に設けられ、階調信号として階調電流が供給されて、当該表示画素に設けられた電流制御型の発光素子に対して、前記階調電流に応じた電流値を有する発光駆動電流を供給して、前記階調信号に基づく所定の輝度階調で発光動作させる画素駆動回路において、少なくとも、前記階調電流に基づく電荷を電圧成分として保持する電荷保持手段と、前記階調電流が電流路に流れて前記電荷保持手段に前記電圧成分を保持させ、該電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する駆動電流制御手段と、前記駆動電流制御手段への前記階調電流の供給を制御する階調信号制御手段と、を備え、前記駆動電流制御手段は、半導体層を挟んで対向して設けられた第1のゲート電極及び第2のゲート電極と、前記半導体層の両端部に設けられたソース電極及びドレイン電極と、を具備するダブルゲート型の薄膜トランジスタ構造の第1の薄膜トランジスタを有し、前記ソース電極が前記発光素子の一端に接続され、前記第1のゲート電極が前記ソース電極の電位と同一になるように設定され、前記階調信号制御手段は、電流路の一端が前記ソース電極に接続される第2の薄膜トランジスタを有し、前記階調電流は、前記ドレイン電極と前記発光素子の他端間に第1の電位差に設定された状態で、前記ドレイン電極から前記ソース電極を介して前記第2の薄膜トランジスタの電流路に流れ、前記発光駆動電流は、前記ドレイン電極と前記発光素子の他端間に前記第1の電位差より大きい第2の電位差に設定された状態で、前記ドレイン電極から前記ソース電極を介して前記発光素子に流れ、前記ソース電極及び前記第1のゲート電極は、前記ドレイン電極より低電位で、前記階調電流又は前記発光駆動電流の電流値に応じた電位に設定されることを特徴とする。

10

【0023】

請求項2記載の発明は、請求項1記載の画素駆動回路において、前記駆動電流制御手段は、前記第1のゲート電極と前記ソース電極が電気的に接続されていることを特徴とする。

請求項3記載の発明は、請求項1又は2記載の画素駆動回路において、前記発光素子は、画素電極と、該画素電極上に設けられた発光層と、前記発光層を介して前記画素電極に対向するように設けられた対向電極とを備え、前記駆動電流制御手段は、前記第1のゲート電極と前記ソース電極が前記画素電極に電気的に接続されていることを特徴とする。

30

【0024】

請求項4記載の発明は、請求項3記載の画素駆動回路において、前記駆動電流制御手段は、前記第1のゲート電極が前記画素電極と一体的に形成されていることを特徴とする。

請求項5記載の発明は、請求項3又は4記載の画素駆動回路において、前記発光素子は、前記画素電極が光透過特性を有する電極材料により形成されていることを特徴とする。

【0025】

請求項6記載の発明は、請求項3又は4記載の画素駆動回路において、前記発光素子は、前記画素電極が光反射特性を有する電極材料により形成されていることを特徴とする。

40

請求項7記載の発明は、請求項1乃至6のいずれかに記載の画素駆動回路において、前記駆動電流制御手段は、前記ソース電極及び前記ドレイン電極が前記半導体層上に延在するように設けられていることを特徴とする。

【0026】

請求項8記載の発明は、請求項7記載の画素駆動回路において、前記駆動電流制御手段は、前記半導体層上にブロック絶縁膜を有し、前記ソース電極及び前記ドレイン電極が前記ブロック絶縁膜上に延在するように設けられていることを特徴とする。

【0027】

請求項9記載の発明は、請求項1記載の画素駆動回路において、前記階調信号制御手段

50

は、ダブルゲート型の薄膜トランジスタ構造を有し、半導体層の上方に設けられたゲート電極が遮光性の電極材料により形成されていることを特徴とする。

請求項 10 記載の発明は、請求項 1 又は 9 記載の画素駆動回路において、前記ダブルゲート型の薄膜トランジスタは、前記半導体層がアモルファスシリコンからなることを特徴とする。

請求項 11 記載の発明は、請求項 1 乃至 10 のいずれかに記載の画素駆動回路において、前記階調電流は、前記輝度階調に応じた電流値を有する信号電流であることを特徴とする。

【 0 0 2 8 】

請求項 12 記載の発明は、表示パネルに互いに直行するように配設された複数の走査ライン及び複数の信号ラインの各交点近傍に配置された複数の表示画素に対して、前記各信号ラインを介して、表示データに応じた階調信号として階調電流を供給することにより、前記表示パネルに所望の画像情報を表示する画像表示装置において、前記各表示画素は、電流制御型の発光素子と、前記発光素子の発光動作を制御する画素駆動回路と、を備え、前記画素駆動回路は、少なくとも、前記階調電流に基づく電荷を電圧成分として保持する電荷保持手段と、前記階調電流が電流路に流れて前記電荷保持手段に前記電圧成分を保持させ、該電荷保持手段に保持された電圧成分に基づいて、前記階調電流に応じた電流値を有する発光駆動電流を生成して、前記発光素子に供給する駆動電流制御手段と、前記駆動電流制御手段への前記階調電流の供給を制御する階調信号制御手段と、を備え、前記駆動電流制御手段は、半導体層を挟んで対向して設けられた第 1 のゲート電極及び第 2 のゲート電極と、前記半導体層の両端部に設けられたソース電極及びドレイン電極と、を具備するダブルゲート型の薄膜トランジスタ構造の第 1 の薄膜トランジスタを有し、前記ソース電極が前記発光素子の一端に接続され、前記第 1 のゲート電極が前記ソース電極の電位と同一になるように設定され、前記階調信号制御手段は、電流路の一端が前記ソース電極に接続される第 2 の薄膜トランジスタを有し、前記階調電流は、前記ドレイン電極と前記発光素子の他端間が第 1 の電位差に設定された状態で、前記ドレイン電極から前記ソース電極を介して前記第 2 の薄膜トランジスタの電流路に流れ、前記発光駆動電流は、前記ドレイン電極と前記発光素子の他端間が前記第 1 の電位差より大きい第 2 の電位差に設定された状態で、前記ドレイン電極から前記ソース電極を介して前記発光素子に流れ、前記ソース電極及び前記第 1 のゲート電極は、前記ドレイン電極より低電位で、前記階調電流又は前記発光駆動電流の電流値に応じた電位に設定されることを特徴とする。

10

20

30

40

【 0 0 2 9 】

請求項 13 記載の発明は、請求項 12 記載の画像表示装置において、前記画像表示装置は、少なくとも、前記走査ラインに選択信号を印加して、前記走査ラインに接続された前記表示画素に設けられた前記階調信号制御手段により、前記階調電流の当該表示画素への書き込みを可能とする選択状態に設定する走査駆動手段と、前記選択状態に設定された前記表示画素に対応した前記表示データに基づく前記階調電流を生成して、前記信号ラインに供給する信号駆動手段と、を備えることを特徴とする。

【 0 0 3 0 】

請求項 14 記載の発明は、請求項 13 記載の画像表示装置において、前記信号駆動手段から供給される前記階調電流は、前記表示データに応じた電流値を有する信号電流であることを特徴とする。

請求項 15 記載の発明は、請求項 12 乃至 14 のいずれかに記載の画像表示装置において、前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第 1 のゲート電極と前記ソース電極が電気的に接続されていることを特徴とする。

【 0 0 3 1 】

50

請求項 16 記載の発明は、請求項 14 又は 15 記載の画像表示装置において、前記発光素子は、画素電極と、該画素電極上に設けられた発光層と、前記発光層を介して前記画素電極に対向するように設けられた対向電極とを備え、前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第 1 のゲート電極と前記ソース電極が前記画素電極に電気的に接続されていることを特徴とする。

【 0 0 3 2 】

請求項 17 記載の発明は、請求項 16 記載の画像表示装置において、前記画素駆動回路に設けられる前記駆動電流制御手段は、前記第 1 のゲート電極が前記画素電極と一体的に形成されていることを特徴とする。

10

請求項 18 記載の発明は、請求項 12 乃至 17 のいずれかに記載の画像表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【発明の効果】

【 0 0 3 3 】

本発明に係る画素駆動回路及び画像表示装置によれば、表示パネルに 2 次元配列された表示画素（画素駆動回路）の駆動時に生じる電圧変化に起因して生じる書き電流（指定電流）と発光駆動電流（出力電流）の差異を抑制して、表示データに応じた適切な輝度階調で発光素子を発光動作させることができ、表示画質の劣化を抑制することができる。

【発明を実施するための最良の形態】

【 0 0 3 4 】

以下に、本発明に係る画素駆動回路及び該画素駆動回路を含む表示画素が 2 次元配列された表示パネルを備えた画像表示装置について、実施の形態を示して詳しく説明する。

20

< 画像表示装置 >

まず、本発明に係る画像表示装置の概略構成について、図面を参照して説明する。

図 1 は、本発明に係る画像表示装置の一実施形態を示す概略プロック図である。ここでは、電流指定型の階調制御方法に対応した構成を有する画像表示装置について説明する。

【 0 0 3 5 】

図 1 に示すように、本発明に係る画像表示装置 100 は、概略、行方向（図面左右方向）に配設された複数の走査ライン S_L と列方向（図面上下方向）に配設された複数のデータライン（信号ライン） D_L との各交点近傍に、複数の表示画素 E_M が n 行 \times m 列（ n 、 m は、任意の正の整数）のマトリクス状に配列された表示パネル 110 と、各走査ライン S_L に所定のタイミングで順次走査信号（選択信号） V_{sel} を印加することにより、行ごとの表示画素 E_M を選択状態に設定（走査）する走査ドライバ（走査駆動手段）120 と、走査ライン S_L に並行して行方向に配設された複数の電源電圧ライン V_L に所定のタイミングで所定の電圧レベルの電源電圧 V_{sc} を印加する電源ドライバ（電源駆動手段）130 と、表示データに基づく電流値が指定された階調電流（階調信号、信号電流） I_{pix} を生成して、各データライン D_L に供給するデータドライバ（信号駆動手段）140 と、後述する表示信号生成回路 160 から供給されるタイミング信号に基づいて、少なくとも走査ドライバ 120、電源ドライバ 130 及びデータドライバ 140 の動作状態を制御するための走査制御信号、電源制御信号及びデータ制御信号を生成して出力するシステムコントローラ 150 と、例えば画像表示装置 100 の外部から供給される映像信号に基づいて、デジタル信号からなる表示データ（輝度階調データ）を生成し、上記データドライバ 140 に供給するとともに、該表示データに基づいて表示パネル 110 に所定の画像情報を表示するためのタイミング信号（システムクロック等）を抽出、又は、生成して上記システムコントローラ 150 に供給する表示信号生成回路 160 と、を備えている。

30

【 0 0 3 6 】

（表示パネル 110）

表示パネル 110 にマトリクス状に 2 次元配列された各表示画素 E_M は、例えば有機 EL 素子等の電流制御型の発光素子と、走査ドライバ 120 から走査ライン S_L に印加される走査信号 V_{sel} 、電源ドライバ 130 から電源電圧ライン V_L に印加される電源電圧 V_{sc}

40

50

c、及び、データドライバ140からデータラインDLに供給される階調電流 I_{pix} に基づいて、該階調電流 I_{pix} に応じた電圧成分を保持する書き動作、及び、該電圧成分に基づいて、所定の電流値を有する発光駆動電流を上記発光素子に供給して所定の輝度階調で発光させる発光動作を、選択的に実行する画素駆動回路と、を有している。なお、本発明に適用可能な表示画素（画素駆動回路及び発光素子）の具体例については後述する。

【0037】

（走査ドライバ120）

走査ドライバ120は、システムコントローラ150から供給される走査制御信号に基づいて、各走査ラインSLに選択レベル（例えば、ハイレベル）の走査信号 V_{sel} を順次印加することにより、各行ごとの表示画素EMを選択状態に設定し、データドライバ140により各データラインDLを介して供給される、表示データに基づく階調電流 I_{pix} を、各表示画素EM（画素駆動回路）に書き込むように制御する。

10

【0038】

ここで、走査ドライバ120は、例えば、後述するシステムコントローラ150から供給される走査制御信号に基づいて、各行の走査ラインSLに対応するシフト信号を順次出力するシフトレジスタと、該シフト信号を所定の電圧レベル（選択レベル）に変換して、各行の走査ラインSLに走査信号 V_{sel} として順次出力する出力回路部（出力バッファ）と、を備えたものを適用することができる。

【0039】

（電源ドライバ130）

20

電源ドライバ130は、システムコントローラ150から供給される電源制御信号に基づいて、各電源電圧ラインVLに、後述する書き動作期間においては、ローレベルの電源電圧 V_{sc} （＝ V_{scw} ）を印加することにより、データドライバ140により供給される階調電流 I_{pix} が表示画素EM（画素駆動回路）に書き込まれるように制御し、発光動作期間においては、ハイレベルの電源電圧 V_{sc} （＝ V_{sce} ）を印加することにより、表示データ（階調電流 I_{pix} ）に応じた電流値を有する発光駆動電流が発光素子に供給されるように制御する。

【0040】

ここで、電源ドライバ130は、例えば、システムコントローラ150から供給される電源制御信号に基づいて、各行の電源電圧ラインVLに対応するシフト信号を順次出力するシフトレジスタと、該シフト信号を所定の電圧レベルに変換して、各行の電源電圧ラインVLに電源電圧 V_{sc} として出力する出力回路部（出力バッファ）と、を備えたものを適用することができる。

30

【0041】

（データドライバ140）

データドライバ140は、システムコントローラ150から供給されるデータ制御信号に基づいて、表示信号生成回路160から供給される各表示画素EMごとの表示データを所定のタイミングで取り込んで保持し、該表示データの階調値に応じた電流値を有する階調電流 I_{pix} を生成して、上記各走査ラインSLごとに設定される選択期間内に各データラインDLに供給する。

40

【0042】

ここで、データドライバ140は、例えば、システムコントローラ150から供給されるデータ制御信号に基づいて、順次シフト信号を出力するシフトレジスタと、該シフト信号の入力タイミングに基づいて、表示信号生成回路160から供給される1行分の表示データを順次取り込むデータレジスタと、取り込まれた1行分の表示データを保持するデータラッ奇回路と、階調基準電圧に基づいて、上記保持された表示データを所定のアナログ信号電圧に変換するD/Aコンバータ（デジタル-アナログ変換器）と、アナログ信号電圧に対応する電流値を有する階調電流 I_{pix} を生成し、データラインDLを介して各表示画素EMに供給する電圧電流変換・電流供給回路と、を備えたものを適用することができる。

50

【0043】

(システムコントローラ150)

システムコントローラ150は、例えば、表示信号生成回路160から供給されるタイミング信号に基づいて、少なくとも走査ドライバ120、電源ドライバ130及びデータドライバ140に対して、動作状態を制御する走査制御信号、電源制御信号及びデータ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、走査信号Vsel、電源電圧Vsc及び階調電流Ipixを生成させ、各走査ラインSL、電源電圧ラインVL及びデータラインDLに印加して各表示画素(画素駆動回路及び発光素子)EMにおける一連の駆動制御動作(書き動作及び発光動作)を実行させて、映像信号に基づく画像情報を表示パネル110に表示させる制御を行う。

10

【0044】

(表示信号生成回路160)

表示信号生成回路160は、例えば画像表示装置100の外部から供給される映像信号から輝度階調信号成分を抽出して、表示パネル110の1行分ごとに、該輝度階調信号成分をデジタル信号からなる表示データ(輝度階調データ)としてデータドライバ140に供給する。ここで、上記映像信号が、例えばテレビ放送信号(コンポジット映像信号)のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路160は、図1に示すように、上記輝度階調信号成分を抽出する機能のほかに、タイミング信号成分を抽出してシステムコントローラ150に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ150は、表示信号生成回路160から供給されるタイミング信号に基づいて、走査ドライバ120や電源ドライバ130、データドライバ140に対して個別に供給する各制御信号を生成する。

20

【0045】

なお、画像表示装置100の外部から供給される映像信号がデジタル信号により形成され、また、タイミング信号が映像信号とは別に供給されている場合には、当該映像信号(デジタル信号)をそのまま表示データとして、データドライバ140に供給するとともに、当該タイミング信号を直接システムコントローラ150に供給するようにして、表示信号生成回路160を省略するようにしてもよい。

【0046】

<表示画素>

30

次いで、上述した画像表示装置に適用される表示パネルに2次元配列される表示画素の具体回路例について、図面を参照して詳しく説明する。

図2は、本実施形態に係る表示装置に適用可能な表示画素(画素駆動回路)の具体回路例を示す回路構成図であり、図3は、本実施形態に係る画素駆動回路に適用可能なダブルゲート型トランジスタの素子構造の例を示す断面構成図である。

【0047】

本実施形態に係る表示画素EMは、図2に示すように、上述した表示パネル110に相互に直交するように配設された走査ラインSLとデータラインDLとの各交点近傍に、例えば、ゲート端子が走査ラインSLに、ドレイン端子が電源電圧ラインVLに、ソース端子が接点N11に各々接続されたトランジスタ(階調信号制御手段)Tr11と、ゲート端子が走査ラインSLに、ドレイン端子がデータラインDLに、ソース端子が接点N12に各々接続されたトランジスタ(階調信号制御手段)Tr12と、ボトムゲート端子BGが接点N11に、ドレイン端子Dが電源電圧ラインVLに、トップゲート端子TG及びソース端子Sが接点N12に各々接続されたダブルゲート型のトランジスタ(ダブルゲート型トランジスタ；駆動電流制御手段)Tr13と、接点N11と接点N12の間(すなわち、ダブルゲート型トランジスタTr13のボトムゲート-ソース間)に接続されたキャパシタ(電荷保持手段)Csと、を備えた画素駆動回路DC、及び、アノード端子が上記画素駆動回路DCの接点N12に接続され、カソード端子が所定の低電圧(例えば接地電位GND)に接続された有機EL素子(電流制御型の発光素子)OLEDを有している。

40

【0048】

50

ここで、有機EL素子OLEDに直列に接続され、発光駆動用のスイッチング素子として機能するダブルゲート型トランジスタTr13の第1の素子構造の例は、例えば図3(a)に示すように、アモルファスシリコンやポリシリコン等からなるnチャネル型の半導体層(チャネル領域)SMCと、半導体層SMCの両端に、各々n⁺シリコンからなる不純物層(オーミックコンタクト層)OHMを介して形成されたソース電極Tr13s(ソース端子S)及びドレイン電極Tr13d(ドレイン端子D)と、半導体層SMCの上方(図面上方)に絶縁膜(トップゲート絶縁膜)13を介して形成されたトップゲート電極Tr13tg(トップゲート端子TG、後述する画素電極14と一緒に形成される；第1のゲート電極)と、半導体層SMCの下方(図面下方)に絶縁膜(ボトムゲート絶縁膜)12を介して形成されたボトムゲート電極Tr13bg(ボトムゲート端子BG；第2のゲート電極)と、を有して構成されている。

【0049】

また、ダブルゲート型トランジスタTr13の第2の素子構造の例は、例えば図3(b)に示すように、上述した第1の素子構造(図3(a))に加え、半導体層SMC上にロック絶縁膜(エッチングストップ膜)BLが設けられ、半導体層SMCの上方(図面上方)に該ロック絶縁膜BL及び絶縁膜13を介してトップゲート電極Tr13tg(後述する画素電極14と一緒に形成される)が形成されている。ここで、ロック絶縁膜BLは、半導体層SMC上に設けられるソース電極Tr13s及びドレイン電極Tr13dをパターニング形成する際のエッチング工程において、エッチングストップとしての機能を有するとともに、当該エッチングによる半導体層SMCへのダメージを防止するための機能を有するものである。

【0050】

このような構成を有するダブルゲート型トランジスタTr13は、図3(a)、(b)に示すように、ガラス基板等の絶縁性基板11上に形成されている。また、少なくとも該ダブルゲート型トランジスタTr13のトップゲート電極Tr13tg上には絶縁膜15が被覆形成されている。

【0051】

そして、本発明においては、このような構成を有するダブルゲート型トランジスタTr13において、例えば、トップゲート電極Tr13tg(画素電極14)とソース電極Tr13sが電気的に接続(短絡)され、同電位になるように構成されている。詳しくは後述するが、この場合、例えば、図3(a)、(b)に示した素子構造において、トップゲート絶縁膜となる絶縁膜13に形成されたコンタクトホールを介して、上層側のトップゲート電極Tr13tg(画素電極14)と下層側のソース電極Tr13sとが電気的に接続された構成を適用することができる。

【0052】

また、トランジスタTr11、Tr12は、周知の電界効果型のトランジスタ(薄膜トランジスタ)を適用することができる。また、キャパシタCsは、ダブルゲート型トランジスタTr13のボトムゲート-ソース間に形成される寄生容量であってもよいし、該寄生容量に加えて接点N11及び接点N12間にさらに容量素子を並列に接続したものであってもよい。

【0053】

なお、本実施形態に係る画素駆動回路DCに適用されるトランジスタTr11～Tr13については、特に限定するものではないが、以下の説明においては、いずれのトランジスタもnチャネル型の半導体層をチャネル領域として備えたトランジスタ構造を適用した場合について説明する。

【0054】

次いで、上述したような回路構成を有する表示画素(画素駆動回路及び発光素子)の具体的なデバイス構造(平面レイアウト及び断面構造)について説明する。

図4は、本実施形態に係る表示装置(表示パネル)に適用可能な表示画素の一例を示す平面レイアウト図であり、図5は、図4に示した平面レイアウトを有する表示画素における

10

20

30

40

50

るA-A断面を示す概略断面図である。なお、図4においては、表示画素EM(画素駆動回路)の素子構造を明確にするために、画素駆動回路の各トランジスタ及び配線層等が形成された層を中心に示す。

【0055】

表示画素EMは、例えば図4に示すように、絶縁性基板11の一面側に設定された表示画素の形成領域(画素形成領域)Rpxにおいて、上方及び下方の縁辺領域のX方向(図4の左右方向;図1における行方向に対応する)に延在するように走査ラインSL及び電源電圧ラインVLが各々配設されるとともに、これらに直交するように、上記画素形成領域Rpxの左方の縁辺領域のY方向(図4の上下方向:図1における列方向に対応する)に延在するようにデータラインDL及びが配設されている。また、図2に示したトランジスタTr11及びトランジスタTr12は、データラインDLに沿ってY方向に延在するように配置され、トランジスタTr13は、画素形成領域Rpxの右方の縁辺領域のY方向に延在するように配置されている。

【0056】

ここで、上述したように、トランジスタTr11、Tr12は、周知の電界効果型トランジスタ構造を有し、図5においてはトランジスタTr12のみを示すが、各々、ガラス基板等の透明な絶縁性基板11上に形成されたゲート電極Tr11g、Tr12gと、ゲート絶縁膜12を介して各ゲート電極Tr11g、Tr12gに対応する領域に形成された半導体層SMCと、該半導体層SMCの両端部に延在するように形成されたソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12dと、を有している。

【0057】

また、トランジスタTr13は、図3(a)、(b)に示したような素子構造を有し、図5に示すように、絶縁性基板11上に形成されたボトムゲート電極Tr13bgと、ゲート絶縁膜12を介してボトムゲート電極Tr13bgに対応する領域に形成された半導体層SMCと、該半導体層SMCの両端部に延在するように形成されたソース電極Tr13s及びドレイン電極Tr13dと、絶縁膜13を介して半導体層SMCに対応する領域に形成されたトップゲート電極Tr13tgと、を有している。

【0058】

なお、図5においては図示を簡略化して示したが、各トランジスタTr11、Tr12及びダブルゲート型トランジスタTr13のソース電極とドレイン電極が対向する半導体層SMC上には当該半導体層SMCへのエッチングダメージを防止するための酸化シリコン又は窒化シリコン等のプロッキング層が形成され、また、ソース電極とドレイン電極が接触する半導体層SMC上には、当該半導体層SMCとソース電極及びドレイン電極とのオーミック接続を実現するための不純物層が形成されているものであってもよい(ダブルゲート型トランジスタTr13においては、図3(b)に示した素子構造に対応する)。

【0059】

ここで、トランジスタTr11、Tr12のゲート電極Tr11g、Tr12g、及び、ダブルゲート型トランジスタTr13のボトムゲート電極Tr13bg、並びに、データラインDLは、いずれも同一のゲートメタル層をパターニングすることによって形成されている。また、トランジスタTr11、Tr12のソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12d、ダブルゲート型トランジスタTr13のソース電極Tr13s及びドレイン電極Tr13d、並びに、走査ラインSL、電源電圧ラインVLは、いずれも同一のソース、ドレインメタル層をパターニングすることによって形成されている。また、ダブルゲート型トランジスタTr13のトップゲート電極Tr13tg及び後述する有機EL素子OLEDの画素電極(例えばアノード電極)14は、同一の電極材料により一体的に形成されている。さらに、図4、図5に示すように、電源電圧ラインVLは、ダブルゲート型トランジスタTr13のドレイン電極Tr13dと一体的に形成され、走査ラインSL及び電源電圧ラインVLは、データラインDLよりも上層側に設けられている。

【0060】

10

20

30

40

50

そして、図2に示した画素駆動回路DCの回路構成に対応するように、トランジスタTr11は、例えば図4、図5に示すように、ゲート電極Tr11gがゲート絶縁膜12に設けられたコンタクトホールHLAを介して走査ラインSLに接続され、同ソース電極Tr11sがゲート絶縁膜12に設けられたコンタクトホールHLBを介してキャパシタCsの一端側（接点N11側）の電極ECAに接続され、同ドレイン電極Tr11dが電源電圧ラインVLと一体的に形成されている。

【0061】

また、トランジスタTr12は、例えば図4、図5に示すように、ゲート電極Tr12gがゲート絶縁膜12に設けられたコンタクトホールHLAを介して走査ラインSLに接続され、同ソース電極Tr12sがキャパシタCsの他端側（接点N12側）の電極ECAと一体的に形成され、同ドレイン電極Tr12dがゲート絶縁膜12に設けられたコンタクトホールHLCを介してデータラインDLに接続されている。

【0062】

ダブルゲート型トランジスタTr13は、例えば図4、図5に示すように、ボトムゲート電極Tr13bgがキャパシタCsの一端側（接点N11側）の電極ECAと一体的に形成され、同ソース電極Tr13sがキャパシタCsの他端側（接点N12側）の電極ECAと一体的に形成され、同ドレイン電極Tr13dが電源電圧ラインVLと一体的に形成され、トップゲート電極Tr13tgが有機EL素子OLEDの画素電極14と一体的に形成されるとともに、絶縁膜13に設けられたコンタクトホールHLDを介して上記ソース電極Tr13sに接続されている。

【0063】

また、キャパシタCsは、ダブルゲート型トランジスタTr13のボトムゲート電極Tr13bgと一体的に形成されるとともに、トランジスタTr11のソース電極Tr11sに接続された一端側の電極ECAと、ダブルゲート型トランジスタTr13のソース電極Tr13s及びトランジスタTr12のソース電極Tr12sと一体的に形成された他端側の電極ECAと、がゲート絶縁膜12を介して対向するように延在して形成されている。

【0064】

そして、画素形成領域Rpxのうち、有機EL素子OLEDの形成領域には、上述したダブルゲート型トランジスタTr13のトップゲート電極Tr13tgと一体的に形成された画素電極（例えばアノード電極）14、正孔輸送層16a（電荷輸送層）及び電子輸送性発光層16b（電荷輸送層）からなる有機EL層（発光層）16、及び、対向電極（例えばカソード電極）17を順次積層した有機EL素子OLEDが設けられ、一方、有機EL素子OLEDの形成領域以外の領域には、上述したトランジスタTr11、Tr12及びダブルゲート型トランジスタTr13、走査ラインSL、電源電圧ラインVL、データラインDL上に層間絶縁膜15が被覆形成され、当該層間絶縁膜15上に、上記対向電極17が延在するように形成されている。

【0065】

すなわち、対向電極17は、絶縁性基板11上に2次元配列された複数の表示画素EM（各画素電極14）に対して共通に対向するように单一の平面電極（べた電極）により形成されている。そして、上記画素駆動回路DC、有機EL素子OLEDが形成された絶縁性基板11の全域には、例えば図5に示すように、絶縁性の封止層18が被覆形成されている。

【0066】

ここで、表示パネル110（表示画素EM）がボトムエミッション構造の場合、画素電極14が例えば錫ドープ酸化インジウム（Indium Thin Oxide；ITO）や亜鉛ドープ酸化インジウム（Indium Zinc Oxide；IZO）等の透明な（光透過特性を有する）電極材料により形成され、対向電極17が例えばアルミニウム（Al）、クロム（Cr）、銀（Ag）、パラジウム銀（AgPd）系の合金等の光反射特性を有する電極材料により形成されることにより、有機EL層16において発光した光が絶縁性基板11を介して視野側

10

20

30

40

50

である絶縁性基板 11 の他面側（図 5 の図面下方）に出射され、一方、表示パネル 110（表示画素 E M）がトップエミッション構造の場合、画素電極 14 が光反射特性を有し、対向電極 17 が光透過特性を有する電極材料により形成されることにより、有機 E L 層 16 において発光した光が封止層 18 を介して絶縁性基板 11 の一面側（図 5 の図面上方）に出射される。

【 0 0 6 7 】

なお、表示パネル 110 に配列される発光素子として、高分子系の有機材料を塗布して形成される有機 E L 層を備えた有機 E L 素子を適用した場合においては、上述した有機 E L 素子 O L E D の形成領域（すなわち、有機 E L 層 16 となる正孔輸送層 16a 及び電子輸送性発光層 16b を塗布形成する領域）を画定するために、有機 E L 素子 O L E D の形成領域間の各配線層やトランジスタ上に形成される層間絶縁膜 15 を、絶縁性基板 11 表面から突出するように隔壁状又はバンク状に形成するものであってもよい。
10

【 0 0 6 8 】

図 6 は、本実施形態に係る画素駆動回路を適用した表示画素の基本動作を示すタイミングチャートであり、図 7 は、本実施形態に係る画素駆動回路の動作状態を示す概念図である。ここで、図 6 においては、表示パネル 110 の i 行 j 列、及び、 $(i + 1)$ 行 j 列（ i は 1 \sim n となる正の整数、 j は 1 \sim m となる正の整数）の表示画素 E M における駆動制御動作を示す。

【 0 0 6 9 】

このような構成を有する画素駆動回路 D C における発光素子（有機 E L 素子 O L E D）の発光駆動制御（駆動制御方法）は、例えば、図 6 に示すように、一走査期間 T sc を 1 サイクルとして、該一走査期間 T sc 内に、走査ライン S L に接続された表示画素 E M を選択して表示データに応じた階調電流 I pix を流して、表示データに応じた電圧成分を保持させる書き動作期間（選択期間） T se と、該書き動作期間 T se に保持された電圧成分に基づいて、上記表示データに応じた発光駆動電流を生成して有機 E L 素子 O L E D に供給し、所定の輝度階調で発光動作させる発光動作期間（非選択期間） T nse と、を含むように設定することにより実行される（ $T sc = T se + T nse$ ）。ここで、各行の走査ライン S L ごとに設定される書き動作期間 T se は、相互に時間的な重なりが生じないように設定される。
20

【 0 0 7 0 】

（書き動作期間）
表示画素 E M の書き動作期間 T se においては、図 6 に示すように、まず、走査ドライバ 120 から特定の走査ライン（例えば、 i 行目の走査ライン） S L に対して、ハイレベルの走査信号 V sel が印加されて当該行の表示画素 E M が選択状態に設定されるとともに、電源ドライバ 130 から当該行の表示画素 E M の電源電圧ライン V L に対して、ローレベルの電源電圧 V sc (= V scw) が印加される。また、このタイミングに同期して、データドライバ 140 により当該行の各表示画素 E M に対応する表示データに基づいた電流値を有する階調電流 I pix を各データライン D L から引き込む。
30

【 0 0 7 1 】

これにより、画素駆動回路 D C を構成するトランジスタ T r 11、T r 12 がオン動作して、ローレベルの電源電圧 V sc が接点 N 11（すなわち、ダブルゲート型トランジスタ T r 13 のボトムゲート端子 B G 及びキャパシタ C s の一端側）に印加されるとともに、データドライバ 140 によりデータライン D L 側から階調電流 I pix を引き込む動作が行われることにより、ローレベルの電源電圧 V sc よりも低電位の電圧レベルが接点 N 12（すなわち、ダブルゲート型トランジスタ T r 13 のソース端子 S 及び、キャパシタ C s の他端）に印加される。
40

【 0 0 7 2 】

このように、接点 N 11 及び N 12 間（ダブルゲート型トランジスタ T r 13 のボトムゲート - ソース間）に電位差が生じることにより、ダブルゲート型トランジスタ T r 13 がオン動作して、図 7 (a) に示すように、電源電圧ライン V L からダブルゲート型トランジスタ T r 13 のソース端子 S に電位が上昇する。
50

ンジスタ Tr13、接点 N12、トランジスタ Tr12、データライン DL を介して、データドライバ 140 に、階調電流 Ipix の電流値に対応した書込電流（指定電流） Ia が流れる。

【0073】

このとき、キャパシタ Cs には、接点 N11 及び N12 間（ダブルゲート型トランジスタ Tr13 のボトムゲート - ソース間）に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、電源電圧ライン VL には、接地電位以下の電圧レベルを有するローレベルの電源電圧 Vsc (= Vscw) が印加され、さらに、書込電流 Ia がデータライン DL 方向に流れるように制御されることから、有機 EL 素子 OLE D のアノード端子（接点 N12）に印加される電位はカソード端子の電位（接地電位 GND）よりも低くなり、有機 EL 素子 OLE D に逆バイアス電圧が印加されることになるため、有機 EL 素子 OLE D には発光駆動電流が流れず、発光動作は行われない。10

【0074】

（発光動作期間）

次いで、書込動作期間 Tse 終了後の発光動作期間 Tnsel においては、図 6 に示すように、走査ドライバ 120 から上記書込動作が行われた走査ライン SL に対して、ローレベルの走査信号 Vsel が印加されて表示画素 EM が非選択状態に設定されるとともに、当該行の表示画素 EM の電源電圧ライン VL に対して、ハイレベルの電源電圧 Vsc (= Vsce) が印加される。また、このタイミングに同期して、データドライバ 140 による階調電流 Ipix の引き込み動作が停止される。20

【0075】

これにより、画素駆動回路 DC を構成するトランジスタ Tr11 及び Tr12 がオフ動作して、接点 N11（すなわち、ダブルゲート型トランジスタ Tr13 のボトムゲート端子 BG 及びキャパシタ Cs の一端側）への電源電圧 Vsc の印加が遮断されるとともに、接点 N12（すなわち、ダブルゲート型トランジスタ Tr13 のソース端子 S 及びキャパシタ Cs の他端側）へのデータドライバ 140 による階調電流 Ipix の引き込み動作に起因する電圧レベルの印加が遮断されるので、キャパシタ Cs は、上述した書込動作期間において蓄積された電荷を保持する。

【0076】

このように、キャパシタ Cs が書込動作時の充電電圧を保持することにより、接点 N11 及び N12 間（ダブルゲート型トランジスタ Tr13 のボトムゲート - ソース間）の電位差が保持されることになり、ダブルゲート型トランジスタ Tr13 はオン状態を維持する。また、電源電圧ライン VL には、接地電位よりも高い電圧レベルを有するハイレベルの電源電圧 Vsc (= Vsce) が印加されるので、有機 EL 素子 OLE D のアノード端子（接点 N12）に印加される電位はカソード端子の電位（接地電位）よりも高くなる。30

【0077】

したがって、図 7 (b) に示すように、電源電圧ライン VL からダブルゲート型トランジスタ Tr13、接点 N12 を介して、有機 EL 素子 OLE D に順バイアス方向に所定の発光駆動電流（出力電流） Ib が流れ、有機 EL 素子 OLE D が発光する。ここで、キャパシタ Cs により蓄積された電荷に基づく電位差（充電電圧）は、ダブルゲート型トランジスタ Tr13 において階調電流 Ipix に対応した書込電流 Ia を流す場合の電位差に相当するので、有機 EL 素子 OLE D に供給される発光駆動電流 Ib は、上記書込電流 Ia と同等の電流値を有することになる。これにより、書込動作期間 Tse 後の非選択期間 Tnsel においては、書込動作期間 Tse に書き込まれた表示データ（階調電流 Ipix）に対応する電圧成分に基づいて、ダブルゲート型トランジスタ Tr13 を介して、発光駆動電流 Ib が継続的に供給されることになり、有機 EL 素子 OLE D は表示データに対応する輝度階調で発光する動作を継続する。40

そして、上述した一連の動作を、(i + 1) 行目以降の表示パネル 110 の全ての行（走査ライン SL）について順次繰り返し実行することにより、表示パネル 110 の表示データが書き込まれて、所定の輝度階調で発光動作し、所望の画像情報が表示される。50

【0078】

ここで、本実施形態に係る画素駆動回路DCにおいては、トランジスタTr21、Tr22及びダブルゲート型トランジスタTr13の半導体層（チャネル層）がいずれもnチャネル型により形成されている場合について示したが、この場合、半導体層としてアモルファスシリコンを適用し、すでに確立されたアモルファスシリコン製造技術を適用して、素子特性（電子移動度等）の安定した画素駆動回路を比較的安価に製造することができる。

【0079】

また、本実施形態に係る画素駆動回路DCにおいては、上述したように（図6参照）、電源電圧ラインVLに所定の電圧値を有する電源電圧Vscを印加する必要があり、そのための構成として、図1に示したように、電源ドライバ130を備えた構成を示したが、これに限定されるものではなく、例えば、電源電圧Vscが走査信号Vselに同期するタイミングで電源電圧ラインVLに印加されることから、走査ドライバ120において、走査信号Vsel（又は、走査信号を生成するためのシフト信号）を反転処理し、所定の電圧レベルに増幅して、電源電圧Vscとして各電源電圧ラインVLに印加するようにした構成を有するものであってもよい。

10

【0080】

なお、上述した表示画素EMにおいては、電流指定型の階調制御方式に対応した画素駆動回路の一例として、同一のチャネル極性を有する3個のトランジスタを備え、表示画素EM（画素駆動回路DC）からデータラインDLを介してデータドライバ140方向に表示データに応じた階調電流Ipixを引き込む形態の回路構成を示したが、本発明はこれに限定されるものではなく、例えば4個のトランジスタを備えた回路構成を有するものであってもよいし、さらには、データドライバからデータラインを介して表示画素（画素駆動回路）方向に階調電流を流し込む形態の回路構成を有するものであってもよい。

20

【0081】

また、上述した表示画素EMにおいては、電流制御型の発光素子として、有機EL素子を適用した構成を示したが、これに限定されるものではなく、画素駆動回路から供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する発光素子であれば、例えば、発光ダイオードやその他の発光素子を適用するものであってもよい。

【0082】

30

＜本発明における効果の検証＞

次に、本実施形態に係る表示画素（画素駆動回路）及び該表示画素を2次元配列した表示パネルを備えた画像表示装置の効果について具体的に説明する。

まず、上述した回路構成を有する画素駆動回路における容量成分（保持容量及び寄生容量）の接続状態について詳しく検討する。

【0083】

図8は、同一の素子構造を有するトランジスタを適用した画素駆動回路（比較対象）における容量成分の接続状態を示す概念図である。ここで、図8においては、図2に示した本発明に係る画素駆動回路DCと同等の回路構成において、発光駆動用のスイッチング素子であるダブルゲート型トランジスタTr13に替えて、トランジスタTr11、Tr12と同様の電界効果型のトランジスタを適用した場合の画素駆動回路DCxを示し、本発明に対する比較対象として説明する。なお、図8に示した画素駆動回路においては、図2に対応する回路構成については、同等の符号を付して説明を簡略化する。

40

【0084】

まず、発光駆動用のスイッチング素子として、図2に示した画素駆動回路DCにおけるダブルゲート型トランジスタTr13に替えて、トランジスタTr11、Tr12と同様に、周知の電界効果型のトランジスタTr23を適用した場合の回路構成を図8（a）に示す。ここで、電界効果型のトランジスタTr21～Tr23は、ゲート電極とソース電極、及び、ゲート電極とドレイン電極がいずれもゲート絶縁膜を介して対向するように形成されているため、ゲート-ソース間、及び、ゲート-ドレイン間にそれぞれ寄生容量が

50

生じる。

【0085】

そのため、図8(a)に示した回路構成を有する表示画素EMx(画素駆動回路DCx)においては、図8(b)に示すように、トランジスタTr21には、走査ラインSLに接続されたゲート電極と接点N21に接続されたソース電極との間に寄生容量Cgs1が形成され、該ゲート電極と電源電圧ラインVLに接続されたドレイン電極との間に寄生容量Cgd1が形成される。また、トランジスタTr22においては、走査ラインSLに接続されたゲート電極と接点N22に接続されたソース電極との間に寄生容量Cgs2が形成され、該ゲート電極とデータラインDLに接続されたドレイン電極との間に寄生容量Cgd2が形成される。また、トランジスタTr23においては、接点N21に接続されたゲート電極と接点N22に接続されたソース電極との間に寄生容量Cgs3が形成され、該ゲート電極と電源電圧ラインVLに接続されたドレイン電極との間に寄生容量Cgd3が形成される。
。

【0086】

また、有機EL素子OLEDは、ダイオード接合構造を有しているので、アノード電極とカソード電極との間に、接合容量に起因する寄生容量Coledが形成され、また、データラインDLと走査ラインSL間、データラインDLと電源電圧ラインVL間にも配線容量(寄生容量)Cd-s、Cd-vが形成される。また、接点N21とN22との間には、保持容量としてのキャパシタCxが接続されている。

【0087】

そして、このような各種の容量成分が表示画素EMx(画素駆動回路DCx)の駆動制御動作(上述した画素駆動回路DCと同等の駆動制御動作)に及ぼす影響は、概ね、次のように説明することができる。

上述した画素駆動回路DCの駆動制御方法として図6のタイミングチャートに示したように、図8(a)、(b)に示した表示画素EMx(画素駆動回路DCx)を選択状態から非選択状態に切り替えた場合の走査信号Vselの電圧の差Vselは、次の(1)式により表される。

【0088】

$$V_{sel} = V_{sel}(L) - V_{sel}(H) \quad \dots \quad (1)$$

ここで、Vsel(L)は選択状態解除直後(非選択状態)における走査信号Vselの電圧値であり、Vsel(H)は選択状態解除直前(選択状態)における走査信号Vselの電圧値である。

この電位変動に伴って各寄生容量、保持容量間に変位電流が流れるが、選択状態と非選択状態でキャパシタCxに蓄積された電荷が保持され、各接点N21、N22に流れ込む変位電流の和は0であることから、次の(2)、(3)式が得られる。

【0089】

【数1】

$$C_{gs2} \cdot (\Delta V_{sel} - \Delta V_{n22}) + (C_{gs3} + C_x) \cdot (\Delta V_{n21} - \Delta V_{n22}) - C_{oled} \cdot \Delta V_{n22} = 0 \quad \dots \quad (2)$$

$$C_{gs1} \cdot (\Delta V_{sel} - \Delta V_{n21}) + C_{gd3} \cdot (\Delta V_{sc} - \Delta V_{n21}) + (C_{gs3} + C_x) \cdot (\Delta V_{n22} - \Delta V_{n21}) = 0 \quad \dots \quad (3)$$

【0090】

ここで、Vn21、Vn22は各々接点N21、N22における電位変化であり、Vscは表示画素EMx(画素駆動回路DCx)を選択状態から非選択状態に切り替えた場合の電源電圧Vscの差である。なお、電位変動が瞬時にではなく緩やかに生じる場合には変位

10

20

30

40

50

電流の他に、コンダクタンスに起因する電流も流れることになるが、ここでは上記の電位変動が瞬時に生じるものとする。

次いで、上記(2)、(3)式において、接点N21、N22における電位変化 V_{n2} 1、 V_{n22} について解いて、(4)式に示すように、差分 $(V_{n21} - V_{n22}) = V_{n21} - V_{n22}$ を求める。

【0091】

【数2】

$$\Delta(V_{n21} - V_{n22}) = A / B \quad \dots \quad (4)$$

$$\left\{ \begin{array}{l} A = (C_{oled} \cdot C_{gs1} - C_{gd3} \cdot C_{gs2}) \cdot \Delta V_{sel} + (C_{gs2} + C_{oled}) \cdot C_{gd3} \cdot \Delta V_{sc} \\ B = (C_{gs2} + C_{oled}) \cdot (C_{gs1} + C_{gd3}) \\ \quad + (C_{gs2} + C_{oled} + C_{gs1} + C_{gd3}) \cdot (C_{gs3} + C_{Cx}) \end{array} \right.$$

10

【0092】

ここで、(4)式で差分 $V_{n21} - V_{n22}$ として表される電位変動は、トランジスタTr23におけるゲート電圧(ゲート-ソース間電圧)の変動 V_{gs-T3} に相当し、当該トランジスタTr23のドレイン-ソース間に流れる電流変動に対応している。

このように、表示画素EMX(画素駆動回路DCx)を選択状態と非選択状態との間で切換制御することにより、発光駆動用のスイッチング素子であるトランジスタTr23のゲート電極に印加されるゲート電圧(ゲート-ソース間電圧) V_{gs} が変化する。

20

【0093】

一方、図8(a)に示した画素駆動回路DCxにおいては、トランジスタTr23の電流路(ソース-ドレイン)が接点N22を介して有機EL素子OLEDのアノード電極に接続され、これらのトランジスタTr23と有機EL素子OLEDからなる直列回路が電源電圧ライン(電源電圧 V_{sc})と接地電位GNDとの間に接続されている。ここで、図6に示したような駆動制御動作を実行した場合、走査信号 V_{sel} の切換タイミングに同期して電源電圧 V_{sc} が変化するため、トランジスタTr23の電流路の両端(ドレイン-ソース間)に印加される電圧 V_{ds} が変化することになる。

30

【0094】

そのため、当該表示画素EMX(画素駆動回路DCx)への書き込み電流(指定電流)に対する発光駆動電流(出力電流)に差異が生じ、表示データに応じた適切な輝度階調で発光素子を発光動作させることができず、コントラストの低下等を生じて表示画質の劣化を招くという問題を有していた。

【0095】

ここで、発光駆動用のスイッチング素子であるトランジスタTr23の動作特性について詳しく検証する。

図9は、比較対象として示した画素駆動回路に適用される発光駆動用トランジスタの動作特性を示す図である。ここで、図9(a)に示した電界効果型トランジスタの断面構造においては、図3、図5に対応する構成については、同等の符号を付して示す。また、図9(b)は、表1に示したようなパラメータ(絶縁膜の比誘電率と膜厚、及び、素子寸法)を有するトランジスタを適用した場合の動作特性(電圧-電流特性)を示すものである。

40

【0096】

【表1】

<絶縁膜の比誘電率と膜厚>

| | 比誘電率 ε | 膜厚 d (nm) |
|------|--------------------|-------------|
| LYR5 | 3 | 1.0E+06 |
| LYR4 | 7.5 | 200 |
| LYR3 | 7.5 | 170 |
| LYR2 | 12 | 50 |
| LYR1 | 7.5 | 250 |

<トランジスタ素子寸法>

| | 寸法 (μm) |
|-------------------|----------------|
| ソース電極重なり長さ X_s | 2 |
| ドレイン電極重なり長さ X_d | 2 |
| チャネル長 L | 7 |
| チャネル幅 W | 600 |

10

【0097】

すなわち、図9(a)に示すような素子構造を有する電界効果型のトランジスタTr23において、表1に示すように、絶縁性基板11に形成されたゲート電極Tr23g上に形成されたゲート絶縁膜12(LYR1)は、比誘電率=7.5、膜厚d1=250nm(2500)に設定され、ゲート絶縁膜12上に形成されたアモルファスシリコンからなる半導体層SMC(LYR2)は、比誘電率=12、膜厚d2=50nm(500)に設定され、半導体層SMC上に形成されたブロック絶縁膜BL(LYR3)は、比誘電率=7.5、膜厚d3=170nm(1700)に設定され、ブロック絶縁膜BL上に形成された絶縁膜13(LYR4)は、比誘電率=7.5、膜厚d4=200nm(2000)に設定されている。

【0098】

また、電界効果型のトランジスタTr23において、図9(a)の左右方向(ソース-ドレイン間方向)におけるブロック絶縁膜BLと半導体層SMCとの重なり長さに相当するチャネル長Lは7 μm に設定され、図9(a)の紙面に垂直方向(ソース、ドレインに並行する方向)におけるブロック絶縁膜BLと半導体層SMCとの重なり長さに相当するチャネル幅Wは600 μm に設定され、図9(a)の左右方向(ソース-ドレイン間方向)におけるソース電極Tr23sとチャネル領域の重なり長さXs、及び、ドレイン電極Tr23dとチャネル領域の重なり長さXdはいずれも2 μm に設定されている。

【0099】

このようなトランジスタTr23におけるドレイン・ソース間電圧Vdsとドレイン・ソース間電流Idsの関係(電圧-電流特性)は、図9(b)中、実線で示した特性線SPx、SPyのように、ドレイン・ソース間電圧Vdsの低い領域では、ドレイン・ソース間電圧Vdsの増加に伴ってドレイン・ソース間電流Idsが急峻に増加する傾向を示し、ドレイン・ソース間電圧Vdsの高い領域では、ドレイン・ソース間電圧Vdsの増加に伴ってドレイン・ソース間電流Idsが徐々に収束する飽和傾向を示す。

【0100】

また、図9(b)中、一点鎖線で示した特性線SPwは、表示画素EMx(画素駆動回路DCx)を選択状態に設定して(つまり、トランジスタTr21をオン動作して、トランジスタTr23のゲート-ドレイン間を接続した状態に設定して)、表示データに応じた指定電流を引き抜く書込動作時におけるドレイン・ソース間電圧Vdsとドレイン・ソース間電流Idsの関係を示す特性線であり、ドレイン・ソース間電圧Vdsの増加に伴い、ドレイン・ソース間電流Idsが非線形的に増加する。

【0101】

ここで、図9(b)に示した特性線SPxは、表示画素EMx(画素駆動回路DCx)を選択状態に設定し、表示データに応じた階調電流を引き抜いて書込動作を実行する際の、トランジスタTr23の動作特性(ゲート電圧Vg=8.1Vにおけるドレイン・ソース間電圧Vdsに対するドレイン・ソース間電流Ids)を示し、特性線SPyは、表示画素EMx(画素駆動回路DCx)を非選択状態に設定した際の、トランジスタTr23の動作特性(ゲート電圧Vg=8.6Vにおけるドレイン・ソース間電圧Vdsに対するドレイン・ソース間電流Ids)を示す。

30

40

50

ン・ソース間電流 I_{ds}) を示している。

【 0 1 0 2 】

そして、表示画素 $E_M \times$ (画素駆動回路 $D_C \times$) を選択状態から非選択状態に切換制御した場合、上述したように、トランジスタ T_{r23} に印加されるゲート電圧 (ゲート - ソース間電圧) V_{gs} 、及び、トランジスタ T_{r23} の電流路の両端 (ドレイン - ソース間) に印加される電圧 V_{ds} が変化することになるため、図 9 (b) に示すように、表示画素 $E_M \times$ (画素駆動回路 $D_C \times$) への書き込み電流 (階調電流) として、例えば $3 \mu A$ ($3.0E-06 A$) の電流値を指定した場合 (図中、特性線 SP_x 上に白丸で表記) であっても、表 1 に示したパラメータを有するトランジスタ T_{r23} においては、上記ゲート電圧 V_g に $0.5 V$ の電圧変化 ($8.6 - 8.1 V$) が発生する。

10

【 0 1 0 3 】

これにより、トランジスタ T_{r23} の動作特性が変化して (特性線 $SP_x - SP_y$) 、 $5.1 \mu A$ の電流値 (図中、特性線 SP_y 上に黒丸で表記) を有する発光駆動電流 (出力電流) が有機 EL 素子 OLE D に供給されることになり、書き込み電流に対する発光駆動電流に差異が生じて、表示データに応じた適切な輝度階調で発光素子を発光動作させることができなかった。

【 0 1 0 4 】

そこで、本発明においては、図 2 ~ 図 5 に示したように、発光駆動用のスイッチング素子としてダブルゲート型トランジスタ T_{r13} を適用し、半導体層 SMC の上方及び下方に設けられた一対のゲート電極 (ツップゲート電極、ボトムゲート電極) のうち、いずれか一方に選択制御に基づく制御電圧 (ゲート電圧) を印加し、また、他方のゲート電極を有機 EL 素子 OLE D に接続された接点 $N12$ 又は該ダブルゲート型トランジスタ T_{r13} のソース電極に接続した回路構成を有していることにより、表示画素 E_M (画素駆動回路 D_C) の駆動制御動作に起因する電圧変化が、ダブルゲート型トランジスタ T_{r13} のゲート電圧に及ぼす影響を抑制するようにしている。

20

【 0 1 0 5 】

図 10 は、本実施形態に係る画素駆動回路に適用される発光駆動用トランジスタの動作特性を示す図である。ここで、図 10 (a) に示した電界効果型トランジスタの断面構造においては、図 3 、図 5 に対応する構成については、同等の符号を付して示す。また、図 10 (b) は、表 2 に示したようなパラメータ (絶縁膜の比誘電率と膜厚、及び、素子寸法) を有するトランジスタを適用した場合の動作特性 (電圧 - 電流特性) を示すものである。

30

【 0 1 0 6 】

【 表 2 】

＜絶縁膜の比誘電率と膜厚＞

| | 比誘電率 ϵ | 膜厚 d (nm) |
|------|-----------------|-------------|
| LYR5 | 7.5 | 1.0E-13 |
| LYR4 | 7.5 | 200 |
| LYR3 | 7.5 | 170 |
| LYR2 | 12 | 50 |
| LYR1 | 7.5 | 250 |

＜トランジスタ素子寸法＞

| | 寸法 (μm) |
|-------------------|----------------|
| ソース電極重なり長さ X_s | 2 |
| ドレイン電極重なり長さ X_d | 2 |
| チャネル長 L | 7 |
| チャネル幅 W | 600 |

40

【 0 1 0 7 】

すなわち、図 10 (a) に示すような素子構造を有するダブルゲート型トランジスタ T_{r13} において、表 2 に示すように、絶縁性基板 11 に形成されたボトムゲート電極 T_{r13bg} 上に形成されたゲート絶縁膜 (ボトムゲート絶縁膜) 12 (LYR1) は、比誘電率 $= 7.5$ 、膜厚 $d_1 = 250 nm$ (2500) に設定され、ゲート絶縁膜 12 上に形成されたアモルファスシリコンからなる半導体層 SMC (LYR2) は、比誘電率 $= 12$ 、膜厚 $d_2 = 50 nm$ (500) に設定され、半導体層 SMC 上に形成されたブ

50

ロック絶縁膜 B L (L Y R 3) は、比誘電率 = 7.5、膜厚 d 3 = 170 nm (1700) に設定され、プロック絶縁膜 B L 上に形成された絶縁膜 1 3 (L Y R 4) は、比誘電率 = 7.5、膜厚 d 4 = 200 nm (2000) に設定されている。

【 0108 】

なお、ダブルゲート型トランジスタ T r 1 3 におけるチャネル長 L 、チャネル幅 W 、及び、ソース電極 T r 1 3 s とチャネル領域の重なり長さ X s 、及び、ドレイン電極 T r 1 3 d とチャネル領域の重なり長さ X d は、表 2 に示すように、上述した比較対象となるトランジスタ T r 2 3 と同一の寸法 (表 1 参照) になるように設定されている。

【 0109 】

このようなダブルゲート型トランジスタ T r 1 3 におけるドレイン・ソース間電圧 V ds 10 とドレイン・ソース間電流 I ds の関係 (電圧 - 電流特性) は、上述した比較対象における場合と同様に、図 10 (b) 中、実線で示した特性線 S P a 、 S P b のように、ドレイン・ソース間電圧 V ds の低い領域では、ドレイン・ソース間電圧 V ds の増加に伴ってドレイン・ソース間電流 I ds が急峻に増加する傾向を示し、ドレイン・ソース間電圧 V ds の高い領域では、ドレイン・ソース間電圧 V ds の増加に伴ってドレイン・ソース間電流 I ds が徐々に収束する飽和傾向を示す。特に、飽和領域においては、図 9 (b) に示した比較対象における場合に比較して、ドレイン・ソース間電圧 V ds に対するドレイン・ソース間電流 I ds の増加量が小さく抑制される。

【 0110 】

ここで、図 10 (b) に示した特性線 S P a は、表示画素 E M (画素駆動回路 D C) を選択状態に設定し、表示データに応じた階調電流を引き抜いて書き動作を実行する際の、ダブルゲート型トランジスタ T r 1 3 の動作特性 (ゲート電圧 V g = 8.3 V におけるドレイン・ソース間電圧 V ds に対するドレイン・ソース間電流 I ds) を示し、特性線 S P b は、表示画素 E M (画素駆動回路 D C) を非選択状態に設定した際の、トランジスタ T r 2 3 の動作特性 (ゲート電圧 V g = 8.8 V におけるドレイン・ソース間電圧 V ds に対するドレイン・ソース間電流 I ds) を示している。

【 0111 】

そして、表示画素 E M (画素駆動回路 D C) を選択状態から非選択状態に切換制御した場合、上述したように、ダブルゲート型トランジスタ T r 1 3 に印加されるゲート電圧 (ゲート - ソース間電圧) V gs 、及び、トランジスタ T r 1 3 の電流路の両端 (ドレイン - ソース間) に印加される電圧 V ds が変化することになるが、図 10 (b) に示すように、表示画素 E M (画素駆動回路 D C) への書き電流 (階調電流) として、例えば 3 μ A (3.0 E - 0 6 A) の電流値を指定した場合 (図中、特性線 S P a 上に白丸で表記) 、表 2 に示したパラメータを有するダブルゲート型トランジスタ T r 1 3 を発光駆動用トランジスタに適用した場合においては、上記ゲート電圧 V g に 0.5 V の電圧変化 (8.8 - 8.3 V) が発生して、ダブルゲート型トランジスタ T r 1 3 における動作特性が変化 (特性線 S P a 、 S P b) するものの、4.7 μ A の電流値 (図中、特性線 S P b 上に黒丸で表記) を有する発光駆動電流が有機 E L 素子 O L E D に供給されて、上述した比較対象よりも小さく抑制される。

【 0112 】

すなわち、発光駆動用のスイッチング手段として、トップゲート電極がソース電極に接続されたダブルゲート型トランジスタを用いた場合、電界効果型トランジスタを用いた場合 (比較対象) に比較して、書き電流に対する発光駆動電流の差異が小さく抑制されるので、表示データに比較的対応した輝度階調で発光素子を発光動作させることができる。このようなダブルゲート型トランジスタ特有の効果は、次のように説明することができる。

【 0113 】

図 11 は、本実施形態に係る画素駆動回路に適用されるダブルゲート型トランジスタにおける素子構造とチャネル電位との関係を説明するための図である。ここで、図 11 (a) においては、図示の都合上、断面図のハッチングの一部を省略して示す。

すなわち、例えば図 11 (a) に示すような薄膜トランジスタ構造 (すなわち、ダブル

10

20

30

40

50

ゲート型トランジスタTr13のトップゲート電極Tr13tgを取り除いた素子構造、もしくは、ダブルゲート型トランジスタTr13において、トップゲート端子Tr13tgに独立したゲート電圧を印加していない状態)において、ソース電極Tr13s及びドレイン電極Tr13dが半導体層SMC上のブロック絶縁膜BL上に延在することにより、擬似的なトップゲート電極としての役割を果たすことに起因するものと説明することができる。

【0114】

具体的には、図11(a)に示した素子構造を有するトランジスタにおいては、半導体層SMC上にブロック絶縁膜BLを介してソース電極Tr13s及びドレイン電極Tr13dが重なっている領域では、これら電極に印加された電圧により半導体層SMCにチャネル領域が形成され、ソース電極Tr13s及びドレイン電極Tr13dが形成されていない領域に形成される本来のチャネル領域(すなわち、トップゲート電極Tr13tgに印加されたゲート電圧により半導体層SMCに形成されるチャネル領域)に加え、ソース電極Tr13s及びドレイン電極Tr13dに対応する領域にもチャネル領域が形成されることにより、ソース電極Tr13sからドレイン電極Tr13dに至る領域の半導体層SMCにチャネル領域Rchが形成される。このとき、チャネル領域Rchには、ソース-ドレイン間に印加されるバイアス電圧(ソース電圧及びドレイン電圧)に応じた電位変化が生じる。

【0115】

図11(b)に示すように、ソース-ドレイン間に所定のバイアス電圧が印加され、ソース電極Tr13sに低電位電圧Vsl(例えば0V)が、また、ドレイン電極Tr13dに高電位電圧Vdhが印加されると、低電位電圧Vslが印加されるソース電極Tr13s側(ソース電極Tr13sとブロック絶縁膜BLが重なる領域)ではチャネル電位を下げる方向(負の方向)、すなわち電圧Vslに収束(近似)する方向に作用して、オン電流(ドレイン・ソース間電流Ids)が抑制され、一方、高電位電圧Vdhが印加されるドレイン電極Tr13d側(ドレイン電極Tr13dとブロック絶縁膜BLが重なる領域)ではチャネル電位を上げる方向(正の方向)、すなわち電圧Vdhに収束(近似)する方向に作用して、オン電流が増大する。なお、図11(b)において、細い実線で示した特性線SPVは、チャネル領域における(チャネル位置に対する)電位変化の理想値を示す。

【0116】

これに対し、上述したダブルゲート型トランジスタTr13においては、トップゲート電極Tr13tgがソース電極Tr13sに接続された構成を有している。これにより、図11(b)に示した、ソース電極Tr13s側での、チャネル電位を下げる方向でオン電流を抑制する効果がトップゲート電極Tr13tgによって更に助長され、ドレイン・ソース間電圧Vdsに対するドレイン-ソース間電流Idsの増加量が抑制される。

【0117】

このことから、画素駆動回路DCの発光駆動用のスイッチング素子として、図3、図5に示したようなダブルゲート型トランジスタを適用し、かつ、当該ダブルゲート型トランジスタのトップゲート電極にソース電極と同一の電位を印加することにより、電圧-電流特性の飽和領域におけるドレイン・ソース間電圧Vdsに対するドレイン-ソース間電流(出力電流)Idsの増加量を抑制することができるとともに、ゲート-ソース間電圧(ゲート電圧)Vgsの変化に対するドレイン-ソース間電流Idsの増加量を抑制することができる。

【0118】

したがって、表示画素EM(画素駆動回路DC)の駆動制御動作において、選択状態から非選択状態へ切換制御する際に、発光駆動用のスイッチング素子であるダブルゲート型トランジスタのゲート電極に印加される電圧が変化した場合であっても、発光駆動用のスイッチング素子として周知の電界効果型トランジスタを適用した場合(上述した比較対象)に比較して、上記電圧変化が同じであっても書き電流(指定電流)に対する発光駆動電流(出力電流)の差異が低減されるので、表示データに比較的対応した輝度階調で発光素

10

20

30

40

50

子を発光動作させることができる。

【0119】

また、この場合、図5に示したように、発光駆動用のスイッチング素子となるダブルゲート型トランジスタTr13のトップゲート電極Tr13tgとして、ソース電極Tr13sに電気的に接続された画素電極(有機EL素子OLEDのアノード電極)14をダブルゲート型トランジスタTr13の半導体層SMC上にまで延在させて、当該画素電極14と一体的に形成することができるので、画素電極14のパターニング用のマスクを変更するのみで、新たな工程を付加することなく、従来技術の製造プロセスをそのまま適用して簡易に形成することができる。

【0120】

なお、上述した実施形態においては、画素駆動回路に発光駆動用のスイッチング素子として設けられたダブルゲート型トランジスタの、トップゲート電極とソース電極を電気的に接続した回路構成及び素子構造を示したが、本発明はこれに限定されるものではなく、ダブルゲート型トランジスタを構成する半導体層のチャネル極性に応じて、トップゲート電極とドレイン電極を接続するものであってもよい。

【0121】

また、上記ダブルゲート型トランジスタのトップゲート電極と一体的に形成される画素電極について、表示パネル(表示画素)の発光構造に応じて、トップゲート電極(画素電極)を光反射特性(すなわち、光遮断特性)を有する電極材料により形成することができることを説明したが、この場合、ダブルゲート型トランジスタのチャネル領域(半導体層)が遮光されるので、外光の入射に起因する光誘起リーク電流を低減することができるとともに、外部電界の影響(例えば近接する電極や配線による影響)を遮蔽(シールド)することができる。

【0122】

また、上述した実施形態においては、画素駆動回路に発光駆動用のスイッチング素子にのみダブルゲート型トランジスタを適用した回路構成及び素子構造を示したが、本発明はこれに限定されるものではなく、画素駆動回路を構成する他のトランジスタ(すなわちトランジスタTr11、Tr12)としてダブルゲート型トランジスタを適用するものであってもよい。この場合、トランジスタTr11、Tr12に適用されるダブルゲート型トランジスタのトップゲート電極を不透明な電極材料を用いて形成することにより、外光のチャネル領域への入射が遮光され、光誘起リーク電流の低減や、外部電界の影響を遮蔽することができる。

【図面の簡単な説明】

【0123】

【図1】本発明に係る画像表示装置の一実施形態を示す概略ブロック図である。

【図2】本実施形態に係る表示装置に適用可能な表示画素(画素駆動回路)の具体回路例を示す回路構成図である。

【図3】本実施形態に係る画素駆動回路に適用可能なダブルゲート型トランジスタの素子構造の例を示す断面構成図である。

【図4】本実施形態に係る表示装置(表示パネル)に適用可能な表示画素の一例を示す平面レイアウト図である。

【図5】図4に示した平面レイアウトを有する表示画素におけるA-A断面を示す概略断面図である。

【図6】本実施形態に係る画素駆動回路を適用した表示画素の基本動作を示すタイミングチャートである。

【図7】本実施形態に係る画素駆動回路の動作状態を示す概念図である。

【図8】同一の素子構造を有するトランジスタを適用した画素駆動回路(比較対象)における容量成分の接続状態を示す概念図である。

【図9】比較対象として示した画素駆動回路に適用される発光駆動用トランジスタの動作特性を示す図である。

10

20

30

40

50

【図10】本実施形態に係る画素駆動回路に適用される発光駆動用トランジスタの動作特性を示す図である。

【図11】本実施形態に係る画素駆動回路に適用されるダブルゲート型トランジスタにおける素子構造とチャネル電位との関係を説明するための図である。

【図12】従来技術における発光素子型ディスプレイの要部を示す概略構成図である。

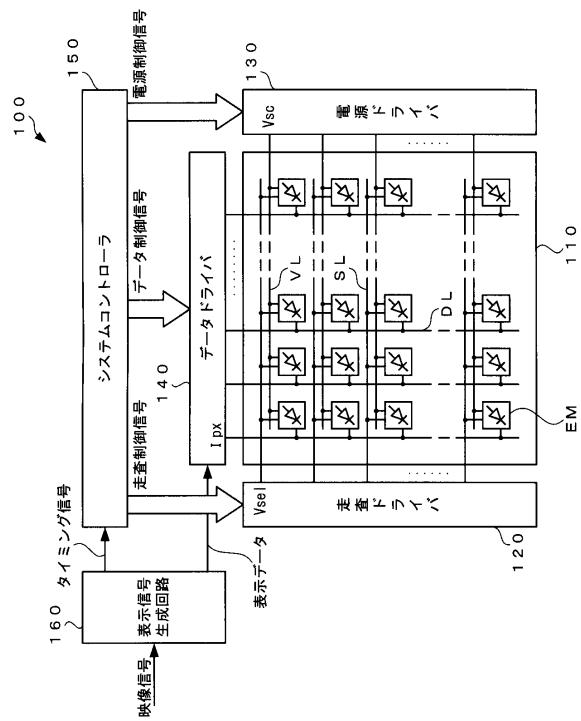
【図13】従来技術における発光素子型ディスプレイに適用可能な表示画素（画素駆動回路及び発光素子）の構成例を示す等価回路図である。

【符号の説明】

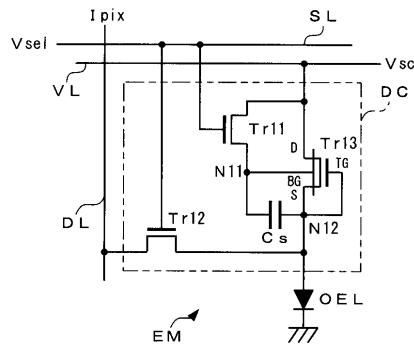
【0124】

| | | |
|-----------------|---------------|----|
| 1 0 0 | 画像表示装置 | 10 |
| 1 1 0 | 表示パネル | |
| 1 2 0 | 走査ドライバ | |
| 1 3 0 | 電源ドライバ | |
| 1 4 0 | データドライバ | |
| E M | 表示画素 | |
| D C | 画素駆動回路 | |
| O L E D | 有機EL素子 | |
| S L | 走査ライン | |
| V L | 電源電圧ライン | |
| D L | データライン | 20 |
| T r 1 1、T r 1 2 | 電界効果型のトランジスタ | |
| T r 1 3 | ダブルゲート型トランジスタ | |
| T r 1 3 t g | トップゲート電極 | |
| T r 1 3 b g | ボトムゲート電極 | |
| 1 4 | 画素電極（アノード電極） | |
| 1 7 | 対向電極（カソード電極） | |

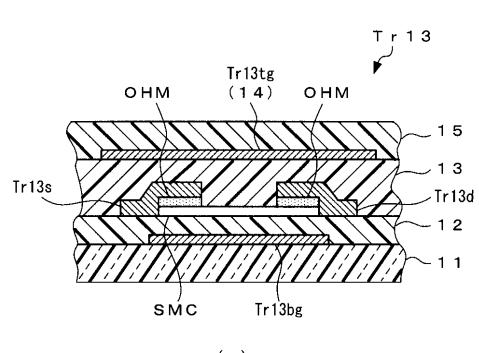
【 図 1 】



【 図 2 】

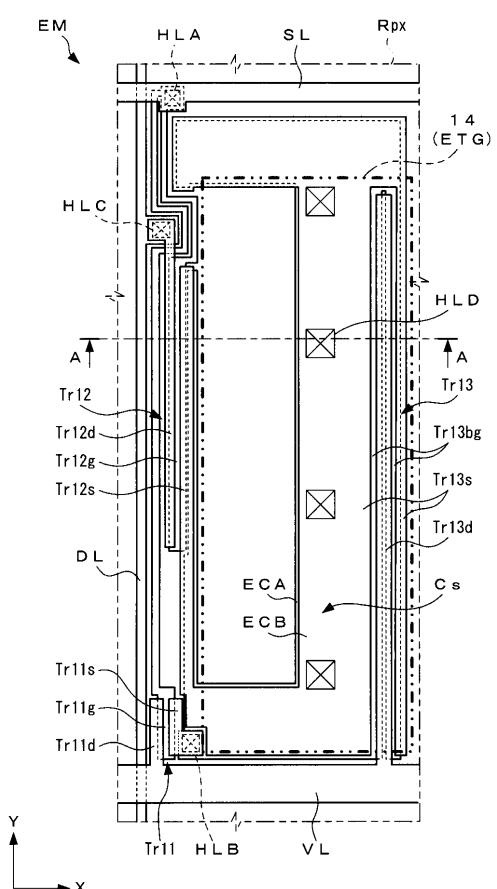


〔 3 〕

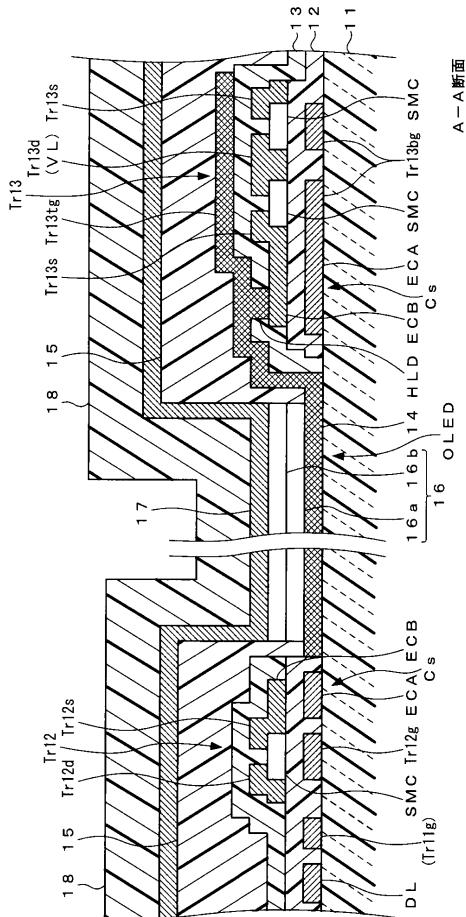


The diagram shows a cross-section of a magnetic core structure. It consists of a central vertical column with a rectangular cross-section. This central column is surrounded by two horizontal layers of material, each with a rectangular cross-section. The top horizontal layer is labeled 'Tr13s' on the left and 'Tr13d' on the right. The bottom horizontal layer is labeled 'Tr13bg' at its center. The central vertical column is labeled 'S M C' at its bottom. On the left side, there are two diagonal lines labeled 'O H M'. On the right side, there are two diagonal lines labeled 'O H M'. Above the top horizontal layer, there are two diagonal lines labeled 'B L'. Above the top horizontal layer, there is a label 'Tr13tg (14)' positioned above the 'O H M' lines. At the very top of the diagram, there is a label 'T r 1 3' with a curved arrow pointing towards the top right. At the bottom of the diagram, there is a label '(b)'.

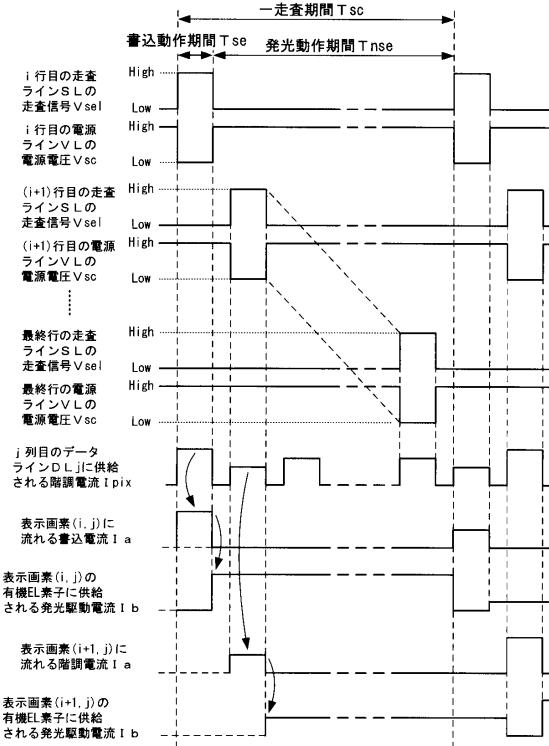
(4)



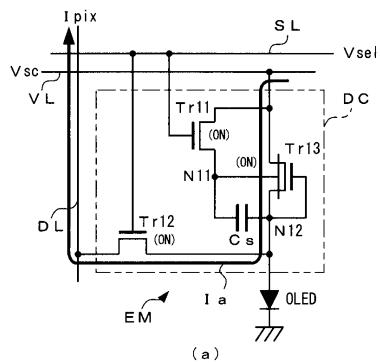
【図5】



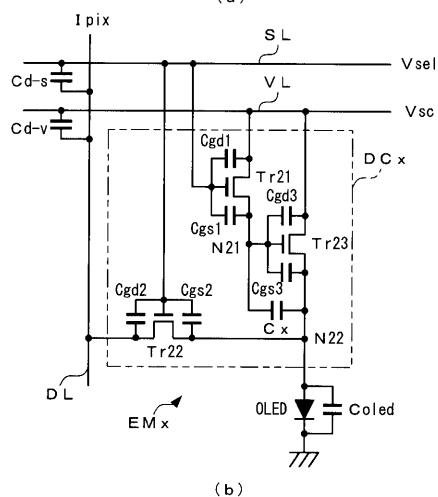
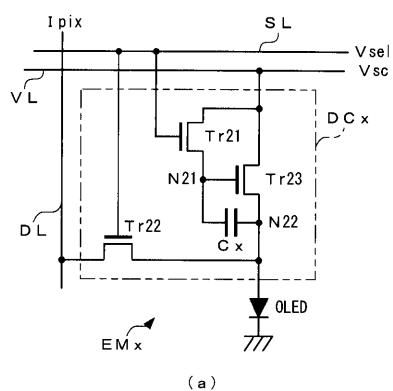
【 図 6 】



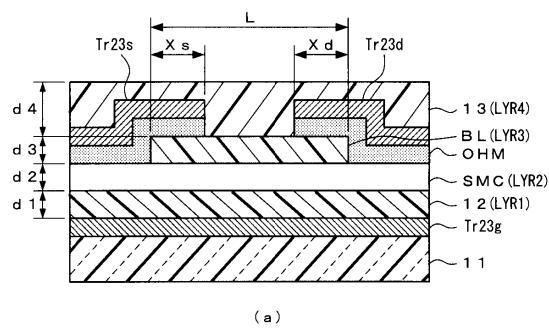
【図7】



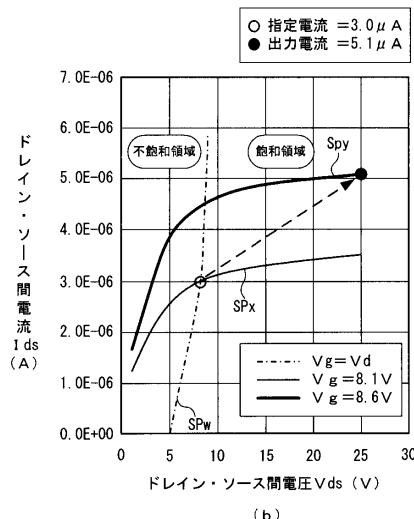
【図8】



【図9】

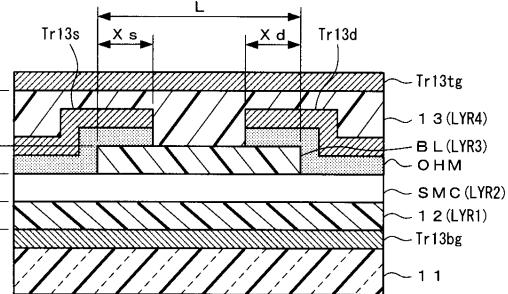


(a)

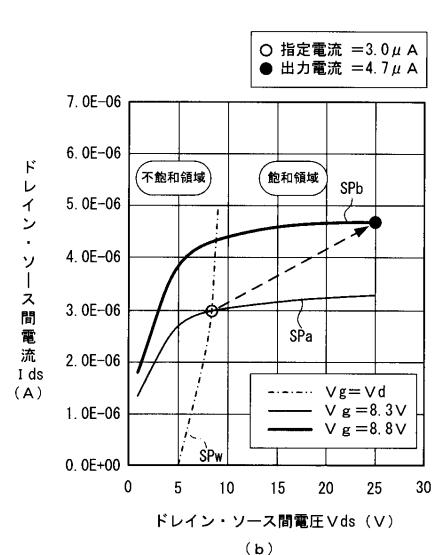


(b)

【図10】

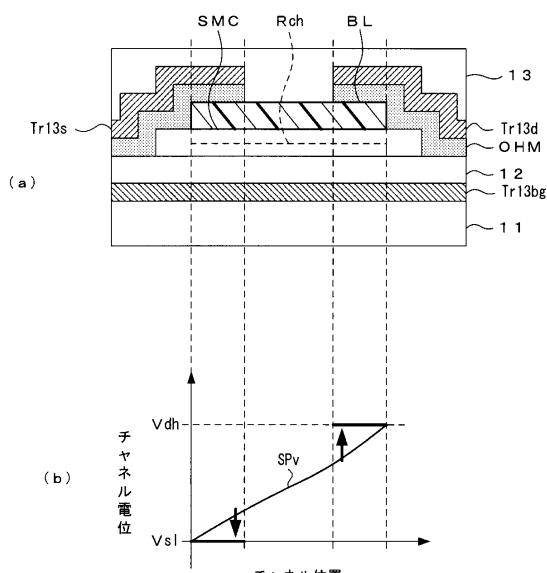


(a)



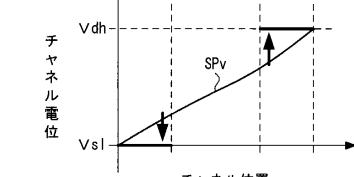
(b)

【図11】

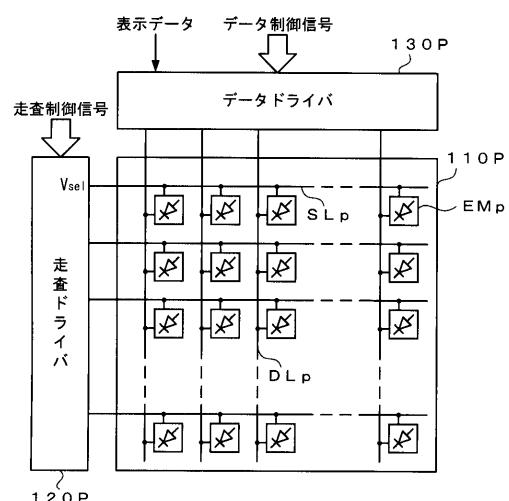


(a)

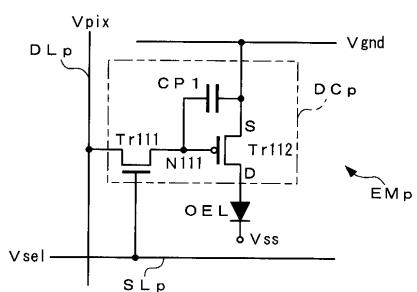
(b)



【図12】



【図13】



フロントページの続き

(51)Int.Cl.

F I

H 01 L 29/78 614
H 01 L 29/78 617N

(56)参考文献 特開平10-319907 (JP, A)

特開平05-343689 (JP, A)

特開2003-195810 (JP, A)

特開2006-091089 (JP, A)

特開平08-023100 (JP, A)

特表2004-531751 (JP, A)

特開2007-183631 (JP, A)

特開2005-215609 (JP, A)

特開2005-004183 (JP, A)

特開2008-070850 (JP, A)

特開2003-224437 (JP, A)

特開2003-216102 (JP, A)

特開2003-140570 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 00 - 3 / 38

G 09 F 9 / 30 - 9 / 46

H 01 L 29 / 786

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 像素驱动电路和图像显示装置 | | |
| 公开(公告)号 | JP4748456B2 | 公开(公告)日 | 2011-08-17 |
| 申请号 | JP2006260632 | 申请日 | 2006-09-26 |
| [标]申请(专利权)人(译) | 卡西欧计算机株式会社 | | |
| 申请(专利权)人(译) | 卡西欧计算机有限公司 | | |
| 当前申请(专利权)人(译) | 卡西欧计算机有限公司 | | |
| [标]发明人 | 武居学 | | |
| 发明人 | 武居 学 | | |
| IPC分类号 | G09G3/30 G09G3/20 H01L51/50 H01L21/336 H01L29/786 | | |
| FI分类号 | G09G3/30.J G09G3/20.624.B G09G3/20.641.D H05B33/14.A H01L29/78.612.Z H01L29/78.614 H01L29/78.617.N G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 | | |
| F-TERM分类号 | 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC32 3K107/CC33 3K107/EE03 3K107/HH00 3K107/IH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB22 5C380/AB31 5C380/BA36 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD05 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CB31 5C380/CC13 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC52 5C380/CC62 5C380/CD012 5C380/CD013 5C380/CD043 5C380/DA02 5C380/DA06 5C380/HA05 5C380/HA06 5C380/HA13 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE30 5F110/FF05 5F110/FF09 5F110/GG02 5F110/GG06 5F110/GG13 5F110/GG15 5F110/GG25 5F110/GG28 5F110/GG29 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/NN03 5F110/NN14 5F110/NN16 5F110/NN28 5F110/NN71 5F110/NN73 | | |
| 其他公开文献 | JP2008083171A | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供一种像素驱动电路和图像显示装置，其能够通过抑制写入电流（指定电流）和发光驱动电流（输出）之间的差异来驱动与显示数据匹配的亮度的发光元件。当驱动显示像素（像素驱动电路）时由电压变化引起的电流）。 Σ SOLUTION：在像素驱动电路DC中，用作发光驱动开关的双栅极晶体管Tr13和有机EL元件OLED串联连接。在双栅极晶体管Tr13中，其底部栅极端子BG连接到触点N11以将控制电压，其漏极端子D施加到电源电压线VL，并将其顶部栅极端子TG和源极端子S一起施加到触点N12连接到有机EL元件OLED的阳极端子。 \checkmark

| | 比誘電率 ϵ | 膜厚 d (nm) |
|------|-----------------|-----------|
| LYR5 | 3 | 1.0E+06 |
| LYR4 | 7.5 | 200 |
| LYR3 | 7.5 | 170 |
| LYR2 | 12 | 50 |
| LYR1 | 7.5 | 250 |