

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4637070号  
(P4637070)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

(51) Int.Cl.

F 1

**G09G 3/30 (2006.01)**  
**H01L 51/50 (2006.01)**  
**G09G 3/20 (2006.01)**

GO9G 3/30 J  
 HO5B 33/14 A  
 GO9G 3/30 K  
 GO9G 3/20 642A  
 GO9G 3/20 624B

請求項の数 12 (全 16 頁) 最終頁に続く

(21) 出願番号

特願2006-248924 (P2006-248924)

(22) 出願日

平成18年9月14日 (2006.9.14)

(65) 公開番号

特開2007-79580 (P2007-79580A)

(43) 公開日

平成19年3月29日 (2007.3.29)

審査請求日

平成18年9月14日 (2006.9.14)

(31) 優先権主張番号

10-2005-0086370

(32) 優先日

平成17年9月15日 (2005.9.15)

(33) 優先権主張国

韓国 (KR)

(73) 特許権者 308040351

三星モバイルディスプレイ株式會社  
大韓民国京畿道龍仁市器興区農書洞山24

(74) 代理人 100083806

弁理士 三好 秀和

(72) 発明者 金 陽 完

大韓民国京畿道水原市靈通区▲辛▼洞57  
5番地 三星エスディアイ株式会社内

審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】有機電界発光表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

多数のスキャンラインと多数のデータラインとが交差する領域に形成される多数の画素を有し、所定の映像をディスプレイするための表示パネルと、

前記多数のスキャンラインにスキャン信号を供給し、前記多数の画素を選択するためのスキャンドライバと、

前記多数のデータラインにデータ電圧を順次に供給するための多数のデマルチプレクサと、

前記各々のデマルチプレクサに連結した多数の出力ラインに前記データ電圧を供給するためのデータドライバと、

前記多数のデータラインのそれぞれに設置されて前記データ電圧を格納するデータラインキャパシタとを備え、

前記各々の画素は、

前記スキャン信号に応答して前記データラインキャパシタに格納した電荷を再分配して前記データ電圧を格納するストレージキャパシタと、

前記データ電圧が第1の電極に印加され、前記ストレージキャパシタの一端にゲート電極が連結され、駆動電流を発生するための駆動トランジスタと、

前記ストレージキャパシタ及び前記駆動トランジスタのゲート電極と前記スキャンラインとの間に連結され、前記データラインキャパシタと前記ストレージキャパシタとの間の電荷再分配による前記駆動トランジスタのゲート電圧の低下を補正するために、前記ス

10

20

ヤン信号のレベル状態の変化によって前記駆動トランジスタのゲート電圧を増加させる補正電圧を生成する補助キャパシタとを備えることを特徴とする有機電界発光表示装置。

**【請求項 2】**

前記ストレージキャパシタのキャパシタンスは、前記補助キャパシタのキャパシタンスより大きいことを特徴とする請求項 1 に記載の有機電界発光表示装置。

**【請求項 3】**

前記補助キャパシタによって生成される補正電圧は、次の式で表されることを特徴とする請求項 2 に記載の有機電界発光表示装置。

[式 1]

$$V_x = C_{aux} * (V_{VDD} - V_{VSS}) / (C_{st} + C_{aux})$$

ここで、 $V_x$  は、補正電圧、 $C_{aux}$  は、補助キャパシタ、 $C_{st}$  は、ストレージキャパシタ、 $V_{VDD}$  は、ハイレベルのスキャン信号、 $V_{VSS}$  は、ロウレベルのスキャン信号である。

**【請求項 4】**

前記各々の画素は、

前記ストレージキャパシタの一端と初期化電源ラインとの間に連結され、 $n - 1$  番目のスキャン信号によりオンとなり、前記ストレージキャパシタを初期化させるための初期化トランジスタと、

前記データラインに連結され、 $n$  番目のスキャン信号によりオンとなり、前記データ電圧を前記駆動トランジスタの第 1 の電極に伝達するための第 1 のスイッチングトランジスタと、

前記駆動トランジスタのゲート電極と第 2 の電極との間に連結され、前記  $n$  番目のスキャン信号によりオンとなり、前記駆動トランジスタをダイオード連結させて前記駆動トランジスタのしきい値電圧を補償するためのしきい値電圧補償トランジスタと、

第 1 の電源電圧ラインと前記駆動トランジスタの第 2 の電極との間に連結され、 $n$  番目の発光制御信号によりオンとなり、前記第 1 の電源電圧を前記駆動トランジスタの第 2 の電極に供給するための第 2 のスイッチングトランジスタと、

前記駆動トランジスタの第 1 の電極と第 2 の電源電圧ラインとの間に連結され、前記駆動電流の量によって所定の光を発光する有機発光素子とをさらに備えることを特徴とする請求項 3 に記載の有機電界発光表示装置。

**【請求項 5】**

前記各々の画素は、

前記駆動トランジスタと前記有機発光素子との間に連結され、前記  $n$  番目の発光制御信号によってオン / オフとなり、前記駆動電流を前記有機発光素子に供給したり遮断するための発光制御トランジスタをさらに備えることを特徴とする請求項 4 に記載の有機電界発光表示装置。

**【請求項 6】**

前記各々の画素内に形成されるトランジスタは、同じ導電型 (N 型または P 型) の MOSFET (Metal Oxide Semiconductor Field Effect Transistor) であることを特徴とする請求項 5 に記載の有機電界発光表示装置。

**【請求項 7】**

多数のデータラインと多数のスキャンライン及び多数の発光制御ラインが交差する領域に形成される多数の画素を有する有機電界発光表示装置において、

データドライバから供給されたデータ電圧を前記多数のデータラインに順次に供給するための多数のデマルチプレクサと、前記多数のデータラインのそれぞれに設置されて前記データ電圧を格納するデータラインキャパシタとを備え、

前記各々の画素は、

前記スキャンラインのスキャン信号に応答して前記データラインキャパシタに格納した電荷を再分配して前記データ電圧を格納するストレージキャパシタと、前記データ電圧が

10

20

30

40

50

第1の電極に印加され、前記ストレージキャパシタの一端にゲート電極が連結され、駆動電流を発生するための駆動トランジスタと、前記ストレージキャパシタ及び前記駆動トランジスタのゲート電極と前記スキャンラインとの間に連結され、前記データラインキャパシタと前記ストレージキャパシタとの間の電荷再分配による前記駆動トランジスタのゲート電圧の低下を補正するために、前記スキャン信号のレベル状態の変化によって前記駆動トランジスタのゲート電圧を増加させる補正電圧を生成する補助キャパシタとを含み、所定の駆動電流を出力する画素駆動回路と、

前記画素駆動回路に連結され、前記駆動電流の量によって所定の光を発光する有機発光素子とを備えることを特徴とする有機電界発光表示装置。

【請求項8】

10

前記ストレージキャパシタのキャパシタンスは、前記補助キャパシタのキャパシタンスより大きいことを特徴とする請求項7に記載の有機電界発光表示装置。

【請求項9】

前記補助キャパシタによって生成される補正電圧は、次の式で表されることを特徴とする請求項8に記載の有機電界発光表示装置。

[式2]

$$V_x = C_{aux} * (V_{VDD} - V_{VSS}) / (C_{st} + C_{aux})$$

ここで、 $V_x$ は、補正電圧、 $C_{aux}$ は、補助キャパシタ、 $C_{st}$ は、ストレージキャパシタ、 $V_{VDD}$ は、ハイレベルのスキャン信号、 $V_{VSS}$ は、ロウレベルのスキャン信号である。

20

【請求項10】

前記画素駆動回路は、

前記ストレージキャパシタの一端と初期化電源ラインとの間に連結され、 $n - 1$ 番目のスキャン信号によりオンとなり、前記ストレージキャパシタを初期化させるための初期化トランジスタと、

前記データラインに連結され、 $n$ 番目のスキャン信号によりオンとなり、前記データ電圧を前記駆動トランジスタの第1の電極に伝達するための第1のスイッチングトランジスタと、

前記駆動トランジスタのゲート電極と第2の電極との間に連結され、前記 $n$ 番目のスキャン信号によりオンとなり、前記駆動トランジスタをダイオード連結させて前記駆動トランジスタのしきい値電圧を補償するためのしきい値電圧補償トランジスタと、

30

第1の電源電圧ラインと前記駆動トランジスタの第2の電極との間に連結され、 $n$ 番目の発光制御信号によりオンとなり、前記第1の電源電圧を前記駆動トランジスタの第2の電極に供給するための第2のスイッチングトランジスタとをさらに備えることを特徴とする請求項9に記載の有機電界発光表示装置。

【請求項11】

前記画素駆動回路は、

前記駆動トランジスタと前記有機発光素子との間に連結され、前記 $n$ 番目の発光制御信号によってオン／オフとなり、前記駆動電流を前記有機発光素子に供給したり遮断するための発光制御トランジスタをさらに備えることを特徴とする請求項10に記載の有機電界発光表示装置。

40

【請求項12】

前記画素駆動回路内に形成されるトランジスタは、同じ導電型（N型またはP型）のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）であることを特徴とする請求項11に記載の有機電界発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機電界発光表示装置に関し、より具体的には、デマルチプレクサを用いてデータドライバの出力ラインの数を減少させ、均一な輝度の映像を表示できる有機電界発

50

光表示装置に関する。

**【背景技術】**

**【0002】**

最近、陰極線管（Cathode Ray Tube）の短所である重さと体積を低減できる各種平板表示装置が開発されている。平板表示装置（Flat Panel Display：F P D）には、液晶表示装置（Liquid Crystal Display：L C D）、電界放出表示装置（Field Emission Display：F E D）、プラズマ表示パネル（Plasma Display Panel：P D P）及び有機電界発光表示装置（Organic Electro-luminescent Display：O E L D）などが挙げられる。

**【0003】**

前記平板表示装置のうち有機電界発光表示装置に含まれた有機発光素子（Organic Light Emitting Diode：O L E D）は、カソードから供給される電子とアノードから供給される正孔との再結合により光を発生する自発光素子である。このような有機電界発光表示装置は、高速の応答速度（通常、 $1 \mu s$ ）を有すると共に、低消費電力で駆動されるという長所がある。一般的な有機電界発光表示装置は、各画素毎に形成される駆動薄膜トランジスタ（Thin Film Transistor：T F T）を用いてデータ信号に相当する駆動電流を有機発光素子（O L E D）に供給することによって、有機発光素子（O L E D）から光が発光し、所定の映像をディスプレイするようになる。

**【0004】**

図1は、従来の有機電界発光表示装置を示すブロック図である。

**【0005】**

図1を参照すれば、一般的な有機電界発光表示装置は、表示パネル10、スキャンドライバ20、データドライバ30及びタイミング制御部40を備える。

**【0006】**

表示パネル10は、多数のスキャンラインS1-Sn及び発光制御ラインE1-Enと多数のデータラインD1-Dmとが交差する領域に形成された多数の画素P11-Pnmを含む。前記各々の画素P11-Pnmは、外部から第1の電源Vdd及び第2の電源Vssを供給され、多数のデータラインD1-Dmから伝達されるデータ信号に相当する光を発光して画像を表示する。そして、画素P11-Pnmは、発光制御ラインE1-Enを介して伝達される発光制御信号に対応して発光時間が制御される。

**【0007】**

スキャンドライバ20は、タイミング制御部40からのスキャン制御信号Sgに応答してスキャン信号を生成し、生成されたスキャン信号を前記多数のスキャンラインS1-Snに順次に供給し、前記画素P11-Pnmを選択する。また、スキャンドライバ20は、スキャン制御信号Sgに応答して発光制御信号を生成し、生成された発光制御信号を前記多数の発光制御ラインE1-Enに順次に供給して発光を制御する。

**【0008】**

データドライバ30は、タイミング制御部40からR、G、Bデータを供給され、データ制御信号Sdに応答してデータ信号を生成し、生成されたデータ信号を前記多数のデータラインD1-Dmに供給する。この時、データドライバ30は、1水平期間毎に1水平ライン分ずつのデータ信号をデータラインD1-Dmに供給する。

**【0009】**

タイミング制御部40は、外部グラフィック制御機（図示せず）から供給される映像データと、水平同期信号Hsync及び垂直同期信号Vsyncに相当するデータ制御信号Sd及びスキャン制御信号Sgを生成する。タイミング制御部40で生成されたデータ制御信号Sdは、データドライバ30に供給され、スキャン制御信号Sgは、スキャンドライバ20に供給される。

**【0010】**

このように構成される従来の有機電界発光表示装置の各々の画素P11-Pnmは、多数のスキャンラインS1-Sn及び発光制御ラインEn-Enと多数のデータラインD1-Dmとの交差部に位置する。ここで、データドライバ30は、m個のデータラインD1

10

20

30

40

50

- D m の各々にデータ信号を供給できるように、m 個の出力ラインを具備する。すなわち、従来の有機電界発光表示装置において、データドライバ 30 は、データライン D 1 - D m と同じ数の出力ラインを具備しなければならない。したがって、データドライバ 30 の内部には、m 個の出力ラインが具備されるように多数のデータ集積回路 (Integrated Circuit : I C ) が含まれ、これにより、製造コストが上昇する問題点が発生する。特に、表示パネル 10 の解像度及びインチが大きくなるほど、データドライバ 30 は、より多くのデータ集積回路 I C を具備しなければならないし、これにより、製造コストがさらに上昇するという問題点がある。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

10

#### 【0011】

本発明は、前述のような問題点を解決するためになされたもので、本発明の目的は、デマルチプレクサを用いてデータドライバの数を減少させ、均一な輝度の映像を表示できる有機電界発光表示装置を提供することにある。

#### 【課題を解決するための手段】

#### 【0012】

前記目的を達成するために、本発明に係る有機電界発光表示装置は、多数のスキャンラインと多数のデータラインとが交差する領域に形成される多数の画素を有し、所定の映像をディスプレイするための表示パネルと、前記多数のスキャンラインにスキャン信号を供給し、前記多数の画素を選択するためのスキャンドライバと、前記多数のデータラインにデータ電圧を順次に供給するための多数のデマルチプレクサと、前記各々のデマルチプレクサに連結した多数の出力ラインに前記データ電圧を供給するためのデータドライバとを備え、前記各々の画素は、前記スキャン信号に応答して前記データラインからのデータ電圧を格納するストレージキャパシタと、前記ストレージキャパシタと前記スキャンラインとの間に連結され、前記スキャン信号のレベル状態の変化によって前記データ電圧を増加させるための補正電圧を生成する補助キャパシタとを備えることを特徴とする。

20

#### 【0013】

また、本発明の他の態様に係る有機電界発光表示装置は、多数のデータラインと多数のスキャンライン及び多数の発光制御ラインが交差する領域に形成される多数の画素を有する有機電界発光表示装置において、前記各々の画素は、前記スキャンラインのスキャン信号に応答して前記データラインからのデータ電圧を格納するストレージキャパシタと、前記ストレージキャパシタと前記スキャンラインとの間に連結され、前記スキャン信号のレベル状態の変化によって前記データ電圧を増加させるための補正電圧を生成する補助キャパシタとを含み、所定の駆動電流を出力する画素駆動回路と；前記画素駆動回路に連結され、前記駆動電流の量によって所定の光を発光する有機発光素子と；を備えることを特徴とする。

30

#### 【発明の効果】

#### 【0014】

本発明に係る有機電界発光表示装置によれば、各画素内に補助キャパシタ C aux を形成することによって、デマルチプレクサ駆動による画素内に印加されるデータ電圧の減少を補正することによって、ブラック表現が可能となり、コントラスト比が向上する。

40

#### 【0015】

したがって、データ電圧の減少による電源電圧 V dd 及び V ss を低くする必要がなくなるので、電源電圧供給部の D C / D C 効率に利得がある。

#### 【発明を実施するための最良の形態】

#### 【0016】

以下、添付の図面を参照して、本発明の好ましい実施形態を詳細に説明する。

#### 【0017】

図 2 は、本発明の実施形態に係る有機電界発光表示装置を示すブロック図である。

#### 【0018】

50

図2を参照すれば、本発明の実施形態に係る有機電界発光表示装置は、表示パネル100、スキャンドライバ120、データドライバ130、タイミング制御部140、デマルチプレクサ部150及びデマルチプレクサ制御部160を備える。

**【0019】**

表示パネル100は、多数のスキャンラインS1-Sn及び発光制御ラインE1-Enと多数のデータラインD11-Dmkにより定義される領域に位置する多数の画素P111-Pnmkを備える。

**【0020】**

前記各々の画素P111-Pnmkは、該当するデータラインD11-Dmkから供給されるデータ信号に相当する光を発生する。前記各々の画素P111-Pnmkのうち代表的な画素110について後述する。  
10

**【0021】**

また、前記各々の画素P111-Pnmkが位置する領域のデータラインD11-Dmk毎に前記データ信号を一時格納する多数のデータラインキャパシタC<sub>data11</sub>-C<sub>datamk</sub>が形成される。

**【0022】**

例えば、データ書き込み期間の間、第1の画素P111を発光させるために、第1のデータラインD11にデータ電圧が印加されれば、データラインD11に形成される第1のデータラインキャパシタC<sub>data11</sub>に前記データ電圧が一時格納される。次に、スキャン期間の間、第1のスキャン信号S1により第1の画素P111が選択されれば、前記第1のデータラインキャパシタC<sub>data11</sub>に格納されたデータ電圧が第1の画素P111に供給され、データ電圧に相当する光を発光する。  
20

**【0023】**

このように各データラインD11-Dmkに形成されたデータラインキャパシタC<sub>data11</sub>-C<sub>datamk</sub>は、多数のデータラインD11-Dmkに供給されるデータ信号を一時格納し、スキャン信号により選択された画素P111-Pnmkに、格納されたデータ電圧を供給する。ここで、前記データラインキャパシタC<sub>data11</sub>-C<sub>datamk</sub>は、データラインD11-Dmkと第3の電極及びこれら間の絶縁膜により等価的に形成される寄生キャパシタを利用する。実際に、データラインD11-Dmkに等価的に形成される各々のデータラインキャパシタC<sub>data11</sub>-C<sub>datamk</sub>のキャパシタンスは、データ信号を安定的に格納するために、各々の画素P111-Pnmk毎に含まれるストレージキャパシタCstのキャパシタンスより大きく設定することが好ましい。  
30

**【0024】**

スキャンドライバ120は、タイミング制御部140から供給されるスキャン制御信号Sgに応答してスキャン信号を生成し、生成したスキャン信号をスキャンラインS1-Snに順次に供給する。ここで、スキャンドライバ120は、図7に示すように、スキャン信号を1水平期間(1H)のうち一部期間(スキャン期間)にだけ供給する。これについて詳細に説明すれば、本発明において、1水平期間(1H)は、スキャン期間とデータ書き込み期間とに分割される。スキャンドライバ120は、1水平期間(1H)のうちスキャン期間の間にスキャンラインS1-Snにスキャン信号を供給し、データ書き込み期間の間にスキャン信号を供給しない。一方、スキャンドライバ120は、スキャン制御信号Sgに応答して発光制御信号を生成し、生成した発光制御信号を発光制御ラインE1-Enに順次に供給して発光を制御する。  
40

**【0025】**

データドライバ130は、タイミング制御部150から供給されるR、G、Bデータを印加され、データ制御信号Sdに応答してR、G、Bデータ信号を順次に出力ラインD1-Dm/kに供給する。ここで、データドライバ130は、各々の出力端毎に接続された出力ラインD1-Dm/kにk個(kは2以上の整数)のデータ信号(図7では、3つのR、G、Bデータ信号)を順次に供給する。これについて詳細に説明すれば、データドラ  
50

イバ130は、1水平期間(1H)のうちデータ書き込み期間の間に該当画素に供給されるデータ信号(例えば、R、G、Bデータ)を順次に供給する。ここで、該当画素に供給されるデータ信号R、G、Bがデータ書き込み期間にだけ供給されるため、スキャン信号の供給時間であるスキャン期間と重畠(重複)しない。

#### 【0026】

タイミング制御部140は、外部グラフィック制御機(図示せず)から供給される映像データと、水平同期信号及び垂直同期信号に相当するデータ制御信号Sd及びスキャン制御信号Sgを生成する。タイミング制御部140で生成されたデータ制御信号Sdは、データドライバ130に供給され、スキャン制御信号Sgは、スキャンドライバ120に供給される。

10

#### 【0027】

デマルチプレクサ部150は、m個のデマルチプレクサ151を備える。詳細に説明すれば、デマルチプレクサ部150は、データドライバ130に連結する出力ラインD1-Dmと同じ数のデマルチプレクサ151を具備し、各々のデマルチプレクサ151の入力端は、前記データドライバ130の出力ラインD1-Dmに各々接続される。そして、各々のデマルチプレクサ151の出力端、例えば、第1のデマルチプレクサの出力端は、k個のデータラインD11-D1kに接続される。前記第1のデマルチプレクサ151は、データ書き込み期間に順次に供給されるk個のデータ信号をk個のデータラインD11-D1kに印加する。このように1つの出力ラインD1に順次に供給されるk個のデータ信号をk個のデータラインD11-D1kに順次に印加すれば、データドライバ130に含まれた出力ラインの数が急激に減少する。例えば、kを3と仮定すれば、データドライバ130に含まれた出力ラインの数は、従来の1/3水準に減少し、これにより、データドライバ130の内部に含まれたデータ集積回路ICの数も減少する。すなわち、本発明では、デマルチプレクサ151を用いて1つの出力ラインD1に供給されるデータ信号をk個のデータラインD11-D1kに供給することによって、データ集積回路ICの製造コストを節減できるという長所がある。

20

#### 【0028】

デマルチプレクサ制御部160は、出力ラインD1に供給されるk個のデータ信号がk個のデータラインD11-D1kに分割されて供給されることがるように、1水平期間(1H)のうちデータ書き込み期間の間にk個の制御信号をデマルチプレクサ151の制御端子の各々に供給する。ここで、デマルチプレクサ制御部160から供給されるk個の制御信号は、図7に示すように、データ書き込み期間の間に互いに重畠しないように順次に供給される。一方、図2では、デマルチプレクサ制御部160がタイミング制御部140の外部に設けられたものとして示したが、タイミング制御部140の内部に設けられてもよい。

30

#### 【0029】

図3は、図2に示されたデマルチプレクサの内部を示す回路図である。

#### 【0030】

図3では、説明の便宜上、kを3と仮定し、データ電圧は、レッド(R)、グリーン(G)、ブルー(B)の順に入力されると仮定する。そして、図3に示されたデマルチプレクサは、データドライバ130の第1の出力ラインD1に接続されると仮定して説明する。

40

#### 【0031】

図3を参照すれば、デマルチプレクサ151は、第1のスイッチング素子T1、第2のスイッチング素子T2及び第3スイッチング素子T3を備える。前記各々のスイッチング素子T1、T2、T3は、薄膜トランジスタで形成できることができ、本発明では、スイッチング素子T1、T2、T3をP型MOSFET(Metal Oxide Semiconductor Field Effect Transistor:以下、MOSFETという)で構成したが、当業者の技術水準に照らしてN型MOSFETで構成してもよい。

#### 【0032】

50

第1のスイッチング素子T1は、第1の出力ラインD1と第1のデータラインD11との間に接続される。このような第1のスイッチング素子T1は、デマルチプレクサ制御部160から第1の制御信号CS1が供給される時にオンとなり、第1の出力ラインD1から供給されるレッド(R)データ信号を第1のデータラインD11に供給する。第1のデータラインD11に供給されたデータ信号は、前記図2で説明したデータ書き込み期間の間に第1のデータラインキャパシタC<sub>data11</sub>に格納される。

#### 【0033】

第2のスイッチング素子T2は、第1の出力ラインD1と第2のデータラインD12との間に接続される。このような第2のスイッチング素子T2は、デマルチプレクサ制御部160から第2の制御信号CS2が供給される時にオンとなり、第1の出力ラインD1に供給されるグリーン(G)データ信号を第2のデータラインD12に供給する。第2のデータラインD12に供給されたデータ信号は、前記図2で説明したデータ書き込み期間の間に第2のデータラインキャパシタC<sub>data12</sub>に格納される。

10

#### 【0034】

第3のスイッチング素子T3は、第1の出力ラインD1と第3のデータラインD13との間に接続される。このような第3のスイッチング素子T3は、デマルチプレクサ制御部160から第3制御信号CS3が供給される時にオンとなり、第1の出力ラインD1に供給されるブルー(B)データ信号を第3のデータラインD13に供給する。第3のデータラインD13に供給されたデータ信号は、前記図2で説明したデータ書き込み期間の間に第3のデータラインキャパシタC<sub>data13</sub>に格納される。このようなデマルチプレクサ151の詳細な動作過程は、画素110の構造と関連して後述する。

20

#### 【0035】

図4は、図2に示されたN×M個の画素のうち代表的な画素を示す回路図である。ここで、本発明の実施形態に係る画素は、図4に示された画素に限定されない。

#### 【0036】

図4を参照すれば、本発明の実施形態に係る代表的な画素110は、有機発光素子OLEと、データラインDmk、先行スキャンラインSn-1及び現在スキャンラインSn、発光制御ラインEn、第1の電源電圧ラインVdd及び初期化電圧ラインVinintに接続され、前記有機発光素子OLEを発光させるための駆動電流を生成する画素駆動回路111とを含む。前記データラインDmkには、前記画素110にデータ電圧を供給するデータラインキャパシタC<sub>dataamk</sub>が形成されている。

30

#### 【0037】

有機発光素子OLEは、アノード電極が画素駆動回路111に接続され、カソード電極が第2の電源電圧ラインVssに接続される。第2の電源Vssは、第1の電源Vddより低い電圧、例えば、グランド電圧または負(-)の電圧などになることができる。したがって、有機発光素子OLEは、前記画素駆動回路111から供給される駆動電流に相当する光を発光する。

#### 【0038】

画素駆動回路111は、1つのストレージキャパシタCstと6つのトランジスタM1乃至M6を含むしきい値電圧補償回路で構成される。ここで、第1のトランジスタM1は、駆動トランジスタであり、第3のトランジスタM3は、第1のトランジスタM1をダイオード連結(Diode-connected)させて、しきい値電圧を補償するためのしきい値電圧補償トランジスタであり、第4トランジスタM4は、ストレージキャパシタCstを初期化させるための初期化トランジスタである。そして、第6トランジスタM6は、有機発光素子OLEの発光を制御するための発光制御トランジスタであり、第2及び第5のトランジスタM2、M5は、スイッチングトランジスタである。

40

#### 【0039】

第1のスイッチングトランジスタM2は、現在スキャンラインSnにゲート電極が連結され、データラインDmkにソース電極が連結され、現在スキャンラインSnを介して伝達されるスキャン信号によりオンとなり、データラインキャパシタC<sub>dataamk</sub>からの

50

データ電圧を伝達する。

【0040】

駆動トランジスタM1は、前記第1のスイッチングトランジスタM2のドレイン電極にソース電極が連結され、ノードNにゲート電極が連結される。前記ノードNは、しきい値電圧補償トランジスタM3のソースまたはドレイン電極とストレージキャパシタCstの第1の端子が共通連結され、駆動トランジスタM1のゲート電圧が決定される。したがって、駆動トランジスタM1は、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0041】

しきい値電圧補償トランジスタM3は、前記駆動トランジスタM1のゲート電極とソース電極との間に連結され、現在スキャンラインSnを介して伝達されるスキャン信号に応答して駆動トランジスタM1をダイオード連結させる。したがって、前記スキャン信号によって駆動トランジスタM1は、ダイオードのような状態になり、前記ノードNに電圧Vdata-Vth[V]が印加され、これは、前記駆動トランジスタM1のゲート電圧となる。

【0042】

初期化トランジスタM4は、初期電圧ラインVinintとストレージキャパシタCstの第1の端子との間に連結され、ゲート電極に連結したn-1番目のスキャンラインSn-1のスキャン信号に応答して、先行フレームのとき前記ストレージキャパシタCstに充填された電荷を前記初期電圧ラインVinintを介して放電されることによって、前記ストレージキャパシタCstを初期化させる。

【0043】

第2のスイッチングトランジスタM5は、第1の電源電圧ラインVddと駆動トランジスタM1のソース電極との間に連結され、ゲート電極に連結した発光制御ラインEnを介して伝達される発光制御信号によりオンとなり、第1の電源電圧Vddを前記駆動トランジスタM1のソース電極に印加する。

【0044】

発光制御トランジスタM6は、駆動トランジスタM1と有機発光素子OLEDとの間に連結され、ゲート電極に連結した前記発光制御ラインEnを介して伝達される発光制御信号に応答して前記駆動トランジスタM1で生成される前記駆動電流を前記有機発光素子OLEDに伝達する。

【0045】

ストレージキャパシタCstは、第1の電源電圧ラインVddと駆動トランジスタM1のゲート電極との間に連結され、第1の電源電圧Vddと前記駆動トランジスタM1のゲート電極に印加される電圧Vdata-Vth[V]の電圧差に該当する電荷を1フレームの間に維持する。

【0046】

図4では、第1乃至第6トランジスタM1乃至M6がP型MOSFETとして示されたが、本発明は、これに限定されるものではなく、本発明の属する技術分野における当業者ならN型MOSFETで設計できることは自明である。

【0047】

前述のような構成を有する画素にデータ信号が印加される過程は、データ書込み期間の間にデータラインキャパシタCdataamkにデータ信号に相当する電圧を格納し、スキャン期間の間にデータラインキャパシタCdataamkに格納された電圧を画素に供給する。このようにデータラインキャパシタCdata11-Cdata1kに格納された電圧を同時に各々の画素に供給するので、すなわち同じ時点に各々のデータ信号を供給できるので、均一な輝度の画像を表示できる。

【0048】

しかし、上記のようにデマルチプレクサを用いてデータ書込み期間とスキャン期間とを分離することによって、データ書込み期間の間に分離されていたデータラインキャパシタ

10

20

30

40

50

$C_{data\_m\_k}$  と画素内のストレージキャパシタ  $C_{st}$  が、スキャン期間の間に連結されつつ、データラインキャパシタ  $C_{data\_m\_k}$  に格納されていたデータ電圧  $V_{data}$  に該当する電荷がデータライン及びストレージキャパシタ  $C_{data\_m\_k}$  及び  $C_{st}$  に電荷再分配 (charge sharing) され、実質的に駆動トランジスタ M1 のゲート電圧  $V_{g_{M1}}$  は、次の数式 1 (数 1) となる。

## 【0049】

[数 1]

$$V_{g_{M1}} = (C_{data} * V_{data} + C_{st} * V_{init}) / (C_{data} + C_{st})$$

## 【0050】

ここで、 $V_{g_{M1}}$  は、駆動トランジスタ M1 のゲート電圧、 $V_{data}$  は、データ電圧、 $V_{init}$  は、初期化電圧、 $V_{dd}$  は、第 1 の電源電圧、 $C_{data}$  は、各データラインのキャパシタ、 $C_{st}$  は、各画素内のストレージキャパシタを示す。

## 【0051】

前記数式 1 (数 1) のように、駆動トランジスタ M1 のゲート電圧  $V_{g_{M1}}$  は、データラインキャパシタ  $C_{data}$  と画素内のストレージキャパシタ  $C_{st}$  のキャパシタンスによって印加データ電圧  $V_{data}$  とゲート電圧  $V_{g_{M1}}$  間のバラツキが発生することが分かる。すなわち、実際データラインに印加したデータ電圧より低い値の電圧が駆動トランジスタのゲート端子に印加される。このため、ブラック階調の表現が難しくなり、コントラスト比がよくないという問題点がある。

## 【0052】

これを解決するために、ブラックデータ電圧を既存に比べて高く印加すればいいが、データドライバの仕様上、高いブラックデータ電圧を印加することは不可能である。他の解決方案として、第 1 の電源電圧  $V_{dd}$  を低くする方法があるが、これは、ブラック階調表現は可能であるが、第 1 の電源電圧  $V_{dd}$  が低くなつた分、第 2 の電源電圧  $V_{ss}$  も低くならなければならぬ。したがつて、電源電圧  $V_{dd}$ 、 $V_{ss}$  の D C / D C 効率を急激に減少させるようになる。

## 【0053】

したがつて、本発明の実施形態に係る画素は、前記図 4 に示すように補助キャパシタ  $C_{aux}$  を画素内に形成するものである。

## 【0054】

すなわち、本発明の実施形態に係る画素は、補助キャパシタ  $C_{aux}$  をさらに含む。

## 【0055】

前記補助キャパシタ  $C_{aux}$  は、第 1 の電極が現在スキャンライン  $S_n$  及び第 1 のスイッチングトランジスタ M2 のゲート端子に共通連結され、第 2 の電極が前記ストレージキャパシタ  $C_{st}$  及び駆動トランジスタ M1 のゲート端子に共通連結されている。

## 【0056】

前記補助キャパシタ  $C_{aux}$  は、スキャン期間から発光期間に変化しながら、駆動トランジスタ M1 のゲート電圧  $V_G$  をブースト (boost) させる役目をする。すなわち、スキャン信号のロウレベル電圧をロウスキャン電圧  $V_{VSS}$  と言い、スキャン信号のハイレベルをハイスキャン電圧  $V_{VDD}$  というと、補助キャパシタ  $C_{aux}$  の第 1 の電極に印加される電圧がロウスキャン電圧  $V_{VSS}$  からハイスキャン電圧  $V_{VDD}$  に変換されることによって、駆動トランジスタ M1 のゲート電圧は、前記ストレージキャパシタ  $C_{st}$  と補助キャパシタ  $C_{aux}$  のカップリングによる補正電圧だけ上昇するようになる。

## 【0057】

最終的に、駆動トランジスタのゲート電圧  $V_G$  を数式で表せば、次の数式 2 (数 2) の通りである。

## 【0058】

[数 2]

$$C_{st} \cdot V = C_{aux} \cdot V$$

10

20

30

40

50

$$C_{st} \{ (V_{dd} - V_{g_{M1}}) - (V_{dd} - V_G) \} = C_{aux} \{ (V_{g_{M1}} - V_{VS}) - (V_G - V_{VDD}) \}$$

$$V_G = V_{g_{M1}} + C_{aux} * (V_{VDD} - V_{VS}) / (C_{st} + C_{aux})$$

【0059】

ここで、 $V_{VDD}$ は、ハイレベルのスキャン信号、 $V_{VS}$ は、ロウレベルのスキャン信号であり、 $V_{g_{M1}}$ は、ロウレベルのスキャン信号 $V_{VS}$ 印加時の駆動トランジスタのゲート端子電圧、 $V_G$ は、ハイレベルのスキャン信号 $V_{VDD}$ 印加時の駆動トランジスタのゲート端子電圧であり、 $C_{aux}$ は、補助キャパシタ、 $C_{st}$ は、ストレージキャパシタである。

【0060】

前記式2(数2)のように、補助キャパシタ $C_{aux}$ の形成後、駆動トランジスタM1のゲート端子電圧が補償電圧 $(C_{aux} * (V_{VDD} - V_{VS})) / (C_{st} + C_{aux})$ だけ増加し、既存の減少量を補償できる。したがって、ブラックレベルの階調電圧印加時、ブラック電流がほとんど流れないようになり、コントラスト比が非常に良くなる。これは、図5のシミュレーション結果によても確認される。

10

【0061】

図5は、図4に示された画素にブラック階調電圧印加時に流れるブラック電流量を示すシミュレーション結果図である。

【0062】

図5を参照すれば、図4に示された画素に第1の電源電圧 $V_{dd}$ は5[V]、第2の電源電圧 $V_{ss}$ は-6[V]を印加し、データ電圧 $V_{data}$ は5[V]を印加し、縦軸は、ブラック電流の量を示し、横軸は、時間を示す。

20

【0063】

第1の電源電圧 $V_{dd}$ をブラックデータ電圧と同一に設定する場合、画素内に補助キャパシタ $C_{aux}$ を形成する前には、駆動トランジスタM1でブラックレベルの電流が約7nA程度と非常に大きく流れ、コントラスト比が非常に低下するが、本発明の実施形態のように、補助キャパシタ $C_{aux}$ を形成した後には、ブラックレベルの電流が約0.02nA程度流れ、仕様(仕様は0.03nA以下)を満足し、コントラスト比も向上する。したがって、画素内に補助キャパシタ $C_{aux}$ を形成することによって、画素内に印加されるデータ電圧が低くなるのを防止し、第1及び第2の電源電圧 $V_{dd}$ 、 $V_{ss}$ を低くする必要がなくなり、DC/DC効率が良くなる。

30

【0064】

この時、ストレージキャパシタ $C_{st}$ のキャパシタンスは、補助キャパシタ $C_{aux}$ のキャパシタンスより大きいことが好ましく、前記図5の場合、ストレージキャパシタ $C_{st}$ のキャパシタンスは、補助キャパシタ $C_{aux}$ のキャパシタンスより約10倍程度が大きい場合のシミュレーション値である。

【0065】

図6は、本発明の実施形態により図3に示された代表的なデマルチプレクサと図4に示された代表的な画素の連結構造を詳細に示す回路図であり、図7は、図6に示された画素回路の動作を説明するためのタイミング図である。

40

【0066】

図6では、第1の出力ラインD1に連結した1つのデマルチプレクサ151にレッド(R)、グリーン(G)及びブルー(B)のサブ画素が接続されると仮定する(すなわち、 $k=3$ )。

【0067】

図6及び図7を参照すれば、まず、1水平期間(1H)のうち $n-1$ 番目のスキャン期間の間に第 $n-1$ のスキャンライン $S_{n-1}$ にロウレベルのスキャン信号が供給される。第 $n-1$ のスキャンライン $S_{n-1}$ にスキャン信号が供給されれば、レッド(R)、グリーン(G)、ブルー(B)のサブ画素の各々に含まれた初期化トランジスタM4がオンとなる。初期化トランジスタM4がオンとなると、ストレージキャパシタ $C_{st}$ の一方の端

50

子及び駆動トランジスタM1のゲート端子が初期化電源ラインV<sub>init</sub>に接続される。すなわち、第n-1のスキャンラインS<sub>n-1</sub>にスキャン信号が供給されれば、R、G、B画素の各々のストレージキャパシタC<sub>st</sub>に格納されていた先行フレームのデータ電圧、すなわち駆動トランジスタM1のゲート電圧は初期化される。第n-1のスキャンラインS<sub>n-1</sub>にスキャン信号が供給される時、第nのスキャンラインS<sub>n</sub>に接続された第1のスイッチングトランジスタM2は、オフ状態を維持する。

#### 【0068】

その後、データ書込み期間の間に順次に供給される第1制御信号乃至第3制御信号C<sub>S1</sub>、C<sub>S2</sub>、C<sub>S3</sub>によって第1のスイッチング素子T1、第2のスイッチング素子T2及び第3スイッチング素子T3が順次にオンとなる。まず、第1の制御信号C<sub>S1</sub>によって第1のスイッチング素子T1がオンとなると、第1の出力ラインD1に供給されるRデータ信号が第1のデータラインD11に供給される。この時、第1のデータラインキャパシタC<sub>data11</sub>には、第1のデータラインD11に供給されるRデータ信号に対応する電圧が充填される。次に、第2の制御信号C<sub>S2</sub>によって第2のスイッチング素子T2がオンとなると、第1の出力ラインD1に供給されるGデータ信号が第2のデータラインD12に供給される。この際、第2のデータラインキャパシタC<sub>data12</sub>には、第2のデータラインD12に供給されるGデータ信号に対応する電圧が充填される。最後に、第3制御信号C<sub>S3</sub>によって第3のスイッチング素子T3がオンとなると、第1の出力ラインD1に供給されるBデータ信号が第3データラインD13に供給される。この時、第3のデータラインキャパシタC<sub>data13</sub>には、第3のデータラインD13に供給されるBデータ信号に対応する電圧が充填される。一方、データ書込み期間の間に第nのスキャンラインS<sub>n</sub>にスキャン信号が供給されないため、各々のR、G、B画素には、R、G、Bデータ信号が供給されない。

#### 【0069】

次に、データ書込み期間に続くn番目のスキャン期間の間に第nのスキャンラインS<sub>n</sub>にロウレベルのスキャン信号が供給される。第nのスキャンラインS<sub>n</sub>にスキャン信号が供給されれば、R、G、B画素の各々に含まれた第1のスイッチングトランジスタM2及びしきい値電圧補償トランジスタM3がオンとなる。R、G、B画素の各々の第1のスイッチングトランジスタM2は、データ書込み期間に第1乃至第3のデータラインキャパシタC<sub>data11</sub>乃至C<sub>data13</sub>に格納された各R、G、Bデータ信号に相当する電圧V<sub>data</sub>を各R、G、B画素に伝達する。しきい値電圧補償トランジスタM3は、駆動トランジスタM1をダイオード連結させる役目をする。すなわち、ダイオード連結した駆動トランジスタM1を介して第1乃至第3のデータラインキャパシタC<sub>data11</sub>乃至C<sub>data13</sub>に格納されたR、G、Bデータ信号に相当する電圧V<sub>data</sub>と駆動トランジスタM1のしきい値電圧V<sub>th</sub>の差に該当する電圧V<sub>data - Vth M1</sub> [V]が駆動トランジスタM1のゲート端子とストレージキャパシタC<sub>st</sub>の一端に印加される。したがって、駆動トランジスタM1のゲート端子にかかる電圧は、前記数式1(数1)で表した値と同一である。

#### 【0070】

その後、第nのスキャン信号がハイレベルに変わり、発光制御ラインE<sub>n</sub>にロウレベルの発光制御信号が印加されると、第2のスイッチングトランジスタM5及び発光制御トランジスタM6がオンとなり、駆動トランジスタM1のソース端子に印加される第1の電源V<sub>dd</sub>とゲート端子に印加された電圧に相当する駆動電流が前記発光制御トランジスタM6を介して有機発光素子OLEDに供給され、所定の輝度の光が発生する。ここで、駆動トランジスタM1のゲート端子に印加された電圧は、前記数式2(数2)で表した値と同一である。

#### 【0071】

したがって、本発明による有機電界発光表示装置では、デマルチプレクサ151を用いて1つの第1の出力ラインD1に順次に供給されるR、G、Bデータ信号をk個のデータラインD11-D1kに供給できるという長所がある。また、データ書込み期間の間にデ

ータラインキャパシタ  $C_{data\ 1\ 1} - C_{data\ 1\ k}$  にデータ信号に対応する電圧を格納し、スキャン期間の間にデータラインキャパシタ  $C_{data\ 1\ 1} - C_{data\ 1\ k}$  に格納された電圧を画素に供給する。このようにデータラインキャパシタ  $C_{data\ 1\ 1} - C_{data\ 1\ k}$  に格納された電圧を同時に各々の画素に供給するので、すなわち、同じ時点に各々のデータ信号を供給できるので、均一な輝度の画像を表示できる。

#### 【0072】

また、各々の画素内に補助キャパシタ  $C_{aux}$  を形成することによって、データラインキャパシタ  $C_{data}$  とストレージキャパシタ  $C_{st}$  の電荷分配 (charge sharing) による画素に印加される電圧が低くなる問題を解決し、コントラスト比を向上させることができ。これにより、電源電圧  $V_{dd}$  及び  $V_{ss}$  を低くする必要がなくなり、DC/DC効率が減少することを防止できる。10

#### 【0073】

以上において説明した本発明は、本発明が属する技術の分野における通常の知識を有する者であれば、本発明の技術的思想を逸脱しない範囲内で、様々な置換、変形及び変更ができるので、上述した実施形態及び添付された図面に限定されるものではない。

#### 【図面の簡単な説明】

#### 【0074】

【図1】従来の有機電界発光表示装置を示すブロック図である。

【図2】本発明の実施形態に係る有機電界発光表示装置を示すブロック図である。

【図3】図2に示されたデマルチプレクサの内部を示す回路図である。20

【図4】図2に示された  $N \times M$  個の画素のうち代表的な画素を示す回路図である。

【図5】図4に示された画素にブラック階調電圧印加時に流れるブラック電流量を示すシミュレーション結果図である。

【図6】本発明の実施形態により図3に示された代表的なデマルチプレクサと図4に示された代表的な画素の連結構造を詳細に示す回路図である。

【図7】図6に示された画素回路の動作を説明するためのタイミング図である。

#### 【符号の説明】

#### 【0075】

100 表示パネル

120 スキャンドライバ

130 データドライバ

140 タイミング制御部

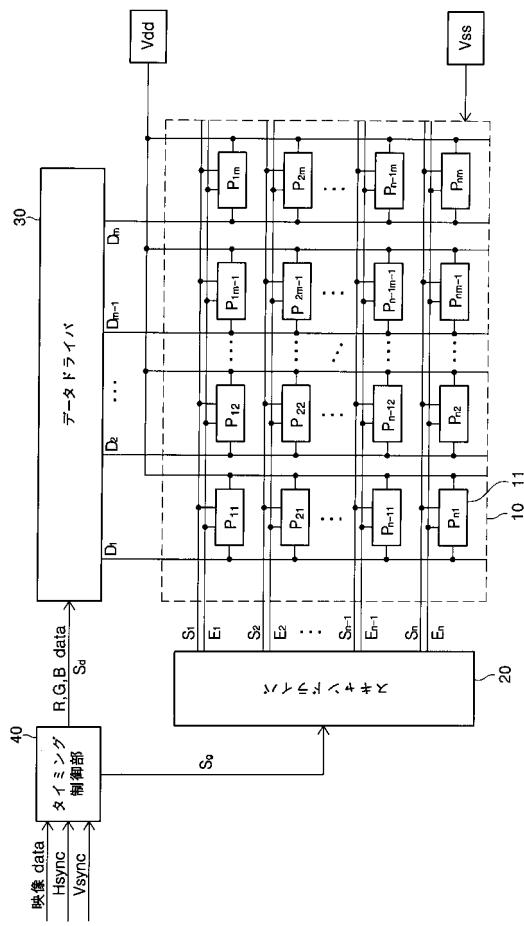
150 デマルチプレクサ部

151 デマルチプレクサ

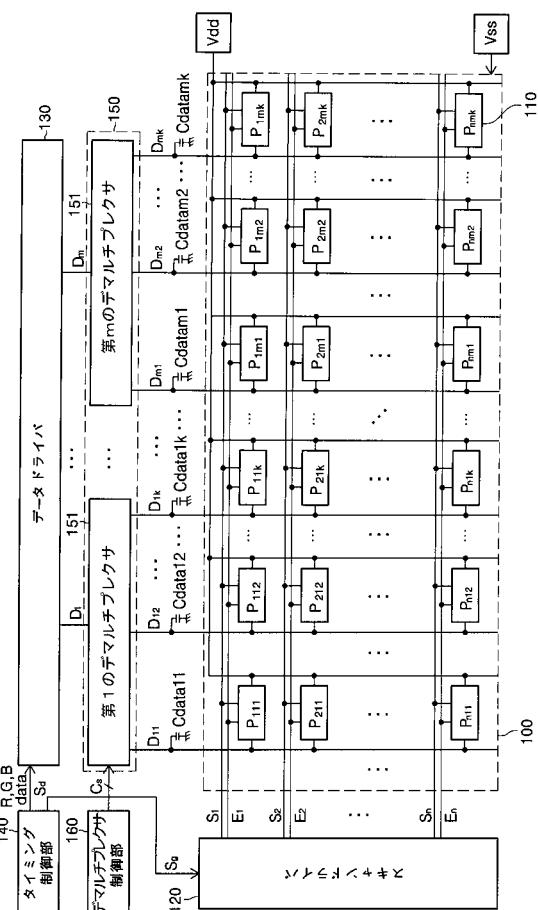
160 デマルチプレクサ制御部

30

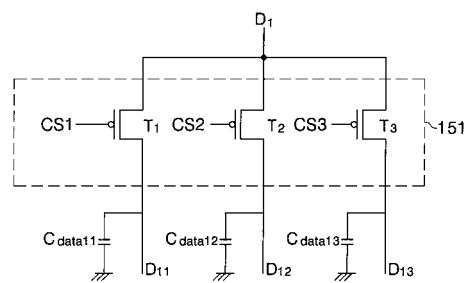
【図1】



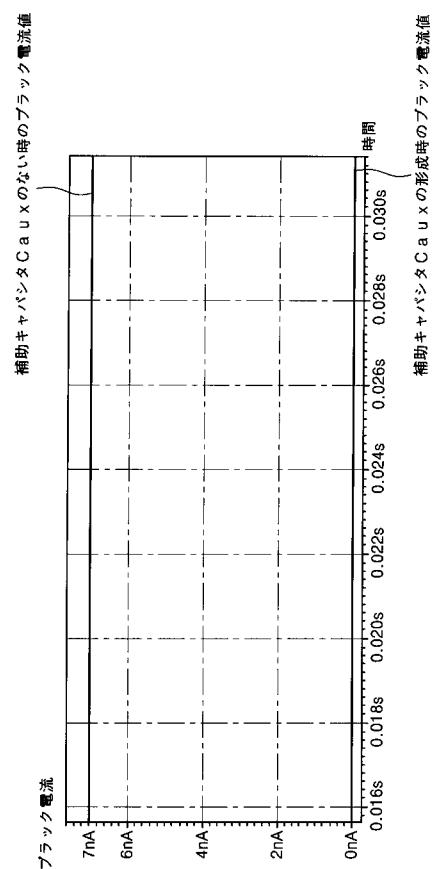
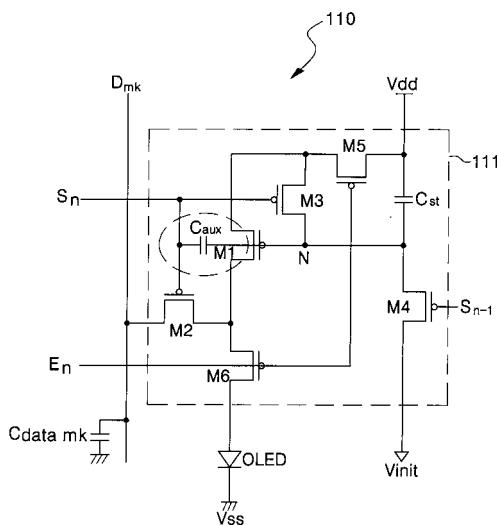
【図2】



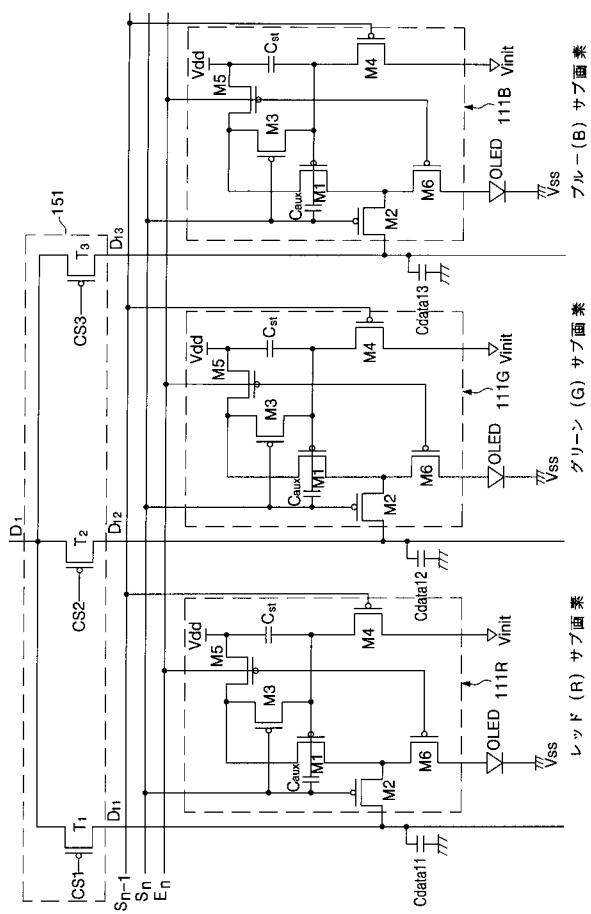
【図3】



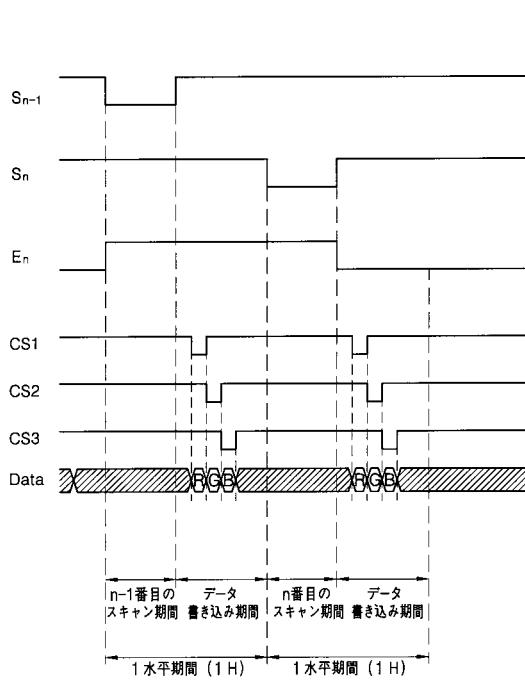
【図4】



【図6】



【図7】



---

フロントページの続き

(51)Int.Cl.

F I

G 09 G 3/20 621A  
G 09 G 3/20 641D

(56)参考文献 特開2003-140626 (JP, A)

特開2003-157051 (JP, A)

特開2004-029791 (JP, A)

特開2003-140612 (JP, A)

特開2004-012897 (JP, A)

特開2007-052422 (JP, A)

特開2006-146158 (JP, A)

特開2006-113548 (JP, A)

特開2006-106676 (JP, A)

特開2006-065286 (JP, A)

特開2005-031630 (JP, A)

S.M.Chi、外3名, A Self-compensated Voltage Programming Pixel Structure for Active-Matrix Organic Light Emitting Diod, IDW'03 Proceedings of The 10th International Display Workshops, The Society for Information Display, 2003年12月 3日, p.535-538

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 20 , 3 / 30 - 3 / 32

专利名称(译)	有机发光显示器		
公开(公告)号	<a href="#">JP4637070B2</a>	公开(公告)日	2011-02-23
申请号	JP2006248924	申请日	2006-09-14
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星工スディアイ株式会社		
当前申请(专利权)人(译)	三星移动显示的股票会社		
[标]发明人	金陽完		
发明人	金陽完		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0248 G09G2310/0275 G09G2310/0297 G09G2320/0238 G09G2320/043		
FI分类号	G09G3/30.J H05B33/14.A G09G3/30.K G09G3/20.642.A G09G3/20.624.B G09G3/20.621.A G09G3/20. 641.D G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC32 3K107/CC33 3K107/CC45 3K107/EE03 3K107/EE04 3K107/ /HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD23 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AC04 5C380 /BA10 5C380/BA12 5C380/BA28 5C380/BA37 5C380/BB02 5C380/BB23 5C380/CA09 5C380/CA10 5C380/CA12 5C380/CA24 5C380/CB01 5C380/CB17 5C380/CB31 5C380/CB33 5C380/CC04 5C380 /CC06 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC52 5C380/CC55 5C380/CC61 5C380/CC64 5C380/CD026 5C380/CE04 5C380/CE19 5C380/CE20 5C380/CF53 5C380 /DA02 5C380/DA06 5C380/DA47 5C380/HA08		
代理人(译)	三好秀		
优先权	1020050086370 2005-09-15 KR		
其他公开文献	<a href="#">JP2007079580A</a>		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

要解决的问题：提供一种有机电致发光显示装置，其能够通过使用多路分解器来减少数据驱动器的数量并且能够显示具有均匀亮度的图像。

ŽSOLUTION：有机电致发光显示装置使用多路分解器预先在数据线中存储数据电压，并在施加扫描信号时将存储的数据电压提供给像素，并显示图像。这里，由于像素中的数据线电容器和存储电容器之间的电荷共享，提供给像素的数据电压降低。为了增加降低的数据电压，用于产生补偿电压以补偿数据电压的下降的辅助电容器包括在像素中。辅助电容器形成在扫描线和存储电容器之间，并根据扫描线的电平状态的变化增加数据电压。因此，可以防止施加到像素的电压降低，从而可以在不降低电源电压Vdd和参考电压Vss的情况下提高DC / DC效率。Ž

